



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201709508 A

(43)公開日：中華民國 106 (2017) 年 03 月 01 日

(21)申請案號：105107635

(22)申請日：中華民國 105 (2016) 年 03 月 11 日

(51)Int. Cl. : H01L29/06 (2006.01)

H01L29/41 (2006.01)

H01L29/772 (2006.01)

(30)優先權：2015/08/27 日本

2015-167612

(71)申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)

日本

(72)發明人：高橋仁 TAKAHASHI, HITOSHI (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：5 項 圖式數：5 共 18 頁

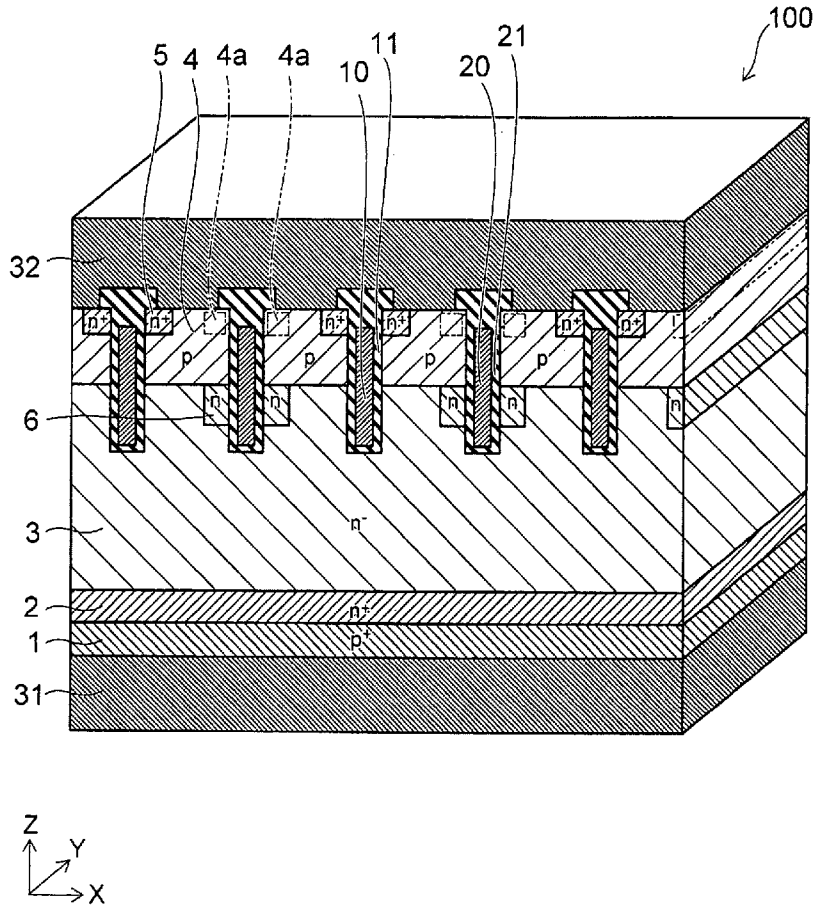
(54)名稱

半導體裝置

(57)摘要

本發明之半導體裝置具有第 1 導電型之第 1 半導體區域、第 2 導電型之第 2 半導體區域、第 2 導電型之第 3 半導體區域、第 1 導電型之第 4 半導體區域、第 2 導電型之第 5 半導體區域、閘極電極及第 1 電極。第 3 半導體區域係設於第 1 絕緣層與閘極絕緣層之間之一部分，並與第 1 絕緣層相接，且其第 2 導電型之載流子濃度高於第 2 半導體區域。第 4 半導體區域具有第 1 部分，第 1 部分於自第 1 半導體區域朝向第 2 半導體區域的第 1 方向與第 3 半導體區域並排。第 5 半導體區域與閘極絕緣層相接。第 5 半導體區域於相對於第 1 方向垂直之第 2 方向與第 1 部分並排。

指定代表圖：



符號簡單說明：

- 1 . . . p⁺型集極區域
- 2 . . . n⁺型半導體區域
- 3 . . . n⁻型半導體區域
- 4 . . . p型基極區域
- 4a . . . 第1部分
- 5 . . . n⁺型射極區域
- 6 . . . n型半導體區域
- 10 . . . 閘極電極
- 11 . . . 閘極絕緣層
- 20 . . . 第1電極
- 21 . . . 第1絕緣層
- 31 . . . 集極電極
- 32 . . . 射極電極
- 100 . . . 半導體裝置

圖1

201709508

發明摘要

※ 申請案號：105107635

※ 申請日：105.3.11

※IPC 分類： H01L 29/06 (2006.1)
H01L 29/41 (2006.1)
H01L 29/772 (2006.1)

【發明名稱】

半導體裝置

【中文】

本發明之半導體裝置具有第1導電型之第1半導體區域、第2導電型之第2半導體區域、第2導電型之第3半導體區域、第1導電型之第4半導體區域、第2導電型之第5半導體區域、閘極電極及第1電極。第3半導體區域係設於第1絕緣層與閘極絕緣層之間之一部分，並與第1絕緣層相接，且其第2導電型之載流子濃度高於第2半導體區域。第4半導體區域具有第1部分，第1部分於自第1半導體區域朝向第2半導體區域的第1方向與第3半導體區域並排。第5半導體區域與閘極絕緣層相接。第5半導體區域於相對於第1方向垂直之第2方向與第1部分並排。

【英文】

無

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

- 1 p⁺型集極區域
- 2 n⁺型半導體區域
- 3 n⁻型半導體區域
- 4 p型基極區域
- 4a 第1部分
- 5 n⁺型射極區域
- 6 n型半導體區域
- 10 閘極電極
- 11 閘極絕緣層
- 20 第1電極
- 21 第1絕緣層
- 31 集極電極
- 32 射極電極
- 100 半導體裝置

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體裝置

【相關申請】

本案享有以日本專利申請2015-167612號(申請日：2015年8月27日)為基礎申請之優先權。本案藉由參照該基礎申請而包含基礎申請之全部內容。

【技術領域】

本發明之實施形態係關於一種半導體裝置。

【先前技術】

於IGBT(Insulated Gate Bipolar Transistor)等半導體裝置中，有為了抑制寄生雙極電晶體之閃鎖(latch up)而具有射極區域被減省之構造者。

但，若減省射極區域，則通道密度下降，故而導通電壓上升。

【發明內容】

本發明之實施形態提供一種能夠抑制導通電壓之上升之半導體裝置。

實施形態之半導體裝置具有第1導電型之第1半導體區域、第2導電型之第2半導體區域、第2導電型之第3半導體區域、第1導電型之第4半導體區域、第2導電型之第5半導體區域、閘極電極、及第1電極。

上述第2半導體區域係設於上述第1半導體區域之上。

上述閘極電極具有隔著閘極絕緣層而被上述第2半導體區域包圍之部分。

上述第1電極係與上述閘極電極相隔而設。上述第1電極具有隔著

第1絕緣層而被上述第2半導體區域包圍之部分。

上述第3半導體區域係設於上述第1絕緣層與上述閘極絕緣層之間之一部分。

上述第3半導體區域係與上述第1絕緣層相接。上述第3半導體區域之第2導電型之載流子濃度高於上述第2半導體區域之第2導電型之載流子濃度。

上述第4半導體區域具有第1部分。上述第1部分係於自上述第1半導體區域朝向上述第2半導體區域之第1方向與上述第3半導體區域並排。上述第4半導體區域係設於上述第2半導體區域之上及上述第3半導體區域之上。上述第4半導體區域位於上述閘極電極與上述第1電極之間。

上述第5半導體區域選擇性設於上述第4半導體區域之上。上述第5半導體區域係與上述閘極絕緣層相接。上述第5半導體區域於與上述第1方向垂直之第2方向與上述第1部分並排。

【圖式簡單說明】

圖1係表示第1實施形態之半導體裝置之一部分之立體剖視圖。

圖2(a)及(b)係表示第1實施形態之半導體裝置之製造步驟之步驟剖視圖。

圖3(a)及(b)係表示第1實施形態之半導體裝置之製造步驟之步驟剖視圖。

圖4係表示第2實施形態之半導體裝置之一部分之立體剖視圖。

圖5係表示第2實施形態之變化例之半導體裝置之一部分之立體剖視圖。

【實施方式】

以下，一面參照圖式一面對本發明之各實施形態進行說明。

再者，圖式係模式圖或概念圖，各部分之厚度與寬度之關係、部

分間之大小之比率等並不一定與實際相同。又，即便於表示相同部分之情形時，亦有根據圖式不同而相互之尺寸、比率不同地表現之情形。

又，本案說明書及各圖中，對與已說明之要素相同之要素附加相同符號且適當省略詳細說明。

再者，於各實施形態之說明中，係使用XYZ正交座標系。將自 p^+ 型集極區域1朝向 n^- 型半導體區域3之方向設為Z方向(第1方向)，將與Z方向垂直且相互正交之2方向設為X方向及Y方向。

於以下之說明中， n^+ 、 n^- 、 n^- 及 p^+ 、 p^- 之表述係表示各導電型中之雜質濃度之相對高低。即， n^+ 與 n^- 相比表示 n^- 型之雜質濃度相對較高， n^- 與 n^- 相比表示 n^- 型之雜質濃度相對較低。又， p^+ 與 p^- 相比表示 p^- 型之雜質濃度相對較高。

關於以下說明之各實施形態亦可將各半導體區域之 p^- 型與 n^- 型反轉而實施各實施形態。

(第1實施形態)

參照圖1對第1實施形態之半導體裝置之一例進行說明。

圖1係表示第1實施形態之半導體裝置100之一部分之立體剖視圖。

半導體裝置100為例如IGBT。

如圖1所示，半導體裝置100具有 p^+ 型(第1導電型)集極區域1(第1半導體區域)、 n^+ 型(第2導電型)半導體區域2、 n^- 型半導體區域3(第2半導體區域)、 p^- 型基極區域4(第4半導體區域)、 n^+ 型射極區域5(第5半導體區域)、 n^- 型半導體區域6(第3半導體區域)、閘極電極10、閘極絕緣層11、第1電極20、第1絕緣層21、集極電極31、及射極電極32。

集極電極31係設於半導體裝置100之下表面。

p^+ 型集極區域1係設於集極電極31之上，與集極電極31電性連接。

n^+ 型半導體區域2係設於 p^+ 型集極區域1之上。

n^- 型半導體區域3係設於 n^+ 型半導體區域2之上。

p型基極區域4係設於 n^- 型半導體區域3之上。

n^+ 型射極區域5係選擇性設於p型基極區域4之上。

閘極電極10及第1電極20係於 n^- 型半導體區域3之上彼此相隔而設。閘極電極10及第1電極20係於X方向交替地設置。

閘極電極10係於X方向隔著閘極絕緣層11而與p型基極區域4面對面。第1電極20係於X方向隔著第1絕緣層21而與p型基極區域4面對面。又，閘極電極10及第1電極20具有沿著X-Y面而被 n^- 型半導體區域3包圍之部分。

n 型半導體區域6係設於閘極絕緣層11與第1絕緣層21之間之一部分。又， n 型半導體區域6於Z方向位於p型基極區域4與 n^- 型半導體區域3之間，且與第1絕緣層21相接。 n 型半導體區域6亦可與p型基極區域4相接，還可於 n 型半導體區域6與p型基極區域4之間設置 n^- 型半導體區域3之其他一部分。

p型基極區域4具有於Z方向與 n 型半導體區域6並排之第1部分4a。第1部分4a與第1絕緣層21相接。又，第1部分4a於X方向與 n^+ 型射極區域5並排。

換言之，於閘極電極10與第1電極20之間， n^+ 型射極區域5僅選擇性地設於閘極電極10側， n 型半導體區域6僅選擇性地設於第1電極20側。 n^+ 型射極區域5與 n 型半導體區域6於Z方向並不並排。

p型基極區域4、 n^+ 型射極區域5、 n 型半導體區域6、閘極電極10、及第1電極20於X方向設有複數個，分別於Y方向延伸。

射極電極32設於半導體裝置100之上表面，與p型基極區域4及 n^+ 型射極區域5電性連接。又，於閘極電極10與射極電極32之間設有絕緣層，將閘極電極10與射極電極32電性分離。

第1電極20亦可與射極電極32電性連接。或者，第1電極20亦可與

閘極電極10電性連接。

於集極電極31，對射極電極32施加有正電壓之狀態下，藉由對閘極電極10施加閾值以上之電壓，而IGBT變成導通狀態。此時，於p型基極區域4之閘極絕緣層11附近之區域形成通道(反轉層)。

接下來，使用圖2及圖3對第1實施形態之半導體裝置100之製造方法之一例進行說明。

圖2及圖3係表示第1實施形態之半導體裝置100之製造步驟之步驟剖視圖。

首先，準備於 n^+ 型之半導體層2a之上形成有 n^- 型之半導體層3a之半導體基板。接著，如圖2(a)所示，向 n^- 型半導體層3a之表面選擇性離子注入 n 型雜質，而形成 n 型半導體區域6。

接著，於 n^- 型半導體層3a及 n 型半導體區域6之上形成 n^- 型之半導體層3b(未圖示)。藉由向 n^- 型半導體層3b離子注入 p 型之雜質，而形成 p 型基極區域4。然後，藉由向 p 型基極區域4之表面選擇性離子注入 n 型雜質，如圖2(b)所示，形成 n^+ 型射極區域5。

接著，形成貫通 p 型基極區域4之複數個溝槽。溝槽之一部分貫通 n^+ 型射極區域5，溝槽之其他部分貫通 n 型半導體區域6。接著，藉由使該溝槽之內壁熱氧化而形成絕緣層11a。於該絕緣層11a之上形成導電層，如圖3(a)所示，對導電層進行回蝕。藉由該步驟而於各個溝槽之內部形成閘極電極10或第1電極20。

接著，形成覆蓋該等電極及 p 型基極區域4之絕緣層11b。藉由使絕緣層11a及11b圖案化，而形成閘極絕緣層11及第1絕緣層21。接著，於該等絕緣層之上形成金屬層，藉由使該金屬層圖案化而形成射極電極32。

接著，對 n^+ 型半導體層2a之背面進行研磨，直至 n^+ 型半導體層2a變成特定之厚度。然後，如圖3(b)所示，向 n^+ 型半導體層2a之底面離子

注入p型雜質，而形成 p^+ 型集極區域1。

之後，藉由於 p^+ 型集極區域1之下形成集極電極31，而製作圖1所示之半導體裝置100。

此處，對本實施形態之作用及效果進行說明。

本實施形態之半導體裝置100具有選擇性設於閘極電極10側之 n^+ 型射極區域5、及選擇性設於第1電極20側之n型半導體區域6。

n^+ 型射極區域5係選擇性設於閘極電極10側，藉此流過各個p型基極區域4之電流變小，寄生雙極電晶體之閃鎖得到抑制。

此時，由於 n^+ 型射極區域5並未設於第1電極20側，故而通道密度下降，半導體裝置之導通電壓上升。

另一方面，藉由設置n型半導體區域6，能夠使n型半導體區域6蓄積電洞。此時，藉由將n型半導體區域6選擇性設於第1電極20側，能夠抑制通過通道流入n型半導體區域3之電子、與蓄積於n型半導體區域6之電洞之再結合。藉由抑制電子與電洞之再結合，能夠提高n型半導體區域3之載流子之密度，從而能夠降低半導體裝置之導通電壓。

即，根據本實施形態，將 n^+ 型射極區域5選擇性設於閘極電極10側而產生之導通電壓之上升，能夠藉由將n型半導體區域6選擇性設於第1電極20側而得到抑制。

(第2實施形態)

參照圖4對第2實施形態之半導體裝置之一例進行說明。

圖4係表示第2實施形態之半導體裝置200之一部分之立體剖視圖。

第2實施形態之半導體裝置200與半導體裝置100比較時，不同點為進而具有 p^+ 型半導體區域7。又，於半導體裝置200中，第1電極20與閘極電極10電性連接。

p^+ 型半導體區域7於Z方向設於n型半導體區域6與 n^+ 型半導體區域

2之間。n型半導體區域6位於p型基極區域4與p⁺型半導體區域7之間，且與該等半導體區域相接。

於半導體裝置200中，藉由對閘極電極10及第1電極20施加閾值以上之正電壓，而MOSFET變成導通狀態。其中，n⁺型射極區域5僅選擇性設於閘極電極10側。因此，若對第1電極20施加閾值以上之正電壓便會於第1絕緣層21附近形成通道，但電子並不會流過該通道。

使MOSFET成為導通狀態後，對閘極電極10及第1電極20施加負電壓。藉由該動作，於與第1電極20面對面之n型半導體區域6之第1絕緣層21附近之區域，形成電洞相對之通道。蓄積於n⁻型半導體區域3之電洞通過該通道而被排出至射極電極32。

根據本實施形態，能夠有效地進行使MOSFET導通時之載流子之排出。因此，根據本實施形態，除了能獲得第1實施形態所述之效果外，還能降低半導體裝置之開關損耗。

又，藉由設置p⁺型半導體區域7，通過形成於n型半導體區域6之通道排出電洞時，能夠減小排出路徑對電洞之阻力。因此，能夠更進一步降低半導體裝置之開關損耗。

(變化例)

圖5係表示第2實施形態之變化例之半導體裝置210之一部分之立體剖視圖。

於半導體裝置200中，在X方向上2個第1部分4a與2個n⁺型射極區域5交替設置。相對於此，於變化例之半導體裝置210中，在X方向上第1部分4a與n⁺型射極區域5交替設置。

於本變化例中，亦藉由對閘極電極10及第1電極20施加負電壓，而於n型半導體區域6形成面向電洞之通道。因此，根據本變化例，與第2實施形態同樣地，能夠降低半導體裝置之開關損耗。

關於以上所說明之各實施形態中之各半導體區域之間之雜質濃

度的相對高低，例如能夠使用SCM(掃描式靜電電容顯微鏡)進行確認。再者，各半導體區域中之載流子濃度可視為與各半導體區域中活化之雜質濃度相等。因此，關於各半導體區域之間之載流子濃度之相對高低亦能夠使用SCM進行確認。

又，關於各半導體區域中之雜質濃度，能夠藉由例如SIMS(二次離子質量分析法)進行測定。

以上，對本發明之若干實施形態進行了說明，但該等實施形態係作為示例而提示者，並不意圖限定發明之範圍。該等新穎之實施形態能以其他各種形態實施，且可於不脫離發明主旨之範圍內進行各種省略、置換、變更。實施形態所包含之例如 p^+ 型集極區域1、 n^+ 型半導體區域2、 n^- 型半導體區域3、 p 型基極區域4、 n^+ 型射極區域5、閘極電極10、閘極絕緣層11、第1電極20、第1絕緣層21、集極電極31、及射極電極32等各要素之具體構成，業者可根據周知之技術適當地選擇。該等實施形態或其變化包含於發明之範圍及主旨，且包含於申請專利範圍所記載之發明及其均等範圍內。又，上述各實施形態能夠相互組合而實施。

【符號說明】

1	p^+ 型集極區域
2	n^+ 型半導體區域
2a	n^+ 型之半導體層
3	n^- 型半導體區域
3a	n^- 型之半導體層
4	p 型基極區域
5	n^+ 型射極區域
6	n 型半導體區域
7	p^+ 型半導體區域

10	閘極電極
11	閘極絕緣層
11a	絕緣層
11b	絕緣層
20	第1電極
21	第1絕緣層
31	集極電極
32	射極電極
100、200、210	半導體裝置

申請專利範圍

1. 一種半導體裝置，其包括：

第1導電型之第1半導體區域；

第2導電型之第2半導體區域，其設於上述第1半導體區域之上；

閘極電極，其具有隔著閘極絕緣層而被上述第2半導體區域包圍之部分；

第1電極，其具有隔著第1絕緣層而被上述第2半導體區域包圍之部分，且與上述閘極電極相隔而設；

第2導電型之第3半導體區域，其設於上述第1絕緣層與上述閘極絕緣層之間之一部分，與上述第1絕緣層相接，且第2導電型之載流子濃度高於上述第2半導體區域之第2導電型之載流子濃度；

第1導電型之第4半導體區域，其於自上述第1半導體區域朝上述第2半導體區域之第1方向上具有與上述第3半導體區域並排之第1部分，設於上述第2半導體區域之上及上述第3半導體區域之上，且位於上述閘極電極與上述第1電極之間；以及

第2導電型之第5半導體區域，其選擇性地設於上述第4半導體區域之上，與上述閘極絕緣層相接，且於相對於上述第1方向垂直之第2方向上與上述第1部分並排。

2. 如請求項1之半導體裝置，其中上述第1電極與上述閘極電極電性連接。
3. 如請求項2之半導體裝置，其中進而包括於上述第1方向上設於上述第2半導體區域之一部分與上述第3半導體區域之間之第2導電型之第6半導體區域。
4. 如請求項3之半導體裝置，其中上述第1電極與上述第6半導體區域係於上述第2方向上並排。

5. 如請求項1至4中任一項之半導體裝置，其中上述第3半導體區域與上述第4半導體區域於上述第1方向上不並排。

圖式

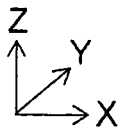
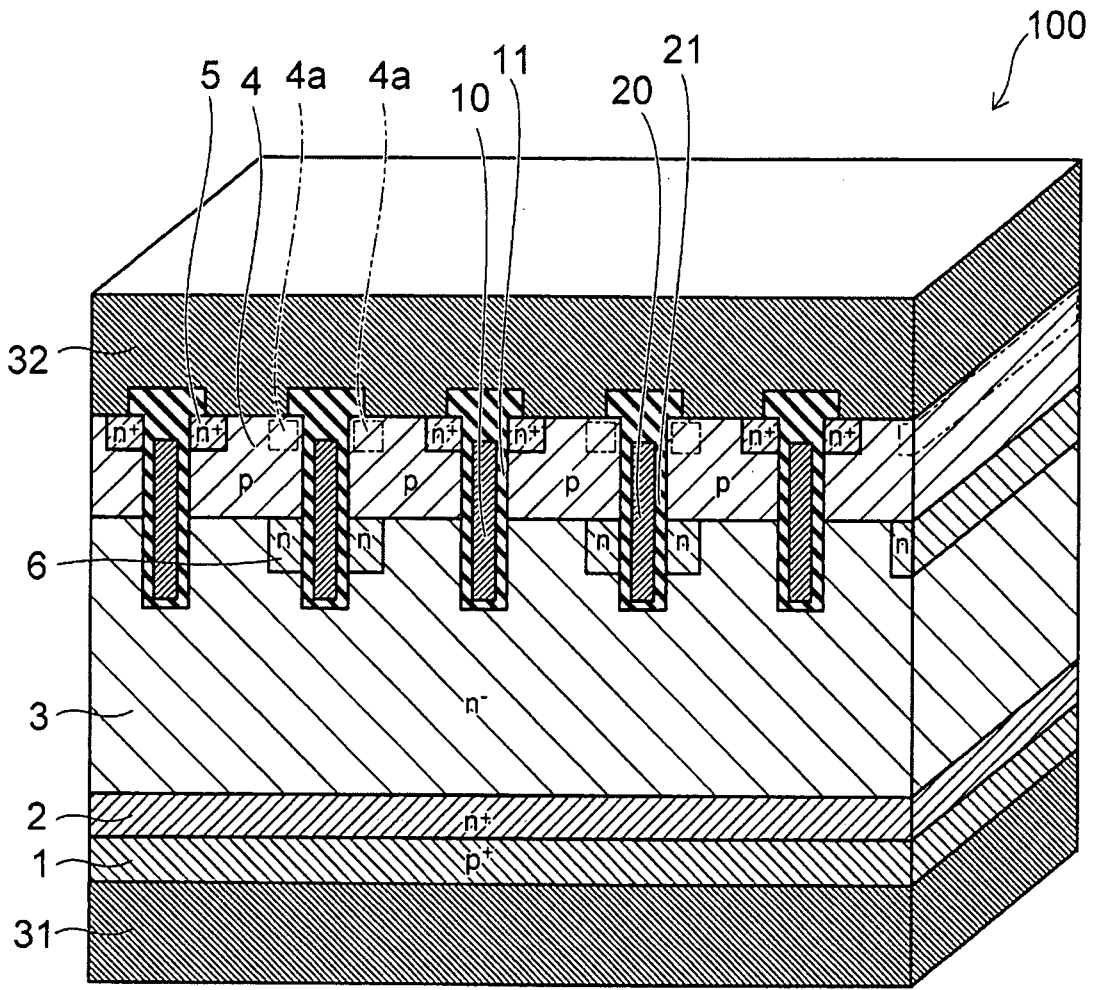
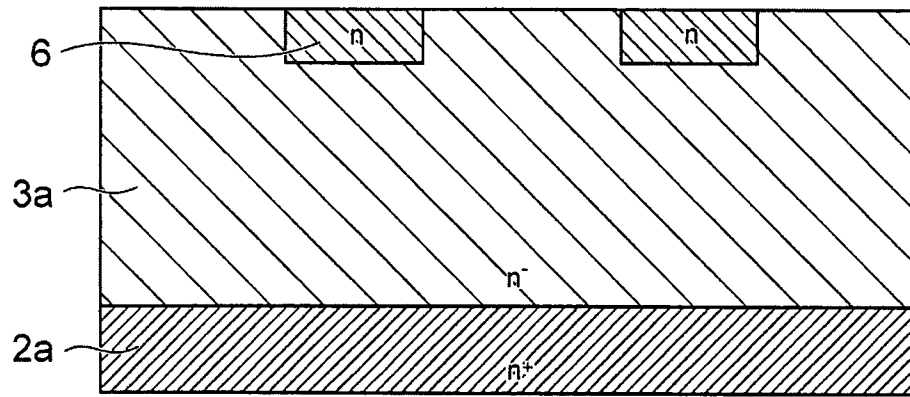
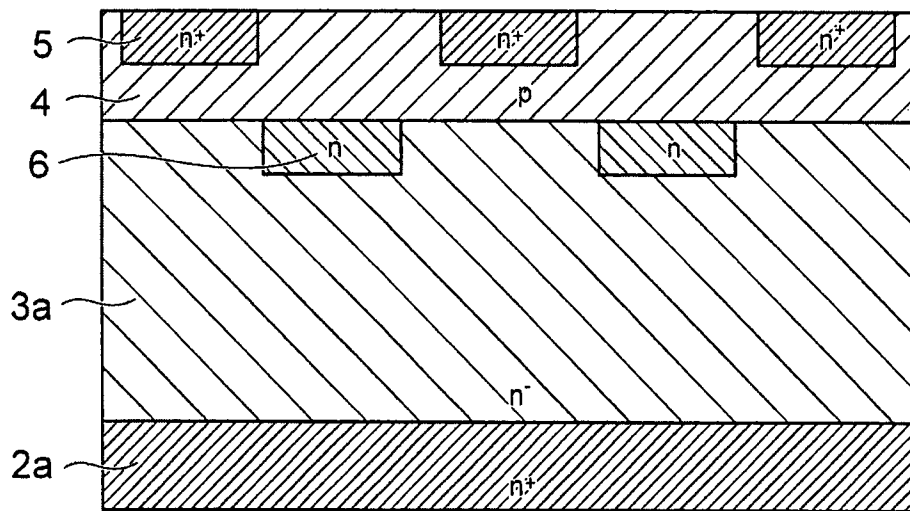


圖1



(a)



(b)

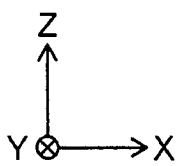
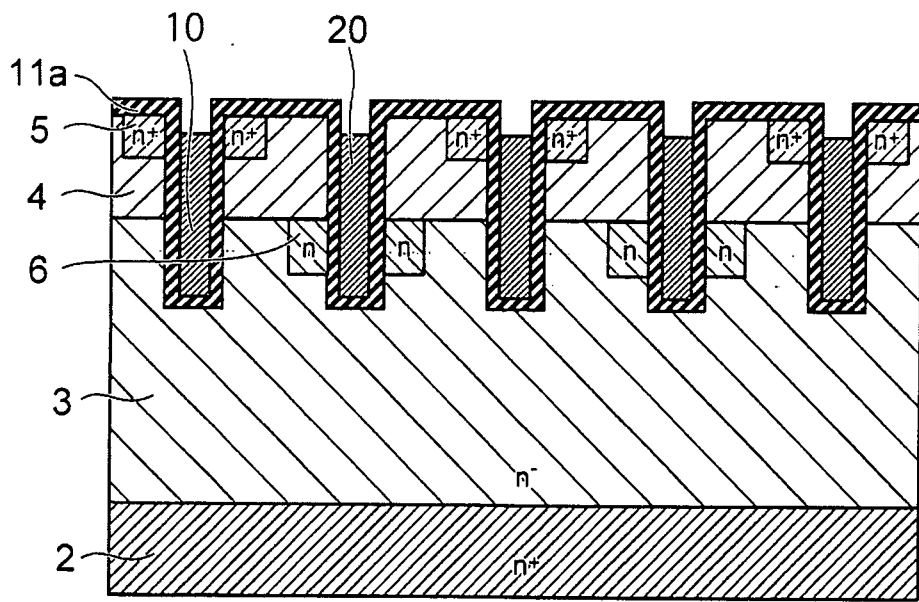
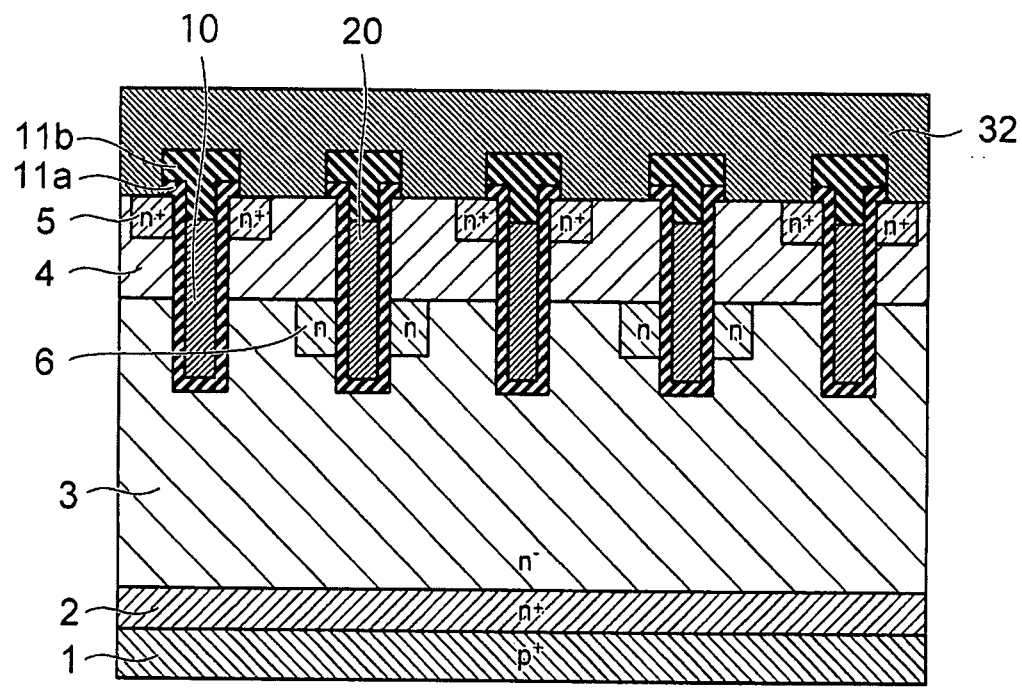


圖2



(a)



(b)

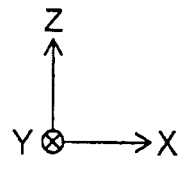


圖3

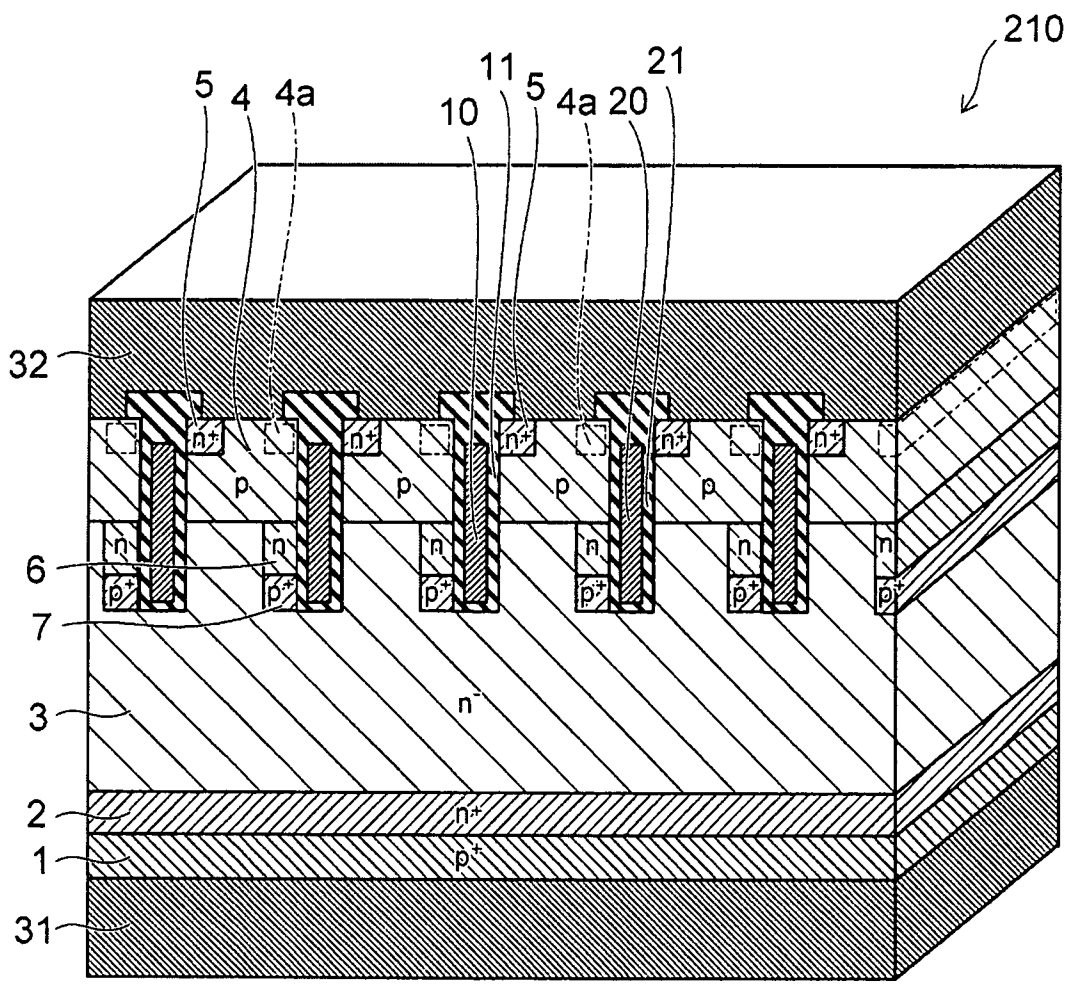


圖5