



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년07월29일
(11) 등록번호 10-1540388
(24) 등록일자 2015년07월23일

(51) 국제특허분류(Int. Cl.)
H01T 1/20 (2006.01) H01T 21/00 (2006.01)
H01T 4/10 (2015.01) H01T 4/12 (2006.01)
(21) 출원번호 10-2014-7006596
(22) 출원일자(국제) 2012년08월26일
심사청구일자 2014년03월12일
(85) 번역문제출일자 2014년03월12일
(65) 공개번호 10-2014-0046072
(43) 공개일자 2014년04월17일
(86) 국제출원번호 PCT/JP2012/071518
(87) 국제공개번호 WO 2013/038892
국제공개일자 2013년03월21일
(30) 우선권주장
JP-P-2011-200089 2011년09월14일 일본(JP)
(56) 선행기술조사문헌
KR1020100098722 A*
WO2011040437 A1
JP2003297524 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시킴가이사 무라타 세이사쿠쇼
일본국 교토후 나가오카코시 히가시코타리 1초메 10반 1고
(72) 발명자
수미 타카히로
일본국 교토후 나가오카코시 히가시코타리 1초메 10방 1고 가부시킴가이사 무라타 세이사쿠쇼 내
아다치 준
일본국 교토후 나가오카코시 히가시코타리 1초메 10방 1고 가부시킴가이사 무라타 세이사쿠쇼 내
츠키자와 타카유키
일본국 교토후 나가오카코시 히가시코타리 1초메 10방 1고 가부시킴가이사 무라타 세이사쿠쇼 내
(74) 대리인
윤동열

전체 청구항 수 : 총 6 항

심사관 : 김수섭

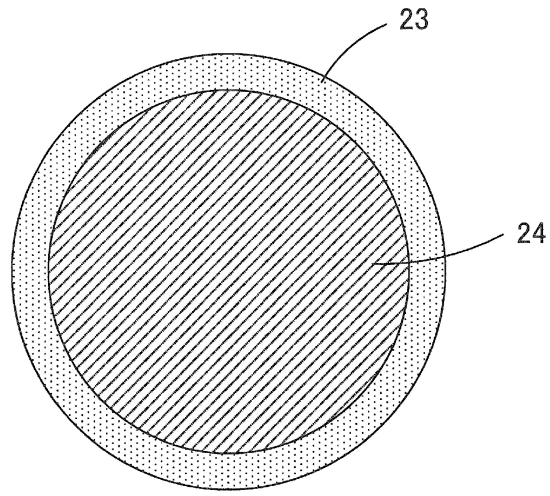
(54) 발명의 명칭 ESD 보호 디바이스 및 그 제조방법

(57) 요약

절연 신뢰성이 높고, 양호한 방전 특성을 갖는 ESD 보호 디바이스를 제공한다.

서로 대향하도록 배치된 제1 및 제2 방전 전극; 제1 및 제2 방전 전극간에 걸치도록 형성된 방전 보조 전극; 및 제1 및 제2 방전 전극 및 방전 보조 전극을 유지하는 절연체 기재;를 포함하는 ESD 보호 디바이스에 있어서, 방전 보조 전극이, 탄화 규소로 이루어지는 반도체막(23)에 의해 덮인 복수의 금속 입자(24)의 집합체로 구성된다. 이러한 방전 보조 전극을 얻기 위해서, 탄화 규소로 이루어지는 반도체 분말이 금속 입자 표면에 고착된 반도체 복합화 금속 분말을 소성하는 것이 실행되는데, 이 반도체 복합화 금속 분말에 있어서의 반도체 분말의 피복량 Q[중량%]와 금속 분말의 비표면적 S[m²/g]의 관계는 Q/S≥8이 되도록 선택된다.

대표도 - 도2



명세서

청구범위

청구항 1

서로 대향하도록 배치된 제1 및 제2 방전 전극;
 상기 제1 및 제2 방전 전극간에 걸치도록 형성된 방전 보조 전극; 및
 상기 제1 및 제2 방전 전극 및 상기 방전 보조 전극을 유지하는 절연체 기재;를 포함하고,
 상기 방전 보조 전극은, 탄화 규소로 이루어지는 반도체막에 의해 덮인 복수의 금속 입자의 집합체로 구성되어 있는 것을 특징으로 하는 ESD 보호 디바이스.

청구항 2

제1항에 있어서,
 상기 반도체막의 표면에 SiO₂가 존재하는 것을 특징으로 하는 ESD 보호 디바이스.

청구항 3

제1항 또는 제2항에 있어서,
 상기 금속 입자는 구리 또는 구리계 합금인 것을 특징으로 하는 ESD 보호 디바이스.

청구항 4

제1항 또는 제2항에 있어서,
 상기 제1 및 제2 방전 전극 및 상기 방전 보조 전극은 상기 절연체 기재의 내부에 배치되고, 상기 절연체 기재는, 상기 제1 및 제2 방전 전극간의 갭을 배치하는 공동(cavity)을 가지며, 상기 절연체 기재의 표면 상에 형성되며 상기 제1 및 제2 방전 전극에 각각 전기적으로 접속되는, 제1 및 제2 외부단자 전극을 더 포함하는 것을 특징으로 하는 ESD 보호 디바이스.

청구항 5

탄화 규소로 이루어지는 반도체 분말이 금속 입자 표면에 고착된 반도체 복합화 금속 분말을 준비하는 공정;
 절연체 기재를 준비하는 공정;
 상기 반도체 복합화 금속 분말을 포함하는 미소성 방전 보조 전극을 상기 절연체 기재의 표면 또는 내부에 형성하는 공정;
 상기 방전 보조 전극 상에 있어서 서로 대향하도록 배치되는 제1 및 제2 방전 전극을 상기 절연체 기재의 표면 또는 내부에 형성하는 공정; 및
 상기 미소성 방전 보조 전극을 소성하는 공정;을 포함하고
 상기 반도체 복합화 금속 분말에 있어서의 상기 반도체 분말의 코팅량 Q[중량%]와 상기 금속 분말의 비표면적 S[m²/g]의 관계가 Q/S≥8인 것을 특징으로 하는 ESD 보호 디바이스의 제조방법.

청구항 6

제5항에 있어서,
 상기 절연체 기재를 준비하는 공정은, 제1 및 제2 세라믹 그린 시트를 포함하는 복수의 세라믹 그린 시트를 준비하는 공정을 포함하고,
 상기 미소성 방전 보조 전극을 형성하는 공정 및 상기 제1 및 제2 방전 전극을 형성하는 공정은 상기 제1 세라

믹 그린 시트 상에서 실시되고,

상기 제1 및 제2 방전 전극간의 갭을 더도록 소실층을 형성하는 공정;

상기 제1 세라믹 그린 시트 상에, 상기 미소성 방전 보조 전극, 상기 제1 및 제2 방전 전극 및 상기 소실층을 더도록 상기 제2 세라믹 그린 시트를 적층하여, 미소성의 상기 절연체 기재를 얻는 공정; 및

상기 절연체 기재의 표면 상에, 상기 제1 및 제2 방전 전극에 각각 전기적으로 접속되는 제1 및 제2 외부단자 전극을 형성하는 공정;을 더 포함하고,

상기 소성하는 공정은, 상기 세라믹 그린 시트를 소결시켜서 상기 절연체 기재를 얻는 공정 및 상기 소실층을 소실시키는 공정을 포함하는 것을 특징으로 하는 ESD 보호 디바이스의 제조방법.

발명의 설명

기술 분야

[0001] 이 발명은 ESD(Electrostatic Discharge; 정전기 방전) 보호 디바이스 및 그 제조방법에 관한 것으로, 특히, ESD 보호 디바이스에 있어서 정전기 방전을 촉진하기 위해서 마련되는 방전 보조 전극에 대한 개량에 관한 것이다.

배경 기술

[0002] 이 발명에 있어서 흥미 있는 과전압 보호 소자가, 예를 들면 일본국 공개특허공보 2008-85284호(특허문헌 1)에 기재되어 있다.

[0003] 특허문헌 1에는 방전을 촉진하기 위해서 마련되는 방전 보조 전극이 될 과전압 보호 소자 재료로서 비도체 분말(예를 들면, 탄화 규소: 입경 1~50 μ m), 금속 도체 분말(예를 들면, 구리: 입경 0.01~5 μ m) 및 점착제(예를 들면, 유리 분말)를 포함하는 것이 기재되어 있다.

[0004] 또한, 특허문헌 1에는, 과전압 보호 소자의 제조방법으로서, 소정 비율로 비도체 분말, 금속 도체 분말 및 점착제를 균일하게 혼합시켜서 재료 페이스트를 형성하는 공정, 기판 상에 그 재료 페이스트를 인쇄하는 공정, 및 그 기판에 소성 처리(온도: 300~1200 $^{\circ}$ C)를 실행하는 공정을 포함하는 것이 기재되어 있다.

[0005] 그러나, 특허문헌 1에 기재된 기술에서는 점착제로서의 유리가 분말로 첨가되기 때문에 유리 분말의 분산 상태에 따라서는 유리 성분이 불균일하게 존재하는 경우가 있고, 그 결과, 금속 도체 분말과 비도체 분말이 충분히 결합되지 않을 우려가 있다. 그 때문에, 특히 고(高)전압의 ESD가 발생했을 때, 쇼트 불량 발생하기 쉽다는 과제가 있다.

[0006] 상기와 같은 과제를 해결할 수 있는 것으로서, 예를 들면 국제 공개 팜플렛제2009 / 098944호(특허문헌 2)에 기재된 것이 있다.

[0007] 특허문헌 2에는, 방전 보조 전극으로서, 무기재료(Al_2O_3 등)에 의해 코팅된 도전 재료(Cu 분말 등)를 분산시킨 것을 이용하는 것이 기재되어 있다. 특허문헌 2에 기재된 기술에 의하면, 특허문헌 1에 기재된 기술에 비해서 도전 재료의 노출이 적기 때문에 절연 신뢰성을 높게 할 수 있다. 또한, 도전 재료의 함유량을 늘려도 도전 재료끼리의 단락이 생기기 어렵기 때문에, 도전 재료를 늘림으로써 방전되기 쉽게 할 수 있으며, 그에 의해 피크 전압을 내릴 수 있다.

[0008] 그러나, 특허문헌 1에 기재된 기술에 대해서도, 이하와 같은 해결해야 할 과제가 있다.

[0009] 특허문헌 2에 기재된 기술에 있어서 "무기 재료에 의해 코팅된 도전 재료"는, 특허문헌 2의 단락[0034], [0094] 및 도 4에 기재되어 있듯이 무기 재료로 이루어지는 미립자를 도전 재료의 표면에 코팅한 것에 불과하다. 따라서, 도전 재료의 표면을 완전히 무기재료로 덮는 것은 비교적 어렵고, 도전 재료가 노출돼 버릴 가능성이 있다. 그 때문에, 절연 신뢰성에 대해서는 더 개선이 요구되는 바이다.

선행기술문헌

특허문헌

- [0010] (특허문헌 0001) 일본국 공개특허공보 제2008-85284호
- (특허문헌 0002) 국제 공개 팜플렛 제2009 / 098944호

발명의 내용

해결하려는 과제

- [0011] 따라서, 이 발명의 목적은, 상술한 것과 같은 문제를 해결할 수 있는, 즉 절연 신뢰성이 높으며 양호한 방전 특성을 갖는 ESD 보호 디바이스 및 그 제조방법을 제공하고자 하는 것이다.

과제의 해결 수단

- [0012] 이 발명은, 서로 대향하도록 배치된 제1 및 제2 방전 전극; 제1 및 제2 방전 전극간에 걸치도록 형성된 방전 보조 전극; 및 제1 및 제2 방전 전극 및 방전 보조 전극을 유지하는 절연체 기재;를 포함하는 ESD 보호 디바이스에 관한 것이며, 상술한 기술적 과제를 해결하기 위해서 방전 보조 전극이, 탄화 규소로 이루어지는 반도체막으로 덮인 복수의 금속 입자의 집합체로 구성되어 있는 것을 특징으로 한다.

- [0013] 이렇게 방전 보조 전극을 구성하는 금속 입자를 탄화 규소로 이루어지는 반도체막에 의해 덮음으로써 방전시의 절연 신뢰성을 높게 할 수 있다.

- [0014] 탄화 규소에서 유래하는 SiO₂가 반도체막의 표면에 존재하면, 이 SiO₂가 유리상 물질의 그물코 형성 성분으로서 기능해서, 금속 입자끼리를 견고하게 결합시킬 수 있고, 따라서 ESD 보호 디바이스의 신뢰성을 높일 수 있다.

- [0015] 금속 입자는 구리 또는 구리를 주성분으로 한 구리계 합금인 것이 바람직하다. 이에 의해, 비교적 저렴하게 ESD 보호 디바이스를 제공할 수 있다. 또한, 구리는 비교적 고(高)용접이기 때문에 방전시의 절연 신뢰성을 보다 향상시킬 수 있다. 용접이 낮으면 방전시의 열로 금속 입자가 용융해서 소결되어서, 쇼트될 우려가 있기 때문이다.

- [0016] 이 발명에 따른 ESD 보호 디바이스에 있어서, 바람직하게는, 제1 및 제2 방전 전극 및 방전 보조 전극은 절연체 기재 내부에 배치되고, 절연체 기재는 제1 및 제2 방전 전극간의 갭을 배치하는 공동(cavity)을 가지고, 절연체 기재의 표면 상에 형성되며 제1 및 제2 방전 전극에 각각 전기적으로 접속되는 제1 및 제2 외부단자 전극을 더 구비한다. 이에 의해, ESD 보호 디바이스의 내습성을 향상시킬 수 있다.

- [0017] 이 발명은 또한, ESD 보호 디바이스의 제조방법에도 관한다.

- [0018] 이 발명에 따른 ESD 보호 디바이스의 제조방법은 탄화 규소로 이루어지는 반도체 분말이 금속 입자 표면에 고착된 반도체 복합화 금속 분말을 준비하는 공정; 절연체 기재를 준비하는 공정; 상기 반도체 복합화 금속 분말을 포함하는 미소성 방전 보조 전극을 절연체 기재의 표면 또는 내부에 형성하는 공정; 방전 보조 전극 상에 있어서 서로 대향하도록 배치되는 제1 및 제2 방전 전극을 절연체 기재의 표면 또는 내부에 형성하는 공정; 및 미소성 방전 보조 전극을 소성하는 공정;을 포함하고, 반도체 복합화 금속 분말에 있어서의 반도체 분말의 피복량 Q[중량%]와 금속 분말의 비표면적 S[m²/g]의 관계가 Q/S≥8인 것을 특징으로 한다.

- [0019] 상술한 방전 보조 전극을 형성하는 공정과 제1 및 제2 방전 전극을 형성하는 공정은 어느 것이 먼저 실시되어도 좋다.

- [0020] 이 발명에 따른 ESD 보호 디바이스의 제조방법의 바람직한 실시형태에 있어서, 절연체 기재를 준비하는 공정은 제1 및 제2 세라믹 그린 시트를 포함하는 복수의 세라믹 그린 시트를 준비하는 공정을 포함한다. 이 경우, 미소성 방전 보조 전극을 형성하는 공정 및 제1 및 제2 방전 전극을 형성하는 공정은 제1 세라믹 그린 시트 상에서 실시된다. 또한, 이 바람직한 실시형태에서는, 제1 및 제2 방전 전극간의 갭을 덮도록 소실층을 형성하는 공정; 제1 세라믹 그린 시트 상에, 미소성 방전 보조 전극, 제1 및 제2 방전 전극 및 소실층을 덮도록 제2 세라믹 그린 시트를 적층하여, 미소성 절연체 기재를 얻는 공정; 및 절연체 기재의 표면 상에, 제1 및 제2 방전 전극에 각각 전기적으로 접속되는 제1 및 제2 외부단자 전극을 형성하는 공정;이 더 실시된다. 그리고, 소성하는 공정에 있어서, 세라믹 그린 시트를 소결시켜서 절연체 기재를 얻음과 함께 소실층을 소실시키는 것이 실행된다.

발명의 효과

[0021] 이 발명에 따른 ESD 보호 디바이스에 의하면, 방전 보조 전극이 탄화 규소로 이루어지는 반도체막에 의해 덮인 복수의 금속 입자의 집합체로 구성되어 있어서, 반복해서 정전기를 인가해도 특성의 열화가 생기기 어렵고, 방전시의 절연 신뢰성을 높게 할 수 있다. 또한, 금속 입자의 함유량을 늘려도 금속 입자끼리의 단락이 생기기 어렵기 때문에 금속 입자를 늘림으로써 방전되기 쉽게 할 수 있고, 그에 의해 피크 전압을 내릴 수 있다. 따라서, 이 발명에 따른 ESD 보호 디바이스는 반도체 장치 등의 다양한 기기 또는 장치의 보호를 위해서 널리 이용할 수 있다.

[0022] 이 발명에 따른 ESD 보호 디바이스의 제조방법에 의하면, 방전 보조 전극을 형성하기 위해서, 탄화 규소로 이루어지는 반도체 분말이 소정 피복량으로 금속 입자 표면에 고착된 반도체 복합화 금속 분말을 이용하는 것만으로, 소성 후의 방전 보조 전극을, 상술한 것과 같은 작용 효과를 발휘할 수 있는, 탄화 규소로 이루어지는 반도체막에 의해 덮인 복수의 금속 입자의 집합체로 구성하는 것이 가능해 진다.

도면의 간단한 설명

[0023] 도 1은 이 발명의 제1의 실시형태에 의한 ESD 보호 디바이스(11)를 나타내는 단면도이다.
 도 2는 도 1에 나타낸 방전 보조 전극(18)을 구성하는 금속 입자(24)를 모식적으로 나타내는 단면도이다.
 도 3은 이 발명의 제2 실시형태에 의한 ESD 보호 디바이스(11a)를 나타내는 단면도이다.
 도 4는 실험예에 있어서 제작한 ESD 보호 디바이스(42)의 제조 공정을 설명하기 위한 것으로, 제1 세라믹 그린 시트(31) 상에 미소성 방전 보조 전극(32)을 형성한 상태를 나타내는 평면도이다.
 도 5는 실험예에 있어서 제작한 ESD 보호 디바이스(42)의 제조 공정을 설명하기 위한 것으로, 도 4에 나타낸 공정 후, 미소성의 제1 및 제2 방전 전극(33 및 34)을 형성한 상태를 나타내는 평면도이다.
 도 6은 실험예에 있어서 제작한 ESD 보호 디바이스(42)의 제조 공정을 설명하기 위한 것으로, 도 5에 나타낸 공정 후, 미소성 소실층(35)을 형성한 상태를 나타내는 평면도이다.
 도 7은 실험예에 있어서 제작한 ESD 보호 디바이스(42)의 제조 공정을 설명하기 위한 것으로, 도 6에 나타낸 공정 후, 제2 세라믹 그린 시트(36)를 적층한 상태를 나타내는 단면도이다.
 도 8은 실험예에 있어서 제작한 ESD 보호 디바이스(42)의 제조 공정을 설명하기 위한 것으로, 도 7에 나타낸 공정 후, 미소성 외부단자 전극(38 및 39)을 형성한 상태를 나타내는 단면도이다.
 도 9는 실험예에 있어서, 도 8에 나타낸 공정 후, 소성 공정을 실시하고, 완성된 ESD 보호 디바이스(42)를 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0024] 도 1을 참조해서 이 발명의 제1의 실시형태에 의한 ESD 보호 디바이스(11)에 대해서 설명한다.
 [0025] ESD 보호 디바이스(11)는 절연체 기재(12)를 포함하고 있다. 절연체 기재(12)는 예를 들면 유리 세라믹 등의 저온 소결 세라믹(LTCC), 질화 알루미늄, 알루미늄 등의 고온 소결 세라믹(HTCC), 페라이트 등의 자성체 세라믹으로 구성된다. 절연체 기재(12)는, 적어도 상층부(13)와 하층부(14)를 포함하는 적층 구조를 가지고 있다.
 [0026] 절연체 기재(12)의 내부이며, 상층부(13)과 하층부(14)의 사이에는 소정 갭(G)을 개재해서 서로 대향하도록 배치된 제1 및 제2 방전 전극(16 및 17)과, 제1 및 제2 방전 전극(16 및 17)간에 걸치도록 형성된 방전 보조 전극(18)이 마련되어 있다. 절연체 기재(12)에 있어서 상기 갭(G)이 위치하는 부분은 공동(19)이 된다.
 [0027] 절연체 기재(12)의 외표면 상에는, 제1 및 제2 외부단자 전극(20 및 21)이 형성된다. 제1 및 제2 외부단자 전극(20 및 21)은 각각 전술한 제1 및 제2 방전 전극(16 및 17)에 전기적으로 접속된다.
 [0028] 이러한 ESD 보호 디바이스(11)에 있어서, 방전 보조 전극(18)은 도 2에 나타낸 바와 같이 탄화 규소로 이루어지는 반도체막(23)에 의해 각각 덮인 복수의 금속 입자(24)의 집합체로 구성되어 있다. 이렇게, 방전 보조 전극(18)을 구성하는 금속 입자(24)가 탄화 규소로 이루어지는 반도체막(23)에 의해 덮여 있으면, 방전시의 절연 신뢰성을 높게 할 수 있다. 한편, 금속 입자(24)에는, 절연 신뢰성이 실질적으로 손상되지 않는 한, 반도체막(23)에 의해 덮이지 않은 부분이 약간 존재하고 있어도 좋다.
 [0029] 금속 입자(24)를 구성하는 금속으로서, 바람직하게는 구리 또는 구리를 주성분으로 한 구리계 합금이 이용되지

만, 그 밖에, 은, 알루미늄, 몰리브덴, 텅스텐 등을 이용할 수도 있다.

- [0030] ESD 보호 디바이스(11)는 예를 들면 다음과 같이 제조된다.
- [0031] 우선, 절연체 기재(12)가 될 복수의 세라믹 그린 시트가 준비된다. 복수의 세라믹 그린 시트 중 제1 세라믹 그린 시트는 절연체 기재(12)의 예를 들면 하층부(14)를 형성하기 위한 것이고, 제2 세라믹 그린 시트는 마찬가지로 상층부(13)를 형성하기 위한 것이다.
- [0032] 또한, 방전 보조 전극(18)을 형성하기 위해서, 탄화 규소로 이루어지는 반도체 분말이 금속 입자 표면에 고착된 반도체 복합화 금속 분말이 준비된다. 반도체 복합화 금속 분말은, 예를 들면, 탄화 규소로 이루어지는 반도체 분말과 금속 분말을 소정 비율로 조합하고, 메카노퓨전법(mechano-fusion)을 적용함으로써 제조된다. 이때 반도체 분말과 금속 분말의 조합 비율은, 얻어진 반도체 복합화 금속 분말에 있어서의 반도체 분말의 피복량 Q [중량 %]와 금속 분말의 비표면적 S [m^2/g]의 관계가 $Q/S \geq 8$ 이 되도록 선택된다.
- [0033] 다음으로, 제1 세라믹 그린 시트 상에, 상기 반도체 복합화 금속 분말을 포함하는 페이스트를 이용해서, 방전 보조 전극(18)이 될 미소성의 페이스트막이 소정 패턴으로 형성된다.
- [0034] 다음으로, 제1 세라믹 그린 시트 상이며, 상기 미소성 방전 보조 전극(18)으로서의 페이스트막 상에서 소정 갭(G)을 개재해서 서로 대향하도록 제1 및 제2 방전 전극(16 및 17)이 형성된다. 방전 전극(16 및 17)은 예를 들면 도전성 페이스트를 부여함으로써 형성된다.
- [0035] 다음으로, 제1 및 제2 방전 전극(16 및 17)간의 갭(G)을 덮도록 소실층이 형성된다. 소실층은 후술하는 소성 공정에서 소실되고, 전술한 공동(19)을 절연체 기재(12)의 내부에 남기기 위한 것이다. 소실층은 예를 들면 수지 비즈를 포함하는 페이스트에 의해 형성된다.
- [0036] 한편, 상술한 방전 보조 전극(18), 제1 및 제2 방전 전극(16 및 17) 및 소실층을 각각 형성하기 위해서 이용하는 페이스트는, 직접 부여 대상물 상에 부여되어도 좋고, 혹은 전사법 등을 이용해서 부여되어도 좋다.
- [0037] 다음으로, 제1 세라믹 그린 시트 상에, 미소성 방전 보조 전극(18), 제1 및 제2 방전 전극(16 및 17) 및 소실층을 덮도록 제2 세라믹 그린 시트가 적층되어 압착된다. 이에 의해, 미소성 절연체 기재(12)가 얻어진다.
- [0038] 다음으로, 미소성 절연체 기재(12)의 표면 상에 제1 및 제2 외부단자 전극(20 및 21)이 형성된다. 외부단자 전극(20 및 21)은 예를 들면 도전성 페이스트를 부여함으로써 형성된다.
- [0039] 다음으로, 소성 공정이 실시된다. 소성 공정에서는 세라믹 그린 시트가 소결되어서 형성되는 절연체 기재(12)가 얻어짐과 함께, 방전 전극(16 및 17), 방전 보조 전극(18) 및 외부단자 전극(20 및 21)이 소결된다.
- [0040] 상술한 소성 공정에서는, 미소성 방전 보조 전극(18)에 포함되는 반도체 복합화 금속 분말에 있어서의 금속 입자 표면에서는, 탄화 규소로 이루어지는 반도체 분말이 용융되어서, 도 2에 나타낸 바와 같이 금속 입자(24)의 표면을 덮는 탄화 규소로 이루어지는 반도체막(23)을 생성한다.
- [0041] 또한, 이 소성 과정에서는 금속 입자(24) 표면 상의 탄화 규소의 일부가 산소와 접촉함으로써, 유리상 물질의 그물코 형성 성분이 될 수 있는 SiO_2 를 생성할 수 있다. 이 SiO_2 는 설령 소량이라도 금속 입자(24)간을 견고하게 결합하도록 작용한다. 따라서, ESD 보호 디바이스(11)의 신뢰성을 높일 수 있다.
- [0042] 이 소성 공정에서는 또한, 소실층이 소실되어서 공동(19)이 절연체 기재(12)의 내부에 형성된다.
- [0043] 이상과 같이, ESD 보호 디바이스(11)가 완성된다.
- [0044] 한편, 금속 입자(24)를 구성하는 금속으로서, 구리 또는 구리계 합금이 이용되고, 방전 보조 전극(18)이 절연체 기재(12)와 함께 소성되는 경우에는, 절연체 기재(12)는 LTCC로 구성되는 것이 바람직하다.
- [0045] 도 3에는, 이 발명의 제2 실시형태에 의한 ESD 보호 디바이스(11a)가 나타나 있다. 도 3에 있어서, 도 1에 나타낸 요소에 상당하는 요소에는 같은 참조 부호를 첨부하고, 중복되는 설명은 생략한다.
- [0046] 도 3에 나타낸 ESD 보호 디바이스(11a)는, 방전 보조 전극(18)과 절연체 기재(12)가 접하는 계면을 따라서, 예를 들면 Al_2O_3 으로 이루어지는 보호층(26)이 형성되어 있는 것을 특징으로 한다. 이 구성은, 특히, 절연체 기재(12)가 LTCC나 자성체 세라믹으로 구성되는 경우에 유효하다. 즉, 절연체 기재(12)가 LTCC로 구성될 경우, 보호층(26)은 소성 공정에 있어서 절연체 기재(12) 측에서의 유리 성분이 방전 보조 전극(18) 내에 확산·침투함으로써 방전 보조 전극(18)의 절연성이 열화되는 것을 방지하도록 작용한다. 또한, 절연체 기재(12)가 자성체 세

라믹으로 구성될 경우, 보호층(26)은, ESD 인가시에 자성체 세라믹의 재료가 환원되어서, 절연체 기재(12)의 절연성이 열화되는 것을 방지하도록 작용한다.

- [0047] 이 발명의 범위 내에 있어서, 또한 이하와 같은 변형에도 가능하다.
- [0048] 도시된 실시형태에서는, 방전 전극(16 및 17) 및 방전 보조 전극(18)이 절연체 기재(12)의 내부에 배치되지만, 절연체 기재의 외표면 상에 배치되어도 좋다.
- [0049] 또한, 방전 전극(16 및 17) 및 방전 보조 전극(18)이 절연체 기재(12)의 내부에 배치될 경우에도, 공동(19)은 반드시 형성되어 있지 않아도 좋다.
- [0050] 또한, 방전 보조 전극(18)에는, 탄화 규소로 이루어지는 반도체막에 의해 덮인 금속 입자(24) 외에, 탄화 규소 등의 반도체 분말이나 알루미늄 등의 절연체 분말이 포함되어 있어도 좋다.
- [0051] 게다가, ESD 보호 디바이스(11a)는 그 외의 기능 소자와 함께 기판에 내장되어 있어도 좋다.
- [0052] 또한, 전술한 제조방법에서는, 방전 전극(16 및 17) 및 방전 보조 전극(18)을 소결시키기 위한 소성과 동시에, 절연체 기재(12)를 소결시키기 위한 소성을 실시했으나, 소결된 세라믹으로 이루어지는 절연체 기재를 미리 준비하고, 이 절연체 기재 상에 방전 전극 및 방전 보조 전극을 형성하도록 해도 좋다.
- [0053] 다음으로, 이 발명에 따른 효과를 확인하기 위해서 실시한 실험예에 대해서 설명한다.
- [0054] [실험예]
- [0055] <평가 시료의 제작>
- [0056] (1) 세라믹 그린 시트의 제작
- [0057] 세라믹 재료로서, Ba, Al, 및 Si를 주된 성분으로 하는 재료를 준비했다. 그리고, 각 재료를 소정 조성이 되도록 조합하고, 800~1000℃로 가소(calcination)했다. 얻어진 가소 분말을 지르코니아 볼 밀로 12시간 분쇄해서 세라믹 분말을 얻었다.
- [0058] 다음으로, 이 세라믹 분말에 톨루엔 및 에키넨을 포함하는 유기 용제를 첨가해서 이들을 혼합한 후, 추가로 바인더 및 가소제를 첨가해서 다시 이들을 혼합함으로써 슬러리를 얻었다.
- [0059] 다음으로, 이 슬러리를 닥터 블레이드법으로 성형하여, 두께가 50 μ m인 세라믹 그린 시트를 제작했다. 여기서 제작된 세라믹 그린 시트 중 하나가 도 4 내지 도 8에서 세라믹 그린 시트(31)로서 도시되어 있고, 또한, 다른 하나가 도 7 및 도 8에서 세라믹 그린 시트(36)로서 도시되어 있다.
- [0060] (2) 방전 보조 전극용 페이스트의 제작
- [0061] 소원료로서, 표 1에 기재된 반도체 분말 및 표 2에 기재된 금속 분말을 준비했다.

표 1

반도체 분말 기호	반도체 종류	평균 입경 (nm)	SSA (m ² /g)	비중
H-1	SiC	35	50	3.1
H-2	SiC	500	15	3.2

[0062]

표 2

금속 분말 기호	금속 종류	평균 입경 (μm)	SSA (m^2/g)	비중
M-1	Cu	3.1	0.25	8.93
M-2	Cu	1.9	0.45	8.93
M-3	Cu	1.2	0.60	8.93

[0063]

[0064]

표 1 및 표 2에 있어서, “평균 입경”은 레이저 회절식 입도 분포법으로, “SSA”(비표면적)은 BET법으로, “비중”은 기상 치환법으로 각각 측정했다.

[0065]

다음으로, 표 3의 “반도체 분말 종류”란에 표시된 기호로 나타낸 표 1에 기재된 반도체 분말과 표 3의 “금속 분말 종류”란에 표시된 기호로 나타낸 표 2에 기재된 금속 분말을 표 3의 “중량 조성” 및 “체적 조성”란에 나타낸 비율로 조합해서, 메카노퓨전법으로 표 3에 기재된 반도체 복합화 금속 분말을 얻었다.

표 3

반도체 복합화 금속 분말 기호	금속 분말 종류	반도체 분말 종류	중량 조성(중량%)		체적 조성(중량%)		비중	반도체 양(중량%) / 금속 분말의 SSA(m^2/g)
			금속 양	반도체 양	금속 양	반도체 양		
* MS-1	M-1	H-1	99.5	0.5	98.57	1.43	8.847	2.0
* MS-2	M-1	H-1	99.0	1.0	97.17	2.83	8.765	4.0
MS-3	M-1	H-1	98.0	2.0	94.45	5.55	8.606	8.0
MS-4	M-1	H-1	97.0	3.0	91.82	8.18	8.453	12.0
MS-5	M-1	H-1	95.0	5.0	86.83	13.17	8.162	20.0
* MS-6	M-2	H-1	99.5	0.5	98.57	1.43	8.847	1.1
* MS-7	M-2	H-1	99.0	1.0	97.17	2.83	8.765	2.2
* MS-8	M-2	H-1	98.0	2.0	94.45	5.55	8.606	4.4
* MS-9	M-2	H-1	97.0	3.0	91.82	8.18	8.453	6.7
MS-10	M-2	H-1	95.0	5.0	86.83	13.17	8.162	11.1
* MS-11	M-3	H-1	99.5	0.5	98.57	1.43	8.847	0.8
* MS-12	M-3	H-1	99.0	1.0	97.17	2.83	8.765	1.7
* MS-13	M-3	H-1	98.0	2.0	94.45	5.55	8.606	3.3
* MS-14	M-3	H-1	97.0	3.0	91.82	8.18	8.453	5.0
MS-15	M-3	H-1	95.0	5.0	86.83	13.17	8.162	8.3
* MS-16	M-1	H-2	95.0	5.0	87.19	12.81	8.196	8.3

[0066]

[0067]

표 3에 있어서, 이 발명의 범위 외의 시료에 대해서는 그 시료번호에 *를 첨부했다.

[0068]

표 3에 있어서, “비중”은 기상 치환법으로 측정했다. 또한, “반도체 양 / 금속 분말의 SSA”에서의 “반도체 양”은 금속 입자 표면에 고착된 반도체 분말의 피복량을 나타내는 것으로, ICP-AES법(유도 결합 플라즈마 발광 분석)으로 측정하고, “금속 분말의 SSA”는 BET법으로 측정했다.

[0069]

한편, 중량 평균 분자량이 5×10^4 인 에토셀(ethylcellulose) 수지와 중량 평균 분자량이 8×10^3 인 알키드 수지를 테르피네올에 용해함으로써, 유기 비히클을 얻었다. 유기 비히클 중에 있어서, 에토셀 수지의 함유율을 9.0 중량%, 알키드 수지의 함유율을 4.5 중량%, 테르피네올의 함유율을 86.5 중량%로 했다.

[0070]

다음으로, 표 1에 기재된 반도체 분말, 표 2에 기재된 금속 분말 또는 표 3에 기재된 반도체 복합화 금속 분말과, 상기 유기 비히클을 표 4에 표시된 수지의 체적%가 되도록 조합하고, 3롤(three-roll)로 분산 처리하여, 방

전 보조 전극용 페이스트 S-1~S-26을 얻었다.

표 4

방전 보조 전극 페이스트 기호	반도체 복합화 금속 분말																속 분말 분말 M-1	반도체 분말		유기 비히클
	MS-1	MS-2	MS-3	MS-4	MS-5	MS-6	MS-7	MS-8	MS-9	MS-10	MS-11	MS-12	MS-13	MS-14	MS-15	MS-16		H-1	H-2	
* S-1	14.0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	86.0
* S-2	-	14.0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	86.0
* S-3	-	-	14.0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	86.0
* S-4	-	-	-	14.0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	86.0
* S-5	-	-	-	-	14.0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	86.0
* S-6	-	-	-	-	-	14.0	-	-	-	-	-	-	-	-	-	-	-	-	-	86.0
* S-7	-	-	-	-	-	-	14.0	-	-	-	-	-	-	-	-	-	-	-	-	86.0
* S-8	-	-	-	-	-	-	-	14.0	-	-	-	-	-	-	-	-	-	-	-	86.0
* S-9	-	-	-	-	-	-	-	-	14.0	-	-	-	-	-	-	-	-	-	-	86.0
* S-10	-	-	-	-	-	-	-	-	-	14.0	-	-	-	-	-	-	-	-	-	86.0
* S-11	-	-	-	-	-	-	-	-	-	-	14.0	-	-	-	-	-	-	-	-	86.0
* S-12	-	-	-	-	-	-	-	-	-	-	-	14.0	-	-	-	-	-	-	-	86.0
* S-13	-	-	-	-	-	-	-	-	-	-	-	-	14.0	-	-	-	-	-	-	86.0
* S-14	-	-	-	-	-	-	-	-	-	-	-	-	-	14.0	-	-	-	-	-	86.0
* S-15	-	-	-	-	-	-	-	-	-	-	-	-	-	-	14.0	-	-	-	-	86.0
* S-16	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	13.8	0.2	-	-	86.0
* S-17	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	13.6	0.4	-	-	86.0
* S-18	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	13.2	0.8	-	-	86.0
* S-19	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	12.9	1.1	-	-	86.0
* S-20	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	12.2	1.8	-	-	86.0
* S-21	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	13.8	-	0.2	-	86.0
* S-22	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	13.6	-	0.4	-	86.0
* S-23	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	13.2	-	0.8	-	86.0
* S-24	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	12.9	-	1.1	-	86.0
* S-25	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	12.2	-	1.8	-	86.0
* S-26	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	12.2	-	1.8	-	86.0

[0071]

[0072]

표 4에 있어서, 이 발명의 범위 외의 시료에 대해서는 그 시료번호에 *를 첨부했다.

[0073]

(3) 방전 전극용 페이스트의 제작

[0074]

평균 입경이 1 μ m인 Cu 분말 40중량%; 평균 입경이 3 μ m인 Cu 분말 40중량%; 및 에틸셀룰로오스를 테르피네올에 용해해서 제작한 유기 비히클 20중량%;를 조합하고, 3롤에 의해 혼합함으로써 방전 전극용 페이스트를 제작했다.

[0075]

(4) 소실층용 수지 비즈 페이스트의 제작

[0076]

소성 시에 소실되어서 공동이 되는 소실층을 형성하기 위해서 수지 비즈 페이스트를 제작했다. 평균 입경이 1 μ m인 가교 아크릴 수지 비즈 38중량%; 및 에틸셀룰로오스를 디하이드로테르피닐 아세테이트에 용해해서 제작한 유기 비히클 62중량%;를 조합하고, 3롤에 의해 혼합함으로써 소실층용 수지 비즈 페이스트를 제작했다.

- [0077] (5) 외부단자 전극용 페이스트의 제작
- [0078] 평균 입경이 약 $1\mu\text{m}$ 인 Cu 분말 80중량%; 전이점 620°C , 연화점 720°C 로 평균 입경이 약 $1\mu\text{m}$ 인 붕규산 알칼리계 유리 프릿 5중량%; 및 에틸셀룰로오스를 테르피네올에 용해해서 제작한 유기 비히클 15중량%;를 조합하고, 3롤에 의해 혼합으로써 외부단자 전극용 페이스트를 제작했다.
- [0079] (6) 각 페이스트의 인쇄
- [0080] 우선, 도 4에 나타난 바와 같이, 세라믹 그린 시트(31)의 한쪽 주면(主面) 상에 방전 보조 전극용 페이스트를 도포함으로써, $150\mu\text{m}\times 100\mu\text{m}$ 의 치수인 미소성 방전 보조 전극(32)을 형성했다. 여기에서, 방전 보조 전극용 페이스트로서, 표 4에 표시된 다양한 조성의 방전 보조 전극용 페이스트 S-1~S-26 중 하나를, 표 5의 “방전 보조 전극 페이스트” 란에 나타난 바와 같이 이용했다.
- [0081] 다음으로, 세라믹 그린 시트(31)의 상기 주면 상이며, 미소성 방전 보조 전극(32)과 일부 겹치도록 방전 전극용 페이스트를 도포함으로써, 도 5에 나타난 바와 같이 미소성의 제1 및 제2 방전 전극(33 및 34)을 형성했다. 미소성의 제1 및 제2 방전 전극(33 및 34)은 미소성 방전 보조 전극(32) 상에서, $20\mu\text{m}$ 의 갭(G)을 개재해서 서로 대향하는 것이며, 대향부의 폭(W)은 $100\mu\text{m}$ 으로 했다. 도 5에는 그 외의 부분의 치수도 표시되어 있다.
- [0082] 다음으로, 도 6에 나타난 바와 같이, 미소성의 제1 및 제2 방전 전극(33 및 34)의 갭(G)을 덮도록 해서 소실층용 수지 비즈 페이스트를 도포하고, $140\mu\text{m}\times 150\mu\text{m}$ 의 치수인 미소성 소실층(35)을 형성했다.
- [0083] (7) 적층·압착
- [0084] 상기와 같이, 미소성 방전 보조 전극층(32), 미소성 방전 전극(33 및 34) 및 미소성 소실층(35)을 형성한 제1 세라믹 그린 시트(31)의 주면 상에, 도 7에 나타난 바와 같이, 페이스트가 도포되어 있지 않은 제2 세라믹 그린 시트(36)를 복수장 적층·압착해서, 미소성 절연체 기재(37)를 얻었다. 이 절연체 기재(37)는 소성 후의 두께가 0.3mm 가 되도록 했다.
- [0085] (8) 절단 및 외부단자 전극용 페이스트의 인쇄
- [0086] 상기 절연체 기재(37)를 소성 후에 $1.0\text{mm}\times 0.5\text{mm}$ 의 평면 치수가 되도록 마이크로 커터로 절단했다. 한편, 도 5에 나타난 치수 및 도 4 내지 도 7에 나타난 세라믹 그린 시트(31) 등의 외형상은 이 절단 공정 후의 단계에서의 것으로 이해해야 한다.
- [0087] 다음으로, 도 8에 나타난 바와 같이, 절연체 기재(37)의 외표면 상에 외부단자 전극용 페이스트를 도포하고, 그에 의해, 제1 및 제2 방전 전극(33 및 34)과 각각 접촉되는 미소성의 제1 및 제2 외부단자 전극(38 및 39)을 형성했다. 이렇게 해서 미소성 ESD 보호 디바이스(40)를 얻었다.
- [0088] (9) 소성
- [0089] 상기 미소성 ESD 보호 디바이스(40)를, $\text{N}_2/\text{H}_2/\text{H}_2\text{O}$ 를 이용해서 분위기 제어한 소성로에서 $980\sim 1000^\circ\text{C}$ 의 범위에 있는 적당한 최고 온도로 소성하여, 도 9에 나타난 바와 같은 공동부(41)를 갖는 ESD 보호 디바이스(42)를 얻었다. 한편, 소성로의 분위기는 시종 Cu가 산화되지 않는 산소 농도로 설정했다.
- [0090] <특성 평가>
- [0091] 다음으로, 상술과 같이 제작한 각 시료에 따른 ESD 보호 디바이스에 대해서, 이하의 방법으로, 초기 특성으로서 초기 쇼트 특성과 피크 전압 특성, 및 신뢰성 특성으로서 반복 피크 전압 특성과 반복 쇼트 특성을 각각 평가했다.
- [0092] (1) 초기 쇼트 특성
- [0093] 각 시료에 따른 ESD 보호 디바이스의 외부단자 전극간에 50V의 직류 전압을 인가하고, 절연 저항을 측정했다. $10^8\Omega$ 이상의 절연 저항을 나타낸 것을 초기 쇼트 특성이 양호하다고 판정해서, 표 5의 “초기 쇼트” 란에 “○”으로 표시하고, $10^8\Omega$ 미만의 절연 저항을 나타낸 것을 초기 쇼트 특성이 불량하다고 판정하여, 같은 란에 “×”으로 표시했다.
- [0094] 한편, 초기 쇼트 특성이 불량으로 판정된 ESD 보호 디바이스에 대해서는, 실용에 적합하지 않다고 판정하고, 이후의 특성평가(피크 전압 특성, 반복 피크 전압 특성, 반복 쇼트 특성)를 실시하지 않았다.

- [0095] (2) 피크 전압 특성
- [0096] 정전기 시험총(gun)을 이용해서 각 시료에 따른 ESD 보호 디바이스에 8kV의 정전기를 인가했다. 그 때, 오실로스코프로 측정되는 전압을 피크 전압으로 정의하고, 피크 전압이 500V 미만인 것을 피크 전압 특성이 양호하다고 판정하여 표 5의 “피크 전압” 란에 “○”으로 표시하고, 피크 전압이 500V 이상인 것을 피크 전압 특성이 불량하다고 판정하여, 같은 란에 “×”으로 표시했다.
- [0097] (3) 반복 피크 전압 특성
- [0098] 상기 피크 전압 특성 평가의 경우와 같은 장치를 이용하여, 각 시료에 따른 ESD 보호 디바이스에 8kV의 정전기를 100회 인가했다. 100회 인가한 후, 다시 8kV의 정전기를 인가해서 피크 전압을 측정하고, 피크 전압이 500V 미만인 것을 반복 피크 전압 특성이 양호하다고 판정하여 표 5의 “반복 피크 전압” 란에 “○”으로 표시하고, 피크 전압이 500V 이상인 것을 반복 피크 전압 특성이 불량하다고 판정하여, 같은 란에 “×”으로 표시했다.
- [0099] (4) 반복 쇼트 특성
- [0100] 상기 피크 전압 특성 및 반복 피크 전압 특성의 평가의 경우와 같은 장치를 이용해서, 각 시료에 따른 ESD 보호 디바이스에 8kV의 정전기를 100회 인가했다. 인가할 때마다 각 시료의 절연 저항을 측정하고, 한 번도 $10^6\Omega$ 미만의 저항치가 측정되지 않았던 것을 반복 쇼트 특성이 양호하다고 판정하여 표 5의 “반복 쇼트” 란에 “○”으로 표시하고, 한번이라도 $10^6\Omega$ 미만의 저항치가 측정된 것을 반복 쇼트 특성이 불량하다고 판정하여, 같은 란에 “×”으로 표시했다.
- [0101] (5) 종합 평가
- [0102] 상기 초기 쇼트 특성, 피크 전압 특성, 반복 피크 전압 특성 및 반복 쇼트 특성의 각 평가에서, 모두 양호로 판정된 것을 실용상 적합하다고 판정하여 표 5의 “종합 평가” 란에 “○”로 표시하고, 적어도 하나의 특성(여기서는 초기 쇼트 특성)에서 불량으로 판정된 것을 실용상 적합하지 않다고 판정하여 표 5의 “종합 평가” 란에 “×”으로 표시했다.

표 5

시료 번호	방전 보조 전극 페이스트	초기 특성		신뢰성 특성		종합 평가
		초기 쇼트	피크 전압	반복 피크 전압	반복 쇼트	
* 1	S-1	×	-	-	-	×
* 2	S-2	×	-	-	-	×
3	S-3	○	○	○	○	○
4	S-4	○	○	○	○	○
5	S-5	○	○	○	○	○
6	S-6	×	-	-	-	×
* 7	S-7	×	-	-	-	×
* 8	S-8	×	-	-	-	×
* 9	S-9	×	-	-	-	×
10	S-10	○	○	○	○	○
* 11	S-11	×	-	-	-	×
* 12	S-12	×	-	-	-	×
* 13	S-13	×	-	-	-	×
* 14	S-14	×	-	-	-	×
* 15	S-15	○	○	○	○	○
* 16	S-16	×	-	-	-	×
* 17	S-17	×	-	-	-	×
* 18	S-18	×	-	-	-	×
* 19	S-19	×	-	-	-	×
* 20	S-20	×	-	-	-	×
* 21	S-21	×	-	-	-	×
* 22	S-22	×	-	-	-	×
* 23	S-23	×	-	-	-	×
* 24	S-24	×	-	-	-	×
* 25	S-25	×	-	-	-	×
* 26	S-26	×	-	-	-	×

[0103]

[0104]

표 5에 있어서, 이 발명의 범위 외의 시료에 대해서는, 그 시료 번호에 *를 첨부했다.

[0105]

이 발명의 범위 내의 시료 3~5, 10 및 15의 ESD 보호 디바이스는, 뛰어난 초기 특성(초기 쇼트 특성, 피크 전압 특성)과 뛰어난 신뢰성 특성(반복 피크 전압 특성, 반복 쇼트 특성)을 가지고 있었다. 이들 시료에 대해서, 방전 보조 전극부의 SEM 관찰을 실행한 바, Cu 분말끼리 SiO₂로 이루어지는 얇은 유리상 물질에 의해 결합된 상태였다.

[0106]

이에 반해서, 이 발명의 범위 외의 시료 1, 2, 6~9, 11~14 및 16의 ESD 보호 디바이스는 초기 쇼트 특성이 불량했다. 이들 시료에 대해서, 방전 보조 전극부의 SEM 관찰을 실행한 바, Cu 분말끼리가 입자 성장한 상태였다. 초기 쇼트 특성이 불량해진 것은, 시료 1, 2, 6~9 및 11~14에 대해서는 표 3의 “반도체 양/금속 분말의 SSA”가 8 미만이며, Cu 분말의 단위 표면당 피복되어 있는 탄화 규소 분말량이 적기 때문에, 노출되어 있는 Cu 분말 표면이 많아져, 그 노출면끼리 소결된 것이 원인으로 추측된다. 또한, 시료 16에 대해서는, 반도체 분말로서, 표 1에 나타난 평균 입경이 500nm로 큰 반도체 분말 H-2를 이용했기 때문에, 노출되어 있는 Cu 분말 표면이 많아져, 그 노출면끼리 소결된 것이 원인으로 추측된다.

[0107]

또한, 이 발명의 범위 외의 시료 17~26의 ESD 보호 디바이스도 초기 쇼트 특성이 불량했다. 이들 시료에 대해서, 방전 보조 전극부의 SEM 관찰을 실행한 바, Cu 분말끼리 입자가 성장한 개소와, 유리상 물질이 편석된 개소가 확인되었다. 초기 쇼트 특성이 불량해진 것은, 탄화 규소 분말이 Cu 분말 표면에 고착된 반도체 복합화 금속 분말을 이용하지 않고, 탄화 규소 분말과 Cu 분말을 복합화하지 않은 상태로 이용했기 때문에 노출되어 있는 Cu 분말 표면이 많아, 그 노출면끼리 소결된 것이 원인으로 추측된다.

[0108]

이상의 실험예로부터 알 수 있듯이, 이 발명에 따르면, 안정된 특성을 구비하고, 반복해서 정전기를 인가해도 특성의 열화가 생기기 어려운 ESD 보호 디바이스를 얻을 수 있다. 따라서, 이 발명은 반도체 장치 등을 비롯한 여러 종류의 기기, 장치의 보호를 위해서 이용되는 ESD 보호 디바이스 분야에 널리 적용하는 것이 가능하다.

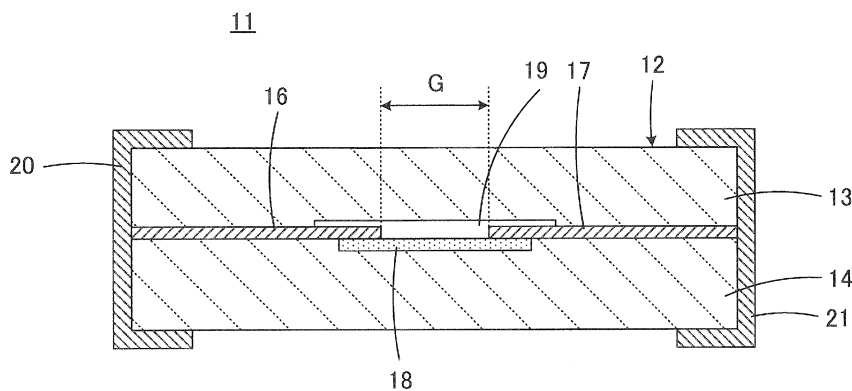
부호의 설명

[0109]

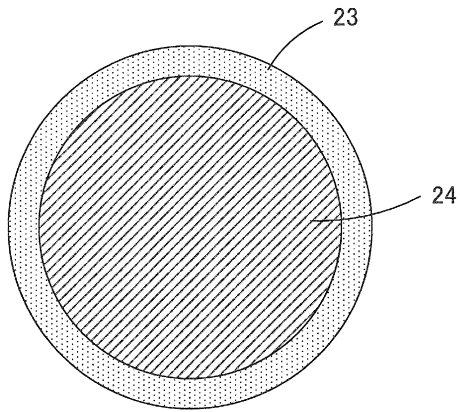
- 11, 11a, 42 ESD 보호 디바이스
- 12 절연체 기재
- 16, 17 방전 전극
- 18 방전 보조 전극
- 19, 41 공동
- 20, 21 외부단자 전극
- 23 반도체막
- 24 금속 입자
- 31, 36 세라믹 그린 시트
- 32 미소성 방전 보조 전극
- 33, 34 미소성 방전 전극
- 35 미소성 소실층
- 37 미소성 절연체 기재
- 38, 39 미소성 외부단자 전극
- 40 미소성 ESD 보호 디바이스
- G 갭

도면

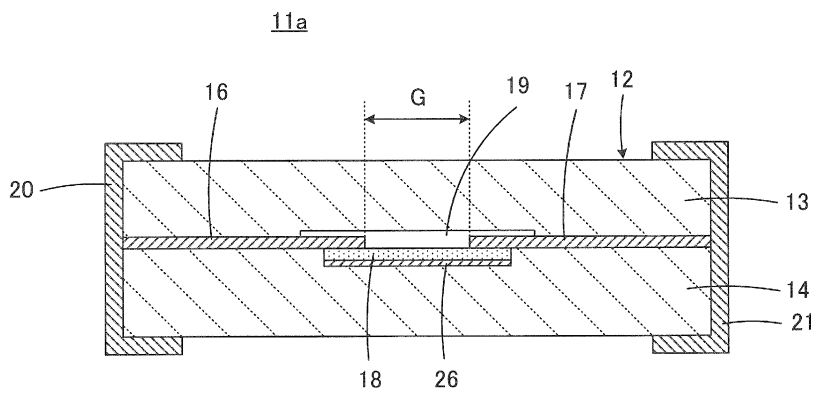
도면1



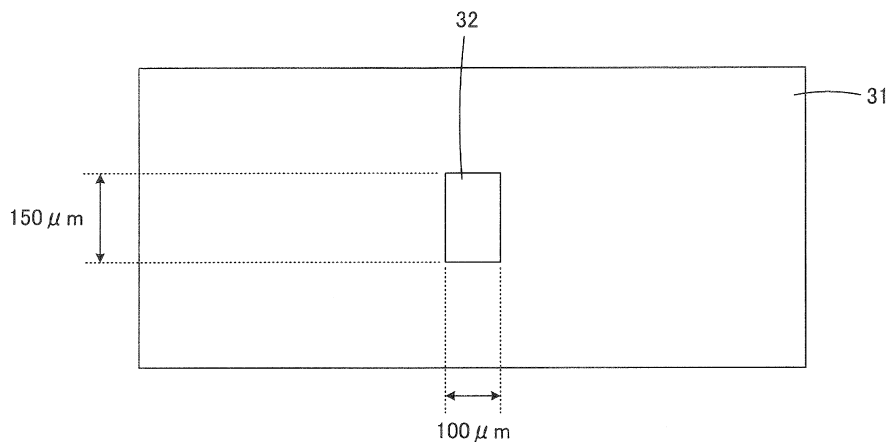
도면2



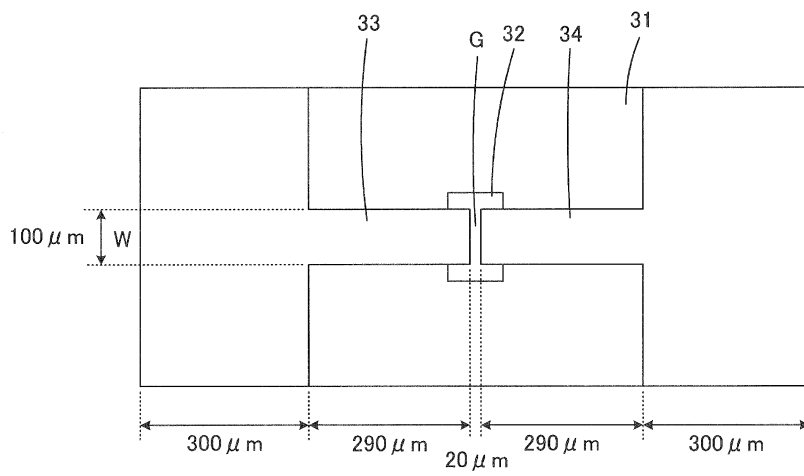
도면3



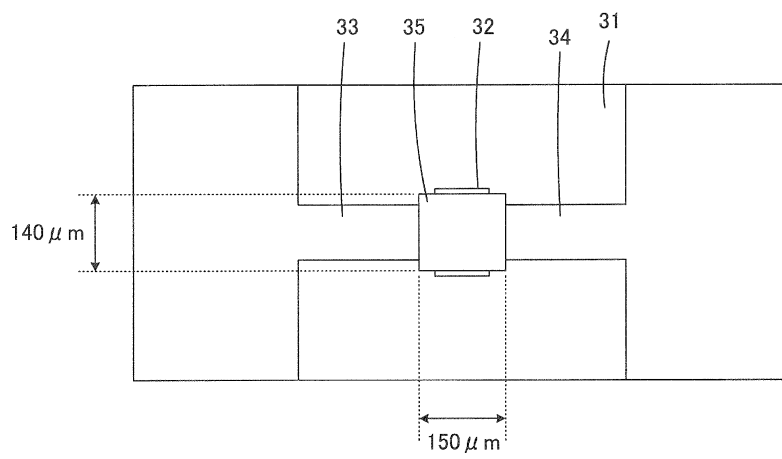
도면4



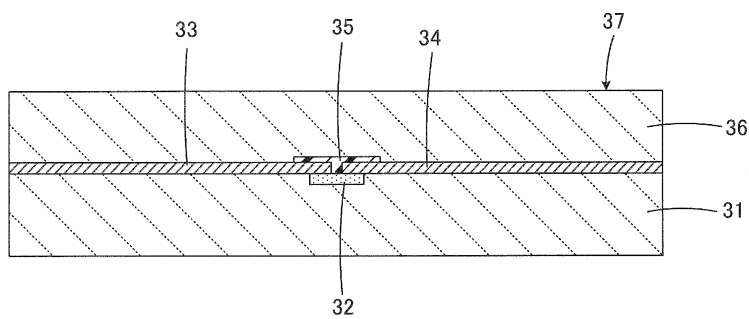
도면5



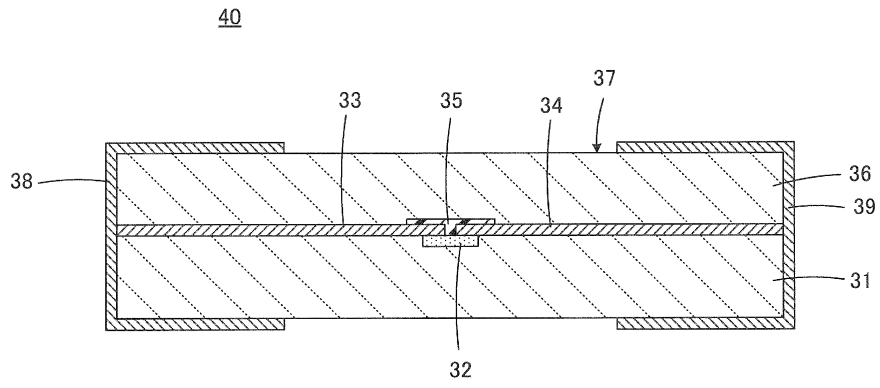
도면6



도면7



도면8



도면9

