

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 27/108

(45) 공고일자 1993년03월29일
(11) 공고번호 93-002292

(21) 출원번호	특1990-0008164	(65) 공개번호	특1992-0001724
(22) 출원일자	1990년06월02일	(43) 공개일자	1992년01월30일
(71) 출원인	삼성전자 주식회사 김광호 경기도 수원시 권선구 매탄동 416번지		
(72) 발명자	서광벽 서울특별시 강남구 도곡동 한신아파트 2-807 정태영 경기도 하남시 덕풍 2동 461-5		
(74) 대리인	이영필		

심사관 : 유환열 (책자공보 제3190호)

(54) 반도체 장치 및 그 제조방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 장치 및 그 제조방법

[도면의 간단한 설명]

제1도는 종래 스택형 커패시터의 단면도.

제2도는 본 발명에 따른 반도체 메모리장치의 일부 평면도.

제3도는 제2도의 a-a선을 따른 본 발명의 스택형 커패시터의 단면도.

제4a도 내지 제4i도는 본 발명에 따른 스택형 커패시터의 제조공정을 도시한 일 실시예의 공정순서도.

제5a도 내지 제5f도는 본 발명에 따른 스택형 커패시터의 제조공정을 도시한 다른 실시예의 공정순서도.

* 도면의 주요부분에 대한 부호의 설명

100 : 반도체기판	101 : 필드 산화막
102 : 액티브 영역	1 : 게이트 산화막
2 : 게이트 전극	3 : 소오스영역
4 : 드레인 영역	5 : 제1도전층 혹은 제1다결정 실리콘층
6 : 제1절연층	7 : 제2절연층
7a : 제1산화막	7b : 질화막
7c : 제 2 산화막	
10 : 제 1전극 혹은 제 2 도전층 혹은 제 2 다결정 실리콘층	
11 : 제3절연층 패턴	
12 : 제1전극 혹은 제3도전층 혹은 제3다결정 실리콘층	
13 : 유전체막	

- 14 : 제2전극 혹은 제4도전층 혹은 제4다결정 실리콘층
 15 : 제4절연층
 16 : 제1평탄화층
 17 : 금속층 혹은 비트라인
 18 : 제 2 평탄화층
 19 : 금속전극
 20 : 매몰 접촉창
 21 : 제 4 도전층이 제거되는 부분
 22 : 접촉창

[발명의 상세한 설명]

본 발명은 반도체 장치 및 그 제조방법에 관한 것으로, 특히 메모리소자의 커패시터 용량을 증가시킬 수 있는 반도체 장치 및 그 제조방법에 관한 것이다.

최근 반도체 제조기술의 발달과 메모리소자의 응용분야가 확장되어 감에 따라 대용량의 메모리소자 개발이 진척되고 있는데, 특히 1개의 메모리 셀(cell)을 1개의 커패시터와 1개의 트랜지스터로 구성함으로써 고집적화에 유리한 DRAM(Dynamic Random Access Memory)의 괄목할만한 발전이 이루어져 왔다.

이 DRAM은 집적도의 향상을 위한 메모리 셀 구조에 따라 종래 플래너(planar)형 커패시터 셀에서 스택(stack)형 커패시터 셀과 트렌치(trench)형 커패시터 셀의 3차원적인 구조가 고안되었다.

제1도는 종래 스택형 커패시터 셀을 나타낸 단면도이다. 먼저 제1전도형의 반도체 기판(100)상에 액티브 영역을 한정하기 위하여 선택적으로 필드 산화막(101)을 형성하고, 상기 액티브 영역상에 게이트 산화막(1)을 개재하여 게이트전극(2)을 형성하며, 이 게이트 전극(2) 양측의 반도체 기판 표면에 제2전도형의 소오스 영역(3) 및 드레인 영역(4)을 형성하고, 상기 필드 산화막(101)상의 소정부분에 인접하는 메모리 셀의 게이트 전극과 연결되는 제1도전층(5)을 형성하며, 상기 게이트 전극(2) 및 제1도전층(5) 위에 절연층(6, 7)을 형성하고, 상기 소오스영역(3)의 일부분과 연결됨과 동시에 상기 게이트 전극(2) 및 제1도전층(5) 상부의 절연층(7)상에 배치되도록 커패시터의 제1전극으로 사용되는 제2도전층(10)을 형성하며, 상기 제2도전층(10)상에 유전체막(13)을 형성하고, 상기 유전체막(13) 위에 커패시터의 제2전극으로 사용되는 제4도전층(14)을 형성하여 스택형 커패시터를 완성한다.

상술한 종래 스택형 커패시터의 구조에서는 제2도전층의 측면과 상부를 커패시터의 제1전극 표면으로 사용하기 때문에 커패시터 용량은 상기 제2도전층의 크기와 두께에 의하여 결정된다. 소자의 고집적화에 따라 메모리 셀의 면적이 축소되고, 이에 따라 커패시터 셀의 면적(제2도전층의 크기)도 줄어들게 되므로, 커패시터 용량의 증가는 제2도전층의 두께 증가에 의한 측면의 면적을 증가시켜야 한다. 그러나, 이는 셀내의 단차를 증가시킴으로써 커패시터 형성후 비트라인 형성시에 어려움이 발생한다.

따라서 본 발명의 목적은 상기한 바와 같은 종래기술의 문제점을 해결하기 위하여 반도체 기판면 상측에 형성된 커패시터의 제1전극층을 2층으로 하여, 이 제1전극층의 상부, 측면, 바닥을 모두 커패시터의 유효면적으로 사용함으로써 커패시터의 용량을 크게 한 스택형 커패시터를 제공하는데 있다.

본 발명의 다른 목적은 상기한 구조의 스택형 커패시터를 효율적으로 제조할 수 있는 제조방법을 제공하는데 있다.

상기한 목적을 달성하기 위하여 본 발명에 따른 스택형 커패시터는 제1전도형의 반도체 기판상에 액티브 영역을 한정하기 위하여 선택적으로 형성된 필드 산화막, 상기 액티브 영역상에 전기적으로 절연된 게이트전극, 이 게이트 전극 양측의 반도체 기판 표면에 형성된 제2전도형의 소오스 영역 및 드레인 영역, 상기 필드 산화막상의 소정부분에 인접하는 메모리 셀의 게이트전극과 연결하기 위하여 형성된 제1도전층, 상기 게이트 전극 및 제1도전층을 절연시키기 위한 절연층, 커패시터의 제1전극으로 사용되며, 상기 소오스 영역의 일부분과 매몰 접촉창을 통하여 연결됨과 동시에 상기 게이트 전극 및 제1도전층 상부의 절연층상에 배치된 제2도전층, 상기 제2도전층과 함께 상기 커패시터의 제1전극으로 사용되며, 그 일단이 상기 제2도전층의 주연부상에서 이 제2도전층과 연결됨과 동시에 그 타단이 상기 매몰 접촉창쪽으로 상기 제2도전층과 일정한 갭을 두고 확장 배치된 제3도전층, 상기 제2 및 제3도전층의 표면을 따라 형성된 유전체막, 상기 유전체막상에 형성된 제4도전층을 구비함을 특징으로 한다.

상기한 구조의 커패시터를 제조하는데 적합한 제조방법은 제1전도형의 반도체 기판상에 필드 산화막을 성장시켜 액티브 영역을 정의하는 제1공정과, 상기 액티브 영역상에 메모리 셀의 구성요소인 트랜지스터의 게이트 전극, 소오스 영역 및 드레인 영역을 형성하고, 상기 필드 산화막상의 소정부분에 제1도전층을 형성하며, 상기 게이트 전극 및 제1도전층위에 제1절연층을 형성하는 제2공정과, 상기 제2공정 이후 제2절연층을 형성하는 제3공정과, 상기 소오스 영역의 일부분을 노출하기 위하여 개구를 형성하고, 상기 제2절연층 및 노출된 기판의 전표면에 제2도전층을 침적하는 제4공정과, 상기 제2도전층상에 제3절연층을 도포하여 새들 모양의 제3절연층 패턴을 형성하는 제5공정과, 상기 제5공정 이후 제3도전층을 침적하는 제6공정과, 상기 소오스 영역 상부의 제3도전층을 식각하는 제7공정과, 상기 제3절연층을 패턴을 제거하고, 커패시터의 제1전극 패턴을 형성하는 제8공정과, 상기 제8공정 이후 유전체막 및 제4도전층을 차례로 형성하는 제9공정으로 이루어지는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명을 설명하기로 한다.

제2도는 본 발명에 따른 반도체 메모리장치의 일부평면도이다. 동도면에서 참조부호 102는 액티브 영역이고, 2 및 5는 워드라인(후술하는 게이트 전극 및 제1도전층)이다. 또, 20은 소오스 영역의 일부분을 노출하는 매몰 접촉창이고, 10은 상기 매몰 접촉창(20)과 연결되어 커패시터의 제1전극으로 사용되는 제2도전층이며, 11은 새들(saddle) 모양의 제3절연층 패턴이다. 14는 커패시터의 제2전극으로 사용되는 제4도전층이고, 21은 상기 제4도전층이 제거되는 부분이다. 22는 드레인 영역의 일부

분을 노출하는 접촉창이고, 17는 상기 접촉창(22)과 연결되어 비트라인으로 사용되는 금속층이다.

제3도는 제2도의 A-A선을 따른 본 발명의 스택형 커패시터의 단면도이다.

본 발명에 의한 스택형 커패시터는, 제2도 및 제3도에 나타낸 바와 같이, 제1전도형이 반도체 기판(100)상에 액티브영역을 한정하기 위하여 선택적으로 필드 산화막(101)을 형성하고, 상기 액티브 영역상에 게이트 산화막(1)을 개재하여 게이트 전극(2)을 형성하며, 이 게이트 전극(2) 양측의 반도체 기판 표면에 제2전도형의 소오스 영역(3) 및 드레인 영역(4)을 형성하고, 상기 필드 산화막(101)상의 소정부분에 인접하는 메모리 셀의 게이트 전극과 연결되는 제1도전층(5)을 형성하며, 상기 게이트 전극(2) 및 제1도전층(5) 위에 절연층(6, 7)을 형성하고, 상기 소오스 영역(3)의 일부분과 연결됨과 동시에 상기 게이트 전극(2) 및 제1도전층(5) 상부의 절연층(7)상에 배치되도록 제2도전층(10)을 형성하며, 상기 제2도전층(10)과 일정한 갭(gap)을 두고 연결됨과 동시에 그 패턴이 상기 게이트 전극(2) 및 제1도전층(5)의 상부에만 배치되도록 제3도전층(12)을 형성하고, 상기 제2 및 제3도전층(10)(12)의 표면을 따라 유전체막(13)을 형성하며, 상기 유전체막(13)상에 제4도전층(14)을 형성하여 스택형 구조를 갖는다.

제4a도 내지 제4i도는 본 발명에 따른 스택형 커패시터의 제조공정을 도시한 일 실시예의 공정순서도이다.

제4a도는 반도체 기판(100)상에 트랜지스터의 형성 공정을 도시한 것으로, 먼저 제1전도형의 반도체 기판(100)상에 선택 산화법에 의한 필드 산화막(101)을 성장시켜 액티브 영역을 정의한다. 이 액티브 영역상에 게이트 산화막(1)을 개재하여 트랜지스터의 게이트 전극(2)이 되는 불순물이 도우핑된 다결정 실리콘층을 형성하고, 동시에 상기 필드 산화막(101)상의 소정부분에 인접하는 메모리셀의 게이트 전극과 연결되는 제1도전층(5) 예컨대 불순물이 도우핑된 제1다결정 실리콘층을 형성한다. 그리고 상기 게이트 전극(2) 및 제1도전층(5)을 절연시키는 제1절연층(6)을 형성하고, 상기 게이트 전극(2) 양측의 반도체 기판 표면에 이온주입을 통해 소오스 영역(3) 및 드레인 영역(4)을 형성한다.

제4b도는 제2절연층(7)의 형성공정을 도시한 것으로, 상기 제4a도 공정 이후 100Å ~ 3000Å 정도의 제2절연층(7) 예컨대 HT0(High Temperature Oxide)막 혹은 LT0(Low Temperature Oxide)막을 형성한다.

제4c도는 커패시터의 제1전극으로 사용되는 제2도전층(10)의 형성공정을 도시한 것으로, 상기 소오스 영역(3)의 일부분을 노출하기 위하여 개구를 형성하고, 상기 제2절연층(7) 및 노출된 기판의 전표면에 커패시터의 제1전극으로 사용되는 1000Å ~ 2000Å 정도의 제2도전층(10) 예컨대 불순물이 도우핑된 제2다결정 실리콘층을 형성한다.

제4d도는 제3절연층 패턴(11)의 형성공정을 도시한 것으로, 상기 제2도전층(10)위에 1000Å ~ 2000Å 정도의 제3절연층 예컨대 HT0막 혹은 LT0막을 침적하여 새들(saddle) 모양의 제3절연층 패턴(11)을 형성한다.

제4e도는 커패시터의 제1전극으로 사용되는 제3도전층(12)의 형성공정을 도시한 것으로, 상기 제4d도의 공정 이후 커패시터의 제1전극으로 사용되는 1000Å ~ 2000Å 정도의 제3도전층(12) 예컨대 불순물이 도우핑된 제3다결정 실리콘층을 형성한다.

제4f도는 상기 제3도전층(12)의 식각공정을 도시한 것으로, 상기 제4c도의 개구 형성시 사용했던 마스크 패턴의 임계치수(critical dimension)와 동일한 마스크 패턴을 적용하여 상기 소오스 영역(3) 상부의 제3도전층을 식각함으로써 제4f도에 도시된 바와 같은 패턴을 형성한다.

제4g도는 상기 제3절연층 패턴의 제거공정과 커패시터의 제1전극 패턴의 형성공정을 도시한 것으로, 상기 제4f도의 공정으로 인해 드러난 제3절연층 패턴을 습식식각법을 사용하여 제거하고, 상기 게이트 전극(2) 및 제1도전층(5) 상부의 제2도전층과 제3도전층을 식각함으로써 제4g도에 도시된 바와 같은 커패시터의 제1전극 패턴을 형성한다. 이러한 커패시터의 제1전극 패턴은 상기 게이트 전극(2)과 제1도전층(5) 상부에서 상기 소오스영역(3)쪽으로 상기 커패시터의 제1전극이 구부러져 있기 때문에, 커패시터의 제작 후 비트라인 형성에는 문제가 없다.

제4h도는 유전체막(13) 및 커패시터의 제2전극으로 사용되는 제4도전층(14)의 형성공정을 도시한 것으로, 상기 커패시터의 제1전극 패턴, 즉 제2도전층(10)과 제3도전층(12)의 상부, 측면, 바닥의 모든 표면을 따라 50Å ~ 100Å 정도의 유전체막(13)을 형성하고, 상기 유전체막(13)상에 커패시터의 제2전극으로 사용되는 1000Å ~ 2000Å 정도의 제4도전층(14) 예컨대 불순물이 도우핑된 제4다결정 실리콘층을 침적하여 스택형 커패시터를 완성한다. 이때 상기 유전체막(13)은 HT0막 혹은 LT0막과 같은 산화막구조 혹은 산화막(Oxide)/질화막(Nitride)/산화막(Oxide)구조, 즉 ONO 혹은 질화막(Nitride)/산화막(Oxide) 구조, 즉 NO 구조이다. 여기서, 본 발명에 따른 커패시터 셀은 커패시터의 제1전극이 게이트 전극과 제1도전층 상부에서 소오스 영역쪽으로 구부러져 있고, 커패시터의 제2전극이 상기 제1전극을 감싸도록 형성되어 있으므로, 특히 CSW(Curied Stacked and Wrapped) 커패시터 셀이라고 한다.

제4i는 제4절연층(15), 제1, 제2 평탄화층(16)(18), 금속층(17) 및 금속전극(19)의 형성공정을 도시한 것으로, 상기 제4도전층(14)의 표면에 제4절연층(15)을 형성하고, 계속해서 3000Å ~ 5000Å 정도의 제1평탄화층(16) 예컨대 BPSG(Bo ro-Phosphorus Silicate Glass) 막을 침적한 후 플로워(flow)에 의해 평탄화작업을 진행한다. 그리고 사진식각법에 의해 상기 드레인 영역(4)의 일부분이 노출되도록 개구를 형성하고, 이 개구를 통해 노출된 드레인 영역(4)과 접촉하는 금속층(17)을 형성하며, 계속해서 제2평탄화층(18) 예컨대 BPSG막을 침적하여 다시 평탄화 작업을 진행한 후 금속전극(19)을 형성함으로써 CSW 커패시터 셀을 구비하는 DRAM을 완성한다. 여기서, 상기 금속층(17)은 비트라인으로 이용된다.

제5a도 내지 제5f도는 본 발명에 따른 스택형 커패시터의 제조공정을 도시한 다른 실시예의 공정 순

서도이다.

제5a도 이전의 공정은 상기 제4a도의 공정과 동일하다.

제5a도는 제1산화막(7a), 질화막(7b) 및 제2산화막(7c)으로 구성되는 제2절연층의 형성공정을 도시한 것으로, 상기 제4a도 공정 이후 500 Å 정도의 제1산화막(7a), 300 Å 정도의 질화막(7b) 및 1000 Å 정도의 제2산화막(7c)을 차례로 형성한다.

제5b도는 커패시터의 제1전극으로 사용되는 제2도전층(10)의 형성공정을 도시한 것으로, 상기 소오스 영역(3)의 일부분을 노출하기 위하여 개구를 형성하고, 상기 제2산화막(7c) 및 노출된 기판의 전 표면에 커패시터의 제1전극으로 사용되는 100 Å ~ 2000 Å 정도의 제2도전층(10) 예컨대 불순물이 도우핑된 제2다결정 실리콘층을 형성한다.

상기 제5b도 공정 이후에는 상기 제4d도 ~ 제4f도까지의 공정과 동일하게 후속공정을 진행한다.

제5c도는 상기 제3절연층 패턴의 제거공정과 커패시터의 제1전극 패턴의 형성공정을 도시한 것으로, 상기 제4f도의 공정으로 인해 드러난 제3절연층 패턴을 습식식각법을 사용하여 제거하고, 상기 게이트 전극(2) 및 제1도전층(5) 상부에 제2도전층과 제3도전층을 식각 함으로써 제5c도에 도시된 바와 같은 커패시터의 제1전극패턴을 형성한다.

제5d도는 상기 제2산화막(7c)의 식각공정을 도시한 것으로, 상기 질화막(7b)을 식각저지층으로 사용하여, 상기 제1전극 패턴의 제2도전층(10) 아래에 있는 제2산화막을 습식식각법으로 일부분 혹은 전부를 제거함으로써, 상기 제1전극 패턴의 표면적을 증가시킨다. 그러므로 상기 제2산화막의 식각 정도에 따라 커패시터의 유효면적을 조절할 수 있다.

제5e도는 유전체막(13) 및 커패시터의 제2전극으로 사용되는 제4도전층(14)의 형성공정을 도시한 것으로, 상기 제2도전층 아래의 제2산화막이 식각된 커패시터의 제1전극패턴, 즉 제2도전층(10)과 제3도전층(12)의 상부, 측면, 바닥의 모든 표면을 따라 50 Å ~ 100 Å 정도의 유전체막(13)을 형성하고, 상기 유전체막(13)상에 커패시터의 제2전극으로 사용되는 1000 Å ~ 2000 Å 정도의 제4도전층(14) 예컨대 불순물이 도우핑된 제4다결정 실리콘층을 침적하여 스택형 커패시터를 완성한다. 이때 상기 유전체막(13)은 HT0막 혹은 LT0막과 같은 산화막 구조 혹은 ONO구조 혹은 NO구조이다.

제5f도는 상기 제4i도의 공정과 동일하다.

이상과 같이 본 발명에 의한 커패시터는, 제한된 커패시터 면적에서 일정한 갭을 두고 2층으로 형성된 도전층을 커패시터의 제1전극으로 사용함으로써 커패시터 전극의 표면적을 증가시킬 수 있고, 또한 상기 2층의 도전층 중 하부 도전층의 아래에 위치한 산화막을 식각함으로써 상기 2층의 도전층의 상부 및 측면뿐만 아니라 바닥의 면적까지도 커패시터의 전극으로 사용하게 되어 커패시터의 유효면적을 극대화시킬 수 있다. 따라서 반도체 장치의 고집적화에 따른 커패시터의 용량감소를 구조적으로 개선할 수 있다.

또한, 상기 2층으로 형성된 커패시터의 제1전극의 형상이 게이트 전극과 제1도전층 상부에서 소오스 영역쪽으로 구부러져 있기 때문에, 비트라인 형성시에 셀내의 단차문제로 인한 어려움을 해결할 수 있다.

(57) 청구의 범위

청구항 1

제1전도형의 반도체 기판에 필드산화막을 성장시켜 액티브영역을 정의하는 제1공정; 상기 액티브영역상에 메모리 셀의 구성요소인 트랜지스터의 게이트 전극, 소오스 및 영역 및 드레인 영역을 형성하고, 상기 필드 산화막상의 소정 부분에 제1도전층을 형성하며, 상기 게이트 전극 및 제1도전층위에 제1절연층을 형성하는 제2공정; 상기 제2공정 이후 제2절연층을 형성하는 제3공정; 상기 소오스 영역의 일부분을 노출하기 위하여 개구를 형성하고, 상기 제2절연층 및 노출된 기판의 전표면에 제2도전층을 침적하는 제4공정; 상기 제2도전층상에 제3절연층을 도포하여 새들 모양의 제3절연층 패턴을 형성하는 제5공정; 상기 제5공정 이후 제3도전층을 침적하는 제6공정; 상기 소오스 영역 상부의 제3도전층을 식각하는 제7공정; 상기 제3절연층 패턴을 제거하고, 커패시터의 제1전극 패턴을 형성하는 제8공정; 그리고 상기 제8공정 이후 유전체막 및 제4도전층을 차례로 형성하는 제9공정으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 2

제1항에 있어서, 상기 제3공정이 제2절연층은 상기 제2공정 이후 제1산화막, 질화막 및 제2산화막을 차례로 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 3

제1항에 있어서, 상기 제5공정의 제3절연층은 HT0막 혹은 LT0막으로 하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 4

제3항에 있어서, 상기 제3절연층의 두께는 1000 Å ~ 2000 Å으로 하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 5

제1항에 있어서, 상기 제7공정은 상기 제4공정의 개구 형성시 사용된 마스크 패턴의 임계치수와 동

일한 마스크 패턴을 적용하여 이루어짐을 특징으로 하는 반도체장치의 제조방법.

청구항 6

제1항에 있어서, 상기 제8공정의 제3절연층 패턴은 습식식각법을 사용함으로써 제거되는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 7

제2항에 있어서, 상기 제8공정후에 상기 제1전극 패턴의 제2도전층 아래에 있는 제2산화막을 제거하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 8

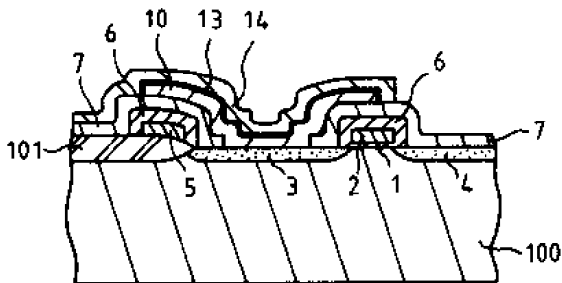
제7항에 있어서, 상기 제2산화막은 습식식각법을 통해 제거되는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 9

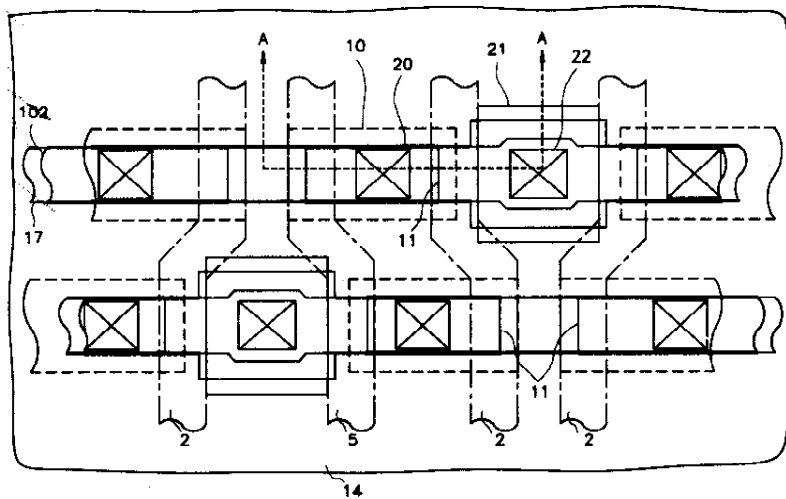
제1항에 있어서, 상기 제9공정의 유전체막은 상기 커패시터의 제 1 전극 패턴의 표면을 따라 첫번째 산화막을 형성하는 공정과, 이 산화막위에 질화막을 형성하는 공정과, 이 질화막위에 두번째 산화막을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

도면

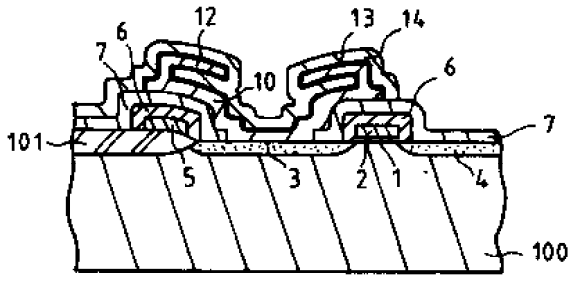
도면1



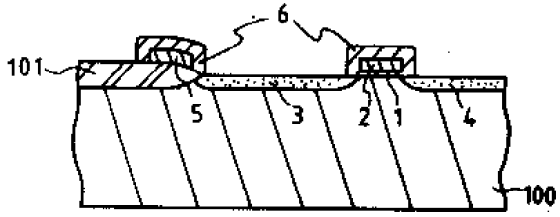
도면2



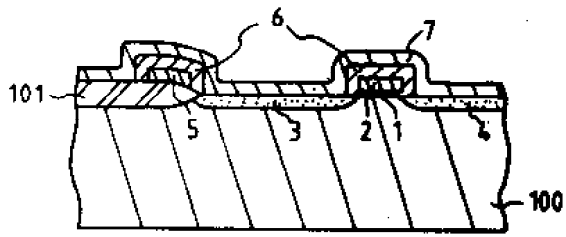
도면3



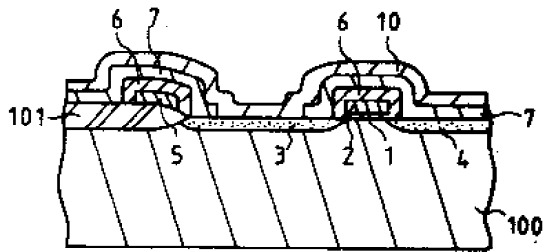
도면4A



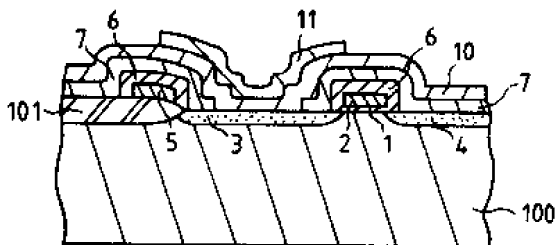
도면4B



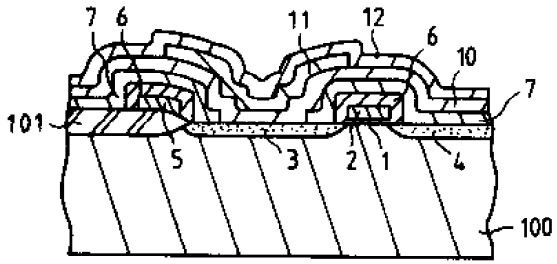
도면4C



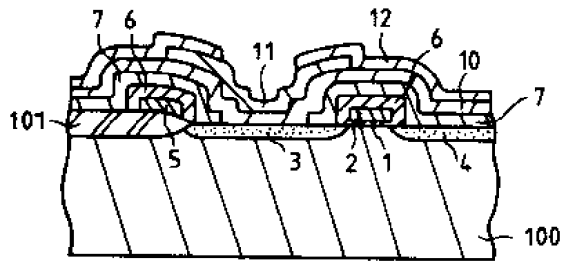
도면4D



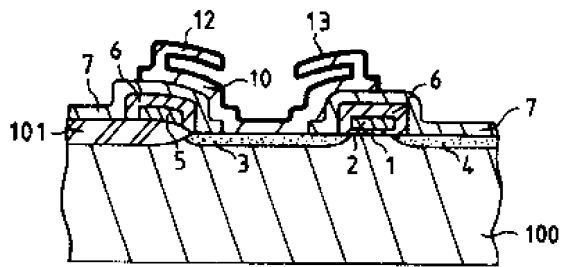
도면4E



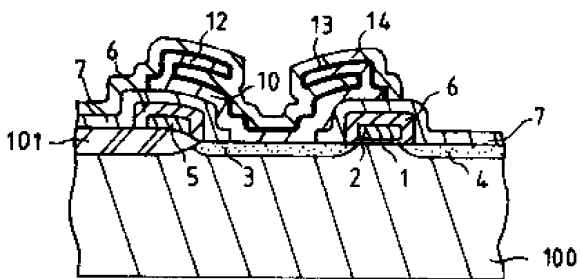
도면4F



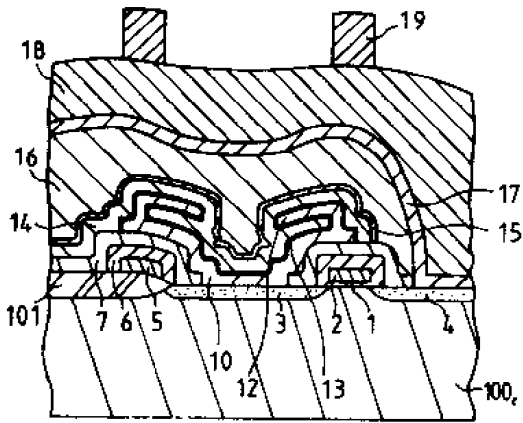
도면4G



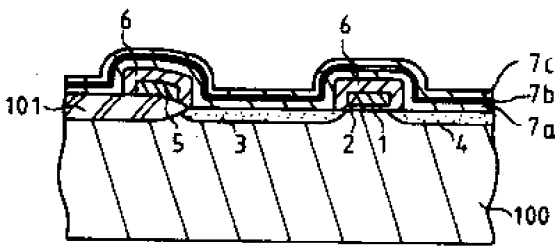
도면4H



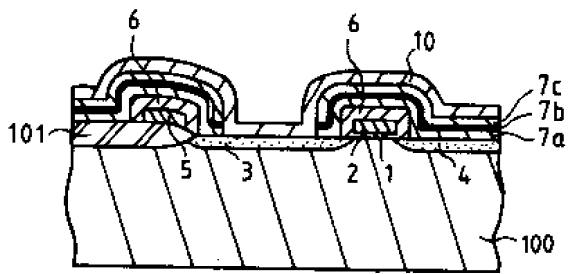
도면41



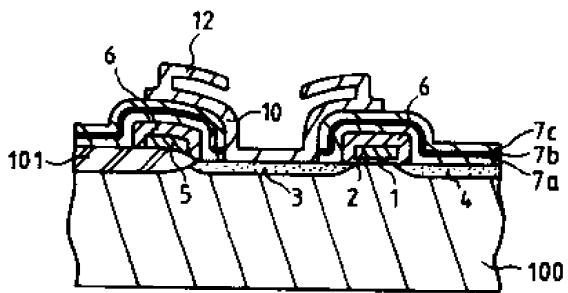
도면5A



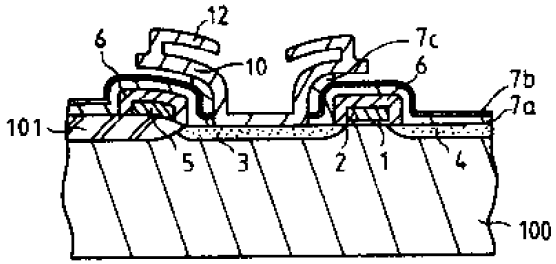
도면5B



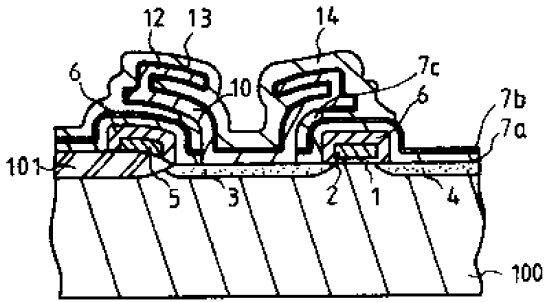
도면5C



도면5D



도면5E



도면5F

