

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6227890号  
(P6227890)

(45) 発行日 平成29年11月8日(2017.11.8)

(24) 登録日 平成29年10月20日(2017.10.20)

(51) Int.Cl. F I  
**H03K 7/08 (2006.01)** H03K 7/08 A

請求項の数 8 (全 25 頁)

<p>(21) 出願番号 特願2013-94854 (P2013-94854)                  (22) 出願日 平成25年4月29日 (2013.4.29)                  (65) 公開番号 特開2013-251891 (P2013-251891A)                  (43) 公開日 平成25年12月12日 (2013.12.12)                  審査請求日 平成28年4月27日 (2016.4.27)                  (31) 優先権主張番号 特願2012-105233 (P2012-105233)                  (32) 優先日 平成24年5月2日 (2012.5.2)                  (33) 優先権主張国 日本国(JP)</p>	<p>(73) 特許権者 000153878                  株式会社半導体エネルギー研究所                  神奈川県厚木市長谷398番地                  (72) 発明者 高橋 圭                  神奈川県厚木市長谷398番地 株式会社                  半導体エネルギー研究所内                  審査官 ▲高▼橋 義昭</p>
---	--

最終頁に続く

(54) 【発明の名称】 信号処理回路および制御回路

(57) 【特許請求の範囲】

【請求項1】

A Dコンバーターと、プロセッサと、を有し、  
 前記プロセッサは、演算処理装置と、第1のレジスタと、を有し、  
 前記A Dコンバーターに、基準信号と、負荷からのフィードバック信号と、が入力され、  
 前記演算処理装置に、前記A Dコンバーターの出力信号と、前記第1のレジスタの出力信号と、が入力され、  
 前記第1のレジスタに、前記演算処理装置の出力信号が入力され、  
 前記第1のレジスタは、シリコンよりもバンドギャップが大きい半導体材料をチャンネル領域に用いたトランジスタを有し、  
 前記基準信号と前記フィードバック信号の電圧が同じになるときに電源をオフとする機能を有する信号処理回路。

【請求項2】

請求項1において、  
 前記シリコンよりもバンドギャップが大きい半導体材料は、酸化物半導体である信号処理回路。

【請求項3】

請求項1または請求項2において、  
 前記シリコンよりもバンドギャップが大きい半導体材料をチャンネル領域に用いたトラン

ジスタは、85で、ソース - ドレイン間の電圧が3.1Vの条件において、チャンネル幅あたりのオフ電流が $1 \times 10^{-19} \text{ A} / \mu\text{m}$ 以下である信号処理回路。

【請求項4】

請求項1乃至3のいずれかーにおいて、

前記負荷は、LED照明またはOLED照明である信号処理回路。

【請求項5】

信号処理回路と、パルス幅変調器と、を有し、

前記信号処理回路は、ADコンバーターと、プロセッサと、を有し、

前記プロセッサは、演算処理装置と、第1のレジスタと、を有し、

前記パルス幅変調器は、第2のレジスタを有するデジタルパルス幅変調器と、クロック生成回路と、を有し、

前記ADコンバーターに、基準信号と、負荷からのフィードバック信号と、が入力され、

前記演算処理装置に、前記ADコンバーターの出力信号と、前記第1のレジスタの出力信号と、が入力され、

前記第1のレジスタ及び前記第2のレジスタに、前記演算処理装置の出力信号が入力され、

前記デジタルパルス幅変調器に前記クロック生成回路の信号が入力され、

前記第1のレジスタは、シリコンよりもバンドギャップが大きい半導体材料をチャンネル領域に用いたトランジスタを有し、

前記基準信号と前記フィードバック信号の電圧が同じになるときに、前記信号処理回路の電源をオフとする機能を有する制御回路。

【請求項6】

請求項5において、

前記シリコンよりもバンドギャップが大きい半導体材料は、酸化物半導体である制御回路。

【請求項7】

請求項5または請求項6において、

前記シリコンよりもバンドギャップが大きい半導体材料をチャンネル領域に用いたトランジスタは、85で、ソース - ドレイン間の電圧が3.1Vの条件において、チャンネル幅あたりのオフ電流が $1 \times 10^{-19} \text{ A} / \mu\text{m}$ 以下である制御回路。

【請求項8】

請求項5乃至7のいずれかーにおいて、

前記負荷は、LED照明またはOLED照明である制御回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号処理回路、信号処理回路の駆動方法および制御回路に関する。特に、信号処理回路に対して電力の供給を停止することが可能な制御回路に関する。

【背景技術】

【0002】

近年、電子機器の低消費電力化が強く求められている。電子機器の消費電力対策として、制御回路における動作状態に応じて、個々の論理回路の動作を制御することが行われている。

【0003】

制御回路の低消費電力化を図るための駆動方法の一つとして、パワーゲーティングと呼ばれる駆動方法がある。パワーゲーティングとは制御回路で演算処理の必要がない期間には、制御回路の一部（例えば演算部など）への電源電力の供給を遮断して、無駄な電力の消費を防ぐ駆動方法である。（特許文献1）。

【先行技術文献】

10

20

30

40

50

## 【特許文献】

【0004】

【特許文献1】特開2009-116851号公報

## 【発明の概要】

【発明が解決しようとする課題】

【0005】

しかし、たとえば、図3に示すような電源回路の中の負荷に変動性がある場合、制御回路の一部である信号処理回路からパルス幅変調器へ信号を送る際、負荷の変動によって、制御回路にフィードバックされた信号が一定とならないため、基準信号の電圧とフィードバックされた信号の電圧の差分を演算して出力する制御回路からの出力信号が一定にならない。そのため、演算するための電力を絶えず制御回路に供給しなければならない。

10

【0006】

また、変動性のない、または極端に小さい静的な負荷（駆動時に電圧および電流が一定な状態、またはその変動が極端に小さい状態を維持できる負荷、たとえばLED（Light Emitting Diode）照明、OLED（Organic Light Emitting Diode）照明）が微小電流で動作する場合でも、制御回路に電源から電流が供給されている限り電力は消費され続けている。そのため、このような状態においても、制御回路において消費される電力は低減されない。

【0007】

上述の問題に鑑み、開示する発明の一態様では、消費電力が低減され、かつ、安定した出力信号を出力する信号処理回路を提供することを目的の一とする。また、該信号処理回路を備えることで、制御回路の消費電力を低減することを目的の一とする。

20

【課題を解決するための手段】

【0008】

本発明の一態様では、制御回路の中に少なくとも信号処理回路およびパルス幅変調器を含み、信号処理回路の記憶回路によってデータを保持したのち、使用しない信号処理回路の一部への電源供給を遮断する。具体的な構成は、以下で説明する。

【0009】

本発明の一態様は、アナログ-デジタル変換回路（以下、ADコンバーターと記す）とプロセッサを有し、プロセッサは演算処理装置と第1のレジスタを有し、ADコンバーターに基準信号および負荷からのフィードバック信号が入力され、ADコンバーターの出力信号および第1のレジスタの出力信号が演算処理装置に入力され、演算処理装置の出力信号が第1のレジスタに入力される信号処理回路である。

30

【0010】

本発明の一態様は、信号処理回路とパルス幅変調器を有し、信号処理回路はADコンバーターとプロセッサを有し、プロセッサは演算処理装置と第1のレジスタを有し、パルス幅変調器は、第2のレジスタを含むデジタルパルス幅変調器と、クロック生成回路を有し、ADコンバーターに基準信号および負荷からのフィードバック信号が入力され、ADコンバーターの出力信号および第1のレジスタの出力信号が演算処理装置に入力され、演算処理装置の出力信号が第1のレジスタおよびデジタルパルス幅変調器に含まれる第2のレジスタに入力され、デジタルパルス幅変調器にクロック生成回路の信号が入力され、負荷は、第1のレジスタの出力が一定のとき、電圧および電流が一定な状態である制御回路である。

40

【0011】

また、上記構成において、プロセッサの少なくとも一部がシリコンよりもバンドギャップが大きい半導体材料をチャンネル領域に用いたトランジスタを用いることが好ましい。

【0012】

また、本発明の他の一態様は、トランスコンダクタンスアンプ（以下、Gmアンプと記す）とラッチ回路を有し、ラッチ回路はトランジスタとゲート入力端子と位相補償保持回路を有し、トランジスタはシリコンよりもバンドギャップが大きい半導体材料をチャンネル

50

領域に用いたトランジスタであり、G mアンプに基準信号および負荷からのフィードバック信号が入力され、G mアンプの出力信号はトランジスタのソースおよびドレインの一方に入力され、トランジスタのゲートはゲート入力端子と電氣的に接続され、トランジスタのソースおよびドレインの他方は位相補償保持回路と電氣的に接続される信号処理回路である。

【0013】

また、本発明の他の一態様は、信号処理回路とパルス幅変調器とを有し、信号処理回路はG mアンプとラッチ回路を有し、ラッチ回路はトランジスタとゲート入力端子と位相補償保持回路を有し、パルス幅変調器は、コンパレータと三角波発生器を有し、トランジスタはシリコンよりもバンドギャップが大きい半導体材料をチャンネル領域に用いたトランジスタであり、G mアンプに基準信号および負荷からのフィードバック信号が入力され、G mアンプの出力信号はトランジスタのソースおよびドレインの一方に入力され、トランジスタのゲートはゲート入力端子と電氣的に接続され、トランジスタのソースおよびドレインの他方は位相補償保持回路およびコンパレータと電氣的に接続され、コンパレータに前記三角波発生器の信号が入力される制御回路である。

10

【0014】

また、上記構成において、負荷はLED照明またはOLED照明としても良い。

【0015】

また、上記構成において、シリコンよりもバンドギャップが大きい半導体材料は、酸化物半導体であると好ましい。

20

【0016】

また、上記構成において、酸化物半導体をチャンネル領域に用いたトランジスタは、チャンネル幅あたりのオフ電流が $1 \times 10^{-19} \text{ A} / \mu\text{m}$ 以下が好ましい。

【発明の効果】

【0017】

このような構成にすることで、信号処理回路の出力信号を安定させることができ、かつ、信号処理回路の消費電力を低減することができる。また、該信号処理回路を備えることで、制御回路の消費電力を低減することができる。

【図面の簡単な説明】

【0018】

【図1】制御回路のブロック図。

【図2】制御回路のブロック図。

【図3】電源回路の一例を示す図。

【図4】適用可能なトランジスタの断面図。

【図5】図4に示すトランジスタの作製方法を説明する図。

【図6】酸化物半導体を用いたトランジスタの特性を示す図。

【図7】酸化物半導体を用いたトランジスタの特性評価用回路図。

【図8】酸化物半導体を用いたトランジスタの特性評価用タイミングチャート。

【図9】酸化物半導体を用いたトランジスタの特性を示す図。

【図10】酸化物半導体を用いたトランジスタの特性を示す図。

【図11】酸化物半導体を用いたトランジスタの特性を示す図。

30

40

【発明を実施するための形態】

【0019】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0020】

なお、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れかわることがある。このた

50

め、本明細書においては、「ソース」や「ドレイン」という用語は、入れかえて用いることができるものとする。

【0021】

「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限はない。

【0022】

図面等において示す各構成の、位置、大きさ、範囲などは、理解を容易にするため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。

10

【0023】

「第1」、「第2」、「第3」などの序数詞は、構成要素の混同を避けるために付すものである。

【0024】

また、本明細書において、「平行」とは、二つの直線が $-10^\circ$ 以上 $10^\circ$ 以下の角度で配置されている状態をいう。従って、 $-5^\circ$ 以上 $5^\circ$ 以下の場合も含まれる。また、「垂直」とは、二つの直線が $80^\circ$ 以上 $100^\circ$ 以下の角度で配置されている状態をいう。従って、 $85^\circ$ 以上 $95^\circ$ 以下の場合も含まれる。

【0025】

(実施の形態1)

20

本実施の形態では、本発明の一態様に係る制御回路100について、図1を参照して説明する。

【0026】

<回路構成例>

図1には、制御回路100のブロック図を示す。

【0027】

制御回路100は信号処理回路120とパルス幅変調器220を有し、信号処理回路120はADコンバーター102とプロセッサ150を有し、プロセッサ150は演算処理装置104とレジスタ106を有し、パルス幅変調器220は、レジスタ202を含むデジタルパルス幅変調器204と、クロック生成回路206を有する構成となっている。

30

【0028】

ADコンバーター102は、基準信号Refが入力される配線、レジスタ106の出力が一定のとき、電圧および電流が一定な状態である負荷からのフィードバック信号FBが入力される配線、および演算処理装置104と電氣的に接続され、演算処理装置104の出力信号はレジスタ106およびレジスタ202に入力され、デジタルパルス幅変調器204にクロック生成回路206の信号が入力され、デジタルパルス幅変調器204の出力信号は制御回路100の出力端子230(図3に示す電源回路ではGSに相当する)に入力される。

【0029】

40

また、データを記憶するアキュムレータ、メモリにアクセスする場合のアドレスを指定するときに用いるアドレスレジスタ、次に実行すべき命令が格納されているメインメモリ上のアドレスを指し示すプログラムカウンタなどのレジスタを適宜用途に応じて接続することができる。

【0030】

基準信号Refは基準電圧生成回路(図示しない)から出力される。

【0031】

また、プロセッサ150の少なくとも一部(たとえばレジスタ106など)のトランジスタが、チャンネル幅あたりのオフ電流(リーク電流)が $1 \times 10^{-19} \text{ A} / \mu\text{m}$ 以下と極めて低いトランジスタ、例えば、ワイドバンドギャップ半導体である酸化物半導体を手

50

チャンネル領域に有するトランジスタであると好ましい。

【0032】

上記トランジスタのオフ電流の値は極めて低いため、演算処理装置104から出力された出力信号を保持後、トランジスタを非導通状態とすることで当該出力信号の電位を一定またはほぼ一定に維持することが可能である。これにより、たとえばレジスタ106において、正確なデータの保持が可能となる。

【0033】

なお、ワイドバンドギャップ半導体としては、バンドギャップが2 e V以上、好ましくは2.5 e V以上、より好ましくは3 e V以上である半導体を用いればよい。

【0034】

ワイドバンドギャップ半導体である酸化物半導体によってチャンネル領域が形成されるトランジスタのソースおよびドレインの一方に電氣的に接続され、かつ当該トランジスタがオフ状態となることによって浮遊状態となるノードFNにおいてデータを保持する。上述したように、当該トランジスタのオフ電流は極めて小さい。そのため、当該トランジスタをオフ状態とすることでノードFNの電位を一定またはほぼ一定に維持することが可能である。これにより、制御回路において、正確なデータの保持が可能となる。

【0035】

また、酸化物半導体はエネルギーギャップが3.0 e V以上であり、シリコンのバンドギャップ(1.1 e V)と比較して非常に大きい。

【0036】

トランジスタのオフ抵抗(トランジスタがオフ状態の時における、ソースとドレイン間の抵抗をいう)は、チャンネル領域が形成される半導体膜における熱的に励起されたキャリアの濃度に反比例する。ドナーやアクセプタによるキャリアが全く存在しない状態(真性半導体)であっても、シリコンのバンドギャップは1.1 e Vであるため、室温(300 K)での熱励起キャリアの濃度は $1 \times 10^{11} \text{ cm}^{-3}$ 程度である。

【0037】

一方、例えばバンドギャップが3.2 e Vの半導体(酸化物半導体を想定)の場合では熱励起キャリアの濃度は室温で $1 \times 10^{-7} \text{ cm}^{-3}$ 程度となる。電子移動度が同じ場合、抵抗率はキャリアの濃度に反比例するので、バンドギャップ3.2 e Vの半導体の抵抗率はシリコンより18桁も大きい。

【0038】

なお、ワイドバンドギャップ半導体である酸化物半導体によってチャンネル領域が形成されるトランジスタが有する「極めて低いオフ電流」を明示するため、以下に、高純度化された酸化物半導体を用いたトランジスタのオフ電流を求めた結果について説明する。

【0039】

<酸化物半導体を用いたトランジスタのオフ電流測定>

まず、高純度化された酸化物半導体を用いたトランジスタのオフ電流が十分に小さいことを考慮して、チャンネル幅Wが1 μmと十分に大きいトランジスタを用意してオフ電流の測定を行った。結果を図6に示す。図6において、横軸はゲート電圧V<sub>G</sub>、縦軸はドレイン電流I<sub>D</sub>である。ドレイン電圧V<sub>D</sub>が+1 Vまたは+10 Vの場合、ゲート電圧V<sub>G</sub>が-5 Vから-20 Vの範囲では、トランジスタのオフ電流は検出限界である $1 \times 10^{-12}$  A以下であることがわかった。また、トランジスタのオフ電流(ここでは、単位チャンネル幅(1 μm)あたりの値)は1 aA( $1 \times 10^{-18}$  A)以下となることがわかった。

【0040】

次に、オフ電流をさらに正確に求めた結果について説明する。上述したように、高純度化された酸化物半導体を用いたトランジスタのオフ電流は、測定器の検出限界である $1 \times 10^{-12}$  A以下であることがわかった。そこで、特性評価用素子を作製し、より正確なオフ電流を測定した。

【0041】

はじめに、測定に用いた特性評価用素子について、図7を参照して説明する。

10

20

30

40

50

## 【 0 0 4 2 】

なお、本明細書における回路図において、酸化物半導体を用いるトランジスタには「O5」と記載している。

## 【 0 0 4 3 】

図7に示す特性評価用素子では、測定系800が3つ並列に接続されている。測定系800は容量素子802、トランジスタ804、トランジスタ805、トランジスタ806、トランジスタ808を有する。トランジスタ804、トランジスタ805、トランジスタ806、トランジスタ808では、高純度化された酸化物半導体を用いた。

## 【 0 0 4 4 】

測定系800において、トランジスタ804のソースおよびドレインの一方と、容量素子802の端子の一方と、トランジスタ805のソースおよびドレインの一方は電源(V2を与える電源)に電氣的に接続されている。また、トランジスタ804のソースおよびドレインの他方と、トランジスタ808のソースおよびドレインの一方と、容量素子802の端子の他方と、トランジスタ805のゲートは電氣的に接続されている。また、トランジスタ808のソースおよびドレインの他方と、トランジスタ806のソースおよびドレインの一方と、トランジスタ806のゲートは電源(V1を与える電源)に電氣的に接続されている。また、トランジスタ805のソースおよびドレインの他方と、トランジスタ806のソースおよびドレインの他方は電氣的に接続され、出力端子となっている。

## 【 0 0 4 5 】

なお、トランジスタ804のゲートには、トランジスタ804のオン状態とオフ状態を制御する電位Vext\_b2が供給され、トランジスタ808のゲートには、トランジスタ808のオン状態とオフ状態を制御する電位Vext\_b1が供給される。また、出力端子からは電位Voutが出力される。

## 【 0 0 4 6 】

次に、上記の特性評価用素子を用いた電流測定方法について説明する。

## 【 0 0 4 7 】

まず、オフ電流を測定するために電位差を付与する初期期間について説明する。初期期間においては、トランジスタ808のゲートに、トランジスタ808をオン状態とする電位Vext\_b1を入力して、トランジスタ804のソースおよびドレインの他方と電氣的に接続されるノード(つまり、トランジスタ808のソースおよびドレインの一方、容量素子802の端子の他方、およびトランジスタ805のゲートに電氣的に接続されるノード)であるノードN5に電位V1を与える。ここで、電位V1は、例えば高電位とする。また、トランジスタ804はオフ状態としておく。

## 【 0 0 4 8 】

その後、トランジスタ808のゲートに、トランジスタ808をオフ状態とする電位Vext\_b1を入力して、トランジスタ808をオフ状態とする。トランジスタ808をオフ状態とした後に、電位V1を低電位とする。ここでもトランジスタ804はオフ状態としておく。また、電位V2は電位V1と同じ電位(即ち低電位)とする。以上により初期期間が終了する。この時、ノードN5とトランジスタ804のソースおよびドレインの一方との間に電位差が生じ、また、ノードN5とトランジスタ808のソースおよびドレインの他方との間に電位差が生じることになるため、トランジスタ804およびトランジスタ808には僅かに電流が流れる。つまり、オフ電流が発生する。

## 【 0 0 4 9 】

次に、オフ電流の測定期間について説明する。測定期間においては、トランジスタ804のソースおよびドレインの一方の端子の電位(つまりV2)、およびトランジスタ808のソースおよびドレインの他方の端子の電位(つまりV1)は低電位に固定しておく。一方、測定期間中は上記ノードN5の電位は固定しない(フローティング状態とする)。これにより、トランジスタ804に電流が流れ、時間の経過と共にノードN5に保持される電荷量の変動する。そして、ノードN5に保持される電荷量の変動に伴ってノードN5の電位が変動する。つまり、出力端子の出力電位Voutも変動する。

## 【 0 0 5 0 】

上記電位差を付与する初期期間、およびその後の測定期間における各電位の関係の詳細（タイミングチャート）を図 8 に示す。

## 【 0 0 5 1 】

初期期間において、まず、電位  $V_{ext\_b2}$  を、トランジスタ 804 がオン状態となるような電位（高電位）とする。これによってノード N5 の電位は  $V_2$  すなわち低電位（ $V_{SS}$ ）となる。なお、ノード N5 に低電位（ $V_{SS}$ ）を与えるのは必須ではない。その後、電位  $V_{ext\_b2}$  を、トランジスタ 804 がオフ状態となるような電位（低電位）として、トランジスタ 804 をオフ状態とする。そして次に、電位  $V_{ext\_b1}$  を、トランジスタ 808 がオン状態となるような電位（高電位）とする。これによってノード N5 の電位は  $V_1$ 、すなわち高電位（ $V_{DD}$ ）となる。その後、 $V_{ext\_b1}$  を、トランジスタ 808 がオフ状態となるような電位とする。これによってノード N5 がフローティング状態となり、初期期間が終了する。

10

## 【 0 0 5 2 】

その後の測定期間においては、電位  $V_1$  および電位  $V_2$  を、ノード N5 に電流が流れ込み、またはノード N5 から電荷が流れ出すような電位とする。ここでは、電位  $V_1$  および電位  $V_2$  を低電位（ $V_{SS}$ ）とする。ただし、出力電位  $V_{out}$  を測定する時には、出力回路を動作させる必要が生じるため、一時的に  $V_1$  を高電位（ $V_{DD}$ ）とする。なお、 $V_1$  を高電位（ $V_{DD}$ ）とする期間は、測定に影響を与えない程度の短期間とする。

## 【 0 0 5 3 】

上述のようにして電位差を与え、測定が開始されると、時間の経過と共にノード N5 に保持される電荷量の変動し、これに従ってノード N5 の電位が変動する。これはトランジスタ 805 のゲートの電位が変動することを意味するから、時間の経過と共に出力端子の出力電位  $V_{out}$  の電位も変化することとなる。

20

## 【 0 0 5 4 】

得られた出力電位  $V_{out}$  からオフ電流を算出する方法について、以下に説明する。

## 【 0 0 5 5 】

オフ電流の算出に先だって、ノード N5 の電位  $V_{N5}$  と出力電位  $V_{out}$  との関係を探しておく。これにより、出力電位  $V_{out}$  からノード N5 の電位  $V_{N5}$  を求めることができる。従って、ノード N5 の電位  $V_{N5}$  は出力電位  $V_{out}$  の関数として次式のように表すことができる。

30

## 【 0 0 5 6 】

## 【 数 1 】

$$V_{N5} = F(V_{out})$$

## 【 0 0 5 7 】

また、ノード N5 の電荷  $Q_{N5}$  はノード N5 の電位  $V_{N5}$ 、ノード N5 に接続される容量  $C_{N5}$ 、定数（ $const$ ）を用いて次式のように表される。ここで、ノード N5 に接続される容量  $C_{N5}$  は容量素子 802 の容量と他の容量の和である。

40

## 【 0 0 5 8 】

## 【 数 2 】

$$Q_{N5} = C_{N5} V_{N5} + const$$

## 【 0 0 5 9 】

ノード N5 を流れる電流  $I_{N5}$  はノード N5 に流れ込む電荷（またはノード N5 から流れ出る電荷）の時間微分であるから、ノード N5 の電流  $I_{N5}$  は次式のように表される。

50

【 0 0 6 0 】

【 数 3 】

$$I_{N5} = \frac{\Delta Q_{N5}}{\Delta t} = \frac{C_{N5} \cdot \Delta F(Vout)}{\Delta t}$$

【 0 0 6 1 】

このように、ノードN5に接続される容量 $C_{N5}$ と出力端子の出力電位 $V_{out}$ から、ノードN5の電流 $I_{N5}$ を求めることができる。

【 0 0 6 2 】

以上に示す方法により、トランジスタのオフ電流を測定することができる。

10

【 0 0 6 3 】

本実施の形態では、高純度化した酸化物半導体を用いてチャネル長 $L = 10 \mu\text{m}$ 、チャネル幅 $W = 50 \mu\text{m}$ のトランジスタ804、トランジスタ805、トランジスタ806、トランジスタ808を作製した。また、並列された各測定系800において、容量素子802の各容量値を $100 \text{ fF}$ 、 $1 \text{ pF}$ 、 $3 \text{ pF}$ とした。

【 0 0 6 4 】

なお、本実施の形態に係る測定では、 $V_{DD} = 5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ とした。また、測定期間においては、電位 $V_1$ を原則として $V_{SS}$ とし、 $10 \text{ sec}$ から $300 \text{ sec}$ の範囲ごとに $100 \text{ msec}$ の期間だけ $V_{DD}$ として $V_{out}$ を測定した。また、素子に流れる電流 $I$ の算出に用いられる $t$ は約 $30000 \text{ sec}$ とした。

20

【 0 0 6 5 】

図9に上記電流測定に係る経過時間 $Time$ と出力電位 $V_{out}$ との関係を示す。図9より、時間の経過にしたがって電位が変化している様子が確認できる。

【 0 0 6 6 】

図10は、上記電流測定によって算出された室温( $25^\circ\text{C}$ )におけるソース-ドレイン電圧 $V$ とオフ電流 $I$ との関係を表すものである。図10から、ソース-ドレイン電圧が $4 \text{ V}$ の条件において、オフ電流は約 $40 \text{ z A} / \mu\text{m}$ (つまり、 $4 \times 10^{-20} \text{ A} / \mu\text{m}$ )であることが分かった。また、ソース-ドレイン電圧が $3.1 \text{ V}$ の条件において、オフ電流は $10 \text{ z A} / \mu\text{m}$ 以下( $1 \times 10^{-20} \text{ A} / \mu\text{m}$ 以下)であることが分かった。

30

【 0 0 6 7 】

さらに、上記電流測定によって算出された $85^\circ\text{C}$ におけるソース-ドレイン電圧 $V$ とオフ電流 $I$ との関係を図11に示す。図11から、ソース-ドレイン電圧が $3.1 \text{ V}$ の条件において、オフ電流は $100 \text{ z A} / \mu\text{m}$ 以下( $1 \times 10^{-19} \text{ A} / \mu\text{m}$ 以下)であることが分かった。

【 0 0 6 8 】

以上、本実施の形態により、高純度化された酸化物半導体を用いたトランジスタでは、オフ電流が十分に小さいことが確認された。

【 0 0 6 9 】

< 回路動作例 >

40

次に、制御回路100の動作を説明する。本実施の形態では、負荷からのフィードバック信号 $FB$ の電圧が設定した値(基準信号 $Ref$ の電圧)よりも小さい場合に制御回路100が安定した出力信号を出力する駆動方法について説明する。

【 0 0 7 0 】

フィードバック信号 $FB$ がADコンバータ102に入力されたら、ADコンバータ102は基準信号 $Ref$ の電圧からフィードバック信号 $FB$ の電圧を引いた差分(差電圧)をデジタル信号として出力する。この時、フィードバック信号 $FB$ の電圧が基準信号 $Ref$ の電圧よりも小さいので、ADコンバータ102は正の値を出力する(ステップ1)。

【 0 0 7 1 】

50

次に、A/Dコンバーター102の出力信号は演算処理装置104に入力され、演算処理装置104はA/Dコンバーター102の出力信号とレジスタ106の出力信号を合算して出力し、この出力がレジスタ106およびレジスタ202に保持される。この時、A/Dコンバーター102からの出力は正の値であるため、演算処理装置104の出力は増加する(ステップ2)。

【0072】

次に、レジスタ202に保持された演算処理装置104の出力信号がデジタルパルス幅変調器204に入力される(ステップ3)。

【0073】

次に、デジタルパルス幅変調器204はクロック生成回路206のクロックパルスを1からカウントする。そのカウント値がレジスタ202に保持された演算処理装置104の出力信号の値よりも小さい期間では、デジタルパルス幅変調器204から出力端子230にHレベル(高レベル信号)を出力し、逆にカウント値のほうが大きくなるとデジタルパルス幅変調器204から出力端子230にLレベル(低レベル信号)を出力する。この時、レジスタ202の値が増加されているため、Hレベルの期間が長くなることによって図3に示すスイッチが導通する期間が長くなるため、電源からインダクターを介して負荷側へ送られる電力が増加し、負荷の電圧が増加することによってフィードバック信号FBの電圧が大きくなる。そして、さらにカウントが進み、カウント値がある一定以上の値を超えるとカウント値は0にリセットされ、デジタルパルス幅変調器204の出力はLレベルとなり、再びクロックパルスを1からカウントする(ステップ4)。

【0074】

その後は、ステップ1～ステップ4のループ処理が繰り返し実行される。

【0075】

上記のループ処理を繰り返し行くと、制御回路100全体が定常状態に移行する(ステップ5)。

【0076】

制御回路100全体が定常状態に移行すると、つまり、制御回路100の基準信号Refとフィードバック信号FBの電圧が同じになると、演算処理装置104から出力される出力信号は一定になるため、デジタルパルス幅変調器204から出力端子230に出力されるHレベルとLレベルの期間の比率も一定になり、制御回路100の出力信号を安定して出力することができる。

【0077】

次に、信号処理回路120の電源をOFFにする(ステップ6)。

【0078】

信号処理回路120の電源をOFFにすることで、制御回路100全体の消費電力を低減することができる。また、演算処理装置104から出力された出力信号が、オフ電流が極めて小さいトランジスタを用いたレジスタ106に保持されているため、信号処理回路120の電源をOFFにしても制御回路100の出力信号を保持することができる。なお、レジスタ106に出力信号を保持するかわりに、プロセッサ150の外部にオフ電流が極めて小さいトランジスタを用いた記憶部を設けても良い。

【0079】

次に、信号処理回路120の電源をONにし、制御部からの信号により、保持されている出力信号を演算処理装置104に入力し、再び制御回路100の出力信号を安定して出力する。

【0080】

また、負荷によるフィードバック信号FBの電圧が設定した値(基準信号Refの電圧)よりも大きい場合においては、A/Dコンバーター102の出力信号の電圧は負の値になり、演算処理装置104の出力は減少することで制御回路100の出力はLレベルの期間が長くなるため、図3に示すスイッチが導通する期間が短くなり、電源からインダクターを介して負荷側へ送る電力が減少し、負荷の電圧が減少することによってフィードバック

10

20

30

40

50

信号 F B の電圧が小さくなる。

【 0 0 8 1 】

このように、レジスタ 1 0 6 の出力が一定のとき、制御回路 1 0 0 全体を定常状態にして安定した出力信号を出力することができ、かつ、A D コンバーター 1 0 2 から出力された出力信号を演算処理装置 1 0 4 を介してレジスタ 1 0 6 に保持することで、信号処理回路 1 2 0 の動作を止めることができ、制御回路 1 0 0 全体の消費電力を低減することができる。回路に含まれる負荷としては、一定の電圧および電流で駆動される L E D 照明や O L E D 照明などが挙げられる。

【 0 0 8 2 】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

10

【 0 0 8 3 】

(実施の形態 2)

本実施の形態では、本発明の一態様に係る制御回路 3 0 0 について、図 2 を参照して説明する。

【 0 0 8 4 】

< 回路構成例 >

図 2 には、制御回路 3 0 0 のブロック図を示す。

【 0 0 8 5 】

制御回路 3 0 0 は、信号処理回路 3 2 0 とパルス幅変調器 4 2 0 を有し、信号処理回路 3 2 0 は G m アンプ 3 0 2 とラッチ回路 3 5 0 を有し、ラッチ回路 3 5 0 はトランジスタ 3 0 4 と、ゲート入力端子 3 0 6 と、保持回路と位相補償回路を兼ねる位相補償保持回路 3 7 0 を有し、パルス幅変調器 4 2 0 は、コンパレータ 4 0 2 と三角波発生器 4 0 4 を有する構成となっている。

20

【 0 0 8 6 】

なお、位相補償保持回路 3 7 0 は容量素子 3 0 8 (第 1 の容量素子) と、抵抗 3 1 0 と、容量素子 3 1 2 (第 2 の容量素子) を有する。

【 0 0 8 7 】

G m アンプ 3 0 2 の非反転入力端子 (以降、+ 端子ともいう) には基準信号 R e f を出力する配線が、反転入力端子 (以降、- 端子ともいう) には負荷からのフィードバック信号 F B を出力する配線がそれぞれ電氣的に接続され、G m アンプ 3 0 2 の出力信号はトランジスタ 3 0 4 のソースおよびドレインの一方に入力され、トランジスタ 3 0 4 のゲートはゲート入力端子 3 0 6 と電氣的に接続され、トランジスタ 3 0 4 のソースおよびドレインの他方は位相補償保持回路 3 7 0 の容量素子 3 0 8 の一方の端子、抵抗 3 1 0 の一方の端子、およびコンパレータ 4 0 2 の非反転入力端子 (以降、+ 端子ともいう) と電氣的に接続される。負荷としては、動作時に電圧および電流が一定な状態になり得る L E D 照明や O L E D 照明などが挙げられる。

30

【 0 0 8 8 】

また、容量素子 3 0 8 の他方の端子は接地され、抵抗 3 1 0 の他方の端子は容量素子 3 1 2 の一方の端子と電氣的に接続され、容量素子 3 1 2 の他方の端子は接地され、コンパレータ 4 0 2 の反転入力端子 (以降、- 端子ともいう) に三角波発生器 4 0 4 の信号が入力され、コンパレータ 4 0 2 の出力信号は制御回路 3 0 0 の出力端子 4 3 0 (図 3 に示す電源回路では G S に相当する) に入力される。

40

【 0 0 8 9 】

基準信号 R e f は、基準電圧生成回路 (図示しない) により出力される。

【 0 0 9 0 】

G m アンプ 3 0 2 は、基準信号 R e f とフィードバック信号 F B との差分 (差電圧) を G m 倍して電流として出力する。ここで、「G m」は、G m アンプ 3 0 2 内部で用いているトランジスタのコンダクタンス (g m) と比例関係にある。

【 0 0 9 1 】

50

トランジスタ304は、チャンネル幅あたりのオフ電流が $1 \times 10^{-19} \text{ A} / \mu\text{m}$ 以下と極めて低いトランジスタ、例えば、ワイドバンドギャップ半導体である酸化物半導体をチャンネル領域に有するトランジスタであると好ましい。

【0092】

位相補償保持回路370は、Gmアンプ302から出力された出力信号を容量素子に保持する機能、Gmアンプ302から出力された出力信号の位相を制御する機能を有する。位相補償保持回路370による出力信号の位相の制御により、Gmアンプ302またはコンパレータ402などの出力信号が発振するのを防ぎ、制御回路300の動作を安定化させることができる。

【0093】

コンパレータ402の+端子には、Gmアンプ302から出力され、位相補償保持回路370により位相の整えられた出力信号が入力され、-端子には三角波発生器404から出力される三角波、あるいはノコギリ波の信号が入力される。そして、コンパレータ402は、出力する周期が一定であり、かつパルス幅が+端子に与えられる信号(電圧)の大きさにしたがって変化する矩形波の信号を生成する。なお、コンパレータ402は、+端子に入力される信号の電圧が-端子に入力される信号の電圧より大きい際にHレベルを、+端子に入力される信号が-端子に入力される信号より小さい際にLレベルを、それぞれ矩形波の信号として生成・出力する。コンパレータ402から出力された矩形波の信号は出力端子430に入力される。

【0094】

<回路動作例>

次に制御回路300の動作を説明する。本実施の形態では、負荷からのフィードバック信号FBの電圧が設定した値(基準信号Refの電圧)よりも大きい場合に制御回路300が安定した出力信号を出力する駆動方法について説明する。

【0095】

まず、トランジスタ304はゲート入力端子306の信号によって導通(ON)しているものとする。

【0096】

フィードバック信号FBがGmアンプ302に入力されると、Gmアンプ302は、基準信号Refの電圧からフィードバック信号FBの電圧を引いた差分(差電圧)をGm倍して電流として出力する。この時、フィードバック信号FBの電圧が基準信号Refの電圧よりも大きいので、Gmアンプ302は負の電流を出力する(位相補償保持回路370から電流がGmアンプ302に入力される)(ステップ1)。

【0097】

次に、Gmアンプ302の出力信号(電流)が小さくなったら、それに伴って、位相補償保持回路370の電圧も小さくなり、三角波発生器404から生成される出力信号がコンパレータ402の+端子に入力される電圧より大きくなる期間が増加するため、パルス波のデューティ比が減少する(ステップ2)。

【0098】

ここで、「デューティ比」とは、1周期中に占めるHレベルが継続される期間の割合をいう。

【0099】

パルス波のデューティ比が減少するため、つまり、コンパレータ402から出力端子430にHレベルを出力する期間が短くなるため、図3に示すスイッチが導通する期間が短くなり、電源からインダクターを介して負荷側へ送る電力が減少し、フィードバック信号FBが小さくなる(ステップ3)。

【0100】

その後は、ステップ1~ステップ3のループ処理が繰り返し実行される。

【0101】

上記のループ処理を繰り返し行くと、制御回路300全体が定常状態に移行する(ステ

10

20

30

40

50

ップ４)。

【 0 1 0 2 】

制御回路 3 0 0 全体が定常状態に移行すると、つまり、制御回路 3 0 0 の基準信号 R e f とフィードバック信号 F B の電圧が同じになると、G m アンプ 3 0 2 から出力される出力信号は一定になるため、コンパレータ 4 0 2 から出力端子 4 3 0 に出力される H レベルと L レベルの期間の比率も一定になり、制御回路 3 0 0 の出力信号を安定して出力することができる。

【 0 1 0 3 】

制御回路 3 0 0 全体が定常状態になると安定した出力信号を出力することができる。次に、ゲート入力端子 3 0 6 の信号によってトランジスタ 3 0 4 は非導通 ( O F F ) 状態になり、ラッチ回路 3 5 0 に G m アンプ 3 0 2 から出力された出力信号が保持される ( ステップ 5 )。

10

【 0 1 0 4 】

トランジスタ 3 0 4 では、酸化物半導体をチャネル領域に用いたトランジスタを用いる。当該トランジスタのオフ電流は極めて小さいため、トランジスタ 3 0 4 を非導通状態とすることで G m アンプ 3 0 2 から出力された出力信号の電位を一定またはほぼ一定に維持することが可能である。これにより、ラッチ回路 3 5 0 において正確なデータの保持が可能となる。

【 0 1 0 5 】

次に、信号処理回路 3 2 0 の電源を O F F にする ( ステップ 6 )。

20

【 0 1 0 6 】

信号処理回路 3 2 0 の電源を O F F にすることで、制御回路 3 0 0 全体の消費電力を低減することができる。また、G m アンプ 3 0 2 から出力された出力信号がラッチ回路 3 5 0 に保持されているため、信号処理回路 3 2 0 の電源を O F F にしても出力信号を保持することができる。

【 0 1 0 7 】

次に、信号処理回路 3 2 0 の電源を O N することにより、保持されている出力信号をコンパレータ 4 0 2 に入力し、再び制御回路 3 0 0 の出力信号を安定して出力する。

【 0 1 0 8 】

また、負荷からのフィードバック信号 F B の電圧が設定した値 ( 基準信号 R e f の電圧 ) よりも小さい場合においては、G m アンプ 3 0 2 は、基準信号 R e f の電圧からフィードバック信号 F B の電圧を引いた差分 ( 差電圧 ) を G m 倍して電流として出力し、三角波発生器 4 0 4 から生成される出力信号が G m アンプ 3 0 2 の出力信号より大きくなる期間を減少させる ( パルス波のデューティ比を増加させる ) ことで、コンパレータ 4 0 2 から出力端子 4 3 0 に H レベルを出力する期間が長くなるため、図 3 に示すスイッチが導通する期間が長くなり、電源からインダクターを介して負荷側へ送る電力が増加し、フィードバック信号 F B の電圧が大きくなる。

30

【 0 1 0 9 】

このように、制御回路 3 0 0 全体を定常状態にして安定した出力信号を出力することができ、かつ、G m アンプ 3 0 2 から出力された出力信号をラッチ回路 3 5 0 に保持することで、信号処理回路 3 2 0 の動作を止めることができ、制御回路 3 0 0 全体の消費電力を低減することができる。回路に含まれる負荷としては、一定の電圧および電流で駆動される L E D 照明や O L E D 照明などが挙げられる。

40

【 0 1 1 0 】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【 0 1 1 1 】

( 実施の形態 3 )

本実施の形態では、本発明に適用することができるトランジスタの作製方法の一例について図 4 および図 5 を参照して説明する。図 4 はトランジスタの断面構造の概略の一例を

50

示す図である。図4においては、半導体基板に設けられたトランジスタ上にオフ電流の小さいトランジスタが形成されている。半導体基板には、pチャネル型トランジスタとnチャネル型トランジスタの双方が含まれていてもよいし、一方のみが設けられていてもよい。

【0112】

半導体基板にトランジスタを形成した後に、この上にオフ電流の小さいトランジスタを形成する。すなわち、トランジスタが設けられた半導体基板500を基板として、該基板上にオフ電流の小さいトランジスタを形成する。オフ電流の小さいトランジスタとしては、酸化物半導体をチャネル領域に用いたトランジスタが挙げられる。

【0113】

半導体基板500は、ソース領域およびドレイン領域として機能する高濃度不純物領域501、低濃度不純物領域502、ゲート絶縁膜503、ゲート電極504、層間絶縁膜505を有する(図4参照)。

【0114】

酸化物半導体をチャネル領域に用いたトランジスタ510は、半導体基板500上に設けられた酸化物半導体膜511と、酸化物半導体膜511に接して離間して設けられたソース電極512aおよびドレイン電極512bと、酸化物半導体膜511の少なくともチャネル領域上に設けられたゲート絶縁膜513と、酸化物半導体膜511に重畳してゲート絶縁膜513上に設けられたゲート電極514aと、を有する(図5(D)参照)。なお、図示していないがゲート電極514aと電極514bは電氣的に接続され、ゲート電極504と電極514bは電氣的に接続されている。

【0115】

まず、層間絶縁膜505上に酸化物半導体膜511を形成する(図5(A)参照)。

【0116】

層間絶縁膜505は、酸化物半導体膜511の下地絶縁膜としても機能する。層間絶縁膜505は、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜から選ばれた一層またはこれらの積層膜を用いることができる。

【0117】

なお本明細書中において、酸化窒化シリコンなどの「酸化窒化物」とは、窒素よりも酸素の含有量が多いものをいう。また、窒化酸化シリコンなどの「窒化酸化物」とは、酸素よりも窒素の含有量が多いものをいう。

【0118】

層間絶縁膜505は、加熱処理により酸素を放出する絶縁膜(酸素供給膜)を用いると好ましい。

【0119】

「加熱処理により酸素を放出する」とは、TDS(Thermal Desorption Spectroscopy:昇温脱離ガス分光法)分析にて、520℃まで加熱した際、酸素原子に換算された酸素の放出量が $1.0 \times 10^{19}$  atoms/cm<sup>3</sup>以上、好ましくは $3.0 \times 10^{19}$  atoms/cm<sup>3</sup>以上、さらに好ましくは $1.0 \times 10^{20}$  atoms/cm<sup>3</sup>以上、さらに好ましくは $3.0 \times 10^{20}$  atoms/cm<sup>3</sup>以上であることをいう。

【0120】

ここで、TDS分析による酸素の放出量の測定方法について、以下に説明する。

【0121】

TDS分析による気体の放出量は、その気体イオンに由来するピークの面積に比例する。このため、試料のピークの面積と標準試料のピーク面積との比により、気体の放出量を計算することができる。標準試料のピークの面積は、所定の原子密度を有する試料から放出された気体のイオンに由来するピーク面積に対する原子密度の割合である。

【0122】

10

20

30

40

50

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、および測定試料である絶縁膜のTDS分析結果から、絶縁膜の酸素分子の放出量( $N_{O_2}$ )は、下記数式で求めることができる。ここで、TDS分析で質量電荷比( $M/z$ )が32で検出されるイオンの全てが酸素分子由来と仮定する。 $M/z$ が32のものとしては $CH_3OH$ が挙げられるが、存在する可能性が低いため無視することができる。また、酸素原子の同位体である $M/z$ が17の酸素原子および $M/z$ が18の酸素原子を含む酸素分子についても、自然界における存在比率が極めて小さいため考慮しない。

【0123】

【数4】

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times a$$

10

【0124】

$N_{H_2}$ は標準試料から脱離した水素分子を密度で換算した値である。 $S_{H_2}$ は標準試料を用いて検出された水素イオンのピーク面積である。ここで、標準試料の基準値を $N_{H_2}/S_{H_2}$ とする。 $S_{O_2}$ は絶縁膜を用いて検出された酸素イオンのピーク面積である。は、TDSにおけるスペクトル強度に影響する係数である。上記数式の詳細に関しては、特開平6-275697号公報を参照する。なお、測定は、例えば電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として $1 \times 10^{16}$  atoms/cm<sup>2</sup>の水素原子を含むシリコンウェハを用いて行うことができる。

20

【0125】

TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。定数は酸素分子のイオン化率を含むため、酸素分子の放出量から酸素原子の放出量を見積もることができる。

【0126】

なお、 $N_{O_2}$ は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

【0127】

酸素供給膜の水素濃度が $7.2 \times 10^{20}$  atoms/cm<sup>3</sup>以上である場合、トランジスタの初期特性のパラッキが増大し、トランジスタの電気特性のL長依存性が増大し、さらに外部ストレスによって大きく劣化するため、酸素供給膜である絶縁膜の水素濃度は、 $7.2 \times 10^{20}$  atoms/cm<sup>3</sup>未満とすることが好ましい。なお、酸化物半導体膜の水素濃度は $5 \times 10^{19}$  atoms/cm<sup>3</sup>以下であることが好ましい。

30

【0128】

酸素供給膜を用いることにより、酸化物半導体膜を化学量論組成とほぼ一致させる、または化学量論組成より酸素を多くすることができる。例えば、酸化物半導体膜の化学量論組成がIn:Ga:Zn:O=1:1:1:4[原子数比]である場合、IGZOに含まれる酸素の原子数比は4、あるいは4より大きくすることができる。

【0129】

層間絶縁膜505はスパッタリング法またはCVD法などにより形成すればよいが、好ましくはスパッタリング法を用いて形成する。層間絶縁膜505として酸化シリコン膜を形成する場合には、ターゲットとして石英(好ましくは合成石英)ターゲット、スパッタリングガスとしてアルゴンガスを用いればよい。または、ターゲットとしてシリコンターゲット、スパッタリングガスとして酸素を含むガスを用いてもよい。なお、酸素を含むガスとしては、アルゴンガスと酸素ガスの混合ガスでもよいし、酸素ガスのみであってもよい。

40

【0130】

層間絶縁膜505を形成した後、酸化物半導体膜511を形成する前に、第1の加熱処理を行う。第1の加熱処理は、層間絶縁膜505中に含まれる水および水素を除去するための工程である。第1の加熱処理の温度は、層間絶縁膜505中に含まれる水および水素

50

が脱離する温度（脱離量がピークとなる温度）以上、かつ半導体基板500の変質または変形する温度未満とするとよく、例えば400以上750以下とし、後に行う第2の加熱処理よりも低い温度とすればよい。

【0131】

酸化物半導体膜511を形成した後、第2の加熱処理を行う。第2の加熱処理は、層間絶縁膜505を酸素の供給源として酸化物半導体膜511に酸素を供給する工程である。ただし、第2の加熱処理を行うタイミングはこれに限定されず、酸化物半導体膜511を加工した後に行ってもよい。

【0132】

なお、第2の加熱処理は窒素ガス、またはヘリウム、ネオン若しくはアルゴンなどの希ガス雰囲気で行い、該雰囲気中に、水素、水、水酸基を有する化合物、または水素化物などが含まれていないことが好ましい。または、これらのガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

10

【0133】

なお、第2の加熱処理の条件、または酸化物半導体膜511の材料によっては、酸化物半導体膜511が結晶化され、微結晶層または多結晶層となる場合もある。例えば、結晶化率が90%以上または80%以上の微結晶層となる。逆に、結晶成分を含まない非晶質となる場合もある。また、非晶質層中に微結晶(結晶粒径1nm以上20nm以下)が存在することもある。

20

【0134】

酸化物半導体膜511は、例えば、In-M-Zn-O系材料を用いればよい。ここで、金属元素Mは酸素との結合エネルギーがInおよびZnよりも高い元素である。または、In-M-Zn-O系材料から酸素が脱離することを抑制する機能を有する元素である。金属元素Mの作用によって、酸化物半導体膜の酸素欠損の生成が抑制される。そのため、酸素欠損に起因するトランジスタの電気特性の変動を低減することができ、信頼性の高いトランジスタを得ることができる。

【0135】

金属元素Mは、具体的にはAl、Sc、Ti、V、Cr、Mn、Fe、Co、Ni、Ga、Y、Zr、Nb、Mo、Sn、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu、Hf、TaまたはWとすればよく、好ましくはAl、Ti、Ga、Y、Zr、CeまたはHfとする。金属元素Mは、前述の元素から一種または二種以上選択すればよい。また、金属元素Mに変えてGeを用いることもできる。

30

【0136】

ここで、In-M-Zn-O系材料で表される酸化物半導体は、Inの濃度が高いほどキャリア移動度およびキャリア密度が高くなり、導電率の高い酸化物半導体となる。

【0137】

以下では、酸化物半導体膜の構造について説明する。酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜などをいう。

40

【0138】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

【0139】

微結晶酸化物半導体膜は、例えば1nm以上10nm未満の大きさの微結晶(ナノ結晶ともいう。)を含む。従って、微結晶酸化物半導体膜は非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は非晶質酸化物半導体膜よりも欠

50

陥準位密度が低いという特徴がある。

【0140】

C A A C - O S 膜は複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は一辺が100nm未満の立方体内に収まる大きさである。従って、C A A C - O S 膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。C A A C - O S 膜は微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。以下、C A A C - O S 膜について詳細な説明を行う。

【0141】

C A A C - O S 膜を透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって観察すると、結晶部同士の明確な境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、C A A C - O S で膜は結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

10

【0142】

C A A C - O S 膜を試料面と平行な方向からTEMによって観察 (断面TEM観察) すると、結晶部において金属原子が層状に配列していることを確認できる。金属原子の各層はC A A C - O S 膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状を有しており、C A A C - O S 膜の被形成面または上面と平行に配列する。

【0143】

一方、C A A C - O S 膜を試料面と垂直な方向からTEMによって観察 (平面TEM観察) すると、結晶部において金属原子が三角形状または六角形状に配列していることが確認できる。しかしながら、異なる結晶部間で金属原子の配列に規則性は見られない。

20

【0144】

これらの断面TEM観察および平面TEM観察より、C A A C - O S 膜の結晶部は配向性を有していることがわかる。

【0145】

C A A C - O S 膜に対してX線回折 (XRD: X-Ray Diffraction) 装置を用いて構造解析を行うと、例えばInGaZnO<sub>4</sub>の結晶を有するC A A C - O S 膜のout-of-plane法による解析では、回折角(2θ)が31°近傍にピークが現れる場合がある。このピークはInGaZnO<sub>4</sub>の結晶の(009)面に帰属されることから、C A A C - O S 膜の結晶がc軸配向性を有し、c軸が被形成面または上面に垂直な方向を向いていることが確認できる。

30

【0146】

一方、C A A C - O S 膜に対してc軸に垂直な方向からX線を入射させるin-plane法による解析では、2θが56°近傍にピークが現れる場合がある。このピークはInGaZnO<sub>4</sub>の結晶の(110)面に帰属される。InGaZnO<sub>4</sub>の単結晶酸化物半導体膜であれば、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対しC A A C - O S 膜の場合は、2θを56°近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

【0147】

以上のことから、C A A C - O S 膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は結晶のab面に平行な面を有している。

40

【0148】

なお、結晶部はC A A C - O S 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸はC A A C - O S 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えばC A A C - O S 膜の形状をエッチングなどによって変化させた場合、結晶のc軸がC A A C - O S 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

50

## 【0149】

また、CAAC-OS膜中の結晶化度が均一でなくてもよい。例えば、CAAC-OS膜の結晶部がCAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は被形成面近傍の領域よりも結晶化度が高くなることもある。また、CAAC-OS膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

## 【0150】

なお、InGaZnO<sub>4</sub>の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2θが31°近傍のピーク他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS膜中の一部にc軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

10

## 【0151】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

## 【0152】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CAAC-OS膜などを含む積層膜であってもよい。

## 【0153】

また、酸化物半導体膜は成膜直後において、化学量論組成より酸素が多い状態とすることが好ましい。例えば、スパッタリング法を用いて酸化物半導体膜を成膜する場合、酸素ガスの含有量が高い成膜ガスを用いて成膜することが好ましく、特に酸素雰囲気（酸素ガス100%）で成膜を行うことが好ましい。このような条件下では、成膜温度を300以上としても、膜中からのZnの放出が抑えられる。

20

## 【0154】

また、酸化物半導体膜511は、複数の酸化物半導体膜が積層された構造でもよい。例えば、酸化物半導体膜511を、第1の酸化物半導体膜と第2の酸化物半導体膜の積層として、第1の酸化物半導体膜と第2の酸化物半導体膜に、異なる組成の金属酸化物を用いてもよい。例えば、第1の酸化物半導体膜に三元系金属の酸化物を用い、第2の酸化物半導体膜に二元系金属の酸化物を用いてもよい。また、例えば、第1の酸化物半導体膜と第2の酸化物半導体膜を、どちらも三元系金属の酸化物としてもよい。

30

## 【0155】

また、第1の酸化物半導体膜と第2の酸化物半導体膜の構成元素を同一とし、両者の組成を異ならせてもよい。例えば、第1の酸化物半導体膜の原子数比をIn:Ga:Zn=1:1:1とし、第2の酸化物半導体膜の原子数比をIn:Ga:Zn=3:1:2としてもよい。また、第1の酸化物半導体膜の原子数比をIn:Ga:Zn=1:3:2とし、第2の酸化物半導体膜の原子数比をIn:Ga:Zn=2:1:3としてもよい。

## 【0156】

酸化物半導体では主として重金属のs軌道がキャリア伝導に寄与しており、Inの含有率を多くすることによりs軌道のオーバーラップが多くなる傾向があるため、In>Gaの組成となる酸化物はIn-Gaの組成となる酸化物と比較して高い移動度を備える。また、GaはInと比較して酸素欠損の形成に大きなエネルギーを必要とするため、In-Gaの組成となる酸化物はIn>Gaの組成となる酸化物と比較して酸素欠損が生じにくく、安定した特性を備える。

40

## 【0157】

従って、ゲート電極に近い側（チャネル側）の酸化物半導体膜のInとGaの含有率をIn>Gaとし、ゲート電極から遠い側（バックチャネル側）の酸化物半導体膜のInとGaの含有率をIn-Gaとすると、トランジスタの移動度および信頼性をさらに高めることが可能となる。

## 【0158】

50

また、第1の酸化物半導体膜と第2の酸化物半導体膜に、結晶性の異なる酸化物半導体を適用してもよい。すなわち、単結晶酸化物半導体、多結晶酸化物半導体、非晶質酸化物半導体、またはCAAC-Os膜を適宜組み合わせた構成としてもよい。また、第1の酸化物半導体膜と第2の酸化物半導体膜の少なくともどちらか一方に非晶質酸化物半導体を適用すると、酸化物半導体膜511の応力が緩和され、トランジスタの特性ばらつきが低減され、また、トランジスタの信頼性をさらに高めることが可能となる。

【0159】

一方で、非晶質酸化物半導体は水素などのドナーとなる不純物を吸収しやすく、また、酸素欠損が生じやすいためn型化されやすい。このため、チャネル側の酸化物半導体膜は、CAAC-Os膜などの結晶性を有する酸化物半導体を適用することが好ましい。

10

【0160】

また、酸化物半導体膜511を3層以上の積層構造とし、複数の結晶性酸化物半導体膜で非晶質酸化物半導体膜を挟む構造としてもよい。また、結晶性酸化物半導体膜と非晶質酸化物半導体膜を交互に積層する構造としてもよい。

【0161】

また、酸化物半導体膜511を複数層の積層構造とし、各酸化物半導体膜の形成後に酸素を添加してもよい。酸素の添加は、酸素雰囲気下による熱処理や、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、酸素を含む雰囲気下で行うプラズマ処理などを用いることができる。

【0162】

各酸化物半導体膜の形成毎に酸素を添加することで、酸化物半導体内の酸素欠損を低減する効果を高めることができる。

20

【0163】

次に、酸化物半導体膜511上に接して離間して設けられたソース電極512aおよびドレイン電極512bを形成する(図5(B)参照)。

【0164】

ソース電極512aおよびドレイン電極512bは、例えば、スパッタリング法を用いて導電膜(例えば金属膜、または導電性を与える不純物元素が添加されたシリコン膜など)を形成し、該導電膜上にエッチングマスクを形成してエッチングを行うことで形成すればよい。または、インクジェット法などを用いてもよい。なお、ソース電極512aおよびドレイン電極512bとなる導電膜は、単層で形成してもよいし、複数の層を積層して形成してもよい。例えば、Ti層によりAl層を挟持した3層の積層構造とすればよい。

30

【0165】

次に、少なくとも酸化物半導体膜511のチャネル領域上にゲート絶縁膜513を形成し、ゲート絶縁膜513の形成後に開口部を形成する(図5(C)参照)。該開口部はゲート電極504と重畳する部分に形成する。

【0166】

ゲート絶縁膜513は、例えば、窒化シリコン、窒化酸化シリコン、酸化窒化シリコンまたは酸化シリコンなどの絶縁性材料を用い、高密度プラズマを用いた成膜方法によって形成すればよい。なお、ゲート絶縁膜513は、単層で形成してもよいし、複数の層を積層して形成してもよい。ここでは、窒化シリコン層上に酸化窒化シリコン層が積層された2層の積層構造とする。なお、高密度なプラズマの使用により、ゲート絶縁膜513に対するプラズマダメージを低減することができる。したがって、ゲート絶縁膜513中の未結合手に由来する欠陥を低減することが可能となり、この後形成される酸化物半導体との界面を極めて良好にすることができる。

40

【0167】

また、ゲート絶縁膜513を絶縁性酸化物で形成とすると、酸素をチャネル領域に供給して酸素欠損を埋めることができるため好ましい。特に酸素の一部が加熱により脱離する絶縁性酸化物により形成することが好ましい。すなわち、層間絶縁膜505の材料として例示列挙したものをを用いることが好ましい。たとえば、ゲート絶縁膜513の酸化物半導

50

体膜 5 1 1 と接する部分を酸化シリコンにより形成すると、酸化物半導体膜 5 1 1 に酸素を拡散させることができ、トランジスタの低抵抗化を防止することができる。

【 0 1 6 8 】

なお、ゲート絶縁膜 5 1 3 として、ハフニウムシリケート ( $\text{HfSi}_x\text{O}_y$ 、 $x > 0$ 、 $y > 0$ )、窒素が添加されたハフニウムシリケート ( $\text{HfSi}_x\text{O}_y$ 、 $x > 0$ 、 $y > 0$ )、窒素が添加されたハフニウムアルミネート ( $\text{HfAl}_x\text{O}_y$ 、 $x > 0$ 、 $y > 0$ )、酸化ハフニウム、酸化イットリウムまたは酸化ランタンなどの high - k 材料を用いると、ゲートリーク電流を低減することができる。ここで、ゲートリーク電流とは、ゲート電極とソース電極またはドレイン電極の間に流れるリーク電流をいう。さらには、high - k 材料により形成される層と、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウムあるいは酸化ガリウムにより形成される層が積層されていてもよい。ただし、ゲート絶縁膜 5 1 3 を積層構造とする場合であっても、酸化物半導体膜 5 1 1 に接する部分は、絶縁性酸化物であることが好ましい。

10

【 0 1 6 9 】

ゲート絶縁膜 5 1 3 は、スパッタリング法により形成しても良い。また、ゲート絶縁膜 5 1 3 の厚さは、1 nm 以上 300 nm 以下、好ましくは 5 nm 以上 50 nm 以下とすればよい。ゲート絶縁膜 5 1 3 の厚さを 5 nm 以上とすると、ゲートリーク電流を特に小さくすることができる。

【 0 1 7 0 】

ここで、さらに不活性ガス雰囲気下、または酸素ガス雰囲気下で第 3 の加熱処理 (好ましくは 200 以上 400 以下、例えば 250 以上 350 以下) を行ってもよい。第 3 の加熱処理により、酸化物半導体膜 5 1 1 中に残留する水素若しくは水分をゲート絶縁膜 5 1 3 に拡散させることができる。さらには、ゲート絶縁膜 5 1 3 から酸化物半導体膜 5 1 1 に酸素を供給することができる。

20

【 0 1 7 1 】

また、第 3 の加熱処理は、酸化物半導体膜 5 1 1 上にゲート絶縁膜 5 1 3 を形成した後のみならず、ゲート電極 5 1 4 a および電極 5 1 4 b となる導電膜を形成した後に行ってもよい。

【 0 1 7 2 】

次に、ゲート絶縁膜 5 1 3 上に導電膜を形成し、該導電膜上にエッチングマスクを形成してエッチングを行うことにより、ゲート電極 5 1 4 a および電極 5 1 4 b を形成する。(図 5 (D) 参照)。

30

【 0 1 7 3 】

ゲート電極 5 1 4 a および電極 5 1 4 b は、ソース電極 5 1 2 a およびドレイン電極 5 1 2 b と同様の材料および方法により形成すればよい。

【 0 1 7 4 】

以上、説明したように、図 4 に示す、半導体基板に設けられたトランジスタ上に酸化物半導体をチャネル領域に用いたトランジスタを作製することができる。

【 0 1 7 5 】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

40

【 符号の説明 】

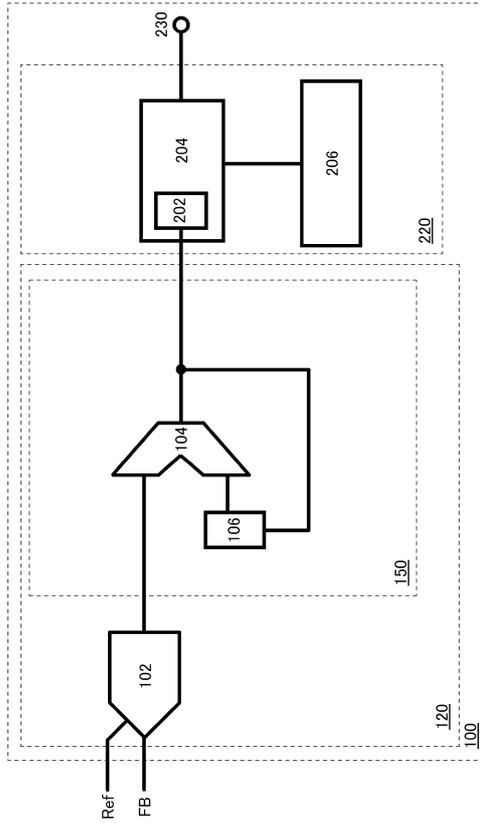
【 0 1 7 6 】

1 0 0	制御回路
1 0 2	A D コンバーター
1 0 4	演算処理装置
1 0 6	レジスタ
1 2 0	信号処理回路
1 5 0	プロセッサ
2 0 2	レジスタ

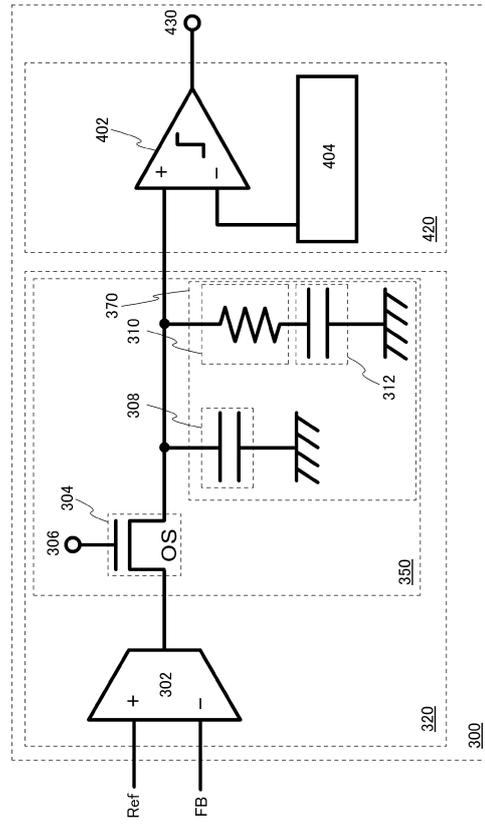
50

2 0 4	デジタルパルス幅変調器	
2 0 6	クロック生成回路	
2 2 0	パルス幅変調器	
3 0 0	制御回路	
3 0 2	G mアンプ	
3 0 4	トランジスタ	
3 0 6	ゲート入力端子	
3 0 8	容量素子	
3 1 0	抵抗	
3 1 2	容量素子	10
3 2 0	信号処理回路	
3 5 0	ラッチ回路	
3 7 0	位相補償保持回路	
4 0 2	コンパレータ	
4 0 4	三角波発生器	
4 2 0	パルス幅変調器	
5 0 0	半導体基板	
5 0 1	高濃度不純物領域	
5 0 2	低濃度不純物領域	
5 0 3	ゲート絶縁膜	20
5 0 4	ゲート電極	
5 0 5	層間絶縁膜	
5 1 0	トランジスタ	
5 1 1	酸化物半導体膜	
5 1 2 a	ソース電極	
5 1 2 b	ドレイン電極	
5 1 3	ゲート絶縁膜	
5 1 4 a	ゲート電極	
5 1 4 b	電極	
8 0 0	測定系	30
8 0 2	容量素子	
8 0 4	トランジスタ	
8 0 5	トランジスタ	
8 0 6	トランジスタ	
8 0 8	トランジスタ	

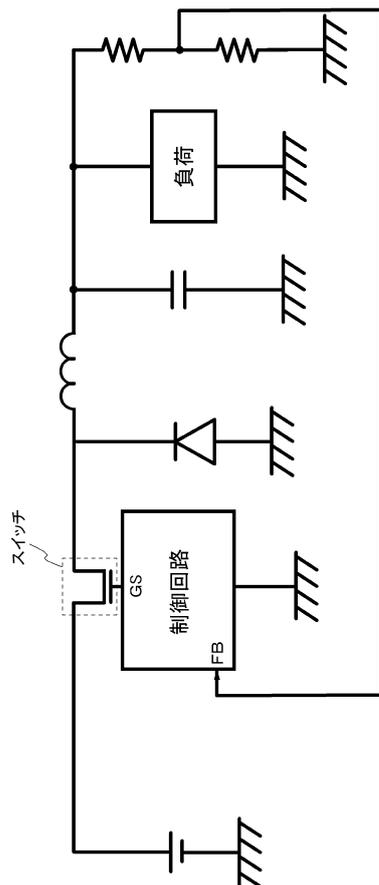
【図1】



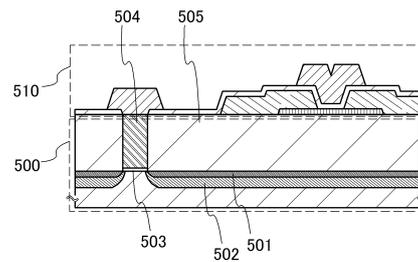
【図2】



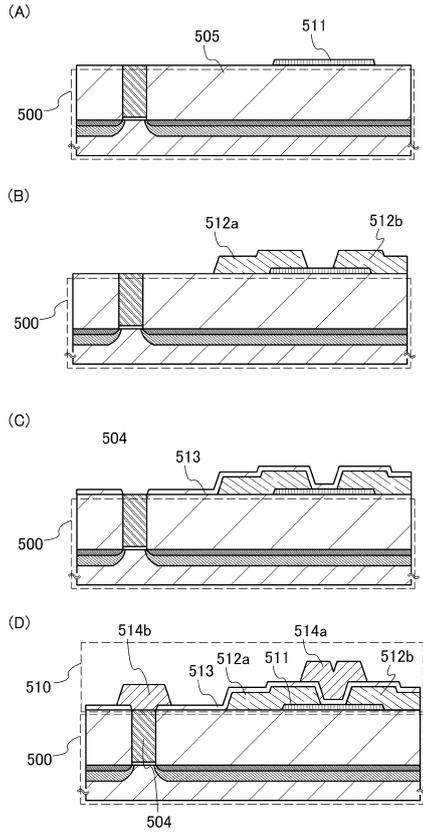
【図3】



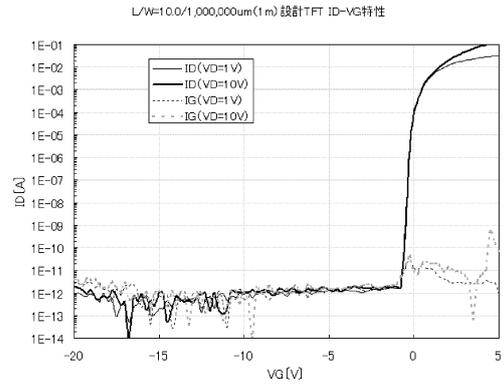
【図4】



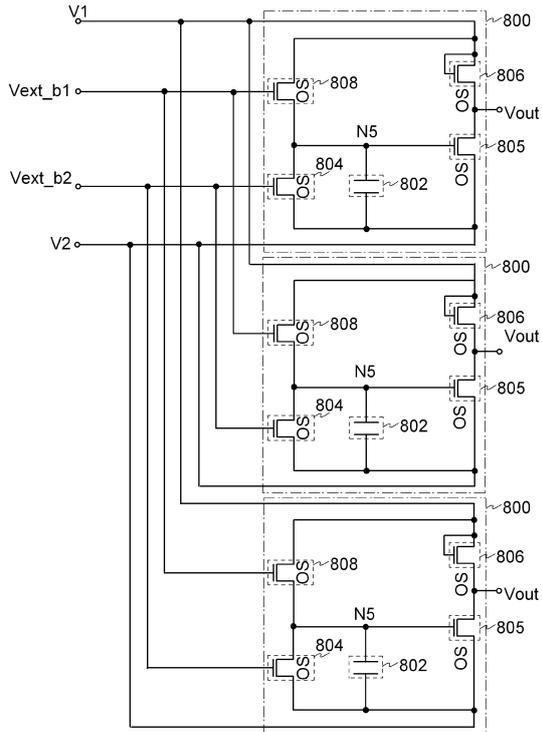
【図5】



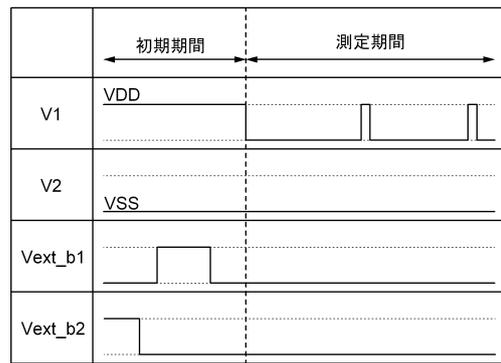
【図6】



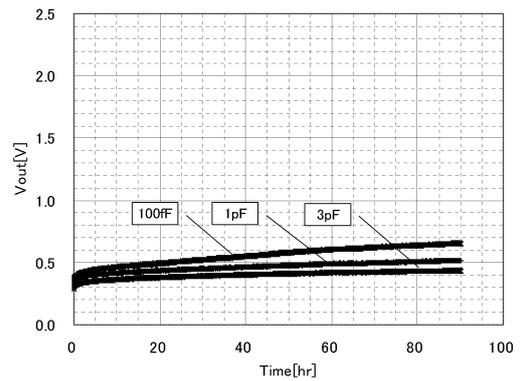
【図7】



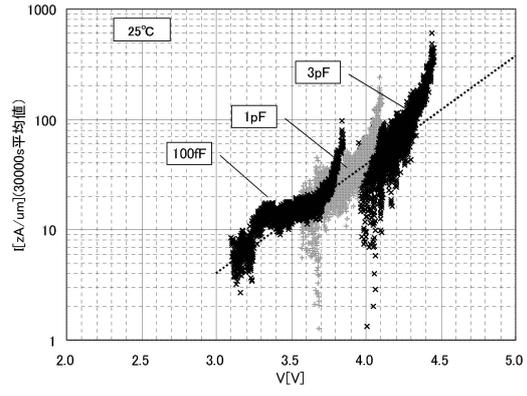
【図8】



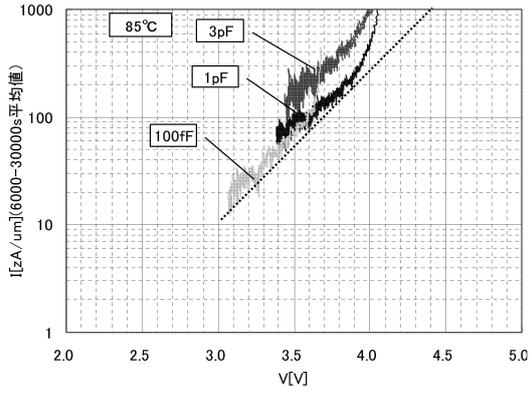
【図9】



【 10 】



【 11 】



---

フロントページの続き

(56)参考文献 特開2011-234519(JP,A)  
特開2012-019682(JP,A)  
特開2011-216663(JP,A)  
特開2011-151796(JP,A)  
特開2006-085151(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H03K 7/08