(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[5]
G11C 8/00

(45) 공고일자 1991년05월28일
(11) 공고번호 특1991-0003384

(21) 출원번호	특1987-0008690	(65) 공개번호	특1988-0003327
(22) 출원일자	1987년08월07일	(43) 공개일자	1988년05월16일
(30) 우선권주장	184264 1986년08월07일 일본(JP)		
(71) 출원인 후지쓰 가부시끼가이샤 야마모도 다꾸마
일본국 가나가와껜 가와사끼시 나까하라구 가미고 다나까 1015번지

(72) 발명자 가사 야스시
일본국 가나가와껜 213 가와사끼시 다까쓰구 찌또세 1015, 후지쓰 다이 2 신조료

(74) 대리인 문병암

심사관 : 김영길 (책자공보 제2307호)

(54) 신호변화 검출회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

신호변화 검출회로

[도면의 간단한 설명]

제 1 도는 종래의 첫 번째 신호변화 검출회로를 설명하는도.

제 2a 내지 2h는 제 1 도의 회로동작을 나타내는 타이밍도.

제 3 도는 종래의 두 번째 신호변화 검출회로를 설명하는 회로도.

제 5 도는 본 발명에 따른 신호변화 검출회로의 실시예를 나타내는 회로도.

제 6 도는 제 5 도의 회로에 대한 상세한 회로도.

제 7 및 8 도는 제 6 도의 지연회로의 회로도.

제 9a 내지 9g 도는 제 6 도의 회로동작을 나타내는 타이밍도.

제 10 및 11g 도는 신호변화 검출회로를 응용한 반도체 기억장치를 설명하는 회로도.

[발명의 상세한 설명]

본 발명은 반도체 기억장치에서 어드레스 변화 검출(Address Transition Detection : ATD)회로로서 사용될 수 있는 신호변화 검출회로에 관한 것이다.

마스크 ROM, 스태틱 RAM(SRAM), 다이나믹RAM(DRAM)등과 같은 반도체 메모리 장치에서 어드레스 변화가 일어날때, 리셋트 신호가 내부회로를 리셋트하기 위하여 발생되어진다. 이를 위해 어드레스 변화 검출회로, 즉 신호변화 검출회로가 사용되고 있다. 후에 서술되어질 종래의 신호변화 검출회로에서는 신호변화 회로가 차지하는 영역의 커져 고집적화에 있어서 문제점이 되었다.

따라서 소규모의 신호변화 검출회로를 제공하는 것이 본 발명의 목적이다.

본 발명의 따른 신호변화 검출회로는 다수의 신호들을 디코딩하는 디코우더 회로, 서로 다른 상승 지연시간과 하강 지연시간을 갖는 지연회로 및 논리회로를 포함한다. 논리회로는 적어도 하나의 변화 신호들을 지시하는 펄스신호를 발생하기 위하여 지연회로의 출력에 따라서 논리동작을 수행한다. 그리하여 디코우더 회로는 보통 다른 목적으로 사용되기 때문에, 신호변화 검출회로가 차지하는 영역을 감소시킬 수 있다.

본 발명을 서술하기 전에 제 1 도 내지 제 4 도를 참조하여 종래의 신호변화 검출회로를 서술하여

나갈 것 종래의 신호변화 검출회로(일본국 특개소 61-151894의 제 4 도 참조)를 설명하는 제 1 도에서, 지연회로 11 및 ANC회로 12는 어드레스 신호 Ai의 상승신호를 검출하기 위한 것이고, 인버터 13, 지연회로 14 및 AND회로 15는 어드레스 신호 Ai의 하강신호를 검출하기 위한 것이다. 참조번호 16은 OR회로를 17은 NAND회로를 각각 나타낸다.

제 2 도를 참조하여 제 1 도의 회로동작을 서술하여 나갈 것이다. 어드레스 신호 Ai가 제 2a 도에서 도시된 바와같이 변화되어질 때, 지연회로 11의 출력인 지연신호 DA_1가 제 2b 도에 도시된 바와같이 얻어진다. 따라서 AND회로 12의 출력 S_1은 제 2c 도에 도시된 바와같이 변화되어 진다. 동시에 어드레스 신호 $\overline{A_1}$ 가 제 2d 도에 도시된 바와같이 변화되어지기 때문에 지연회로 14의 출력인 지연신호 $\overline{DA_1}$ 는 제 2e 도에 도시된 바와같이 얻어진다. 따라서 AND회로 15의 출력 S_2는 제 2f 도에서 도시된 바와같이 변화되어 진다. 결과적으로, OR회로 16의 출력 S_3는 제 2g 도에서 도시된 바와같이 변화되어지므로, NAND회로 17로부터 출력되어지는 ATD 펄스는 제 2h 도에서 도시된 바와같이 변화되어진다.

종래의 또다른 신호변화 검출회로(일본국 특개소 61-170989 참조)를 설명하는 제 3 도에서는 지연회로 31, 배타적 OR(XOR)회 32 및 OR회로 33이 있고, XOR회로 32는 제 4a,4b,4c,도에 도시된 바와같이 신호 A_1의 상승 및 하강을 검출한다.

그러나 상기 언급한 종래의 신호변화 검출회로에서는 상승 및 하강의 검출용 두 직렬회로(제 1 도)가 요구되어 지거나, 또는 많은 소자를 갖는 XOR(제 3 도)가 요구되어지므로, 고집적도의 불이익을 가져오는 차지영역(반도체 소자에서 신호변호 검출회로가 차지하는 영역)을 넓게 해야 한다.

본 발명의 실시예를 설명하는 제 5 도에서 참조번호 1은 2^n 디코우딩 신호들을 발생하기 위하여 n어드레스신호들 $A_0(\overline{A_0}),\ A_1(\overline{A_1}),\ \cdots,\ A_{n-1}(\overline{A_{n-1}})$ 을 디코딩하는 디코우더 회로부를 나타낸다. 예를들면 그러한 디코우딩 신호들은 반도체 메모리 장치용 2^n 워어드 라인들 중에서 하나의 워어드 라인을 선택한다. 상승 특성과 하강 특성이 다른 특성을 지닌 지연회로부 2는 디코우더 회로부 1에 연결되어 있다. 예를들면,디코우더 회로부 1의 디코우딩 신호의 하이(H) 및 로우(L)레벨이 각각 선택 레벨 및 비선택 레벨이라면, 지연회로부 2의 상승 주기 시간은 하강시간보다 더 길게 만들어져 있다. 논리회로 3은 신호 $A_0(\overline{A_0}),\ A_1(\overline{A_1}),\ \cdots,\ A_{n-1}(\overline{A_{n-1}})$ 중에서 적어도 하나의 변화신호를 나타내는 ATD신호를 발생하기 위하여 지연회로부 2의 출력에 따라서 논리동작을 수행한다.

상기 언급한 회로 구성에서, 어드레스 신호 $A_0,\ A_1,\ \cdots,\ A_{n-1}$ 중의 어느 하나의 어드레스 신호가 변화되어 질 때, 지연회로부 2의 모든 출력(디코우딩 신호들)은 미리 정해진 시간 주기동안에 비선택 상태에 있는다. 논리회로부 3은 그러한 비선택 상태를 검출함으로써 어드레스 신호들의 변화를 검출한다.

제 5 도의 회로의 상세한 회로도인 제 6 도에서 디코우더 회로부 1은 2^n개의 NOR회로 1_0, 1_1,…로 구성되어 있어서 2^n개의 워어드 라인중에서 하나의 워어드 라인을 선택한다. 즉, n=2이라면 어드레스 신호들은 A_0 및 A_1에 의하여 정의되고, NOR회로는 1_0,1_1,1_2 및 1_3에 의하여 정의된다. 이러한 경우에서, (A_0 , A_1)=(0,0)이라면 NOR회로 1_0의 출력이 하이(H), (A_0 , A_1)=(1,0)이라면 NOR회로 1_1의 출력이 하이(H), (A_0 , A_1)=(0,1)이라면 NOR회로 1_2의 출력이 하이(H), (A_0 , A_1)=(1,1)이라면 NOR회로 1_3의 출력이 하이(H)가 되도록 NOR회로가 연결되어져 있다. 지연회로부 2는 NOR회로 1_0, 1_1, …에 연결된 지연회로들 2_0 , 2_1 ,…을 포함하여 그의 출력들은 디코우딩 신호들로서 역할을 하고 논리회로 3에 공급되어 진다.

상기 서술한 바와같이 지연회로 2_0 , 2_1 ,…에서 상승시간 주기 Tr은 하강시간 주기 Tf와 다르다. 예를들면, 상승시간 주기가 하강시간 주기보다 길다면, 제 7 도에서 설명한 바와같은 지연회로 2_0는 캐패시어 트랜지스터 Q_1, 인버터로서 트랜지스터 Q_2 및 Q_3, 인버터로서 트랜지터 Q_4 및 Q_5, 캐패시터로서 트랜지스터 Q_6으로 구성되어 있다. P채널 트랜지스터 Q_2의 컨덕턴스 gm은 N채널 트랜지스터 Q_3의 컨덕턴스 보다 크고 P채널 트랜지스터Q_2의 게이트 캐패스터는 N채널 트랜지스터 Q_3의 게이트 캐패스터 보다 작다. 이와 반대로, P채널 트랜지스터 Q_4의 컨덕턴스 gm은 N채널 트랜지스터 Q_5의 컨덕턴스 gm 보다 작고, P채널 트랜지스터 Q_4의 게이트 캐패스터는 N채널 트랜지스터 Q_5의 게이트 캐패스터 보다 크게 한다. 즉,

$gm(Q_2) > gm(Q_3)$ (1)

$gm(Q_4) > gm(Q_5)$ (2)

가 되게 설정한다. 여기에서, 어드레스 신호 A_0 및 A_1이 다같이 "1"→"0"으로 변화하는 경우를 상징하면 인버터(Q_2 , Q_3)의 출력의 상승시간 주기 Tf_1은 $C_1/gm(Q_3)$을 비례한다. 여기서, C_1은 인버터(Q_2 ,

Q_3)의 부하 용량(Q_4, Q_5의 게이트 용량등)이다. 또한, 이러한 하강신호를 받는 인버터(Q_4, Q_5)의 출력의 상승시간 주기 Tr_1은 $C_2/gm(Q_4)$에 비례한다. 여기서, C_2는 인버터(Q_4,C_5)의 부하 용량(Q_6,인버터 3의 게이트 용량등)이다. 따라서, 제 9c 도의 상승시간 주기 Tr은

$$Tr \quad Tf_1+Tr_1, \qquad C_1/gam(Q_3)+C_2/gm(Q_4) \qquad (3)$$

이 된다.

한편, (A_0, A_1)=("0", "0")의 상태에서, 어드레스 신호 A_0, A_1중의 어느 하나가 변하는 경우, 예를 들어, 어드레스 신호 A_0가 "0"→"1"로 변하는 경우에는 인버터(Q_2,Q_3)의 출력의 하강시간 주기 Tr_2는 $C_1/gm(Q_2)$에 비례한다. 이러한 상승신호를 받는 인버터(Q_4, Q_5)의 출력의 하강시간 주기 Tf_2는 $C_2/gm(Q_5)$에 비례한다. 따라서 제 9c도의 하강시간 주기 Tf는

$$Tr \quad Tf_2+Tr_2, \qquad C_1/gam(Q_2)+C_2/gm(Q_5) \qquad (4)$$

가 된다.

상기한 식(1)내지 (4)에 의해서 인버터 출력의 상승시간 주기 Tr은 그 하강시간 주기 Tf보다 크게 된다.

한편, NOR회로 1_0의 크기를 변화시킴으로써 NOR회로 1_0안으로 지연회로 2_0을 삽입할 수 있다.

즉 제 8 도의 설명한 바와같이 NOR회로 1_0은 두 개의 P채널 트랜지스터 Q_{11} 및 Q_{12}, 두 개의 N채널 트랜지스터 Q_{13} 및 Q_{14}, 캐패스터로서 트랜지스터 Q_{15}로 구성되어 있다. 이러한 경우에 있어서, P채널 트랜지스터 Q_{11} 및 Q_{12}의 컨덕턴스 gm은 N 채널 트랜지스터 Q_{13} 및 Q_{14}의 컨덕턴스 보다 작고, P채널 트랜지스터 Q_{11} 및 Q_{12}게이트 캐패시티는 N 채널 트랜지스터 Q_{13} 및 Q_{14}의 게이트 캐패시티 보다 크다.

즉, 트랜지스터 Q_{11} 및 Q_{12}의 컨덕턴스 $gm(Q_{11})$ 및 $gm(Q_{14})$보다 작게 되도록 설정한다. 회로 $1_0(2_0)$의 출력신호는 어드레스 신호 A_0, A_1이 모두 "0"로 될 때 상승하게 된다. 따라서, 그 상승기간 주기 Tr'는 $C_1'/gm(Q_{11}$ 또는 $Q_{12})$에 비례한다. 여기서, C_1'는 부하 용량(Q_{15} 및 인버터의 게이트 용량등)이다. 한편, 회로 $1_0(2_0)$의 출력신호는 어드레스 신호 A_0, A_1의 어느 한쪽이 "1"로될 때 하강하게 된다. 따라서, 그 하강시간 주기 $Tf'/C_1'gm(Q_{13}$ 또는 $Q_{14})$에 비례한다. 따라서, 회로 $1_0(2_0)$의 출력신호의 상승시간 주기 Tr'는 그 하강시간 주기 Tf'보다 크게 된다.

하강시간 주기 Tf가 상승시간 주기 Tr보다 더길면, 상기 언급한 회로들은 반대로 된다는 것을 유의하자.

제 9a 내지 9g 도를 참조하여 제 6 도의 회로동작을 서술하여 나갈 것이다. n=2이고 지연회로 2_0, 2_1, 2_2 및 2_3의 상승시간 주기 Tr이 하강시간 주기 Tr보다 길다고 하자.

어드레스신호 A_0 및 A_1이 제 9a 및 9b 도에서 설명한 바와같이 변화되어질 경우, 디코우드 신호 X_0는 (A_0, A_1)=(0, 0)(제 9c 도에서 알 수 있는)일 때 선택상태에 있고, 디코우더 신호 X_1은(A_0, A_1)=(1, 0)(제 9d 도에서 알 수 있는)일때에 선택상태에 있고, 디코우더 신호 X_2는(A_0, A_1)=(0, 1)(제 9e 도에서 알 수 있는)일때에 선택상태에 있고, 디코우더 신호 X_3는(A_0, A_1)=(1, 1)(제 9f 도에서 알 수 있는)일때에 선택상태에 있다. 이러한 경우에, 각각의 디코우드 신호들 X_0, X_1, X_2 및 X_3의 비선택상태로부터 선택상태로 변화하는 시간주기 Tr은 선택상태로부터 비선택상태로 변화하는 시간주기 Tf보다 짧다. 따라서 어드레스 신호들 A_0와 A_1중에서 적어도 하나의 신호가 변화되어질 때, 모든 디코우드 신호 X_0, X_1, X_2 및 X_3의 비선택 기간 (Tr-Tf)은 항상 일어난다. 결과적으로, 논리회로 3은 이 기간(Tr-Tf)을 검출하고, 제 9g 도에서 도시된 바와같이 ATD 펄스신호를 발생한다.

제 10 도에서 본 발명에 따른 신호변화 검출회로는 마스크 ROM의 컬럼부분에 응용되어 진다. 즉, 참조번호 101은 메모리 셀들을 포함하는 메모리 셀 매트릭스(martrix)을 나타내고, 102는 어드레스 버퍼를, 103은 비트라인 BL_0, BL_1, … 및 BL_{15}중에서 하나의 비트라인을 선택하는 컬럼 어드레스 디코우더를, 104는 워어드 라인들 (도시되지 있지 않음)중에서 하나의 워어드라인을 선택하는 로우 디코우더를, 105는 제 5 도의 논리회로 3에 상응하는 ATD회로를 구성하는 논리회로를, 106은 데이터 버스들 DB_0 내지 DB_3를 충전하는 비트라인 충전회로를,108은 데이터 D_{out}를 출력하는 데이터 버퍼를 각각 나타낸다. 제 10 도에서, 비트라인 BL_0 내지 BL_{15}는 네 개의 그룹으로 나누어진다. 즉 첫 번째 그룹은 비트라인 BL_0 내지 BL_3를 두 번째 그룹은 비트라인 BL_4 내지 BL_7를, 세 번째 그룹은 비트라인 BL_8 내지 BL_{11}를, 네 번째 그룹은 비트라인 BL_{12} 내지 BL_{15}를 포함한다. 각 그룹의 하나의 비트라인은 스위칭 게이트 G_0 내지 G_{15}에 의해 선택되고, 그룹중에서 하나의 그룹은 스위칭 게이트 G_{16}내지 G_{19}에 의해 선택된다. 스위칭 게이트를 컬럼 디코우더 103에 의하여 제어된다.

제 10 도에서, 컬럼 디코우더 103은 상승시간 주기 및 하강시간 주기가 서로 다른 시간주기를 갖는 지연기능을 포함한다. 즉, 컬럼 디코우더 103은 제 8 도의 디코우더 회로의 구성과 유사하다. 따라서, 적어도 하나의 변화가 컬럼 어드레스신호들(도시되어 있지 않음)에서 일어난다면, 논리회로는 105는 ATD 펄스신호를 발생하고, 그 신호를 데이터 버스 충전회로 106으로 전송시킨다. 결과적으로, 컬럼 어드레스신호들 중에서 하나의 변화 후에만, 데이터 버스 충전회로 106은 제 9 도의 시간 주기 (Tr-Tf)에 상응하는 미리 정해진 시간의 주기 동안에 데이터 버스 DB_0 내지 DB_3을 충전한다.

제 10 도에서 컬럼 디코우더 103에 메모리 셀 메트릭스 101에 따라서 컬럼 선택을 수행한 후에 로우 디코우더 104는 메모리 셀 매트릭스 101에 따라서 로우 선택동작을 수행한다. 즉, 데이터 버스들 DB_0 내지 DB_3가 충전된 후에, 데이터 버스들 DB_0 내지 DB_3에 있어서의 전위, 즉 센스 증폭기 107의 입력에서의 전위가 메모리 셀 매트릭스 101에서 읽어지는 데이터에 따라서 결정되어지도록 로우 선택동작이 수행되어 진다.

제 11 도에서, 본 발명에 따른 신호변화 검출회로가 마스크 ROM의 로우부분에 적용되어진다. 제 11 도에서, 제 10 도와 같은 동일소자는 제 10 도와 같은 동일참조번호를 부여하였다. 이러한 경우에 있어서, 로우 디코우더 104는 상승시간 주기 및 하강시간 주기가 서로 다른 시간주기를 갖는 지연기능을 포함하고 있다. 또한, 논리회로 105는 로우 디코우더 104에 연결되어 있는 워어드 라인들 WL_0, WL_1,…, 중에서 하나의 라인에 연결되어 있는 게이트, 접지되어 있는 소오스 및 공통으로 연결되어 있는 드레인등을 각각 갖는 다수의 증가형(enhancement-type)트랜지스터들에 의하여 형성되는 와이어드(wired) OR회로를 포함한다. 따라서, 로우 어드레스 신호들(도시되어 있지 않음)에서 적어도 하나의 변화가 일어날 때, 논리 회로 105의 모든 트랜지스터들은 로우 디코우더 104의 상승시간 주기 Tr과 하강시간 주기 Tf과의 차로 인하여 OFF상태로 되고, 그로 인하여 ATD펄스신호를 발생한다. 이 ATD펄스신호는 센스 증폭기 107를 리셋트하는데 사용되어진다.

제 10 및 11 도에서, 본 발명에 따른 신호변화 검출회로의 첨가로 인한 증가는 매우 작다. 특히 제 11 도에서 이 증가는 단지 하나의 비트라인 뿐이다.

제 5 도에서, 디코우딩 신호들은 디코우더 회로 1로부터 얻어지며, 지연회로 2로 부터는 얻어지지 않는다는것을 유의 하자. 또한 본 발명은 어드레스 신호들용 어드레스 신호변화 검출(ATD)회로 이외에 다수의 신호들의 변호를 검출하는 회로들을 포함할 수 있다는 사실에도 유의하자.

상기 설명한 바와같이, 본 발명에 따른 신호변화 검출회로에서, 다른 용도로 쓰이는 디코우더 회로가 보통 신호변화 검출회로로 사용되기 때문에 검출회로에 의하여 차지되는 향상된다.

(57) 청구의 범위

청구항 1

신호변화 검출회로에 있어서, 디코우딩 신호들(X_0, X_1, …)을 발생시키기 위하여 다수의 신호들(A_0, A_1, …A_{n-1})을 디코우딩하는 디코우더의 회로(1), 상기 디코우더 회로에 연결되며, 그 각각은 서로 다른 상승 지연시간 주기(Tr) 및 하강 지연시간 주기(Tf)를 갖는 지연회로들(2_0, 2_1, …), 상기 지연회로에 연결되고 있고, 상기 다수의 신호들 중에서 적어도 하나의 신호변화를 지시하는 펄스신호(ATD)를 발생시키기 위하여 상기 지연회로의 출력에 따라서 논리동작을 수행하는 논리회로(3)를 포함하는 신호변화 검출회로.

청구항 2

청구범위 제 1 항에 있어서, 상기 각각의 지연회로는 상기 디코우더 회로에 연결되어 있는 캐패시터(Q_1),상승시간 주기와 하강시간 주기가 서로 다른 시간 주기를 가지며 상기 캐패시터와 연결된 두 개의 직렬접속 인버터들(Q_2-Q_5),상기 직렬접속 인버터들의 출력에 연결되어 있는 캐패스터(Q_6)를 포함하는 신호변화 검출회로.

청구항 3

청구범위 제 1 항에 있어서, 상기 지연회로가 상기 디코우더 회로안으로 일체화된 신호변화 검출회로.

청구항 4

메모리 셀 매트릭스(101), 상기 메로리 셀 매트릭스에서 하나의 셀을 선택하는 디코우더 수단들(102,103,104) 및 상기 메모리 셀 매트릭스를 리세트하는 회로로 이루어진 반도체 메모리 장치에 있어서, 상기 디코우더 수단에 연결되며, 상승시간 주기와 서로 다른 시간주기를 갖는 상기 디코우딩 신호들을 지연시키는 지연회로 및 상기 지연회로에 연결되며, 어드레스 변화 검출신호를 발생시키기 위하여 상기 지연회로의 출력에 따라서 논리동작을 수행하는 논리회로로 구성된 어드레스 변화 검출회로를 구비하며, 상기 리세트회로(106)는 상기 어드레스 변화 검출회로 및 상기 메모리 셀 매트릭스에 연결되며 상기 어드레스 변화 검출신호에 의해 상기 메모리 셀을 리세트하는 장치.

청구항 5

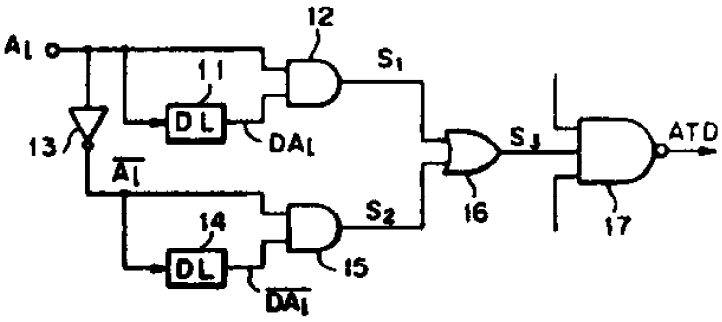
청구범위 제 4 항에 있어서, 상기 각각의 지연회로가 상기 디코우더회로에 연결되어 있는 케패스터(Q_1), 다른 상승시간 주기와 하강시간 주기를 가지며, 상기 케패스터에 연결된 두 개의 직렬접속 인버터들(Q_2-Q_5) 및 상기 직렬접속 인버터들의 출력에 연결된 캐패시터(Q_6)를 포함하는 장치.

청구항 6

청구범위 제 4 항에 있어서, 상기 지연회로가 상기 디코우더 회로안으로 일체화되는 장치.

도면

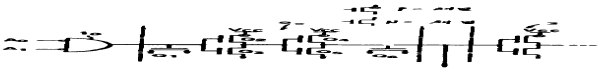
도면1



도면2H

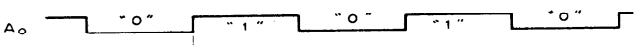
도면2G

도면2F

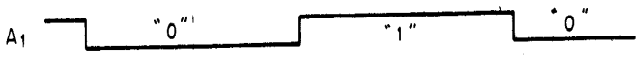


도면2E

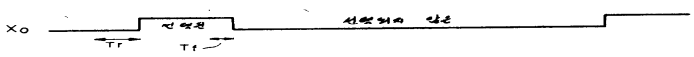
도면2D



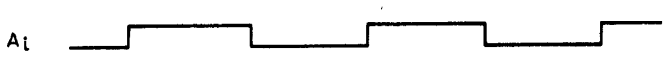
도면2C



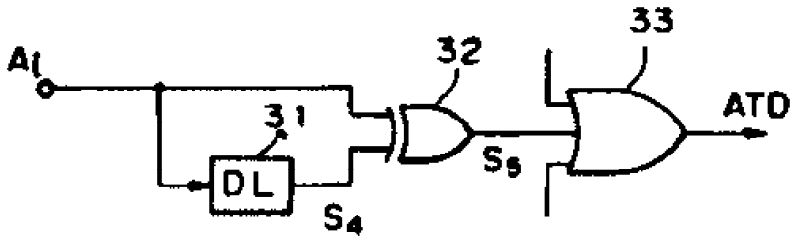
도면2B



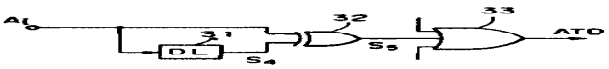
도면2A



도면3



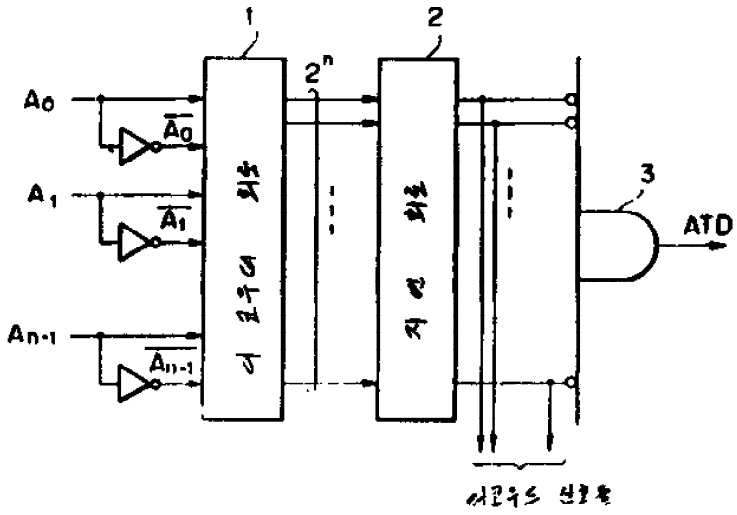
도면4C



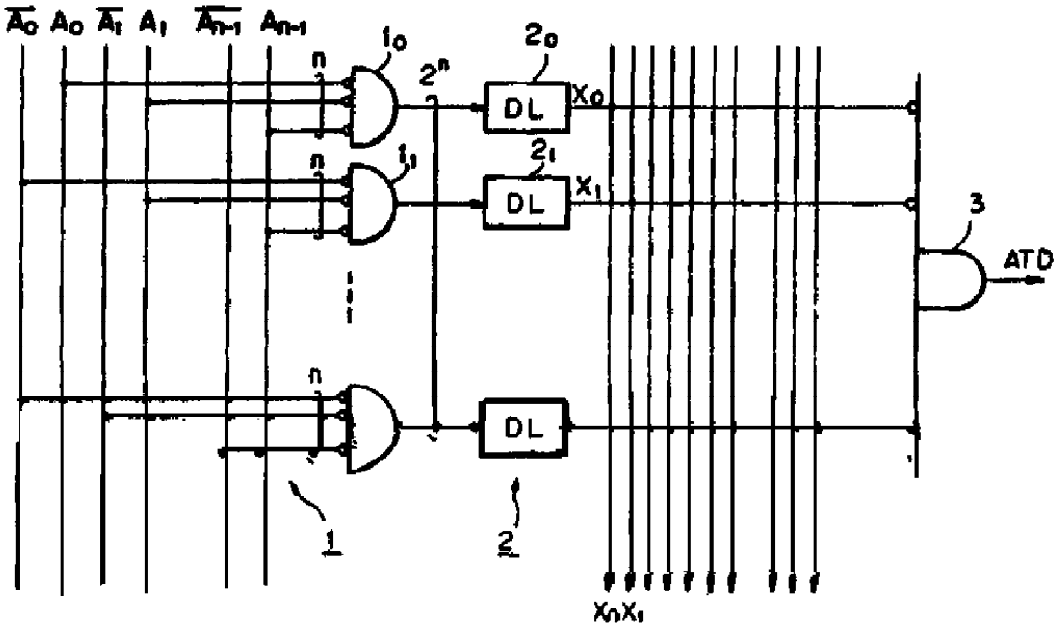
도면4B

도면4A

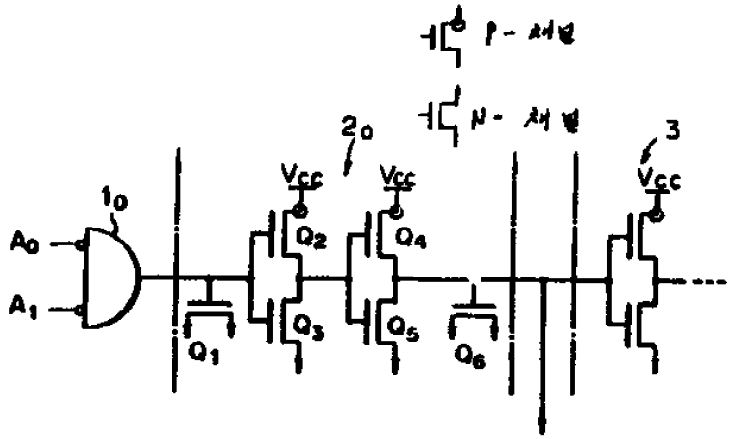
도면5



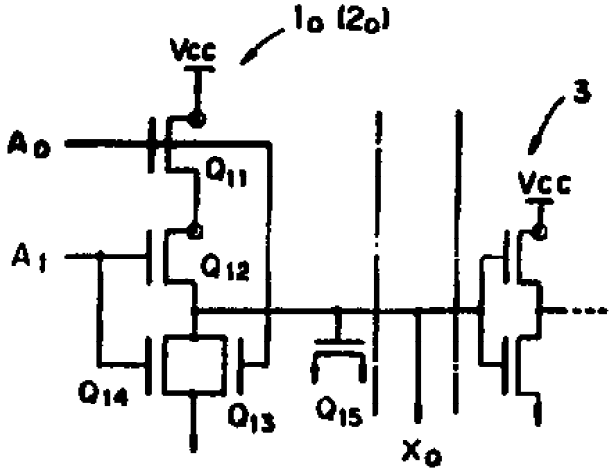
도면6


DL
DL
DL
ATD
1
2
3

도면7


Vcc
Vcc
Vcc
A0
A1
Q1
Q2
Q3
Q4
Q5
Q6

도면8


Vcc
A0
A1
Q11
Q12
Q13
Q14
Q15
Vcc
3
X0

도면9G

$A_0(\overline{A_0})$, $A_1(\overline{A_1})$, ···, $A_{n-1}(\overline{A_{n-1}})$

도면9F

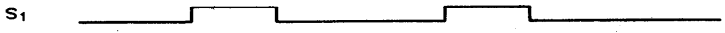
A_{n1}, A_1, ···, $A_{n1}-1$

도면9E

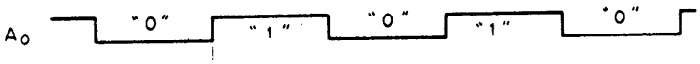
도면9D

도면9C

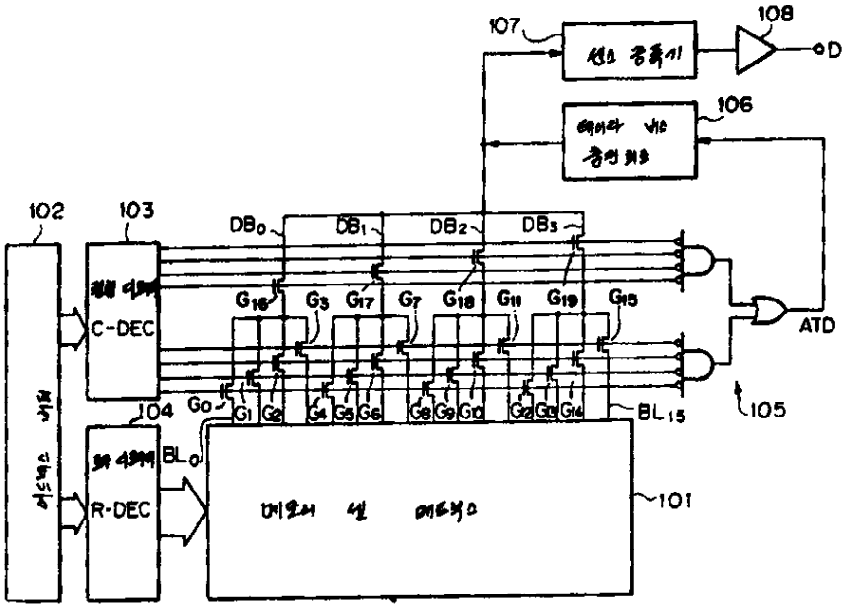
도면9B



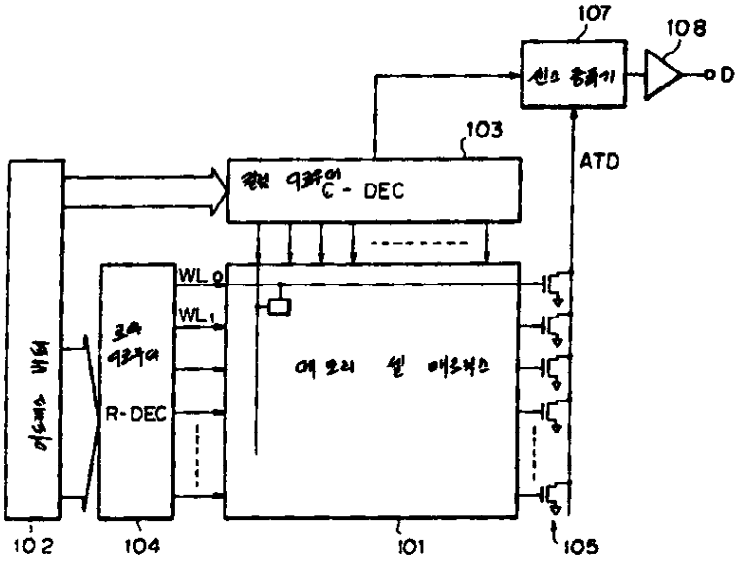
도면9A



도면10


107
108
D
106
102
103
DB0
DB1
DB2
DB3
C-DEC
ATD
104
Go
G1
G2
BL0
R-DEC
BL15
105
101

도면11


107
108
D
103
ATD
C - DEC
WL0
WL1
R-DEC
102
104
101
105