

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6985092号
(P6985092)

(45) 発行日 令和3年12月22日(2021.12.22)

(24) 登録日 令和3年11月29日(2021.11.29)

(51) Int.Cl.		F I			
H03K	3/037	(2006.01)	H03K	3/037	Z
H03K	3/356	(2006.01)	H03K	3/356	Z
H04N	21/438	(2011.01)	H04N	21/438	

請求項の数 3 (全 46 頁)

(21) 出願番号	特願2017-196670 (P2017-196670)	(73) 特許権者	000153878
(22) 出願日	平成29年10月10日(2017.10.10)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2018-64276 (P2018-64276A)		神奈川県厚木市長谷398番地
(43) 公開日	平成30年4月19日(2018.4.19)	(72) 発明者	青木 健
審査請求日	令和2年10月6日(2020.10.6)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2016-202007 (P2016-202007)		半導体エネルギー研究所内
(32) 優先日	平成28年10月13日(2016.10.13)	(72) 発明者	上妻 宗広
(33) 優先権主張国・地域又は機関	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	黒川 義元
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	工藤 一光

最終頁に続く

(54) 【発明の名称】 デコーダ、受信装置および電子機器

(57) 【特許請求の範囲】

【請求項1】

データを復号する機能を有するデコーダであって、
半導体装置を有し、
前記半導体装置は、前記データを保持するための第1の回路および第2の回路を有し、
前記第1の回路は、電源電圧の供給が行われる状態で、前記データを保持する機能を有し、
前記第2の回路は、電源電圧の供給が行われない状態で、前記データを保持する機能を有し、
前記第2の回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、インバータと、を有し、
前記第1のトランジスタおよび前記第2のトランジスタは、チャンネル形成領域に酸化半導体を有し、
前記第3のトランジスタは、チャンネル形成領域にシリコンを有し、
前記第1の回路の出力端子は、前記インバータの入力端子と電気的に接続され、
前記インバータの出力端子は、前記第1のトランジスタのソースまたはドレインの一方と電気的に接続され、
前記第2のトランジスタのゲートは、前記第1のトランジスタのソースまたはドレインの他方と電気的に接続され、
前記第3のトランジスタのゲートは、前記第2のトランジスタのソースまたはドレイン

10

20

の一方と電氣的に接続され、

前記第3のトランジスタのソースまたはドレインの一方は、前記第1の回路の出力端子と電氣的に接続され、

前記データは、トランスポートストリームのデータ構造でありパケットで伝送されるデータであって、パケットが連続した構造を有し、

前記パケットはヘッダ部を有し、

前記ヘッダ部は前記パケットの種類を示す識別子を有し、

前記パケットの前記識別子を検出し、

前のパケットがNULL以外であり、現在のパケットがNULLである場合、前記第1の回路が保持したデータを前記第2の回路へ退避させた後、前記第1の回路への電源電圧の供給を遮断し、

前のパケットがNULLであり、現在のパケットがNULL以外である場合、前記第1の回路への電源電圧の供給を再開させ、前記第2の回路が保持したデータを前記第1の回路へ復帰させる機能を有するデコーダ。

【請求項2】

放送信号を受信する機能を備える受信装置であって、

復調器と、請求項1に記載のデコーダとを有し、

前記復調器は、前記放送信号を復調する機能を有し、

前記デコーダは、復調された前記放送信号を処理する受信装置。

【請求項3】

表示部と、請求項2に記載の受信装置とを有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、デコーダ、受信装置および電子機器に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの駆動方法、または、それらの製造方法、を一例として挙げるることができる。

【背景技術】

【0003】

テレビジョン（TV）は、大画面化に伴い、高精細度の映像を視聴できることが望まれている。そのため、超高精細TV（UHDTV）放送の実用化が推し進められている。日本国では、2015年に通信衛星（CS）および光回線による4K放送サービスが開始されている。今後、放送衛星（BS）によるUHDTV（4K、8K）の試験放送の開始が予定されている。そのため、8K放送に対応するための各種の電子機器が開発されている（例えば、非特許文献1）。8Kの実用放送では、4K放送、2K放送（フルハイビジョン放送）も併用される予定である。

【0004】

現行のBSまたはCS等によるデジタルテレビ放送におけるデータ伝送には、MPEG-2などの符合化方式で圧縮したデータを多重化して伝送するための方式である、トランスポートストリーム（TS、MPEG TSとも呼ぶ）が使用されている。TSで伝送するデータは、符号化された映像データ、音声データ、負荷データ、および制御信号などの複数の情報が多重化された構成をしており、TSパケットと呼ばれるパケット単位で伝送される。

【先行技術文献】

10

20

30

40

50

【非特許文献】

【0005】

【非特許文献1】S. Kawashima, et al., "13.3 - In. 8K X 4K 664 - ppi OLED Display Using CAAC - OS FETs," SID 2014 DIGEST, pp. 627 - 630.

【発明の概要】

【発明が解決しようとする課題】

【0006】

TSパケットとして伝送されるデータは、映像データあるいは音声データ等の多重化される前の元のデータによってデータ量が大きく変化する。そのため、Nullパケットと呼ばれるペイロードが空のデータを、必要な情報が含まれたパケットの間に伝送することで、伝送ビットレートの調整を行っている。

10

【0007】

しかしながらTSパケットとして伝送されるデータを復号するデコーダ（復号回路）では、上記Nullパケットもペイロードを含んだパケットと同回路を用いて処理することになる。そのためデコーダでは、復号すべきデータが存在しない期間であっても消費電力が浪費されることになる。

【0008】

本発明の一形態は、消費電力を削減すること、または、新規なデコーダ、受信装置および電子機器を提供することを課題の一つとする。

20

【0009】

なお本発明の一形態の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一形態は、上記列挙した記載、及び/又は他の課題のうち、少なくとも一つの課題を解決するものである。

【課題を解決するための手段】

【0010】

本発明の一形態は、データを復号する機能を有するデコーダであって、半導体装置を有し、半導体装置は、データを保持するための第1の回路および第2の回路を有し、第1の回路は、電源電圧の供給が行われる状態で、データを保持する機能を有し、第2の回路は、電源電圧の供給が行われない状態で、データを保持する機能を有し、第2の回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、を有し、第1のトランジスタおよび第2のトランジスタは、チャンネル形成領域に酸化物半導体を有し、第3のトランジスタは、チャンネル形成領域にシリコンを有し、第2のトランジスタのゲートは、第1のトランジスタのソースまたはドレインの一方と電気的に接続され、第3のトランジスタのゲートは、第2のトランジスタのソースまたはドレインの一方と電気的に接続され、デコーダは、データのヘッダ部の識別子に応じて半導体装置への電源の供給または遮断を切り替えるとともに、データの退避または復帰を第1の回路と第2の回路との間で行う機能を有するデコーダである。

30

40

【0011】

本発明の一形態において、データは、トランスポートストリームのデータ構造を有するパケットで伝送されるデータであるデコーダが好ましい。

【0012】

本発明の一形態は、放送信号を受信する機能を備える受信装置であって、復調器と、上記記載のデコーダとを有し、復調器は、放送信号を復調する機能を有し、デコーダは、復調された放送信号を処理する受信装置である。

【0013】

本発明の一形態は、表示部と、上記記載の受信装置とを有する電子機器である。

50

【 0 0 1 4 】

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、及び図面に記載されている。

【発明の効果】

【 0 0 1 5 】

本発明の一態様は、消費電力を削減すること、または、新規なデコーダ、受信装置および電子機器を提供することを可能となる。

【 0 0 1 6 】

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び/又は他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

【図面の簡単な説明】

【 0 0 1 7 】

【図 1】放送システムの構成例を示すブロック図。

【図 2】放送システムのデータ伝送を示す模式図。

【図 3】受信装置の構成例を示す図。

【図 4】半導体装置を説明するための回路図。

【図 5】半導体装置を説明するための回路図。

【図 6】半導体装置を説明するためのタイミングチャート。

【図 7】半導体装置を説明するための回路図。

【図 8】半導体装置を説明するための回路図。

【図 9】半導体装置を説明するための回路図。

【図 10】半導体装置を説明するための回路図。

【図 11】半導体装置を説明するための回路図。

【図 12】半導体装置を説明するための回路図。

【図 13】半導体装置を説明するための回路図。

【図 14】デコーダの構成例を示すブロック図とフローチャート。

【図 15】デコーダの構成例を示すブロック図。

【図 16】半導体装置を説明するための断面模式図。

【図 17】半導体装置を説明するための断面模式図。

【図 18】半導体装置を説明するための断面模式図。

【図 19】半導体装置を説明するための断面模式図。

【図 20】半導体装置を説明するための断面模式図。

【図 21】半導体装置を説明するための断面模式図。

【図 22】半導体装置の具体例を説明するためのブロック図。

【図 23】半導体装置の具体例を説明するためのブロック図。

【図 24】半導体装置の具体例を説明するためのブロック図。

【図 25】半導体装置の具体例を説明するためのブロック図。

【図 26】電子機器の一例を示す図。

【図 27】トランジスタの特性を説明するためのグラフ。

【図 28】トランジスタの特性を説明するためのグラフ。

【図 29】トランジスタの特性を説明するためのグラフ。

【発明を実施するための形態】

【 0 0 1 8 】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態

10

20

30

40

50

及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0019】

なお本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。

【0020】

なお図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

【0021】

(実施の形態1)

<放送システム>

図1は、放送システムの構成例を模式的に示すブロック図である。放送システム10は、カメラ11、送信装置12、受信装置13および表示装置14を有する。カメラ11は、イメージセンサ15および画像処理装置16を有する。送信装置12は、エンコーダ17および変調器18を有する。受信装置13は、復調器19およびデコーダ20を有する。表示装置14は画像処理装置21および表示部22を有する。

【0022】

カメラ11が8K映像を撮影が可能である場合、イメージセンサ15は、8Kのカラー画像を撮像可能な画素数を有する。例えば、1画素が1の赤用(R)サブ画素、2の緑用(G)サブ画素、および1の青用(B)サブ画素でなる場合、イメージセンサ15には、少なくとも7680×4320×4[R、G+G、B]のサブ画素が必要となる。

【0023】

イメージセンサ15は未加工のRawデータ23を生成する。画像処理装置16は、Rawデータ23に画像処理(ノイズ除去、補間処理など)を施し、映像データ24を生成する。映像データ24は送信装置12に出力される。

【0024】

送信装置12は、映像データ24を処理して、放送帯域に適合する放送信号(搬送波)25を生成する。エンコーダ17は映像データ24を処理し、符号化データ26を生成する。エンコーダ17は、映像データ24を符号化する処理、映像データ24に放送制御用データ(例えば認証用のデータ)を付加する処理、暗号化処理、スクランブル処理(スペクトラム拡散のためのデータ並び替え処理)等を行う。

【0025】

変調器18は符号化データ26をIQ変調(直交位相振幅変調)することで、放送信号25を生成し、出力する。放送信号25は、I(同位相)成分とQ(直交位相)成分の情報を持つ複合信号である。TV放送局は、映像データ24の取得、および放送信号25の供給を担う。

【0026】

放送信号25は受信装置13で受信される。受信装置13は、放送信号25を表示装置14で表示可能な映像データ27に変換する機能を有する。復調器19は、放送信号25を復調して、I信号、Q信号の2つのアナログ信号に分解する。

【0027】

デコーダ20は、I信号およびQ信号をデジタル信号に変換する処理を有する。また、デコーダ20は、デジタル信号に対して、各種の処理を実行し、データストリームを生成する。この処理には、フレーム分離、LDPC(Low Density Parity Check)符号の復号、放送制御用データの分離、デスクランブル処理等がある。デコーダ20は、データストリームを復号化し、映像データ27を生成する。復号化のための処理には、直交変換(DCT:離散コサイン変換、DST:離散サイン変換)、フレーム間予測処理、動き補償予測処理がある。

10

20

30

40

50

【0028】

映像データ27は、表示装置14の画像処理装置21に入力される。画像処理装置21は、映像データ27を処理し、表示部22に入力可能なデータ信号28を生成する。画像処理装置21での処理は、画像処理(ガンマ処理)、デジタル-アナログ変換処理等がある。データ信号28が入力されることで、表示部22は表示を行う。

【0029】

図2に、放送システムにおけるデータ伝送を模式的に示す。図2には、放送局69から送信された電波(放送信号)が、各家庭のテレビジョン受信装置68(TV68)に届けられるまでの経路を示している。TV68は、図1で説明した受信装置13および表示装置14を備えている。人工衛星70として、例えば、CS(通信衛星)、BS(放送衛星)などが挙げられる。アンテナ72として、例えば、BS・110°CSアンテナ、CSアンテナなどが挙げられる。アンテナ73として、例えば、UHF(Ultra High Frequency)アンテナなどが挙げられる。

10

【0030】

電波74A、74Bは、衛星放送用の放送信号である。人工衛星70は電波74Aを受信すると、地上に向けて電波74Bを伝送する。各家庭において、電波74Bはアンテナ72で受信され、TV68において衛星TV放送を視聴することができる。あるいは、電波74Bは他の放送局のアンテナで受信され、放送局内の受信装置によって光ケーブルに伝送できる信号に加工される。放送局は光ケーブル網を利用して放送信号を各家庭のTV68に送信する。電波75A、75Bは、地上波放送用の放送信号である。電波塔71は、受信した電波75Aを増幅して、電波75Bを送信する。各家庭では、アンテナ73で電波75Bを受信することで、TV68で地上波TV放送を視聴することができる。

20

【0031】

また、本実施の形態の映像配信システムは、TV放送用のシステムに限定されるものではない。また配信する映像データは、動画像データでもよいし、静止画像データでもよい。

【0032】

図2は、TV68が受信装置を内蔵している例を示している。TV68とは独立した受信装置で受信して、TV68に表示させることも可能である。そのような例を図3に示す。受信装置13は、TV68の外側に設けられてもよい(図3A)。アンテナ72、73とTV68は、無線機76及び無線機77を介して、データの授受を行ってもよい(図3B)。この場合、無線機76及び無線機77は、受信装置の機能も有する。また、TV68は、無線機77を内蔵してもよい(図3C)。

30

【0033】

受信装置は、携帯可能な大きさにすることもできる。図3Dに示す受信装置78は、コネクタ部79を有する。表示装置、および情報端末(例えば、パーソナルコンピュータ、スマートフォン、携帯電話、タブレット型端末など)等の電子機器がコネクタ部79と接続可能な端子を備えていれば、これらで衛星放送や地上波放送を視聴することが可能となる。

【0034】

図1の放送システム10において、デコーダ20は、専用ICやプロセッサ(例えば、GPU、CPU)等を組み合わせて構成することができる。また、デコーダ20は、データを一時的に記憶するフリップフロップと、電源の供給が遮断された状態でもデータを保持するデータ保持回路とで構成されるレジスタを有する。当該レジスタを有するデコーダでは、フリップフロップからデータ保持回路にデータを退避させてデコーダの電源遮断を行い、データ保持回路に退避させたデータをフリップフロップに復帰させることができる。

40

【0035】

デコーダへの電源遮断を行っても退避させたデータの保持が可能なデータ保持回路は、チャンネル形成領域に酸化物半導体を有するトランジスタ(以下、OSTランジスタ)のオ

50

フ時のリーク電流が（オフ電流）極めて小さいことを利用したデータ保持回路を適用することが有効である。データの保持（電荷保持）を行うノードとしては、OSトランジスタのゲートノードを用いる構成とする。

【0036】

当該構成とすることで、パケットのヘッダ情報からNullパケットと識別した際に、デコーダ20内のフリップフロップからデータを退避する。そしてNullパケット後の最初のペイロードを含んだパケットを識別した際に、デコーダ20の電源復帰を行い、退避させたデータをフリップフロップへ復帰させることができる。

【0037】

上記デコーダの構成とすることにより、データの退避及び復帰に要する時間が、外部の不揮発性メモリを利用してデータの退避及び復帰を行う際に要する時間と比較して短縮できる。そのため、低消費電力化を図ることができる。加えてフリップフロップのデータの退避する回路において、OSトランジスタのゲートノードを用いることで、OSトランジスタが有するゲート絶縁膜により、電流リークを抑え、電荷の保持時間を長くすることができる。

10

【0038】

<レジスタの構成>

図4は、上述したデコーダに適用可能なレジスタとして機能する半導体装置の構成を示す回路図である。半導体装置100は、回路110と、回路120と、を有する。

【0039】

回路110は、電源電圧の供給が行われる状態で、データを記憶する機能を有する。回路120は、電源電圧の供給が行われない状態でもデータを記憶する機能を有する。

20

【0040】

回路110は、例えば、フリップフロップ等の回路である。図4では、回路110としてフリップフロップを構成するRS型ラッチを図示しており、入力端子R、入力端子S、出力端子Q、出力端子QBを示している。

【0041】

回路120は、チャンネル形成領域に酸化物半導体を有するトランジスタ（以下、OSトランジスタ）と、チャンネル形成領域にシリコンを有するトランジスタ（以下、Siトランジスタ）と、を組み合わせ、データに応じた電荷をオフ電流が小さいトランジスタを利用して保持することで、データを記憶する回路である。

30

【0042】

なお以下の説明では、データ'1'であれば電圧 V_{DD} （ハイレベルの電圧、あるいは単にハイレベルともいう）のことをいう。つまりデータ'1'を保持するのであれば、電圧 V_{DD} に応じた電荷を保持することをいう。逆に、データ'0'であれば電圧 V_{SS} （ローレベルの電圧、あるいは単にローレベルともいう）のことをいう。つまりデータ'0'を保持するのであれば、電圧 V_{SS} に応じた電荷を保持することをいう。

【0043】

なお電源電圧の供給は、電圧 V_1 および電圧 V_2 を切り替えて制御することができる。例えば、電圧 V_1 を電圧 V_{DD} とし、電圧 V_2 を電圧 V_{SS} とするとき、電源電圧の供給が行われる。また電圧 V_1 と電圧 V_2 を同じ電圧、例えば、電圧 V_1 を電圧 V_{SS} とし、電圧 V_2 を電圧 V_{SS} とするとき、電源電圧の供給が行われない。

40

【0044】

次いで、本発明の一態様における回路120について説明する。回路120は、回路110の電源電圧の供給が停止する期間の前に、出力端子Q、QBのデータを退避させて保持する機能を有する。また回路120は、電源電圧の供給が再開された後に、保持したデータを回路110の出力端子Q、QBに復帰させる機能を有する。

【0045】

回路120は、出力端子Qのデータを退避および復帰する回路として、インバータINVaと、トランジスタM1aと、トランジスタM2aと、トランジスタM3aと、容量素

50

子C 1 aと、を有する。また回路1 2 0は、出力端子Q Bのデータを退避および復帰する回路として、インバータI N V bと、トランジスタM 1 bと、トランジスタM 2 bと、トランジスタM 3 bと、容量素子C 1 bと、を有する。

【0 0 4 6】

なお以下の説明では、いずれのトランジスタもnチャネル型のトランジスタとして説明するが、pチャネル型でもよい。

【0 0 4 7】

インバータI N V aの入力端子は、出力端子Qに接続される。インバータI N V aの出力端子は、トランジスタM 1 aのソースまたはドレインの一方に接続される。トランジスタM 1 aのソースまたはドレインの他方は、ノードN a 1に接続される。トランジスタM 1 aのゲートは、制御信号S t o r eが与えられる。ノードN a 1は、トランジスタM 1 aのソースまたはドレインの他方と、トランジスタM 2 aのゲートと、容量素子C 1 aの一方の電極と、に接続されるノードである。トランジスタM 2 aのソースまたはドレインの一方は、制御信号L o a dが与えられる。トランジスタM 2 aのソースまたはドレインの他方は、ノードN a 2に接続される。ノードN a 2は、トランジスタM 2 aのソースまたはドレインの他方と、トランジスタM 3 aのゲートと、に接続されるノードである。トランジスタM 3 aのソースまたはドレインの一方は、出力端子Qに接続される。トランジスタM 3 aのソースまたはドレインの他方は、電圧V 2すなわち電圧V_{SS}が与えられる。容量素子C 1 aの他方の電極は、電圧V 2すなわち電圧V_{SS}が与えられる。

【0 0 4 8】

インバータI N V bの入力端子は、出力端子Q Bに接続される。インバータI N V bの出力端子は、トランジスタM 1 bのソースまたはドレインの一方に接続される。トランジスタM 1 bのソースまたはドレインの他方は、ノードN b 1に接続される。トランジスタM 1 bのゲートは、制御信号S t o r eが与えられる。ノードN b 1は、トランジスタM 1 bのソースまたはドレインの他方と、トランジスタM 2 bのゲートと、容量素子C 1 bの一方の電極と、に接続されるノードである。トランジスタM 2 bのソースまたはドレインの一方は、制御信号L o a dが与えられる。トランジスタM 2 bのソースまたはドレインの他方は、ノードN b 2に接続される。ノードN b 2は、トランジスタM 2 bのソースまたはドレインの他方と、トランジスタM 3 bのゲートと、に接続されるノードである。トランジスタM 3 bのソースまたはドレインの一方は、出力端子Q Bに接続される。トランジスタM 3 bのソースまたはドレインの他方は、電圧V 2すなわち電圧V_{SS}が与えられる。容量素子C 1 bの他方の電極は、電圧V 2すなわち電圧V_{SS}が与えられる。

【0 0 4 9】

インバータI N V a、I N V bは、それぞれ出力端子Q、Q Bのデータの論理を反転した信号を出力するために設けられる。当該構成は、回路1 1 0と回路1 2 0との間で、データの退避および復帰の動作を行う際、退避データと復帰データが反転する関係にあるため、予め出力端子Q、Q Bのデータを反転させて退避するためである。別途、データを反転させて退避および復帰を行う構成であれば、インバータI N V a、I N V bを省略することも可能である。またインバータI N V a、I N V bは、出力端子Q、Q Bの電荷供給能力を大きくするためのバッファとして設けることもできる。

【0 0 5 0】

制御信号S t o r eは、トランジスタM 1 a、M 1 bの導通状態を制御する信号である。ここでは、ハイレベルで導通状態、ローレベルで非導通状態とする。

【0 0 5 1】

トランジスタM 1 a、M 1 bは、O Sトランジスタのようにオフ電流が極めて小さいトランジスタを用いる構成とする。該構成とすることで、トランジスタM 1 a、M 1 bを非導通状態とした際、ノードN a 1、ノードN b 1に保持したデータに応じた電圧を保持し続けることができる。

【0 0 5 2】

容量素子C 1 a、C 1 bは、ノードN a 1、ノードN b 1に保持したデータに応じた電

10

20

30

40

50

圧を保持し続けるために設ける。なお容量素子C 1 a、C 1 bは、トランジスタM 2 a、M 2 bのゲート容量等を大きくしておくことで、省略することができる。

【0053】

トランジスタM 3 a、M 3 bは、O Sトランジスタと比べて駆動能力の高いS iトランジスタを用いる構成とする。S iトランジスタは、駆動能力を高めるため、ゲート絶縁膜がO Sトランジスタのゲート絶縁膜と比べて薄いトランジスタとする。該構成とすることで、ノードN a 2、ノードN b 2の電圧の変化に応じて、トランジスタM 3 a、M 3 bを流れる電流量を早く異ならせることができる。

【0054】

トランジスタM 2 a、M 2 bは、S iトランジスタと比べてゲート絶縁膜の厚いO Sトランジスタを用いる構成とする。

10

【0055】

制御信号L o a dは、ノードN a 1、ノードN b 1に保持したデータに応じた電圧に従って、トランジスタM 3 a、M 3 bを流れる電流量を異ならせるための信号である。例えば、ノードN a 1がハイレベルで、制御信号L o a dをハイレベルとすると、トランジスタM 2 aが導通状態となり、ノードN a 2の電圧が上昇し、トランジスタM 3 aを流れる電流量が増加するように変化する。また例えば、ノードN b 1がローレベルで、制御信号L o a dをハイレベルとすると、トランジスタM 2 bが非導通状態となり、ノードN b 2の電圧が変化せず、トランジスタM 3 bを流れる電流量が変化しない。このトランジスタM 3 a、M 3 bを流れる電流量の変化によって、出力端子Q、Q Bの電圧に差が生じることを利用して、回路1 1 0にデータを復帰できる。

20

【0056】

本発明の一態様は、データを保持するノードに相当するノードN a 1、ノードN b 1に接続されるトランジスタM 2 a、M 2 bのゲート絶縁膜をS iトランジスタのスケーリング則によらずに厚くできる構成にできる。そのため、データの保持時間を長くすることができる。或いは、本発明の一態様は、回路1 1 0と回路1 2 0との間で電源電圧の供給の停止および再開に応じて、データの退避および復帰を実現できる構成である。そのため、データの保持をしつつ、電源電圧の供給の停止による低消費電力化を実現できる。

【0057】

<レジスタの動作>

30

次いで、レジスタとして機能する半導体装置の動作の一例について図5を参照して説明する。図5には、図4の回路1 1 0を、N O R回路を2つ有するR Sラッチとした回路1 1 0 Aとした半導体装置1 0 0の回路図を示している。図6には、図5に示す半導体装置1 0 0における電源電圧の供給の停止および再開に伴う、データの退避、復帰を説明するためのタイミングチャート図を示す。

【0058】

図6に示すタイミングチャートでは、入力端子Rの信号波形、入力端子Sの信号波形、出力端子Qの信号波形、出力端子Q Bの信号波形、制御信号S t o r eの信号波形、制御信号L o a dの信号波形、電圧V 1の変化を表す波形、ノードN a 1の電圧の変化を表す波形、ノードN a 2の電圧の変化を表す波形、ノードN b 1の電圧の変化を表す波形、ノードN b 2の電圧の変化を表す波形をハイレベル、ローレベルで示している。また図6に示すタイミングチャート図では、波形の変化が現れる時刻を時刻T 1乃至T 1 4としている。また図6に示すタイミングチャート図では、通常動作を行う期間P 1、データの退避動作を行う期間P 2、電源電圧の供給が停止する期間P 3、データの復帰動作を行う期間P 4を示している。なお図6に示す各波形は遅延等を考慮していないが、実際の回路では入力する信号に遅れて出力する信号が変化する。

40

【0059】

また図7乃至9では、期間P 1乃至P 4における回路1 1 0 Aへの電源電圧の供給の状態、回路1 2 0における各トランジスタの状態、制御信号S t o r e、L o a dの状態、出力端子または各ノードにおけるデータに応じた電圧の状態、を表したものである。なお

50

図7は、期間P1のT3乃至T5に対応する。また図8は、期間P2のT6乃至T7に対応する。図9は、期間P3のT8乃至T9に対応する。図10は、期間P4のT10乃至T11に対応する。

【0060】

期間P1の時刻T1では、入力端子Rの信号波形をローレベルからハイレベルにし、データをリセットする。出力端子Qの信号波形はハイレベルからローレベルとなる。出力端子QBの信号波形はローレベルからハイレベルとなる。そして、期間P1の時刻T2では、入力端子Rの信号波形をハイレベルからローレベルにし、出力端子Q、QBの状態が保持される。そして期間P1の時刻T3では、入力端子Sの信号波形をローレベルからハイレベルにし、データをセットする。出力端子Qの信号波形はローレベルからハイレベルとなる。出力端子QBの信号波形はハイレベルからローレベルとなる。そして、期間P1の時刻T4では、入力端子Sの信号波形をハイレベルからローレベルにする。そして、期間P1の時刻T5でも、出力端子Q、QBの状態が保持される。以上が期間P1の説明である。

10

【0061】

次いで期間P2の時刻T6では、制御信号Storeをローレベルからハイレベルにし、回路110Aのデータを回路120へ退避させる。出力端子Q、QBのデータに応じた電圧は、インバータで反転され、ノードNa1、Nb1に与えられる。つまり、ノードNa1にローレベル、ノードNb1にハイレベルが与えられる。そして、期間P2の時刻T7では、制御信号Storeをハイレベルからローレベルにし、ノードNa1、Nb1に与えたデータに対応する電圧を回路120に保持させる。このノードNa1、Nb1に保持した電圧は、制御信号Storeをローレベルとし、トランジスタM1a、M1bを非導通状態とすることで維持される。本発明の一態様の構成では、上述したようにトランジスタM2a、M2bは、SiトランジスタであるトランジスタM3a、M3bより厚いゲート絶縁膜を有するOSTランジスタで構成される。そのため、Siトランジスタの微細化が進み、ゲート絶縁膜の薄膜化が進んでも、データに応じた電圧を保持しやすくなることができる。以上が期間P2の説明である。

20

【0062】

次いで期間P3の時刻T8では、電圧V1をハイレベルからローレベル、すなわち電圧VDDから電圧VSSとし、回路110Aへの電源電圧の供給を停止する。出力端子Q、QBは、ローレベルとなる。一方で、期間P2で保持したノードNa1、Nb1の電圧は、制御信号Storeをローレベルとすることで保持される。そのため、電源電圧の供給が停止してもデータの保持が可能な不揮発性の記憶装置として機能させることができる。以上が期間P3の説明である。

30

【0063】

次いで時刻T9では、制御信号Loadをローレベルからハイレベルにし、回路120のノードNa1に保持した電圧に従ってデータを回路110Aへ復帰させる。ノードNb1にはハイレベルが保持されており、ノードNb1にゲートが接続されたトランジスタM2bは導通状態となる。したがって、制御信号Loadの波形の変化にしたがって、ノードNb2の電圧がローレベルからハイレベルに変化する。一方、ノードNa1にはローレベルが保持されており、ノードNa1にゲートが接続されたトランジスタM2aは非導通状態となる。したがってノードNa2の電圧は、ローレベルのままとなる。

40

【0064】

次いで期間P4の時刻T10では、電圧V1をローレベルからハイレベル、すなわち電圧VSSから電圧VDDとし、回路110Aへの電源電圧の供給を再開する。先に述べた時刻T9でのノードNa2、Nb2の電圧の違いに応じて、トランジスタM3a、M3bを流れる電流量に差が生じる。この電流量の差が出力端子Q、QBの電圧の立ち上がり差を生じさせるため、出力端子Qはハイレベル、出力端子QBはローレベルとなる。つまり、回路110Aに時刻T5での元のデータを復帰させることができる。そして、期間P4の時刻T11では、制御信号Loadをハイレベルからローレベルにし、同様にノード

50

N b 2 の電圧もハイレベルからローレベルとなる。期間 P 1 の時刻 T 1 2 でも、出力端子 Q、Q B の状態が保持される。以上が期間 P 4 の説明である。

【 0 0 6 5 】

再び、期間 P 1 の時刻 T 1 3 では、入力端子 R の信号波形をローレベルからハイレベルにし、データをリセットする。出力端子 Q の信号波形はハイレベルからローレベルとなる。出力端子 Q B の信号波形はローレベルからハイレベルとなる。そして、期間 P 1 の時刻 T 1 4 では、入力端子 R の信号波形をハイレベルからローレベルにし、出力端子 Q、Q B の状態が保持される。

【 0 0 6 6 】

以上、説明したタイミングチャートの動作によって、図 5 に示す半導体装置 1 0 0 は、電源電圧の供給の停止および再開に伴う、データの退避、復帰を行うことができる。

10

【 0 0 6 7 】

<レジスタの変形例>

次いで、上述のレジスタとして機能する半導体装置の変形例について説明する。

【 0 0 6 8 】

図 4 で説明した回路 1 1 0 は、例えばラッチ又はフリップフロップを用いればよい。回路 1 1 0 は、適用するデータの種類に応じて、D 型ラッチ、T 型ラッチ、J K 型ラッチ、又は R S 型ラッチ等を用いることができる。

【 0 0 6 9 】

例えば、図 1 1 (A) に示す回路 1 1 0 B のようにリセット端子を有する D 型ラッチとすることもできる。この場合、リセット用の入力端子 R、データ入力用の入力端子 D、クロック信号を与える端子 C L K が設けられる。回路 1 2 0 は、図 1 1 (A) に示すように、出力端子 Q、Q B に接続されるように設ければよい。

20

【 0 0 7 0 】

また別の変形例として図 4 で説明した回路 1 1 0 は、例えば S R A M (S t a t i c R a n d o m A c c e s s M e m o r y) を用いることができる。

【 0 0 7 1 】

例えば、図 1 1 (B) に示す回路 1 1 0 C のように S R A M に適用することができる。この場合、データ入力用の入力端子 D、D B が設けられる。回路 1 2 0 は、図 1 1 (B) に示すように、インバータループを構成する 2 つの端子に接続されるように設ければよい。

30

【 0 0 7 2 】

図 4 で説明した回路 1 2 0 は、例えばインバータ I N V a、I N V b を省略することができる。図 1 2 には、インバータ I N V a、I N V b を省略した回路 1 2 0 A を有する半導体装置 1 0 0 の回路図を示す。図 4 で説明した回路 1 2 0 と異なる点は、トランジスタ M 3 a、M 3 b に接続される出力端子 Q、Q B を変更する点にある。このようにすることで、インバータ I N V a、I N V b がなくても、データの退避、復帰を行うことができる。

【 0 0 7 3 】

また図 4 で説明した O S トランジスタで構成されるトランジスタ M 1 a、M 1 b、M 2 a、M 2 b は、バックゲートを有するトランジスタとすることが好適である。該構成とすることで、バックゲートに与える電圧を変えることで閾値電圧の制御を容易に行うことができる。例えば、図 1 3 (A) に図示するように、トランジスタ M 1 a、M 1 b、M 2 a、M 2 b のバックゲートに共通して電圧 V 3 を与えて各トランジスタの閾値電圧を制御すればよい。なお電圧 V 3 は、電圧 V 2 よりも小さい電圧とすることでトランジスタの閾値電圧をプラスシフトしやすくするため好適である。なおバックゲートを設けるトランジスタは、図 1 3 (B) に図示するように、データを保持するノード N a 1、N b 1 にソースまたはドレインの他方が接続されるトランジスタ M 1 a、M 1 b のみとしてもよい。該構成とすることで、バックゲートのないトランジスタ M 2 a、M 2 b を導通状態にしやすくすることができる。

40

50

【 0 0 7 4 】

< デコーダの動作 >

【 0 0 7 5 】

図 1 4 (A) にトランスポートストリーム (T S) のデータ構造の一例を示す。トランスポートストリームは、様々な情報を含んだ (多重化された) T S パケット 8 0 (パケットともいう) が連続した構造を有する。各パケット夫々には、ヘッダ部 8 1 が存在する。

【 0 0 7 6 】

なお、以下、データ伝送方式の代表例として T S を取り上げるが、M M T (M P E G Media Transport) など、他の伝送方式におけるデータ伝送についても、適宜読み替えることができる。また、パケットとは、データストリームを適当なデータ量で区切ったデータのかたまりである。以下、代表例として T S パケットを取り上げるが、他の伝送方式で用いられる種々のパケットについても、適宜読み替えることができる。

10

【 0 0 7 7 】

T S パケット 8 0 は、インデックス、映像、音声、N U L L 等の種類ごとに T S パケット 8 0 内のデータ (ペイロード) の解釈が異なるため、ヘッダ部 8 1 内に存在する識別子 (パケット識別子 : P I D) により T S パケット 8 0 の種類を特定する必要がある。

【 0 0 7 8 】

また、トランスポートストリームの送信機と受信機との同期を取るため、再生時刻またはタイムスタンプ情報を含んだ T S パケットを有していてもよい。

【 0 0 7 9 】

20

図 1 4 (A) に示すデータ構造を有する T S パケットは、デコーダが有する多重分離回路にて処理される。図 1 4 (B) は、T S パケット 8 0 が入力される際の動作ステップを説明するフローチャートを示す。

【 0 0 8 0 】

ステップ S 1 では、T S パケット 8 0 のヘッダ部 8 1 内のパケット識別子 (P I D) を検出する。

【 0 0 8 1 】

ステップ S 2 では、前の T S パケット 8 0 の種類が N U L L であるか否かの判定を行う。

【 0 0 8 2 】

30

ステップ S 3 では、前の T S パケット 8 0 の種類が N U L L の場合、現在の T S パケット 8 0 が N U L L であるか否かの判定を行う。ステップ S 3 において現在の T S パケット 8 0 の種類が N U L L である場合、次の T S パケット 8 0 が入力される。

【 0 0 8 3 】

ステップ S 4 では、ステップ S 3 において現在の T S パケット 8 0 の種類が N U L L でない場合、多重分離回路およびマルチメディア復号回路 (電子番組表復号回路、映像復号回路および音声復号回路等) が有するレジスタ、つまり上述した半導体装置に電源供給する処理を行う。

【 0 0 8 4 】

ステップ S 5 では、多重分離回路およびマルチメディア復号回路が有するレジスタにおいて、データ保持回路からフリップフロップへのデータ復帰処理を行う。

40

【 0 0 8 5 】

ステップ S 6 では、多重分離回路およびマルチメディア復号回路において現在の T S パケット 8 0 のペイロード復号処理を行う。そして次の T S パケット 8 0 が入力される。

【 0 0 8 6 】

ステップ S 7 では、前の T S パケット 8 0 の種類が N U L L でない場合、現在の T S パケット 8 0 が N U L L であるか否かの判定を行う。

【 0 0 8 7 】

ステップ S 8 では、ステップ S 7 において現在の T S パケット 8 0 の種類が N U L L の場合、多重分離回路およびマルチメディア復号回路が有するレジスタにおいて、フリップ

50

フロップからデータ保持回路へのデータ退避処理を行う。

【0088】

ステップS9において、多重分離回路およびマルチメディア復号回路が有するレジスタ、つまり上述した半導体装置への電源遮断する処理を行う。そして次のTSパケット80が入力される。

【0089】

以上のようにして、TSパケット80をデコーダへ入力する際には、TSパケット80のヘッダ部81内のパケット識別子(PID)からTSパケット80の種類を判定し、データの復帰または退避、レジスタへの電源供給または電源遮断を行う。当該構成とすることで、レジスタでの消費電力を削減することができる。

10

【0090】

図15には図14(B)に示した処理を行うデコーダ20のブロック図を示す。

【0091】

デコーダ20は復調器19からI信号及びQ信号が入力される。

【0092】

入力されたI信号及びQ信号は、直交検波回路51により、符号化されたTMCC(Transmission and Multiplexing Configuration Control)の抽出とLDPC(Low Density Parity Check)符号の抽出が行われる。

【0093】

符号化されたTMCCはTMCC復号回路55により復号処理され、LDPC(Low Density Parity Check)符号復号回路52、エネルギー逆拡散回路53、BCH(Bose-Chaudhuri-Hocquenghem)符号復号回路54に利用される。

20

【0094】

I信号およびQ信号は、LDPC符号復号回路52、エネルギー逆拡散回路53、BCH復号符号回路54において復号処理を行うことで、映像信号および音声信号の伝送形式となる。

【0095】

上記伝送形式は、限定受信(CA(Conditional Access))逆拡散回路56において、暗号解除が行われる。

30

【0096】

その後、映像、音声および電子番組表(EPG: Electric Program Guide)等の多重化された転送方式に対して、多重分離回路57で多重分離を行う。

【0097】

多重分離によって電子番組表復号回路60では、電子番組表データの復号処理が行われる。

【0098】

同様に映像復号回路58では、映像データの復号処理が行われる。また音声復号回路59では、音声データの復号処理が行われる。また、映像復号回路58及び音声復号回路59では、復号処理を行う際に電子番組表復号回路60で得られた出力電子番組表データを用いる。

40

【0099】

映像復号回路58及び音声復号回路59により復号された映像データ及び音声データは、表示装置14へ転送される。

【0100】

(実施の形態2)

本実施の形態では、上記実施の形態で説明したOSTRANジスタについて説明する。

【0101】

50

< オフ電流特性について >

OSトランジスタは、酸化物半導体中の不純物濃度を低減し、酸化物半導体を真性または実質的に真性にするこゝでオフ電流を低くすることができる。こゝで、実質的に真性とは、酸化物半導体中のキャリア密度が、 $8 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上であることを指す。酸化物半導体において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。

【0102】

真性または実質的に真性にした酸化物半導体を用いたトランジスタは、キャリア密度が低いこゝで、閾値電圧がマイナスとなる電気特性になるこゝが少ない。また、当該酸化物半導体を用いたトランジスタは、酸化物半導体のキャリアトラップが低いこゝで、電気特性の変動が小さく、信頼性の高いトランジスタとなる。また、当該酸化物半導体を用いたトランジスタは、オフ電流を非常に低くすることが可能となる。

10

【0103】

なおオフ電流を低くしたOSトランジスタでは、室温（25 程度）にてチャネル幅 $1 \mu\text{m}$ あたりの規格化されたオフ電流が $1 \times 10^{-18} \text{A}$ 以下、好ましくは $1 \times 10^{-21} \text{A}$ 以下、更に好ましくは $1 \times 10^{-24} \text{A}$ 以下、又は85 にて $1 \times 10^{-15} \text{A}$ 以下、好ましくは $1 \times 10^{-18} \text{A}$ 以下、更に好ましくは $1 \times 10^{-21} \text{A}$ 以下とすることができる。

20

【0104】

< 温度特性について >

OSトランジスタは、Siトランジスタよりも高い温度で使用することができる。具体例を挙げて説明するため、図27(A)にOSトランジスタのゲート電圧 V_G - ドレイン電流 I_D 特性、及びゲート電圧 V_G - 電界効果移動度 μ_{FE} 特性の温度依存性を、図27(B)にSiトランジスタのゲート電圧 V_G - ドレイン電流 I_D 特性、及びゲート電圧 V_G - 電界効果移動度 μ_{FE} 特性の温度依存性を、示す。なお図27(A)、(B)においては、-25、50、150 の温度での各電気的特性の測定結果を示している。なおドレイン電圧 V_D は1Vとしている。

【0105】

なお図27(A)に示すOSトランジスタの電気的特性は、チャネル長 $L = 0.45 \mu\text{m}$ 、チャネル幅 $W = 10 \mu\text{m}$ 、ゲート絶縁層の酸化膜の膜厚 $T_{ox} = 20 \text{nm}$ でのグラフである。また図27(B)に示すSiトランジスタの電気的特性は、 $L = 0.35 \mu\text{m}$ 、 $W = 10 \mu\text{m}$ 、 $T_{ox} = 20 \text{nm}$ でのグラフである。

30

【0106】

なおOSトランジスタの酸化物半導体層は、In-Ga-Zn系酸化物で作製し、Siトランジスタは、シリコンウエハから作製したものである。

【0107】

図27(A)及び(B)からは、OSトランジスタの立ち上がりゲート電圧の温度依存性は小さいこゝでわかる。また、OSトランジスタのオフ電流が温度によらず測定下限 (I_0) 以下であるが、Siトランジスタのオフ電流は、温度依存性が大きい。図27(B)の測定結果は、150 では、Siトランジスタはオフ電流が上昇し、電流オン/オフ比が十分に大きくなるこゝを示している。

40

【0108】

図27(A)及び(B)のグラフから、OSトランジスタをスイッチとして用いる場合、150 以上の温度下においても、動作させるこゝでできる。そのため、半導体装置の耐熱性を優れたものとするこゝでできる。

【0109】

< 耐圧特性について >

こゝでOSトランジスタの電圧に対する耐圧について、Siトランジスタの耐圧と比較

50

し、説明する。

【0110】

図28では、OSトランジスタのドレイン耐圧について説明するため、SiトランジスタとOSトランジスタとの $V_D - I_D$ 特性図について示す。図28では、SiトランジスタとOSトランジスタとについて同じ条件での耐圧を比較するために、共にチャンネル長 L を $0.9 \mu\text{m}$ とし、チャンネル幅 W を $10 \mu\text{m}$ とし、酸化シリコンを用いたゲート絶縁膜の膜厚 T_{ox} を 20nm としている。なおゲート電圧は、 2V としている。

【0111】

図28に示すようにSiトランジスタでは、ドレイン電圧の増加に対して 4V 程度でアバランシェブレークダウンが起こるのに対して、OSトランジスタでは、ドレイン電圧の増加に対して 26V 程度までアバランシェブレークダウンが起きずに定電流を流すことができるのがわかる。

10

【0112】

図29(A)では、ゲート電圧を変化させた際の、OSトランジスタの $V_D - I_D$ 特性図について示す。また図29(B)では、ゲート電圧を変化させた際の、Siトランジスタの $V_D - I_D$ 特性図について示す。図29(A)、(B)では、SiトランジスタとOSトランジスタとについて同じ条件での耐圧を比較するために、共にチャンネル長を $0.9 \mu\text{m}$ とし、チャンネル幅を $10 \mu\text{m}$ とし、酸化シリコンを用いたゲート絶縁膜の膜厚を 20nm としている。なおゲート電圧は、図29(A)のOSトランジスタでは 0.1V 、 2.06V 、 4.02V 、 5.98V 、 7.94V と変化させ、図29(B)のSiトランジスタでは 0.1V 、 1.28V 、 2.46V 、 3.64V 、 4.82V と変化させている。

20

【0113】

図29(A)、(B)に示すようにSiトランジスタでは、ドレイン電圧の増加に対して4乃至 5V 程度でアバランシェブレークダウンが起こるのに対して、OSトランジスタでは、ドレイン電圧の増加に対して 9V 程度ではアバランシェブレークダウンが起きずに定電流を流すことができるのがわかる。

【0114】

図28、図29(A)、(B)からもわかるようにOSトランジスタはSiトランジスタと比べて耐圧が高い。そのため高い電圧が印加される箇所にOSトランジスタを適用しても、絶縁破壊を引き起こすことなく安定して使用することができる。

30

【0115】

<オフ電流>

本明細書において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、 n チャンネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い状態、 p チャンネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも高い状態をいう。例えば、 n チャンネル型のトランジスタのオフ電流とは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低いときのドレイン電流を言う場合がある。

40

【0116】

トランジスタのオフ電流は、 V_{gs} に依存する場合がある。従ってトランジスタのオフ電流が I 以下となる V_{gs} が存在するときに、トランジスタのオフ電流が I 以下である、と言う場合がある。トランジスタのオフ電流は、 V_{gs} が所定の値であるときのオフ電流、 V_{gs} が所定の範囲内の値であるときのオフ電流、または、 V_{gs} が十分に低減されたオフ電流が得られる値であるときのオフ電流を指す場合がある。

【0117】

一例として、しきい値電圧 V_{th} が 0.5V であり、 V_{gs} が 0.5V であるときのドレイン電流が $1 \times 10^{-9} \text{A}$ であり、 V_{gs} が 0.1V におけるドレイン電流が $1 \times 10^{-13} \text{A}$ であり、 V_{gs} が -0.5V におけるドレイン電流が $1 \times 10^{-19} \text{A}$ であり、

50

V_{gs} が -0.8 V におけるドレイン電流が $1 \times 10^{-22}\text{ A}$ であるような n チャンネル型トランジスタを想定する。当該トランジスタのドレイン電流は、 V_{gs} が -0.5 V において、または、 V_{gs} が -0.5 V 乃至 -0.8 V の範囲において、 $1 \times 10^{-19}\text{ A}$ 以下であるから、当該トランジスタのオフ電流は $1 \times 10^{-19}\text{ A}$ 以下である、という場合がある。当該トランジスタのドレイン電流が $1 \times 10^{-22}\text{ A}$ 以下となる V_{gs} が存在するため、当該トランジスタのオフ電流は $1 \times 10^{-22}\text{ A}$ 以下である、という場合がある。

【0118】

本明細書では、チャンネル幅 W を有するトランジスタのオフ電流を、チャンネル幅 W あたりの値で表す場合がある。また、所定のチャンネル幅（例えば $1\ \mu\text{m}$ ）あたりの電流値で表す場合がある。後者の場合、オフ電流の単位は、電流/長さ（例えば、 $\text{A}/\mu\text{m}$ ）で表される場合がある。

10

【0119】

トランジスタのオフ電流は、温度に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、室温、 60 、 85 、 95 、または 125 におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、 5 乃至 35 のいずれか一の温度）におけるオフ電流、を表す場合がある。室温、 60 、 85 、 95 、 125 、当該トランジスタが含まれる半導体装置等の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、 5 乃至 35 のいずれか一の温度）、におけるトランジスタのオフ電流が I 以下となる V_{gs} が存在するときに、トランジスタのオフ電流が I 以下である、という場合がある。

20

【0120】

トランジスタのオフ電流は、ドレインとソースの間の電圧 V_{ds} に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、 V_{ds} の絶対値が 0.1 V 、 0.8 V 、 1 V 、 1.2 V 、 1.8 V 、 2.5 V 、 3 V 、 3.3 V 、 10 V 、 12 V 、 16 V 、または 20 V におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される V_{ds} 、または、当該トランジスタが含まれる半導体装置等において使用される V_{ds} におけるオフ電流、を表す場合がある。 V_{ds} が所定の値であるときに、トランジスタのオフ電流が I 以下となる V_{gs} が存在する場合、トランジスタのオフ電流が I 以下である、ということがある。ここで、所定の値とは、例えば、 0.1 V 、 0.8 V 、 1 V 、 1.2 V 、 1.8 V 、 2.5 V 、 3 V 、 3.3 V 、 10 V 、 12 V 、 16 V 、 20 V 、当該トランジスタが含まれる半導体装置等の信頼性が保証される V_{ds} の値、または、当該トランジスタが含まれる半導体装置等において使用される V_{ds} の値である。

30

【0121】

上記オフ電流の説明において、ドレインをソースと読み替えてもよい。つまり、オフ電流は、トランジスタがオフ状態にあるときのソースを流れる電流を言う場合もある。

【0122】

本明細書では、オフ電流と同じ意味で、リーク電流と記載する場合がある。

40

【0123】

本明細書において、オフ電流とは、例えば、トランジスタがオフ状態にあるときに、ソースとドレインとの間に流れる電流を指す場合がある。

【0124】

< 酸化物半導体の組成 >

なお OS トランジスタの半導体層に用いる酸化物半導体としては、少なくともインジウム (In) 又は亜鉛 (Zn) を含むことが好ましい。特に In 及び Zn を含むことが好ましい。また、それらに加えて、酸素を強く結びつけるスタビライザーを有することが好ましい。スタビライザーとしては、ガリウム (Ga)、スズ (Sn)、ジルコニウム (Zr)

50

)、ハフニウム(Hf)及びアルミニウム(Al)の少なくともいずれかを有すればよい。

【0125】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種又は複数種を有してもよい。

【0126】

トランジスタの半導体層に用いる酸化物半導体としては、例えば、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物等がある。

【0127】

例えば、In:Ga:Zn=1:1:1、In:Ga:Zn=3:1:2、In:Ga:Zn=4:2:3、あるいはIn:Ga:Zn=2:1:3の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0128】

<酸化物半導体中の不純物>

半導体層を構成する酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタの閾値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化処理(脱水素化処理)を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないように高純度化することが好ましい。

【0129】

なお、酸化物半導体膜への脱水化処理(脱水素化処理)によって、酸化物半導体膜から酸素が減少してしまうことがある。よって、酸化物半導体膜への脱水化処理(脱水素化処理)によって増加した酸素欠損を補填するため酸素を酸化物半導体膜に加える処理を行うことが好ましい。

【0130】

このように、酸化物半導体膜は、脱水化処理(脱水素化処理)により、水素又は水分が除去され、加酸素化処理により酸素欠損を補填することによって、i型(真性)化又はi型に限りなく近く実質的にi型(真性)である酸化物半導体膜とすることができる。なお、実質的に真性とは、酸化物半導体膜中にドナーに由来するキャリアが極めて少なく(ゼロに近く)、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上であることをいう。

【0131】

<酸化物半導体の構造>

酸化物半導体の構造について説明する。

【0132】

なお本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0133】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

10

【0134】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに分けられる。または、酸化物半導体は、例えば、結晶性酸化物半導体と非晶質酸化物半導体とに分けられる。

【0135】

なお、非単結晶酸化物半導体としては、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体などがある。また、結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、微結晶酸化物半導体などがある。

20

【0136】

まずは、CAAC-OS膜について説明する。

【0137】

CAAC-OS膜は、c軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0138】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC-OS膜の明視野像および回折パターンの複合解析像 (高分解能TEM像ともいう。) を観察することで複数の結晶部を確認することができる。一方、高分解能TEM像によっても明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

30

【0139】

試料面と略平行な方向から、CAAC-OS膜の断面の高分解能TEM像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

【0140】

一方、試料面と略垂直な方向から、CAAC-OS膜の平面の高分解能TEM像を観察すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

40

【0141】

CAAC-OS膜に対し、X線回折 (XRD: X-Ray Diffraction) 装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2θ)が 31° 近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

【0142】

なお、InGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane

50

法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、CAAC-OSS膜中の一部に、 c 軸配向性を有さない結晶が含まれることを示している。CAAC-OSS膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【0143】

CAAC-OSS膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

10

【0144】

また、CAAC-OSS膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【0145】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

20

【0146】

また、CAAC-OSS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

30

【0147】

次に、微結晶酸化物半導体膜について説明する。

【0148】

微結晶酸化物半導体膜は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体膜に含まれる結晶部は、 1 nm 以上 100 nm 以下、または 1 nm 以上 10 nm 以下の大きさであることが多い。特に、 1 nm 以上 10 nm 以下、または 1 nm 以上 3 nm 以下の微結晶であるナノ結晶（nc: nanocrystal）を有する酸化物半導体膜を、nc-OSS（nanocrystalline Oxide Semiconductor）膜と呼ぶ。また、nc-OSS膜は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。

40

【0149】

nc-OSS膜は、微小な領域（例えば、 1 nm 以上 10 nm 以下の領域、特に 1 nm 以上 3 nm 以下の領域）において原子配列に周期性を有する。また、nc-OSS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OSS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶

50

面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子回折（制限視野電子回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

【0150】

nc-OS膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-OS膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

10

【0151】

次に、非晶質酸化物半導体膜について説明する。

【0152】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体膜である。石英のような無定形状態を有する酸化物半導体膜が一例である。

【0153】

非晶質酸化物半導体膜は、高分解能TEM像において結晶部を確認することができない。

20

【0154】

非晶質酸化物半導体膜に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体膜に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体膜に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

【0155】

なお、酸化物半導体膜は、nc-OS膜と非晶質酸化物半導体膜との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体膜を、特に非晶質ライク酸化物半導体(a-like OS: amorphous-like Oxide Semiconductor)膜と呼ぶ。

30

【0156】

a-like OS膜は、高分解能TEM像において鬆(ポイドともいう。)が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。a-like OS膜は、TEMによる観察程度の微量な電子照射によって、結晶化が起こり、結晶部の成長が見られる場合がある。一方、良質なnc-OS膜であれば、TEMによる観察程度の微量な電子照射による結晶化はほとんど見られない。

【0157】

なお、a-like OS膜およびnc-OS膜の結晶部の大きさの計測は、高分解能TEM像を用いて行うことができる。例えば、InGaZnO₄の結晶は層状構造を有し、In-O層の間に、Ga-Zn-O層を2層有する。InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有する。よって、これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。そのため、高分解能TEM像における格子縞に着目し、格子縞の間隔が0.28nm以上0.30nm以下である箇所においては、それぞれの格子縞がInGaZnO₄の結晶のa-b面に対応する。

40

【0158】

50

また、酸化物半導体膜は、構造ごとに密度が異なる場合がある。例えば、ある酸化物半導体膜の組成がわかれば、該組成と同じ組成における単結晶の密度と比較することにより、その酸化物半導体膜の構造を推定することができる。例えば、単結晶の密度に対し、*a-like* OS膜の密度は78.6%以上92.3%未満となる。また、例えば、単結晶の密度に対し、*nc-OS*膜の密度および*CAC-OS*膜の密度は92.3%以上100%未満となる。なお、単結晶の密度に対し密度が78%未満となる酸化物半導体膜は、成膜すること自体が困難である。

【0159】

上記について、具体例を用いて説明する。例えば、 $In : Ga : Zn = 1 : 1 : 1$ [原子数比]を満たす酸化物半導体膜において、菱面体晶構造を有する単結晶 $InGaZnO_4$ の密度は 6.357 g/cm^3 となる。よって、例えば、 $In : Ga : Zn = 1 : 1 : 1$ [原子数比]を満たす酸化物半導体膜において、*a-like* OS膜の密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満となる。また、例えば、 $In : Ga : Zn = 1 : 1 : 1$ [原子数比]を満たす酸化物半導体膜において、*nc-OS*膜の密度および*CAC-OS*膜の密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満となる。

10

【0160】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることで、所望の組成の単結晶に相当する密度を算出することができる。所望の組成の単結晶の密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて算出すればよい。ただし、密度は、可能な限り少ない種類の単結晶

20

【0161】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、*a-like* OS膜、微結晶酸化物半導体膜、*CAC-OS*膜のうち、二種以上を有する積層膜であってもよい。

【0162】

以上説明したようにOSトランジスタは、極めて優れたオフ電流特性を実現できる。

【0163】

(実施の形態3)

本実施の形態では、開示する発明の一態様に係る半導体装置が有するトランジスタの断面の構造について、図面を参照して説明する。

30

【0164】

<断面構造の模式図>

まず本発明の一態様に係る半導体装置の断面構造の模式図について、図16(A)、(B)で説明する。

【0165】

本発明の一態様における半導体装置が有するトランジスタは、*Si*トランジスタ及びOSトランジスタで構成される。半導体装置の断面構造としては、*Si*トランジスタを有する層と、OSトランジスタを有する層とを積層して設ける構成を挙げることができる。それぞれの層では、同じ材料の半導体層で構成される、複数のトランジスタを有する。

40

【0166】

本発明の一態様における半導体装置は、一例としては、図16(A)に示すように、*Si*トランジスタを有する層31(図中、*Si-FET Layer*と表記)、配線が設けられる層32(図中、*Wiring Layer*と表記)、OSトランジスタを有する層33(図中、*OS-FET Layer*と表記)の順に積層して設けることができる。

【0167】

図16(A)に示す断面構造の模式図で*Si*トランジスタを有する層31は、単結晶のシリコン基板に形成される*Si*トランジスタを有する。なお*Si*トランジスタは、非晶質、微結晶、多結晶又は単結晶である、シリコン又はゲルマニウムなどの薄膜の半導体を半導体層に用いるトランジスタでもよい。

50

【 0 1 6 8 】

図 1 6 (A) に示す断面構造の模式図で O S トランジスタを有する層 3 3 は、平坦化された絶縁表面上に形成される O S トランジスタを有する。

【 0 1 6 9 】

図 1 6 (A) に示す断面構造の模式図で配線が設けられる層 3 2 は、 S i トランジスタを有する層 3 1、及び / 又は O S トランジスタを有する層 3 3 が有するトランジスタ同士を電氣的に接続するための配線、あるいはトランジスタに電圧を与えるための配線を有する。配線が設けられる層 3 2 は、図 1 6 (A) では層 3 2 を単層で示したが、複数積層して設ける構成としてもよい。

【 0 1 7 0 】

なお図 1 6 (A) に示す断面構造の模式図で O S トランジスタを有する層 3 3 は、図 1 6 (A) では単層で示したが、積層して設ける構成としてもよい。積層する場合は、図 1 6 (B) に示す断面構造の模式図で表すことができる。

【 0 1 7 1 】

図 1 6 (B) では、 O S トランジスタを有する層 3 3 __ 1 及び 3 3 __ 2 とする 2 層構造を例示している。図 1 6 (B) に示す断面構造の模式図で O S トランジスタを有する層 3 3 __ 1 及び 3 3 __ 2 は、平坦化された絶縁表面上に形成される O S トランジスタを有する。図 1 6 (B) では、2 層を積層する例を示したが、積層数は限定されない。なお O S トランジスタを有する層 3 3 __ 1 及び 3 3 __ 2 の間には、配線が設けられる層 3 2 を設ける構成とすることができる。該構成とすることで、O S トランジスタ同士を電氣的に接続

【 0 1 7 2 】

上記実施の形態 1 の図 4 で説明したトランジスタ M 1 a、M 2 a (M 1 b、M 2 b) は O S トランジスタであり、トランジスタ M 3 a (M 3 b) は S i トランジスタである。そのため図 4 の各トランジスタを図 1 6 (A)、(B) の各層に適用する場合、S i トランジスタを有する層 3 1 は、トランジスタ M 3 a (M 3 b) を有し、また O S トランジスタを有する層 3 3、3 3 __ 1、3 3 __ 2 は、トランジスタ M 1 a、M 2 a (M 1 b、M 2 b) を有する構成となる。図 1 6 (A)、(B) に示すように O S トランジスタを有する層を S i トランジスタを有する層と積層させることで、メモリセルの回路面積の縮小、すなわち半導体装置のチップ面積を縮小し、小型化を図ることができる。

【 0 1 7 3 】

< S i トランジスタを有する層、配線が設けられる層の断面構造 >

次いで図 1 7 では、図 1 6 (A)、(B) で説明した S i トランジスタを有する層 3 1、配線が設けられる層 3 2 の断面構造の一例について示す。図 1 7 では、S i トランジスタを有する層 3 1 が有するトランジスタ 4 1 の断面構造について説明する。図 1 7 のトランジスタ 4 1 の断面構造は、例えば、上記実施の形態 1 の図 4 で図示したトランジスタ M 3 a (M 3 b) に適用することができる。

【 0 1 7 4 】

なお図 1 7 において、破線 A 1 - A 2 で示す領域では、トランジスタ 4 1 のチャンネル長方向における構造を示しており、破線 A 3 - A 4 で示す領域では、トランジスタ 4 1 のチャンネル幅方向における構造を示している。

【 0 1 7 5 】

図 1 7 で、トランジスタ 4 1 が形成される基板 4 0 0 は、例えば、シリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板等を用いることができる。図 1 7 では、単結晶シリコン基板を基板 4 0 0 として用いる場合を例示している。

【 0 1 7 6 】

また、トランジスタ 4 1 は、素子分離法により電氣的に分離されている。素子分離法として、トレンチ分離法 (S T I 法 : S h a l l o w T r e n c h I s o l a t i o n) 等を用いることができる。図 1 7 では、トレンチ分離法を用いてトランジスタ 4 1 を電氣的に分離する場合を例示している。具体的に、図 1 7 では、エッチング等により基板 4

10

20

30

40

50

00に形成されたトレンチに、酸化珪素などが含まれる絶縁物を埋め込んだ後、当該絶縁物をエッチング等により部分的に除去することで形成される素子分離領域401により、トランジスタ41を素子分離させる場合を例示している。

【0177】

また、トレンチ以外の領域に存在する基板400の凸部には、トランジスタ41の不純物領域402及び不純物領域403と、不純物領域402及び不純物領域403に挟まれたチャンネル形成領域404とが設けられている。さらに、トランジスタ41は、チャンネル形成領域404を覆う絶縁膜405と、絶縁膜405を間に挟んでチャンネル形成領域404と重なるゲート電極406とを有する。

【0178】

トランジスタ41では、チャンネル形成領域404における凸部の側部及び上部と、ゲート電極406とが絶縁膜405を間に挟んで重なることで、チャンネル形成領域404の側部と上部を含めた広い範囲においてキャリアが流れる。そのため、トランジスタ41の基板上における専有面積を小さく抑えつつ、トランジスタ41におけるキャリアの移動量を増加させることができる。その結果、トランジスタ41は、オン電流が大きくなると共に、電界効果移動度が高められる。特に、チャンネル形成領域404における凸部のチャンネル幅方向の長さ(チャンネル幅)をW、チャンネル形成領域404における凸部の膜厚をTとすると、チャンネル幅Wに対する膜厚Tの比に相当するアスペクト比が高い場合、キャリアが流れる範囲はより広くなるため、トランジスタ41のオン電流をより大きくすることができ、電界効果移動度もより高められる。

【0179】

なお、バルクの半導体基板を用いたトランジスタ41の場合、アスペクト比は0.5以上であることが望ましく、1以上であることがより望ましい。

【0180】

トランジスタ41上には、絶縁膜411が設けられている。絶縁膜411には開口部が形成されている。そして、上記開口部には、不純物領域402、不純物領域403にそれぞれ電氣的に接続されている導電膜412、導電膜413と、ゲート電極406に電氣的に接続されている導電膜414とが、形成されている。

【0181】

そして、導電膜412は、絶縁膜411上に形成された導電膜416に電氣的に接続されており、導電膜413は、絶縁膜411上に形成された導電膜417に電氣的に接続されており、導電膜414は、絶縁膜411上に形成された導電膜418に電氣的に接続されている。

【0182】

なお図17において、図16(A)、(B)で図示した配線が設けられる層32は、導電膜416、417、418に相当する。なお配線が設けられる層32は、絶縁膜、該絶縁膜に設けられる開口部、該開口部を含む領域に設けられる導電膜を順に形成することで積層することができる。

【0183】

<OSトランジスタを有する層の断面構造>

次いで図18(A)、(B)では、図16(A)、(B)で説明したOSトランジスタを有する層33の断面構造の一例について示す。図18(A)、(B)では、OSトランジスタを有する層33が有するトランジスタ42の断面構造について説明する。図18(A)、(B)のトランジスタ42の断面構造は、例えば、上記実施の形態1の図4で図示したトランジスタM1a、M2a(M1b、M2b)に適用することができる。

【0184】

なお図18(A)、(B)において、図17と同様に、破線A1-A2で示す領域では、トランジスタ42のチャンネル長方向における構造を示しており、破線A3-A4で示す領域では、トランジスタ42のチャンネル幅方向における構造を示している。

【0185】

10

20

30

40

50

図16(A)、(B)で説明した配線が設けられる層32の上層に設けられる、絶縁膜420上には、酸素、水素、水の拡散を防ぐブロッキング効果を有する絶縁膜421が設けられている。絶縁膜421は、密度が高くて緻密である程、また未結合手が少なく化学的に安定である程、より高いブロッキング効果を示す。酸素、水素、水の拡散を防ぐブロッキング効果を示す絶縁膜421として、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等を用いることができる。水素、水の拡散を防ぐブロッキング効果を示す絶縁膜421として、例えば、窒化シリコン、窒化酸化シリコン等を用いることができる。

【0186】

10

絶縁膜421上には絶縁膜422が設けられており、絶縁膜422上には、トランジスタ42が設けられている。

【0187】

トランジスタ42は、絶縁膜422上に、酸化物半導体を含む半導体膜430と、半導体膜430に電氣的に接続された、ソース電極またはドレイン電極として機能する導電膜432及び導電膜433と、半導体膜430を覆っているゲート絶縁膜431と、ゲート絶縁膜431を間に挟んで半導体膜430と重なるゲート電極434と、を有する。

【0188】

なお、図18(A)において、トランジスタ42は、ゲート電極434を半導体膜430の片側において少なくとも有していれば良いが、絶縁膜422を間に挟んで半導体膜430と重なるゲート電極を、さらに有していても良い。

20

【0189】

トランジスタ42が、一对のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極は、電圧が他の配線から与えられている状態であっても良い。この場合、一对のゲート電極に、同じ高さの電圧が与えられていても良いし、他方のゲート電極にのみ接地電圧などの固定の電圧が与えられていても良い。他方のゲート電極に与える電圧を制御することで、トランジスタの閾値電圧を制御することができる。

【0190】

また、図18(A)では、トランジスタ42が、一のゲート電極434に対応した一のチャンネル形成領域を有する、シングルゲート構造である場合を例示している。しかし、トランジスタ42は、電氣的に接続された複数のゲート電極を有することで、一の活性層にチャンネル形成領域を複数有する、マルチゲート構造であっても良い。

30

【0191】

また、図18(A)に示すように、トランジスタ42は、半導体膜430が、絶縁膜422上において順に積層された酸化物半導体膜430a乃至酸化物半導体膜430cを有する場合を例示している。ただし、本発明の一態様では、トランジスタ42が有する半導体膜430が、単膜の金属酸化物膜で構成されていても良い。

【0192】

なお酸化物半導体膜430bがIn-M-Zn酸化物(Mは、Ga、Y、Zr、La、Ce、またはNd)の場合、酸化物半導体膜430bを成膜するために用いるターゲットにおいて、金属元素の原子数比を $In : M : Zn = x_1 : y_1 : z_1$ とすると、 x_1 / y_1 は、 $1/3$ 以上6以下、さらには1以上6以下であって、 z_1 / y_1 は、 $1/3$ 以上6以下、さらには1以上6以下であることが好ましい。なお、 z_1 / y_1 を1以上6以下とすることで、酸化物半導体膜430bとしてCAAC-OS膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、 $In : M : Zn = 1 : 1 : 1$ 、 $In : M : Zn = 3 : 1 : 2$ 等がある。

40

【0193】

なお酸化物半導体膜430a、430cがIn-M-Zn酸化物(Mは、Ga、Y、Zr、La、Ce、またはNd)の場合、酸化物半導体膜430a、430cを成膜するた

50

めに用いるターゲットにおいて、金属元素の原子数比を $I n : M : Z n = x_2 : y_2 : z_2$ とすると、 $x_2 / y_2 < x_1 / y_1$ であって、 z_2 / y_2 は、1 / 3 以上 6 以下、さらには 1 以上 6 以下であることが好ましい。なお、 z_2 / y_2 を 1 以上 6 以下とすることで、酸化物半導体膜 4 3 0 a、4 3 0 c として C A A C - O S 膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、 $I n : M : Z n = 1 : 3 : 2$ 、 $I n : M : Z n = 1 : 3 : 4$ 、 $I n : M : Z n = 1 : 3 : 6$ 等がある。

【 0 1 9 4 】

絶縁膜 4 2 2 は、加熱により酸素の一部を酸化物半導体膜 4 3 0 a 乃至酸化物半導体膜 4 3 0 c に供給する機能を有する絶縁膜であることが望ましい。また、絶縁膜 4 2 2 は、欠陥が少ないことが好ましく、代表的には、E S R 測定により得られる、シリコンのダン
グリングボンドに由来する $g = 2 . 0 0 1$ を持つスピンの密度が $1 \times 1 0^{18}$ spins / $c m^3$ 以下であることが好ましい。

10

【 0 1 9 5 】

絶縁膜 4 2 2 は、加熱により上記酸素の一部を酸化物半導体膜 4 3 0 a 乃至酸化物半導体膜 4 3 0 c に供給する機能を有するため、酸化物であることが望ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化珪素、酸化窒化珪素、窒化酸化珪素、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどを用いることができる。絶縁膜 4 2 2 は、プラズマ C V D (C h e m i c a l V a p o r D e p o s i t i o n) 法またはスパッタリング法等により、形成することができる。

20

【 0 1 9 6 】

なお、本明細書中において、酸化窒化物は、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物は、その組成として、酸素よりも窒素の含有量が多い材料を指す。

【 0 1 9 7 】

なお、図 1 8 (A) に示すトランジスタ 4 2 は、チャネル領域が形成される酸化物半導体膜 4 3 0 b の端部のうち、導電膜 4 3 2 及び導電膜 4 3 3 とは重ならない端部、言い換えると、導電膜 4 3 2 及び導電膜 4 3 3 が位置する領域とは異なる領域に位置する端部と、ゲート電極 4 3 4 とが、重なる構成を有する。酸化物半導体膜 4 3 0 b の端部は、当該端部を形成するためのエッチングでプラズマに曝されるときに、エッチングガスから生じた塩素ラジカル、フッ素ラジカル等が、酸化物半導体を構成する金属元素と結合しやすい。よって、酸化物半導体膜の端部では、当該金属元素と結合していた酸素が脱離しやすい状態にあるため、酸素欠損が形成され、n 型化しやすいと考えられる。しかし、図 1 8 (A) に示すトランジスタ 4 2 では、導電膜 4 3 2 及び導電膜 4 3 3 とは重ならない酸化物半導体膜 4 3 0 b の端部と、ゲート電極 4 3 4 とが重なるため、ゲート電極 4 3 4 の電圧を制御することにより、当該端部にかかる電界を制御することができる。よって、酸化物半導体膜 4 3 0 b の端部を介して導電膜 4 3 2 と導電膜 4 3 3 の間に流れる電流を、ゲート電極 4 3 4 に与える電圧によって制御することができる。このようなトランジスタ 4 2 の構造を、S u r r o u n d e d C h a n n e l (S - C h a n n e l) 構造とよぶ。

30

【 0 1 9 8 】

具体的に、S - C h a n n e l 構造の場合、トランジスタ 4 2 がオフとなるような電圧をゲート電極 4 3 4 に与えたときは、当該端部を介して導電膜 4 3 2 と導電膜 4 3 3 の間に流れるオフ電流を小さく抑えることができる。そのため、トランジスタ 4 2 では、大きなオン電流を得るためにチャネル長を短くし、その結果、酸化物半導体膜 4 3 0 b の端部における導電膜 4 3 2 と導電膜 4 3 3 の間の長さが短くなっても、トランジスタ 4 2 のオフ電流を小さく抑えることができる。よって、トランジスタ 4 2 は、チャネル長を短くすることで、導通状態のときには大きいオン電流を得ることができ、非導通状態のときにはオフ電流を小さく抑えることができる。

40

【 0 1 9 9 】

また、具体的に、S - C h a n n e l 構造の場合、トランジスタ 4 2 が導通状態となる

50

ような電圧をゲート電極 434 に与えたときは、当該端部を介して導電膜 432 と導電膜 433 の間に流れる電流を大きくすることができる。当該電流は、トランジスタ 42 の電界効果移動度とオン電流の増大に寄与する。そして、酸化物半導体膜 430b の端部と、ゲート電極 434 とが重なることで、酸化物半導体膜 430b においてキャリアの流れる領域が、ゲート絶縁膜 431 に近い酸化物半導体膜 430b の界面近傍のみでなく、酸化物半導体膜 430b の広い範囲においてキャリアが流れるため、トランジスタ 42 におけるキャリアの移動量が増加する。この結果、トランジスタ 42 のオン電流が大きくなると共に、電界効果移動度が高くなり、代表的には電界効果移動度が $10 \text{ cm}^2 / \text{V} \cdot \text{s}$ 以上、さらには $20 \text{ cm}^2 / \text{V} \cdot \text{s}$ 以上となる。なお、ここでの電界効果移動度は、酸化物半導体膜の物性値としての移動度の近似値ではなく、トランジスタの飽和領域における電流駆動力の指標であり、見かけ上の電界効果移動度である。

10

【0200】

なお、図 18 (A) の説明では、トランジスタ 42 が有する半導体膜 430 が、順に積層された酸化物半導体膜 430a 乃至酸化物半導体膜 430c を有する構造として例示している。半導体膜 430 は、他の構造として図 18 (B) に示すような構造でもよい。図 18 (B) に示すように、半導体膜 430 が有する酸化物半導体膜 430c は、導電膜 432 及び導電膜 433 の上層でゲート絶縁膜 431 と重畳させて設ける構成としてもよい。

【0201】

< Si トランジスタを有する層と OS トランジスタを有する層とを積層した断面構造 >

20

次いで図 16 乃至 19 では、図 17 で説明した Si トランジスタを有する層 31 と、配線が設けられた層 32 と、図 18 (A) で説明した OS トランジスタを有する層 33 と、を積層した際の断面構造の一例について示す。

【0202】

図 19 は、図 16 (A) に示す模式図の断面構造の一例である。

【0203】

なお図 19 において、図 17、図 18 (A)、(B) と同様に、破線 A1 - A2 で示す領域では、トランジスタ 41、42 のチャンネル長方向における構造を示しており、破線 A3 - A4 で示す領域では、トランジスタ 41、42 のチャンネル幅方向における構造を示している。

30

【0204】

なお本発明の一態様では、図 19 に示すように、トランジスタ 41 のチャンネル長方向とトランジスタ 42 のチャンネル長方向とが、必ずしも一致していなくともよい。

【0205】

なお図 19 においては、トランジスタ 41 とトランジスタ 42 とを電気的に接続するために、絶縁膜 420 乃至絶縁膜 422 には開口部が設けられている。開口部に設けられる導電膜 433 は、上記開口部において導電膜 418 に接続されている。

【0206】

図 19 に示す断面構造では、図 16 (A) の説明でも述べたように、酸化物半導体膜にチャンネル形成領域を有するトランジスタ 42 を、単結晶のシリコン基板にチャンネル形成領域を有するトランジスタ 41 上に形成する。図 19 の構成とすることで、トランジスタ 42 のチャンネル形成領域と、トランジスタ 41 のチャンネル形成領域と、を互いに重ねて設けることができる。そのため該構成としたメモリセルを有する半導体装置では、レイアウト面積の縮小を図ることができる。

40

【0207】

なお OS トランジスタを有する層 33 に設けられるトランジスタ 42 を、上記実施の形態 1 の図 4 で図示したトランジスタ M1a、M2a (M1b、M2b) に適用する場合、トランジスタ M1a、M2a (M1b、M2b) 同士を同じ層に設けてもよいし、異なる層に設けてもよい。

【0208】

50

例えば、OSトランジスタを有する層33に設けられるトランジスタ42を同じ層に設ける場合、図20に示す構成とすることができる。また、OSトランジスタを有する層33に設けられるトランジスタ42を異なる層に設ける場合、OSトランジスタを有する層33_1と層33_2を分け、配線が設けられる層32を間に介して積層する、図21に示す構成とすることができる。

【0209】

図20に示す断面構造とすることで、OSトランジスタ数が増えてもOSトランジスタを有する層33を1層設ければよいため、積層数を削減することができる。例えば図20ではトランジスタ42Aとトランジスタ42Bとを一度に作製することができる。そのため半導体装置を作製するための工程の削減を図ることができる。

10

【0210】

なお図20において、トランジスタ41、42A、42Bのチャンネル長方向における構造を示している。チャンネル幅方向の構造については図19で示した構造と同様であり、前述の構造を参照すればよい。

【0211】

図20の断面構造の構成を実施の形態1の各トランジスタに適用すると、トランジスタ42A、42BをトランジスタM1a、M2a(M1b、M2b)として、作製することができる。そのため、半導体装置の製造コストの低減を図ることができる。

【0212】

また、図21に示す断面構造とすることで、OSトランジスタ数が増えても、OSトランジスタを有する層33_1、33_2と複数の層に設ければよいため、トランジスタ数が増えても回路面積の増大を抑制することができる。そのため、半導体装置のチップ面積を縮小し、小型化を図ることができる。

20

【0213】

なお図21において、トランジスタ41、42C、42Dのチャンネル長方向における構造を示している。チャンネル幅方向の構造については図19で示した構造と同様であり、前述の構造を参照すればよい。

【0214】

図21の断面構造の構成を実施の形態1の各トランジスタに適用すると、トランジスタ42C、42DをトランジスタM1a、M2a(M1b、M2b)として、作製することができる。図21に示す断面構造とすることで、異なる層にあるOSトランジスタを有する層33_1、33_2とで膜厚、膜質等を異ならせたOSトランジスタとすることができる。そのため異なる特性を有するトランジスタの作り分けを図ることができる。例えば、ゲート絶縁膜を薄膜化してスイッチング特性を高めたトランジスタと、ゲート絶縁膜を厚膜化して耐圧性を高めたトランジスタを積層して設けることができる。そのため、半導体装置の高性能化を図ることができる。

30

【0215】

(実施の形態4)

本実施の形態では、PLD(Programmable Logic Device)における半導体装置の応用例について説明する。図22はPLDが有するロジックアレイのブロック図についての一例を示す図である。ロジックアレイ300は、アレイ状の複数のLE301(Logic Element)を有する。ここでアレイ状とは、行列状にロジックエレメントが周期的に配列していることを指し、配列は図22の配列に限られない。本実施の形態で説明する半導体装置は、PLD内のレジスタとして機能する。

40

【0216】

また、LE301を囲むように、複数の配線が形成されている。図22においては、これらの配線は複数の水平な配線群303と複数の垂直な配線群304とにより構成される。配線群とは、複数の配線からなる配線の束である。水平な配線群303と垂直な配線群304とが交わる部分にはスイッチ部302が設けられる。また、水平な配線群303及び垂直な配線群304は入出力端子305に接続され、ロジックアレイ300の外部回路

50

と信号の授受を行う。

【0217】

複数のLE301の入出力端子は、それぞれ周囲に設けられた水平な配線群303や垂直な配線群304に接続している。例えば、LE301の入出力端子は図22においてそれぞれ上下左右の側で水平な配線群303や垂直な配線群304と接続している。この入出力端子を用いることで、LE301は他のLE301に接続することができる。任意のLE301と、これと異なるLE301との接続経路は、スイッチ部302内に設けられた配線間の接続を切り替えるためのスイッチによって決定される。

【0218】

スイッチ部302内における、配線間の接続を切り替えるスイッチのオン又はオフは、
10
コンフィギュレーションデータを記憶するコンフィギュレーションメモリに応じて決定される。スイッチ部302に設けられるコンフィギュレーションメモリは、書き換え可能な構成とする場合、記憶するコンフィギュレーションデータが電源電圧の供給の停止により消失しないよう、不揮発性の記憶素子を有する構成とすることが好ましい。

【0219】

図23は図22で示したLE301のブロック図である。図23に示すLE301は、
20
一例として、ルックアップテーブル(Look Up Table:以下、LUT)311、フリップフロップ312及びマルチプレクサ313を有する。また図23では、LUT311及びマルチプレクサ313に接続されて、コンフィギュレーションメモリ314、315が設けられている。

【0220】

なおコンフィギュレーションメモリ314、315は、書き換え可能な構成とする場合、
記憶するコンフィギュレーションデータが電源電圧の供給の停止により消失しないよう、
不揮発性の記憶素子を有する構成とすることが好ましい。

【0221】

なおコンフィギュレーションデータとは、一例としては、LUT311のデータ、マルチ
プレクサ313の入力信号の選択情報、スイッチ部302の導通又は非導通のデータを
いう。またコンフィギュレーションメモリとは、コンフィギュレーションデータを記憶す
る記憶素子をいう。

【0222】

LUT311は、コンフィギュレーションメモリ314に記憶されたコンフィギュレー
ションデータの内容によって、定められる論理回路が異なる。そして、コンフィギュレー
ションデータが確定すると、LUT311は、入力端子316に与えられた複数の入力信号
の入力値に対する、一の出力値が定まる。そして、LUT311からは、上記出力値を
含む信号が出力される。

【0223】

フリップフロップ312は、LUT311から出力される信号を保持し、クロック信号
CLKに同期して当該信号に対応した出力信号が、マルチプレクサ313に出力される。

【0224】

マルチプレクサ313は、LUT311からの出力信号と、フリップフロップ312か
40
らの出力信号とが入力されている。そして、マルチプレクサ313は、コンフィギュレー
ションメモリ315に保持されているコンフィギュレーションデータに従って、上記2つ
の出力信号のいずれか一方に切り替えて出力する。マルチプレクサ313からの出力信号
は、出力端子317から出力される。

【0225】

本発明の一態様では、フリップフロップ312といった一時的なデータの記憶を行う回
路に、上記実施の形態で示した半導体装置を用いることで、電源電圧の供給の停止による
フリップフロップ内のデータの消失を防ぐことができる。また、電源電圧の供給を停止す
る前に保持していたデータの退避を短時間で行うことができ、さらに、電源電圧の供給を
再開した後、短時間で上記データを復帰することができる。よって、PLDを構成する複
50

数のロジックエレメントにおいて、電源電圧の供給の停止を行うことができる。従って、PLDの消費電力を小さく抑えることができる。

【0226】

(実施の形態5)

本実施の形態では、CPU(Central Processing Unit)における半導体装置の応用例について説明する。図24は、CPUのブロック図の一例を示す図である。本実施の形態で説明する半導体装置は、CPU内のレジスタとして機能する。

【0227】

CPU500は、一例として、プログラムカウンタ511、命令レジスタ512、命令デコーダ513、汎用レジスタ514、及びALU515(Arithmetic Logic unit)を有する。CPU500の外部には、CPU500とのデータの入出力を行うための主記憶装置501が設けられる。

10

【0228】

プログラムカウンタ511は、読み出す(フェッチする)命令(コマンド)のアドレスを記憶するレジスタである。命令レジスタ512は、主記憶装置501から命令デコーダ513に送られるデータを一時的に記憶しておくレジスタである。命令デコーダ513は、入力されたデータをデコードし、汎用レジスタ514でのレジスタ指定、及びALU515での演算方法指定等の信号を生成する回路である。汎用レジスタ514は、主記憶装置501から読み出されたデータ、ALU515の演算処理の途中で得られたデータ、或いはALU515の演算処理の結果得られたデータ、などを記憶することができる。ALU515は、四則演算、論理演算などの各種演算処理を行う機能を有する。なお、CPU500には、別途データキャッシュ等、すなわち演算結果などを一時的に記憶する回路があってもよい。

20

【0229】

次いで、CPU500の動作について説明する。

【0230】

CPU500は、プログラムカウンタ511で指定された、読み出す命令のアドレスを主記憶装置501に出力するよう、指示を行う。次いで主記憶装置501に記憶された、実行する命令のアドレスからデータを読み出し、命令レジスタ512に記憶させる。

【0231】

命令デコーダ513は、命令レジスタ512に記憶されたデータをデコードし、命令を実行する。具体的には、汎用レジスタ514でのレジスタ指定、及びALU515での演算方法指定等の信号を生成する。

30

【0232】

汎用レジスタ514では、命令に従って、命令デコーダ513で指定されたデータをALU515又は主記憶装置501に出力する。ALU515では、命令デコーダ513で指定された演算方法に基づいて、演算処理を実行し、演算結果を汎用レジスタ514に記憶する。

【0233】

そして、命令の実行が終了すると、CPU500は、命令を読み出し、命令レジスタ512から読み出したデータをデコード、命令を実行するという動作を繰り返す。

40

【0234】

本発明の一態様では、プログラムカウンタ511、命令レジスタ512、命令デコーダ513、汎用レジスタ514といった一時的なデータの記憶を行うレジスタに、上記実施の形態で示した半導体装置を用いることで、電源電圧の供給の停止によるレジスタ内のデータの消失を防ぐことができる。また、電源電圧の供給を停止する前に保持していたデータの退避を短時間で行うことができ、さらに、電源電圧の供給を再開した後、短時間で上記データを復帰することができる。よって、CPU500全体、又はCPU500を構成する各種回路において、電源電圧の供給の停止を行うことができる。従って、CPU500の消費電力を小さく抑えることができる。

50

【 0 2 3 5 】

次いで、CPU 500 に対して電源電圧の供給を停止又は再開するための構成を、一例として図 25 に示す。図 25 には、CPU 500 と、パワースイッチ 521 と、電源制御回路 522 とを示す。

【 0 2 3 6 】

パワースイッチ 521 は、オン又はオフの状態に従って、CPU 500 への電源電圧の供給の停止又は再開を制御することができる。具体的には、電源制御回路 522 が、パワースイッチ 521 のオン又はオフするためのパワー制御信号 Power_EN を出力し、CPU 500 への電源電圧の供給の停止又は再開を制御する。パワースイッチ 521 をオンにすることで、電圧 V_{DD} 、 V_{SS} が与えられる配線より、CPU 500 への電源電圧の供給が行われる。またパワースイッチ 521 をオフにすることで、電圧 V_{DD} 、 V_{SS} が与えられる配線間の電流のパスが切断されるため、CPU 500 への電源電圧の供給が停止する。

10

【 0 2 3 7 】

電源制御回路 522 は、入力されるデータ Data の頻度に応じて、パワースイッチ 521 及び CPU 500 の動作を統轄的に制御する機能を有する。具体的には、電源制御回路 522 は、パワースイッチ 521 のオン又はオフするためのパワー制御信号 Power_EN、並びに半導体装置で退避及び復帰されるデータを制御する制御信号 Store 及び制御信号 Load を出力する。制御信号 Store 及び制御信号 Load は、上述したように、半導体装置内の電位を揮発性の回路と不揮発性の回路との間で退避及び復帰するための信号である。

20

【 0 2 3 8 】

次いで、図 25 に示した CPU 500、パワースイッチ 521 及び電源制御回路 522 の動作の一例について説明する。

【 0 2 3 9 】

電源電圧の供給を継続、若しくは停止又は再開する際、電源制御回路 522 に入力されるデータ Data の頻度をもとに判断する。具体的には、データ Data が CPU 500 に継続して入力される場合、電源制御回路 522 は電源電圧の供給を継続するよう制御する。またデータ Data が CPU 500 に間欠的に入力される場合、データ Data が入力されるタイミングに従って、電源制御回路 522 は電源電圧の供給を停止又は再開するよう制御する。

30

【 0 2 4 0 】

なお、電源制御回路 522 は、CPU 500 への電源電圧の供給が停止している間も継続し電源電圧の供給が行われる構成とすることが好ましい。当該構成とすることで、CPU 500 への電源電圧の供給を停止又は再開を、所望のタイミングで行うことができる。

【 0 2 4 1 】

(実施の形態 6)

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的には DVD: Digital Versatile Disc 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラなどのカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図 26 に示す。

40

【 0 2 4 2 】

図 26 (A) は携帯型ゲーム機であり、筐体 5001、筐体 5002、表示部 5003、表示部 5004、マイクロホン 5005、スピーカ 5006、操作キー 5007、スタ

50

イラスト5008等を有する。なお、図26(A)に示した携帯型ゲーム機は、2つの表示部5003と表示部5004とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0243】

図26(B)は携帯情報端末であり、第1の筐体5601、第2の筐体5602、第1の表示部5603、第2の表示部5604、接続部5605、操作キー5606等を有する。第1の表示部5603は第1の筐体5601に設けられており、第2の表示部5604は第2の筐体5602に設けられている。そして、第1の筐体5601と第2の筐体5602とは、接続部5605により接続されており、第1の筐体5601と第2の筐体5602の間の角度は、接続部5605により変更が可能となっている。第1の表示部5603における映像の切り替えを、接続部5605における第1の筐体5601と第2の筐体5602との間の角度に従って、行う構成としても良い。また、第1の表示部5603及び第2の表示部5604の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。あるいは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

10

【0244】

図26(C)はノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。

20

【0245】

図26(D)は電気冷凍冷蔵庫であり、筐体5301、冷蔵室用扉5302、冷凍室用扉5303等を有する。

【0246】

図26(E)はビデオカメラであり、第1の筐体5801、第2の筐体5802、表示部5803、操作キー5804、レンズ5805、接続部5806等を有する。操作キー5804及びレンズ5805は第1の筐体5801に設けられており、表示部5803は第2の筐体5802に設けられている。そして、第1の筐体5801と第2の筐体5802とは、接続部5806により接続されており、第1の筐体5801と第2の筐体5802の間の角度は、接続部5806により変更が可能となっている。表示部5803における映像の切り替えを、接続部5806における第1の筐体5801と第2の筐体5802との間の角度に従って行う構成としても良い。

30

【0247】

図26(F)は自動車であり、車体5101、車輪5102、ダッシュボード5103、ライト5104等を有する。

【0248】

(本明細書等の記載に関する付記)

以上の実施の形態、及び実施の形態における各構成の説明について、以下に付記する。

【0249】

<実施の形態で述べた本発明の一態様に関する付記>

40

各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互い構成例を適宜組み合わせることが可能である。

【0250】

なお、ある一つの実施の形態の中で述べる内容(一部の内容でもよい)は、その実施の形態で述べる別の内容(一部の内容でもよい)、及び/又は、一つ若しくは複数の別の実施の形態で述べる内容(一部の内容でもよい)に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

【0251】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用い

50

て述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【0252】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び/又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることができる。

【0253】

< 図面を説明する記載に関する付記 >

本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。構成同士的位置関係は、各構成を描写する方向に応じて適宜変化する。そのため、配置を示す語句は、明細書で説明した記載に限定されず、状況に応じて適切に言い換えることができる。

10

【0254】

また、「上」や「下」の用語は、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

【0255】

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されない。

20

【0256】

また、図面において、大きさ、層の厚さ、又は領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0257】

また、図面において、上面図（平面図、レイアウト図ともいう）や斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

30

【0258】

< 言い換え可能な記載に関する付記 >

本明細書等において、トランジスタの接続関係を説明する際、ソースとドレインとの一方を、「ソース又はドレインの一方」（又は第1電極、又は第1端子）と表記し、ソースとドレインとの他方を「ソース又はドレインの他方」（又は第2電極、又は第2端子）と表記している。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

40

【0259】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0260】

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0V

50

を意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

【0261】

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0262】

< 語句の定義に関する付記 >

以下では、上記実施の形態中で言及しなかった語句の定義について説明する。

10

【0263】

<< スイッチについて >>

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

【0264】

一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

【0265】

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。

20

【0266】

なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソースとドレインが電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソースとドレインが電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

30

【0267】

機械的なスイッチの一例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

【0268】

<< チャネル長について >>

本明細書等において、チャネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャネルが形成される領域における、ソースとドレインとの間の距離をいう。

40

【0269】

なお、一つのトランジスタにおいて、チャネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル長は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0270】

<< チャネル幅について >>

本明細書等において、チャネル幅とは、例えば、半導体（またはトランジスタがオン状

50

態のときに半導体の中で電流の流れる部分)とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

【0271】

なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0272】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅(以下、実効的なチャンネル幅と呼ぶ。)と、トランジスタの上面図において示されるチャンネル幅(以下、見かけ上のチャンネル幅と呼ぶ。)と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

10

【0273】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

20

【0274】

そこで、本明細書では、トランジスタの上面図において、半導体とゲートとが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅(SCW: Surrounded Channel Width)」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

30

【0275】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

【0276】

<<接続について>>

本明細書等において、AとBとが接続されている、とは、AとBとが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、AとBとが電氣的に接続されているとは、AとBとの間で、何らかの電氣的作用を有する対象物が存在するとき、AとBとの電氣信号の授受を可能とするものをいう。

40

【符号の説明】

【0277】

A1 - A2 破線
A3 - A4 破線
C1a 容量素子
C1b 容量素子
M1a トランジスタ

50

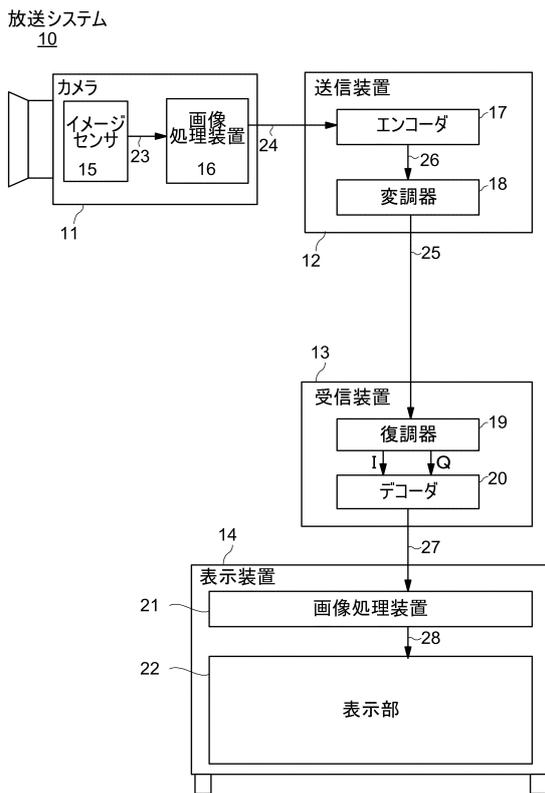
M 1 b	トランジスタ	
M 2 a	トランジスタ	
M 2 b	トランジスタ	
M 3 a	トランジスタ	
M 3 b	トランジスタ	
N a 1	ノード	
N a 2	ノード	
N b 1	ノード	
N b 2	ノード	
P 1	期間	10
P 2	期間	
P 3	期間	
P 4	期間	
P 7	時刻	
T 1	時刻	
T 2	時刻	
T 3	時刻	
T 4	時刻	
T 5	時刻	
T 6	時刻	20
T 7	時刻	
T 8	時刻	
T 9	時刻	
T 1 0	時刻	
T 1 1	時刻	
T 1 2	時刻	
T 1 3	時刻	
T 1 4	時刻	
1 0	放送システム	
1 1	カメラ	30
1 2	送信装置	
1 3	受信装置	
1 4	表示装置	
1 5	イメージセンサ	
1 6	画像処理装置	
1 7	エンコーダ	
1 8	変調器	
1 9	復調器	
2 0	デコーダ	
2 1	画像処理装置	40
2 2	表示部	
2 3	R a w データ	
2 4	映像データ	
2 5	放送信号	
2 6	符号化データ	
2 7	映像データ	
6 8	テレビジョン受信装置	
6 9	放送局	
7 0	人工衛星	
7 1	電波塔	50

7 2	アンテナ	
7 3	アンテナ	
7 4 A	電波	
7 4 B	電波	
7 5 A	電波	
7 5 B	電波	
7 6	無線機	
7 7	無線機	
7 8	受信装置	
7 9	コネクタ部	10
5 1	直交検波回路	
5 2	L D P C 符号復号回路	
5 3	エネルギー逆拡散回路	
5 4	B C H 符号復号回路	
5 5	T M C C 復号回路	
5 6	C A 逆拡散回路	
5 7	多重分離回路	
5 8	映像復号回路	
5 9	音声復号回路	
6 0	電子番組表復号回路	20
8 0	T S パケット	
8 1	ヘッダ部	
3 1	層	
3 2	層	
3 3	層	
3 3 _ 1	層	
3 3 _ 2	層	
4 1	トランジスタ	
4 2	トランジスタ	
4 2 A	トランジスタ	30
4 2 B	トランジスタ	
4 2 C	トランジスタ	
4 2 D	トランジスタ	
1 0 0	半導体装置	
1 1 0	回路	
1 1 0 A	回路	
1 1 0 B	回路	
1 1 0 C	回路	
1 2 0	回路	
1 2 0 A	回路	40
3 0 0	ロジックアレイ	
3 0 1	L E	
3 0 2	スイッチ部	
3 0 3	配線群	
3 0 4	配線群	
3 0 5	入出力端子	
3 1 1	L U T	
3 1 2	フリップフロップ	
3 1 3	マルチプレクサ	
3 1 4	コンフィギュレーションメモリ	50

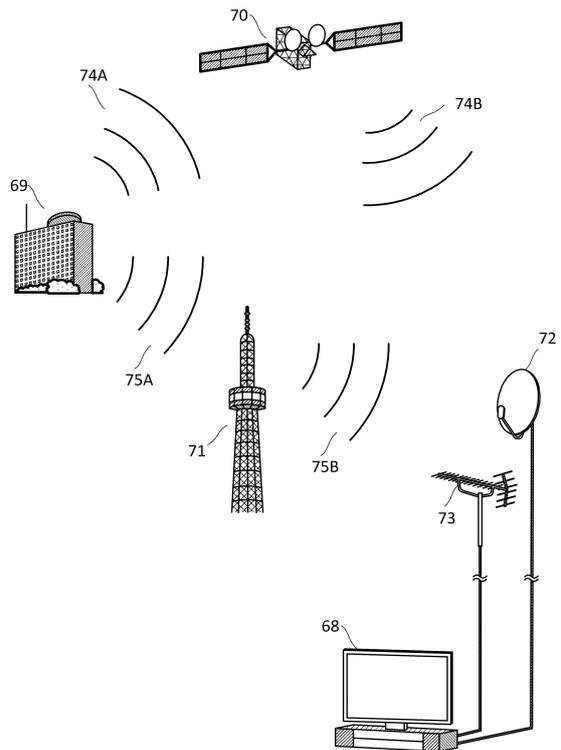
3 1 5	コンフィギュレーションメモリ	
3 1 6	入力端子	
3 1 7	出力端子	
5 0 0	C P U	
4 0 0	基板	
5 0 1	主記憶装置	
4 0 1	素子分離領域	
4 0 2	不純物領域	
4 0 3	不純物領域	
4 0 4	チャンネル形成領域	10
4 0 5	絶縁膜	
4 0 6	ゲート電極	
5 1 1	プログラムカウンタ	
4 1 1	絶縁膜	
4 1 2	導電膜	
5 1 2	命令レジスタ	
4 1 3	導電膜	
5 1 3	命令デコーダ	
4 1 4	導電膜	
5 1 4	汎用レジスタ	20
5 1 5	A L U	
4 1 6	導電膜	
4 1 7	導電膜	
4 1 8	導電膜	
4 2 0	絶縁膜	
5 2 1	パワースイッチ	
4 2 1	絶縁膜	
4 2 2	絶縁膜	
5 2 2	電源制御回路	
4 3 0	半導体膜	30
4 3 0 a	酸化物半導体膜	
4 3 0 b	酸化物半導体膜	
4 3 0 c	酸化物半導体膜	
4 3 1	ゲート絶縁膜	
4 3 2	導電膜	
4 3 3	導電膜	
4 3 4	ゲート電極	
5 0 0 1	筐体	
5 0 0 2	筐体	
5 0 0 3	表示部	40
5 0 0 4	表示部	
5 0 0 5	マイクロホン	
5 0 0 6	スピーカ	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 1 0 1	車体	
5 1 0 2	車輪	
5 1 0 3	ダッシュボード	
5 1 0 4	ライト	
5 3 0 1	筐体	50

- 5 3 0 2 冷蔵室用扉
- 5 3 0 3 冷凍室用扉
- 5 4 0 1 筐体
- 5 4 0 2 表示部
- 5 4 0 3 キーボード
- 5 4 0 4 ポインティングデバイス
- 5 6 0 1 筐体
- 5 6 0 2 筐体
- 5 6 0 3 表示部
- 5 6 0 4 表示部
- 5 6 0 5 接続部
- 5 6 0 6 操作キー
- 5 8 0 1 筐体
- 5 8 0 2 筐体
- 5 8 0 3 表示部
- 5 8 0 4 操作キー
- 5 8 0 5 レンズ
- 5 8 0 6 接続部

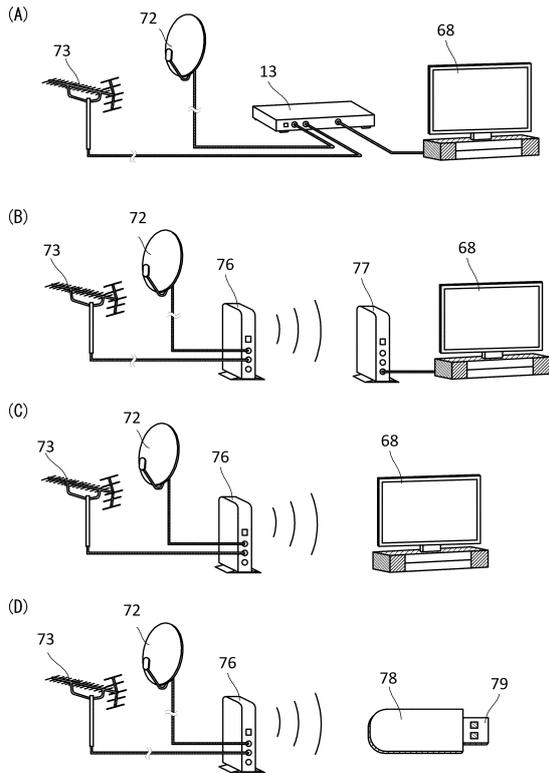
【図1】



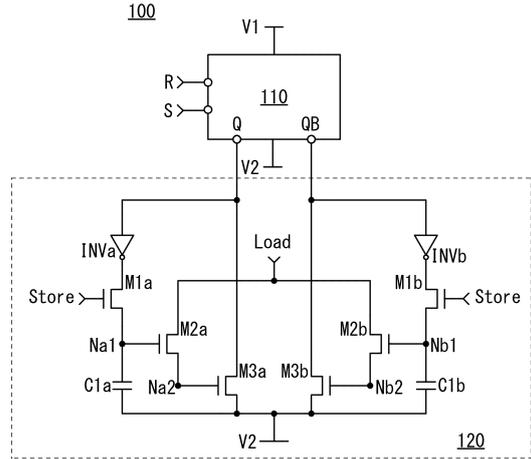
【図2】



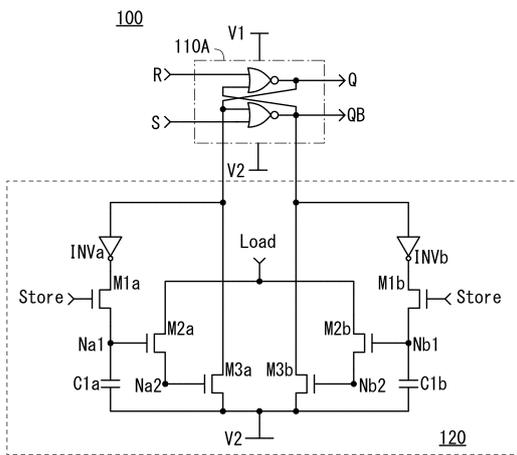
【 図 3 】



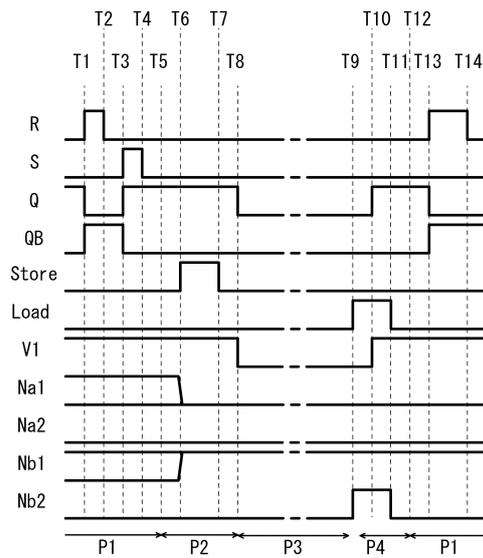
【 図 4 】



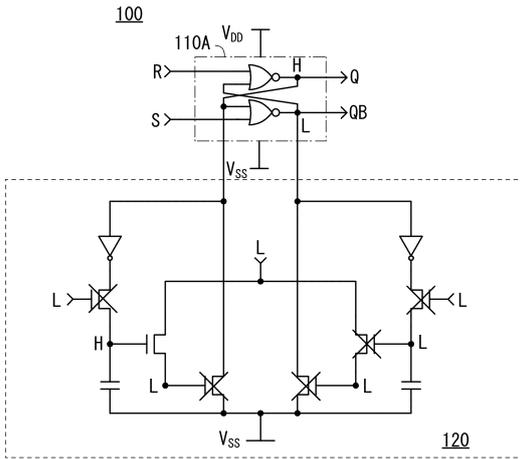
【 図 5 】



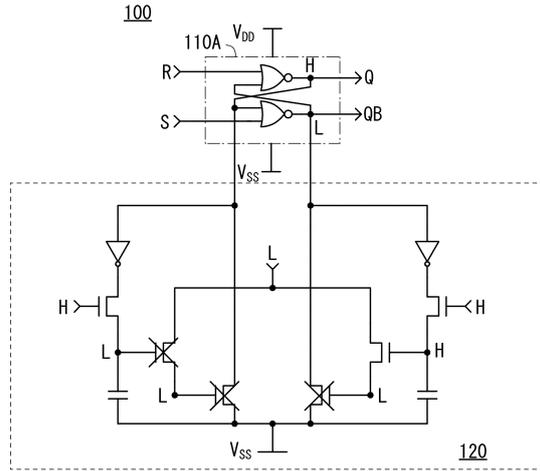
【 図 6 】



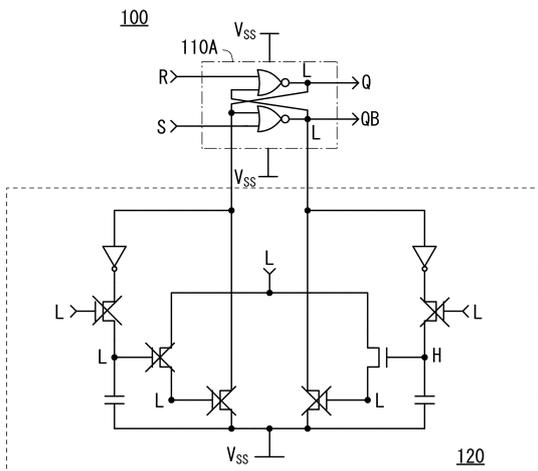
【 図 7 】



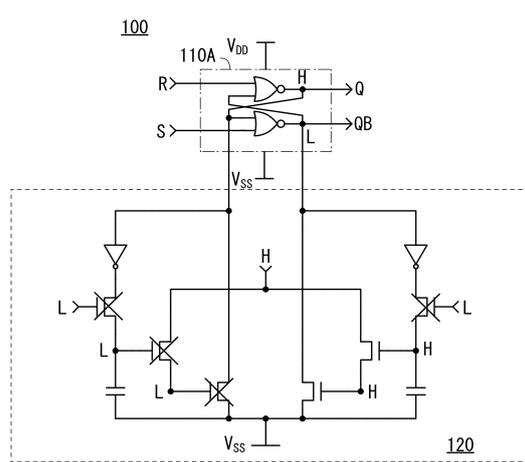
【 図 8 】



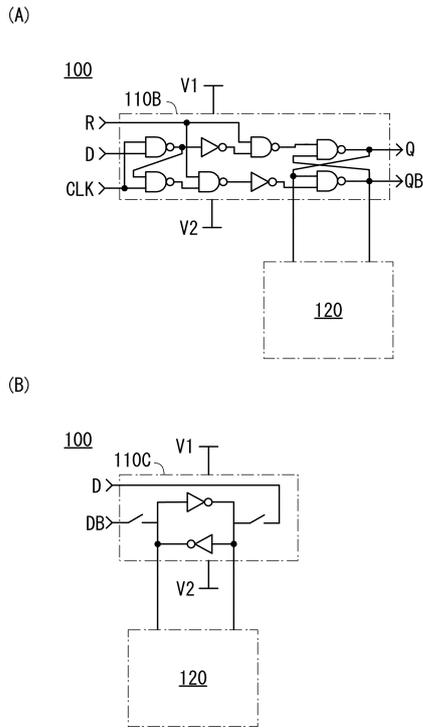
【 図 9 】



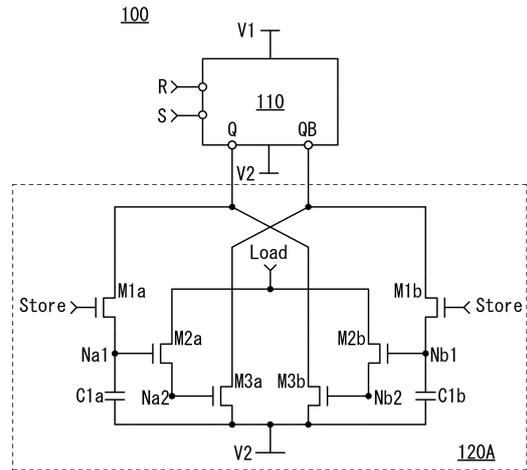
【 図 10 】



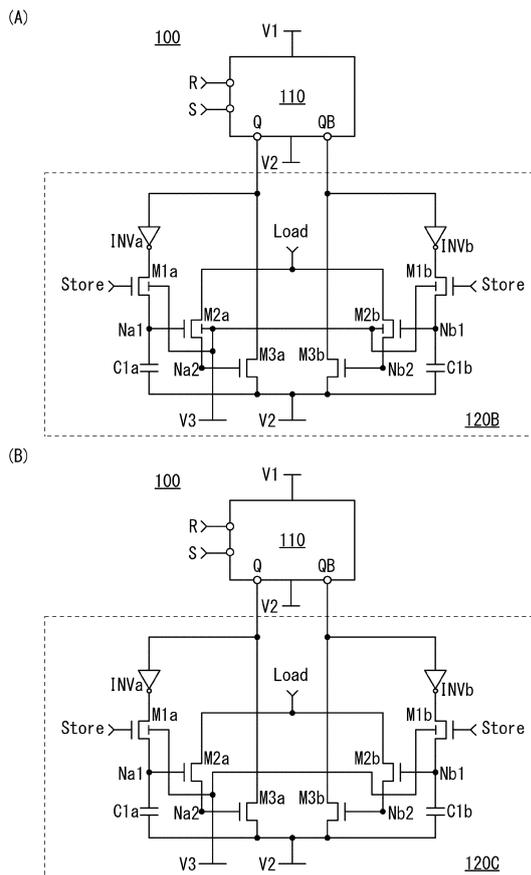
【図 1 1】



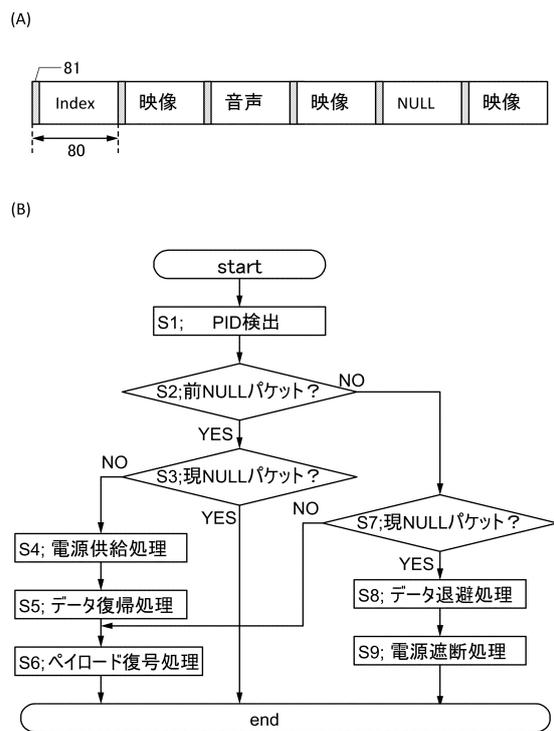
【図 1 2】



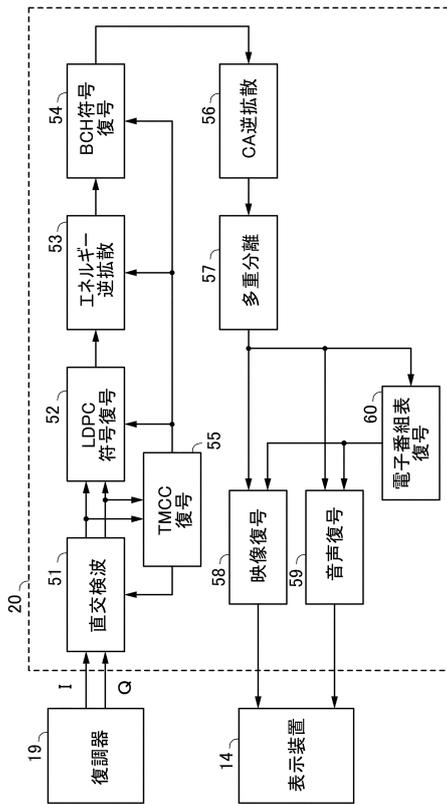
【図 1 3】



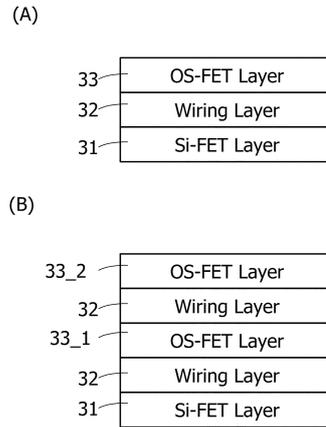
【図 1 4】



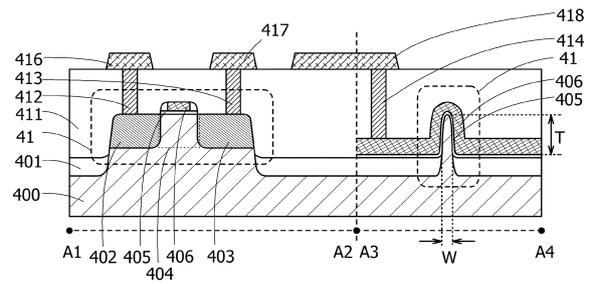
【 図 1 5 】



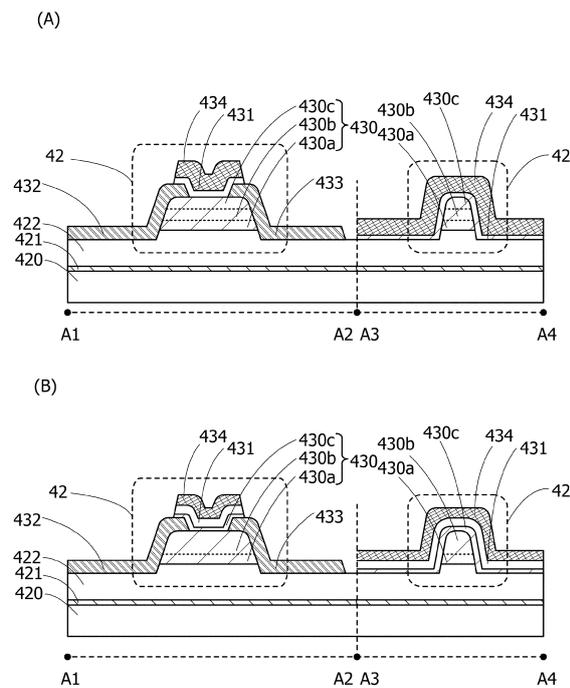
【 図 1 6 】



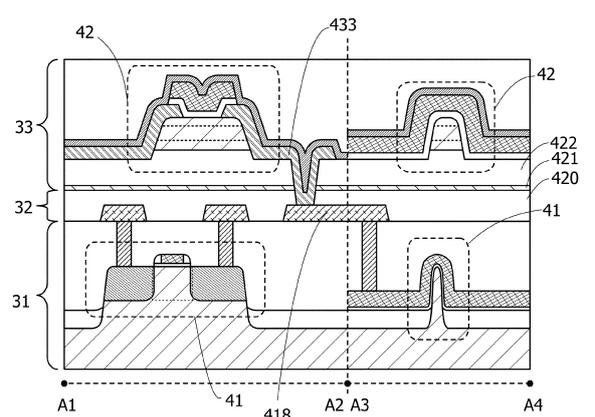
【 図 1 7 】



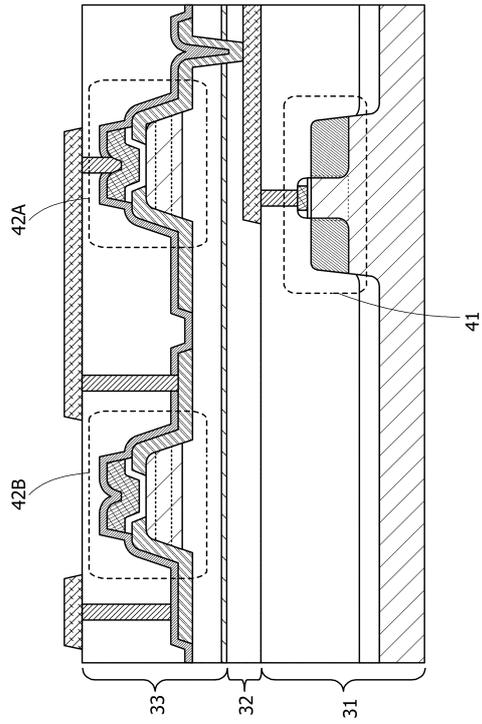
【 図 1 8 】



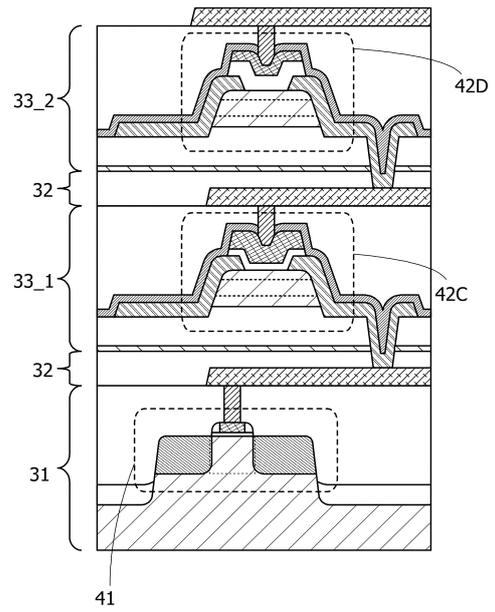
【 図 1 9 】



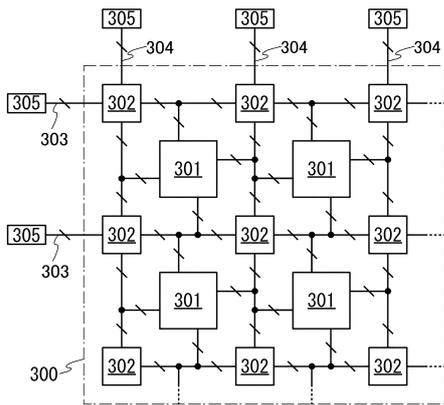
【図 20】



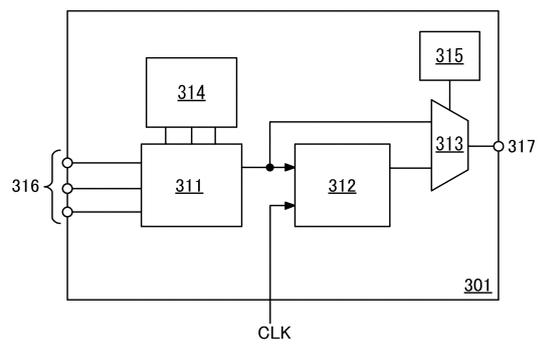
【図 21】



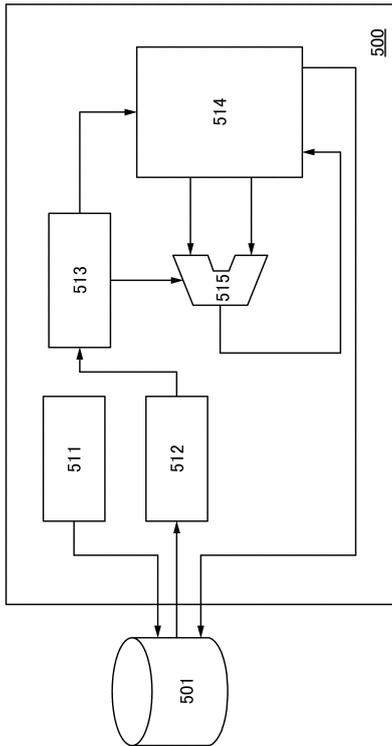
【図 22】



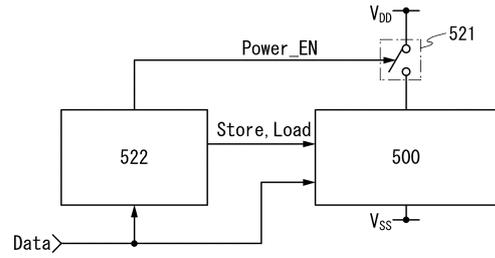
【図 23】



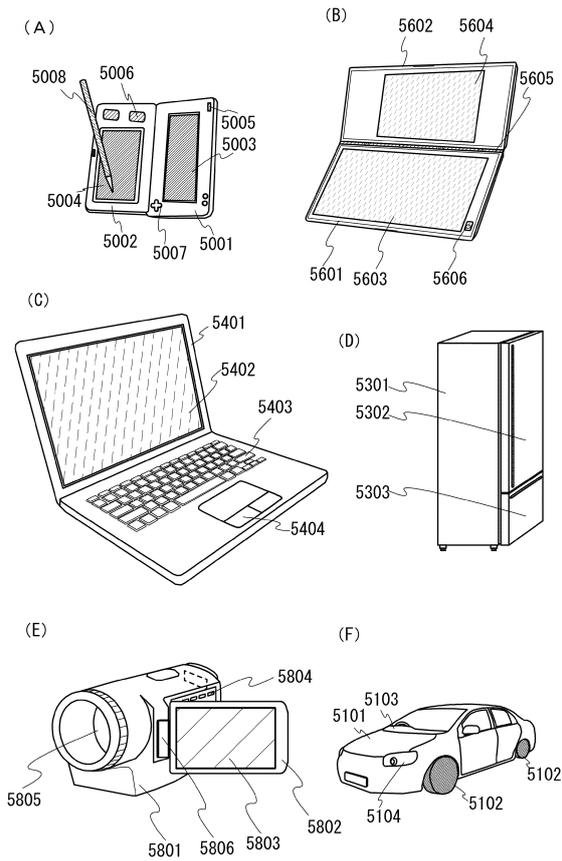
【 図 2 4 】



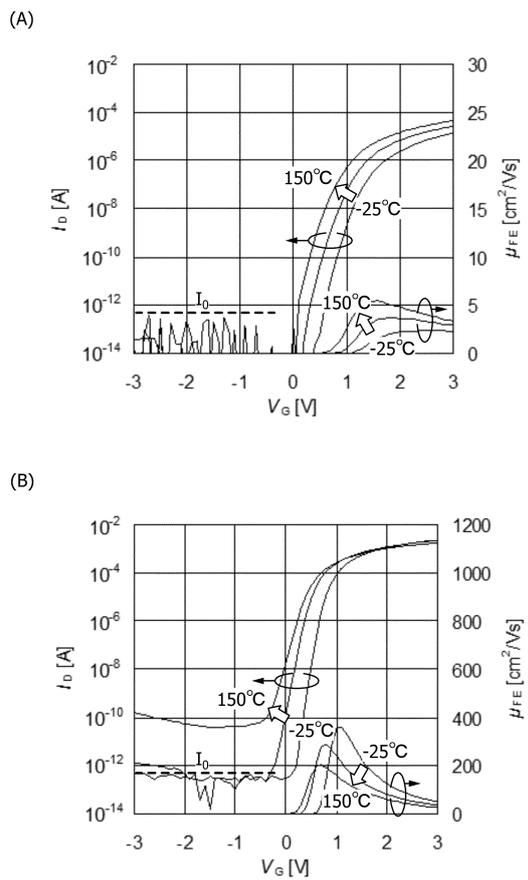
【 図 2 5 】



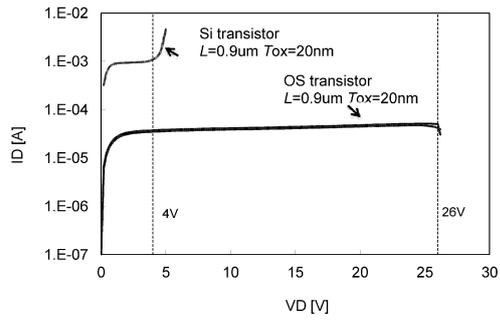
【 図 2 6 】



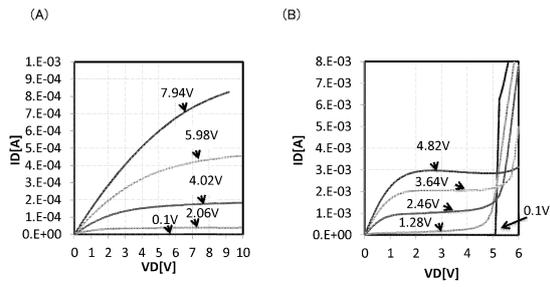
【 図 2 7 】



【 28 】



【 29 】



フロントページの続き

(56)参考文献 特開2014-112827(JP,A)
特開2015-62218(JP,A)
特開2017-41877(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K3/037
H03K3/356-3/3565
H04N21/438-21/4385