



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I598758 B

(45)公告日：中華民國 106 (2017) 年 09 月 11 日

(21)申請案號：104137688

(22)申請日：中華民國 104 (2015) 年 11 月 16 日

(51)Int. Cl. : G06F17/50 (2006.01)

(30)優先權：2014/11/26 美國 14/555,191

(71)申請人：台灣積體電路製造股份有限公司(中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY LTD. (TW)

新竹市新竹科學工業園區力行六路8號

(72)發明人：何嘉銘 HO, CHIA MING (TW)；雷歐 阿達瑞 雷瑪 巴哈德倫 RAO, ADARI
RAMA BHADRA (IN)；徐孟楷 HSU, MENG KAI (TW)；張洸鎡 CHANG, KUANG
HUNG (TW)；蘇彞穎 SU, KE YING (TW)；陳文豪 CHEN, WEN HAO (TW)；李
憲信 LEE, HSIEN-HSIN SEAN (US)

(74)代理人：馮博生

(56)參考文獻：

TW	200816404A	US	5629838
US	2007/0240086A1	US	2008/0097641A1
US	2011/0315527A1		

審查人員：李國隆

申請專利範圍項數：10 項 圖式數：11 共 55 頁

(54)名稱

用於積體電路佈局產生的方法、裝置以及計算機程式產品

METHOD, DEVICE AND COMPUTER PROGRAM PRODUCT FOR INTEGRATED CIRCUIT
LAYOUT GENERATION

(57)摘要

本揭露提供一種方法，該方法係至少部分藉由處理器而進行，該方法包含進行空氣間隙插入製程。空氣間隙插入製程包含依序分類積體電路之佈局的複數個網，以及根據複數個網的分類順序，插入空氣間隙圖案以與複數個網相鄰。該方法進一步包含產生積體電路的修飾佈局。修飾佈局包含複數個網以及插入的空氣間隙圖案。

A method performed at least partially by a processor includes performing an air gap insertion process. The air gap insertion process includes sorting a plurality of nets of a layout of an integrated circuit in an order, and inserting, in accordance with the sorted order of the plurality of nets, air gap patterns adjacent to the plurality of nets. The method further includes generating a modified layout of the integrated circuit. The modified layout includes the plurality of nets and the inserted air gap patterns.

指定代表圖：

符號簡單說明：

110 . . . IC 設計

120 . . . APR

130 . . . 虛擬插入

140 . . . 空氣間隙插入

150 . . . RC 萃取

160 . . . 時序結束

170 . . . 製造

100

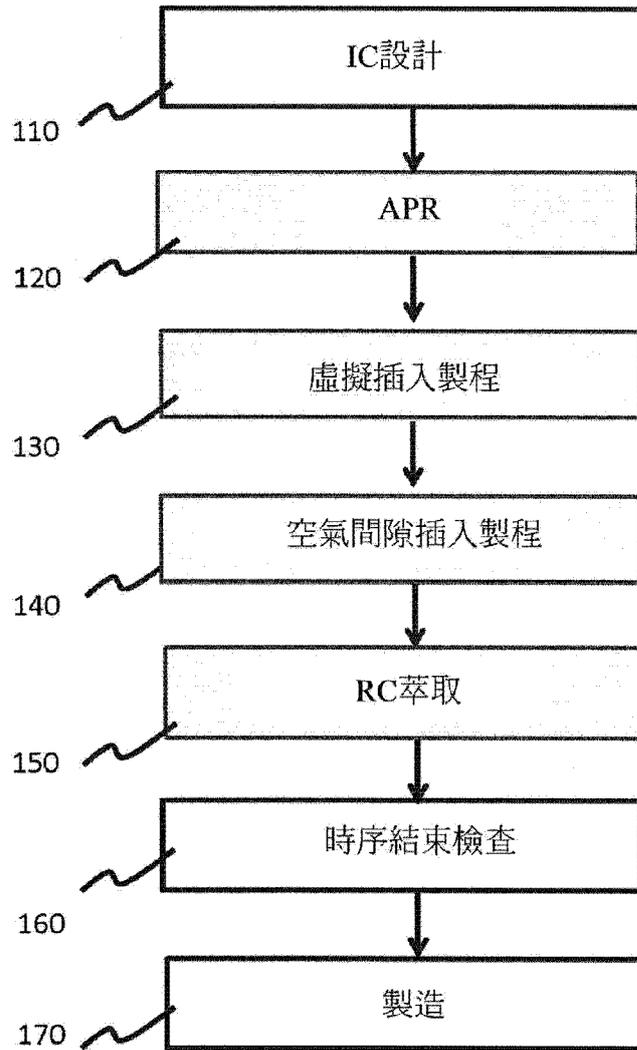


圖 1

發明摘要

※ 申請案號： 104137688

※ 申請日： 104. 11. 16

※IPC 分類： G06F 17/50 2006.01

【發明名稱】

用於積體電路佈局產生的方法、裝置以及計算機程式產品

METHOD, DEVICE AND COMPUTER PROGRAM PRODUCT
FOR INTEGRATED CIRCUIT LAYOUT GENERATION

【中文】

本揭露提供一種方法，該方法係至少部分藉由處理器而進行，該方法包含進行空氣間隙插入製程。空氣間隙插入製程包含依序分類積體電路之佈局的複數個網，以及根據複數個網的分類順序，插入空氣間隙圖案以與複數個網相鄰。該方法進一步包含產生積體電路的修飾佈局。修飾佈局包含複數個網以及插入的空氣間隙圖案。

【英文】

A method performed at least partially by a processor includes performing an air gap insertion process. The air gap insertion process includes sorting a plurality of nets of a layout of an integrated circuit in an order, and inserting, in accordance with the sorted order of the plurality of nets, air gap patterns adjacent to the plurality of nets. The method further includes generating a modified layout of the integrated circuit. The modified layout includes the plurality of nets and the inserted air gap patterns.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

110	IC設計
120	APR
130	虛擬插入
140	空氣間隙插入
150	RC萃取
160	時序結束
170	製造

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

用於積體電路佈局產生的方法、裝置以及計算機程式產品
METHOD, DEVICE AND COMPUTER PROGRAM PRODUCT
FOR INTEGRATED CIRCUIT LAYOUT GENERATION

【技術領域】

【0001】 本揭露係關於用於積體電路佈局產生的方法、裝置以及計算機程式產品。

【先前技術】

【0002】 近來微小化積體電路(IC)的趨勢已經造成較小的裝置，其消耗較低功率，並且以較高速度提供更多功能性。微小化製程已經造成更嚴格的設計與/或製造規格。發展不同的電子設計自動(EDA)製程以產生、最佳化、以及評估IC設計，同時確保符合設計與製造規格。

【發明內容】

【0003】 本揭露的一些實施例係提供一種方法，該方法係至少部分由處理器進行，該方法包括進行空氣間隙插入製程，該空氣間隙插入製程包括依序分類積體電路之佈局的複數個網；以及根據該等網的分類順序，將空氣間隙圖案插入與該等網相鄰；以及產生該積體電路的修飾佈局，該修飾佈局包括該等網以及該插入的空氣間隙圖案。

【0004】 本揭露的一些實施例係提供一種裝置，包括至少一處理器用以進行虛擬網與空氣間隙插入製程，該虛擬網與空氣間隙插入製程包括依序分類積體電路的佈局之複數個網；以及根據該等網的分類順序，插入虛擬網與空氣間隙圖案以與該等網相鄰；以及產生該積

體電路的修飾佈局，該修飾佈局包括該等網、該插入的虛擬網、以及該插入的空氣間隙圖案。

【0005】 本揭露的一些實施例係提供一種計算機程式產品，其包括非暫時計算機可讀取的媒介，其包含指令於其中，當藉由至少一處理器而執行時，造成該至少一處理器進行在積體電路的複數個網中，選擇用於空氣間隙插入的候選網；基於對應的候選網之長度，判斷該候選網的各種縮放比例；基於該候選網的對應縮放比例，估計該候選網的電容；以及基於該候選網之該估計的電容，進行全面佈線、軌道分配以及詳細佈線至少其中之一，產生該積體電路的佈局。

【圖式簡單說明】

【0006】 由以下詳細說明與附隨圖式得以最佳了解本揭露之各方面。注意，根據產業之標準實施方式，各種特徵並非依比例繪示。實際上，為了清楚討論，可任意增大或縮小各種特徵的尺寸。

【0007】 圖1係根據一些實施例說明至少部分IC設計製程的功能流程圖。

【0008】 圖2A係根據一些實施例說明IC的部分佈局之平面示意圖。

【0009】 圖2B係根據一些實施例說明所製造的IC之部分剖面圖。

【0010】 圖3係根據一些實施例說明空氣間隙插入法的流程圖。

【0011】 圖4A至4D係根據一些實施例說明IC佈局之不同部分的平面示意圖。

【0012】 圖5係根據一些實施例說明虛擬網以及空氣間隙插入法的流程圖。

【0013】 圖6A至6D係根據一些實施例說明IC佈局之不同部分

的平面示意圖。

【0014】 圖7係根據一些實施例說明部分的IC設計製程之流程圖。

【0015】 圖8係根據一些實施例說明EDA工具之功能流程圖。

【0016】 圖9A係根據一些實施例說明IC佈局的部分之平面示意圖。

【0017】 圖9B係根據一些實施例說明用於判斷IC設計中EDA工具所使用之縮放比例的圖式。

【0018】 圖9C至9E係根據一些實施例說明IC佈局之不同部分的平面示意圖。

【0019】 圖10係根據一些實施例說明至少一部分的IC設計製程之功能流程圖。

【0020】 圖11係根據一些實施例說明計算機系統的方塊圖。

【實施方式】

【0021】 以下揭示內容提供許多不同的實施例或範例，用於實施本申請案之不同特徵。元件與配置的特定範例之描述如下，以簡化本申請案之揭示內容。當然，這些僅為範例，並非用於限制本申請案。例如，以下描述在第二特徵上或上方形成第一特徵可包含形成直接接觸的第一與第二特徵之實施例，亦可包含在該第一與第二特徵之間形成其他特徵的實施例，因而該第一與第二特徵並非直接接觸。此外，本申請案可在不同範例中重複元件符號與/或字母。此重複係為了簡化與清楚之目的，而非支配不同實施例與/或所討論架構之間的關係。

【0022】 圖1係根據一些實施例說明設計製程100之至少一部分的功能流程圖。設計製程100係使用一或多EDA工具，用於在製造IC之前，產生、優化、以及/或評估IC設計。在一些實施例中，EDA工

具係用於執行之一或多組可執行的指令，用以進行所指之功能，如本文所述。

【0023】 在操作110中，電路設計者提供IC設計。在一些實施例中，IC設計包括示意圖，亦即IC的電路圖。在一些實施例中，所產生或提供的示意圖係網表，例如以積體電路為重點的模擬程式(simulation program with integrated circuit emphasis, SPICE)網表。在一些實施例中，在設計上進行佈局前模擬，以判斷設計是否符合預定的規格。當設計不符合預定規格時，重新設計IC。在至少一實施例中，省略佈局前模擬。

【0024】 在操作120，以設計為基礎，產生IC佈局。該佈局包括IC之不同電路元件的實體位置，以及與電路元件互連之不同網路。例如，所產生的佈局係圖形設計系統(graphic design system, GDS)檔案。用於描述設計的其他檔案格式係在各種實施例的範圍內。在一些實施例中，係藉由自動配置與佈線(automatic placement and routing, APR)工具。根據一些實施例，範例APR工具的架構與功能性係描述於圖8。

【0025】 在操作130，進行虛擬插入製程，將虛擬特徵插入佈局中。在至少一實施例中，虛擬特徵插入之目的係改良產率以及品質。例如，IC生產涉及不同的製程，包含但不限於沉積、光學微影蝕刻、蝕刻、化學機械拋光(chemical mechanical polishing, CMP)、以及類似方法。進行CMP製程用於往回蝕刻以及平坦化傳導材料與/或介電材料，並且在材料移除製程中涉及化學蝕刻與機械研磨。在一些實施例中，虛擬特徵的插入改良所製造之IC中傳導材料的密度，例如金屬的密度，以達到足以確保CMP品質的機械強度。在另一範例中，當相鄰的導電性圖案以大於預定值的間隔彼此寬廣相間時，在製造過程中可能發生金屬偏置效應(metal bias effect)，並且造成寬廣相間

的導電性圖案之寬度變得比初始設計的寬度更寬，因而造成非計畫中的阻抗、電容與/或電路效能之變化。在一些實施例中，寬廣相間的傳導材料之間的虛擬特徵之插入係降低金屬偏置效應的可能性，並且改良所製造之IC的品質與/或效能。在至少一實施例中，藉由本文所述之APR工具與/或設計-規則-檢查(DRC)工具進行虛擬插入製程。例如，美國專利第7,801,717與美國專利第8,307,321號皆併入本案作為參考。再者，根據一些實施例，虛擬插入製程係如圖5與6A至6D所述。

【0026】 在操作140，進行空氣間隙插入製程，在佈局中插入空氣間隙圖案。佈局中所插入的空氣間隙圖案會造成所製造的IC中形成空氣間隙，用於降低寄生電容並且改良所製造的IC之效能，如圖2A至2B所示。例如，根據一些實施例，空氣間隙插入製程係如圖3與4A至4D所述。

【0027】 在操作150，藉由RC萃取工具，進行一電阻與電容(RC)萃取。RC萃取判斷IC中的組件之寄生參數，例如寄生電阻與寄生電容，用於後續操作中的時序與/或功率模擬。此寄生參數並非電路設計者所預期的，而是發生成為IC中的不同組件之架構與/或材料的結果。所萃取的寄生參數係包含在RC技術檔案中。例如，根據一些實施例，RC萃取工具的架構與功能性係如圖10所述。

【0028】 在一些實施例中，進行一或多次評估以及/或檢查。例如，進行佈局對電路圖(layout-versus-schematic, LVS)檢查，以確保所產生的佈局係對應於設計。再者，例如，藉由DRC工具，進行設計規則檢查，以確保佈局滿足一些製造設計規則，亦即確保IC可被製造。當其中之一檢查失敗時，藉由將製程返回至操作110與/或操作120而對於至少一佈局或設計進行校正。

【0029】 在操作160，進行時序結束檢查(timing sign-off

check)(亦指佈局後模擬)，以判斷佈局是否符合預定的規格。在一些實施例中，當佈局後模擬指示佈局並未符合預定規格時，例如當有不理想的時間延遲時，藉由將製程返回至操作110至140中任一者，以對於至少一佈局或設計進行校正。不然就是，該佈局傳至操作170進行製造。在一些實施例中，省略一或多個上述操作。

【0030】 圖2A係根據一些實施例說明一部分的IC之佈局200A的平面示意圖。佈局200A包括複數個網202、204、206、208、210與212。佈局200A進一步包括在相應網對之間的複數個空氣間隙圖案222、224、226與228。例如，空氣間隙圖案222係位在網202與網212之間，空氣間隙圖案224係位在網204與206之間，空氣間隙圖案226係位在網206與208之間，以及空氣間隙圖案228係位在網208與210之間。

【0031】 雖然未繪示於圖2A中，然而佈局200A進一步包括由複數個網所互連的複數個電路元件。電路元件係主動元件或是被動元件。例如，主動元件包含但不限於電晶體與二極體。例如，電晶體包含但不限於金屬氧化物半導體場效電晶體(metal oxide semiconductor field effect, MOSFET)、互補金屬氧化物半導體(complementary metal oxide semiconductor, CMOS)電晶體、雙極性互補金氧半導體(bipolar junction transistor, BJT)、高壓電晶體、高頻電晶體、p-通道與/或n-通道場效電晶體(PFET/NFET)等、FinFET、具有上升源極/汲極之平面MOS電晶體。被動元件例如包含但不限於電容器、電感、熔絲、以及電阻器。在一些實施例中，電路元件具有一或多個節點，電子信號從節點出入或從電路元件輸出。在一些實施例中，一對節點係藉由互連而彼此電連接。一組電連接互連形成網。在至少一實施例中，網包括單一互連。在至少一實施例中，IC包括一些互連配置的導電層與介電層。互連係形成在導電層中。在至少一實施例中，網包括在單一導

電層中所形成的一或多個互連。在至少一實施例中，網包括在IC的不同導電層中所形成的互連，以及電連接不同導電層中所形成的互連之一或多個通路。為了簡單說明，在一或多個圖式中說明本文所述之實施例中的不同網係包含單一互連與/或形成於單一導電層中。本文所述之說明亦應用於網包含超過一個互連與/或形成在超過一個導電層中的實施例。

【0032】 複數個網包括信號網202、204、206、208與210，以及虛擬網212。信號網係用於傳送信號或功率至電路元件的網。信號例如包含但不限於資料信號、控制信號、時脈信號、以及類似者。虛擬網係非用於傳送信號或功率的網。虛擬網例如係漂浮網。在本文所述之說明中，除非特別聲明，否則「網」係指「信號網」與「虛擬網」。

【0033】 空氣間隙圖案222、224、226與228係佈局200A所包含的遮罩層中之圖案。空氣間隙圖案222、224、226與228係覆蓋相鄰網之間對應的空間。例如，空氣間隔圖案222係覆蓋相鄰網222、212之間の間隔。當製造IC時，防止空氣間隙圖案222、224、226與228所覆蓋之間隔中形成介電材料，在相鄰網之間形成對應的空氣間隙，例如，如圖2B所示。

【0034】 圖2B係根據一些實施例說明所製造的IC 200B之部分的剖面示意圖。在圖2B的範例中，所製造的IC 200B之部分係對應於圖2A中沿著線II-II之剖面圖式。所製造的IC 200B係包括複數個交錯配置的導電層231、233以及介電層232、234。例如，介電層232係配置於導電層231上方，導電層233係配置於介電層232上方，以及介電層234係配置於導電層233上方。導電層231係包括導電性圖案235，其係電連接至下方導電層或電路元件。導電性圖案235係電耦合至介電層232的介電材料236中的傳導通路237。導電層233係包括介電材料中

的複數個導電性圖案244、246、248。導電性圖案248係藉由傳導通路237而電耦合至導電性圖案235，以於多個導電層中形成網，如本文所述。導電性圖案244、246、248係對應於圖2A之佈局200A中的網204、206與208。空氣間隙264係位在導電性圖案244與246之間。空氣間隙266係位在導電性圖案246與248之間。空氣間隙264、266係對應於圖2A之佈局200A中的空氣間隙圖案224、226。在一或多個實施例中，由於製程變化與/或材料性質，部分的介電材料係存在於空氣間隙與對應之導電性圖案之間。例如，雖然佈局200A中的空氣間隙圖案224係從邊緣至邊緣覆蓋網204、206之間的空間，然而介電材料238的部分265、267仍存在於空氣間隙264與對應導電性圖案244、246之間被覆蓋的空間中。在一些實施例中，空氣間隙從邊緣至邊緣延伸於對應的導電性圖案之間，例如，介電材料238的部分265、267不存在於所製造的IC中。未受到空氣間隙圖案覆蓋之相鄰導電性圖案之間的區域係以介電材料填充。例如，圖2A之佈局200A中的區域229係未被空氣間隙圖案覆蓋，並且將會被所製造的IC 200B中的介電材料238填充。介電層234的介電材料239係位在導電層233上方。在至少一實施例中，由於形成介電材料239的材料與/或製程之相關的一或多個因素，空氣間隙的頂部突出至介電材料239中。例如，空氣間隙266的頂部269突出至介電材料239中。例如，導電性圖案235、244、246、248與/或傳導通路237的材料包含金屬，例如銅。例如，介電材料236、238、239的材料包含但不限於SiNx、SiOx、SiON、SiC、SiBN、SiCBN、或其組合。例如，美國專利第8,456,009號描述空氣間隙形成的製程，其全文併入本案作為參考。所製造的IC之所描述架構係一範例。其他架構亦在不同實施例的範圍內。

【0035】 為了電路微小化之目的，例如IC中的互連與電路元件之傳導結構的密度增加，以及互連與電路元件的尺寸縮小。因此，傳

導結構之間的寄生電容潛在增加，而後潛在增加IC之不同電路元件之間所傳送的信號之功率消耗與/或時間延遲。傳導結構之間的寄生電容係取決於傳導結構之間的絕緣之介電常數。由於空氣的介電常數(約為1)係低於不同介電材料的介電常數，空氣間隙係形成於除了介電材料之外的IC的傳導結構之間，以降低相鄰傳導結構之間的絕緣之整體有效的介電常數，並且降低寄生電容。在一些實施例中，「空氣間隙」係包括空氣、真空、氣體或是物質，其介電常數低於IC之傳導結構之間所形成的介電材料之介電材料。空氣間隙形成有一或多個空氣間隙限制，如本文所述。一些實施例提供不同的空氣間隙插入方法，用於最大化、優化、或增加寄生電容降低的效應，同時滿足空氣間隙限制。

【0036】 圖3係根據一些實施例說明空氣間隙插入方法300的流程圖。圖4A至4D係根據一些實施例說明方法300之各種實施的IC佈局400A至400D之不同部分的平面示意圖。方法300包括空氣間隙插入製程305，其中插入空氣間隙圖案以與IC之佈局的複數個網相鄰。方法300進一步包括操作315，其中產生修飾佈局，其包括複數個網與插入之空氣間隙圖案。

【0037】 在圖3之空氣間隙插入製程305的操作325，積體電路之佈局或部分佈局中的複數個網係順序分類。在一些實施例中，藉由網之對應長度(本文中亦指網長度)，分類複數個網。例如，如圖4A所示，佈局400A的層包括網402、404、406。網404係與網402、406相鄰，並且藉由邊緣至邊緣間隔 s 而與網402、406相隔。例如，間隔 s 係網402之邊緣407與網404之邊緣408之間的距離。間隔 s 滿足空氣間隙插入之限制。例如，間隔 s 係等於或小於空氣間隙插入之最大間隔。當相鄰網之間の間隔係大於空氣間隙插入的最大間隔時，相鄰網之間不插入空氣間隙圖案。在至少一實施例中，間隔 s 係IC之設計與/或製

造規格所允許的相鄰網之間的最小間隔，並且允許空氣間隙僅插入間隔 s 的兩相鄰網之間。在圖4A的範例架構中，網404的長度(在圖4A中係以「Length」表示)係大於網402的長度，其係大於網406的長度。網402、404、406係以對應長度的順序分類，亦即以網404、網404、網406之順序。

【0038】 在分類複數個網之後，根據複數個網之分類順序，插入空氣間隙圖案以與複數個網相鄰。例如，在圖3的空氣間隙插入製程305的操作335，指標 i 設定為1。此對應於在IC之所分類的網之間選擇一第一網用於空氣間隙插入。在圖4A的範例架構中，在具有較短長度的其他網402、406之前，選擇具有最長長度的網404用於空氣間隙插入。

【0039】 在圖3的空氣間隙插入製程305之操作345，插入至少一空氣間隙圖案以與目前所選的網，亦即Net[i]，相鄰。在圖4A的範例架構中，插入與目前所選的網404相鄰的空氣間隙圖案411、413。在目前所選的網404與相鄰網402之間插入空氣間隙圖案411，以降低網402、404之間的寄生電容。在目前所選的網404與另一相鄰網406之間插入空氣間隙圖案413，以降低網404、406之間的寄生電容。

【0040】 在圖3的空氣間隙製程305之操作355，判斷已經插入的空氣間隙圖案是否滿足限制。在圖4A的範例架構中，判斷已經插入的空氣間隙圖案411、413滿足限制。在一些實施例中，限制包括空氣間隙密度，亦即插入的空氣間隙圖案所覆蓋之空氣間隙的整體面積與所欲形成空氣間隙之層的整體面積之比例。該層的整體面積係包括層中的傳導結構(例如，網)之面積以及網之間絕緣(例如，空氣間隙與介電材料)的面積。當已經插入的空氣間隙圖案之空氣間隙密度係大於預定的空氣間隙密度限制時，層的機械強度係潛在不足以抵抗製造過程中與/或終產物中的應力。在一些實施例中，空氣間隙密度限制

係50%。其他的空氣間隙密度限制值以及/或除了空氣間隙密度之外的限制皆在不同的實施例之範圍內。

【0041】 在圖3的空氣間隙插入製程305的操作365，響應已經插入的空氣間隙滿足限制之判斷(亦即在操作355為「是」)，指標*i*增加。這對應於在IC之分類的網之間選擇下一網用於空氣間隙插入。在圖4的範例架構中，選擇下一網，亦即網402，用於空氣間隙插入。而後，製程返回至操作345，其中插入與網402相鄰之至少一空氣間隙圖案，例如在網402與相鄰於網402的另一網之間。而後，製程進行至操作355，判斷已經插入的空氣間隙圖案，例如空氣間隙圖案411、413以及插入在相鄰於網402的一或多個空氣間隙圖案，是否滿足限制。響應已經插入之空氣間隙圖案滿足限制之判斷(在操作355為「是」)，再次增加指標*i*，並且進行操作345與355用於下一網，例如圖4A的網406。

【0042】 在圖3的空氣間隙插入製程305之操作375，響應已經插入的空氣間隙圖案不滿足限制之判斷(在操作355為「否」)，移除最後插入的空氣間隙圖案，而後製程進行至操作315，產生IC的一修飾佈局，其具有已經插入的剩餘空氣間隙圖案。例如，當目前網為圖4A的範例架構中之網402，並且操作355係指已經插入的空氣間隙圖案未滿足限制時，移除與網402相鄰之插入的至少一空氣間隙圖案。在一些實施例中，響應當已經插入一些空氣間隙圖案與目前網相鄰時而滿足限制之判斷，移除與目前網相鄰之插入的所有空氣間隙圖案。在一些實施例中，響應當已經插入一些空氣間隙圖案與目前網相鄰時而未滿足限制之判斷，將與目前網相鄰之插入的空氣間隙圖案一個一個移除，直到滿足限制。其他配置係在各種實施例的範圍內。

【0043】 在一些實施例中，藉將IC中或部分IC中的複數個網分類，根據網的對應長度，在較短長度的網之前，對於較長長度的網，

插入空氣間隙圖案。因此，在一或多個實施例中，沿著長網，對於網電容，優化寄生電容降低，長網對於時序延遲與電路效能比短網潛在具有更大的影響。所描述之依往常度的分類係範例。其他分類配置係在各種實施例的範圍內。

【0044】 在一些實施例中，藉由投射長度(projection length)，將IC或是部分IC中的網分類。一對相鄰網的投射長度係該相鄰網沿著彼此延伸的長度。在圖4B的範例架構中，網422、424的投射長度a係網422、424沿著彼此延伸的長度。投射長度a係對應於可插入在網422、424之間的空氣間隙之長度。網424、426的投射長度b係網424、426沿著彼此延伸的長度。投射長度b係對應於網424、426之間可插入的空氣間隙之長度。網426、428的投射長度c係網426、428沿著彼此延伸的長度。投射長度c係對應於網426、428之間可插入的空氣間隙之長度。在圖4B的架構範例中，投射長度a係大於投射長度c，其係大於投射長度b。

【0045】 在一些實施例中，在藉由對應的投射長度分類網之後，在具有較短的投射長度的網之前，在具有較長投射長度的網之間插入空氣間隙，以及檢查限制，如圖3的操作335、345、355、365與375所述。在圖4B的架構範例中，先在具有最長投射長度a的網422、424之間，插入空氣間隙圖案431。判斷插入的空氣間隙圖案431是否滿足限制。假設插入的空氣間隙圖案431滿足限制，製程進行至在具有第二長的投射長度c之網426、428之間插入空氣間隙圖案435。判斷插入的空氣間隙圖案435是否滿足限制。假受插入的空氣間隙圖案431、435滿足限制，製程進行至在具有投射長度b的網424、426之間，插入空氣間隙圖案(如圖4C的437所示)。判斷插入的空氣間隙圖案，例如空氣間隙圖案431、435以及網424、426之間插入的空氣間隙圖案是否滿足限制。假設插入的空氣間隙圖案未滿足限制，移除網

424、426之間最後插入的空氣間隙圖案(如圖4C中437所示)。產生修飾佈局，其具有網422、424、426、428以及插入的空氣間隙圖案431、435，如圖4B所示。在實施如圖4B所示之分類配置的一或多個實施例中，優化寄生電容降低，用於耦合網之間的電容。

【0046】 在一些實施例中，藉由成本函數(cost function)分類IC或部分IC中的網。例如，成本函數Cost1係沿著每個網的投射長度之總和，如以下方程式所判斷：

$$Cost1(i) = \sum_{j=1}^N Proj_Length(j) \quad (1)$$

其中i係指在複數個網中的第i個網，

N係複數個網之中與第i個網相鄰的網數，

j係指在N個網之中與第i個網相鄰的第j個網，

Proj_Length(j)係第i個網與第j個網沿著彼此延伸的投射長度，以及

Length(i)係第i個網的長度。

【0047】 在圖4C的範例架構中，考慮使用如圖4B所示之相同的網422、424、426與428用於空氣間隙插入。藉由成本函數Cost1取代圖4B所述之投射長度，將圖4C中的網422、424、426與428分類。對於網422，成本函數Cost1係投射長度a。對於網424，成本函數Cost1係投射長度a加上投射長度b的加總，投射長度b係網422、424、426、428之間最大的。對於網426，成本函數Cost1係投射長度b與投射長度c的加總，投射長度c係網422、424、426、428之間第二大的。對於網428，成本函數Cost1係投射長度c，其係網422、424、426、428之間最小的。因此，依以下順序將網分類：網424、網426、網422以及網428。

【0048】 在一些實施例中，藉由成本函數Cost1分類網之後，在具有較小Cost1的網之前，將空氣間隙圖案插入與具有較大Cost1的

網相鄰，以及檢查限制，如圖3中的操作335、345、355、365與375所述。在圖4C的範例架構中，在其他網422、426、428之前，將空氣間隙圖案431與437插入以與具有最大Cost1的網424相鄰。判斷插入的空氣間隙圖案431、437是否滿足限制。假設插入的空氣間隙圖案431、437滿足限制，由於網426具有第二大的Cost1，製程進行至將空氣間隙圖案插入在網426、428之間(如圖4B中的435所示)。判斷插入的空氣間隙圖案431、437以及網426、428之間插入的空氣間隙圖案是否滿足限制。假設插入的空氣間隙圖案未滿足限制，移除網426、428之間最後插入的空氣間隙圖案(如圖4B中的435所示)。產生一修飾佈局，其具有網422、424、426與428，以及插入的空氣間隙圖案431、437，如圖4C所示。在實施圖4C所述之使用成本函數Cost1的分類配置之一或多個實施例中，對於網的總電容，優化寄生電容降低。

【0049】 根據一些實施例，另一範例成本函數Cost2係每一個網的成本函數Cost1與網的長度之比例，由以下方程式所判斷：

$$\text{Cost2}(i) = \text{Cost1}(i) / \text{Length}(i) \quad (2)$$

【0050】 在圖4D的範例架構中，網442、446、448、450與452具有相同的長度L，以及網444具有長度2L。對於網444與450，成本函數Cost1係2L。然而，網444的長度係2L，而網450的長度係L。因此，網444的成本函數Cost2係1，以及網450的成本函數Cost2係2。當藉由成本函數Cost2將網分類時，具有較大Cost2的網450之排序係高於具有較小Cost2的網444。

【0051】 在一些實施例中，藉由成本函數Cost2分類網之後，在具有較小的Cost2的網之前，將空氣間隙圖案插入以與具有較大Cost2的網相鄰，以及檢查限制，如圖3中的操作335、345、355、365與375所述。例如，在將空氣間隙圖案457、459插入以與較低排序的網444相鄰之前，將空氣間隙圖案453、455插入以與較高排序的網450

相鄰。在實施圖4D所述之使用成本函數Cost2之分類配置的一或多個實施例之前，優化寄生電容降低，用於網的總電容與網長度之比例。

【0052】 所描述之分類配置係範例，其他分類配置係在各種實施例的範圍之內。在一些實施例中，在不同部分的IC，施用不同的分類配置。在一些實施例中，當分類配置造成在後續階段未通過評估或檢查的空氣間隙圖案時，施用另一分類配置，再次產生空氣間隙圖案。

【0053】 在一些實施例中，寄生電容降低優化製程不僅涉及空氣間隙插入，亦涉及虛擬網插入。

【0054】 圖5係根據一些實施例說明虛擬網與空氣間隙插入方法500的流程圖。圖6A至6B係根據一些實施例說明IC佈局600A至600B之不同部分以說明方法500之不同實施的概示平面圖。方法500包括虛擬網與空氣間隙插入製程505，其中將虛擬網與空氣間隙圖案插入以與IC之佈局的複數個網相鄰。方法500進一步包括操作515，其中產生一修飾佈局，其包括複數個網與插入的虛擬網與空氣間隙圖案。

【0055】 在圖5的虛擬網與空氣間隙插入製程505的操作525，在積體電路的佈局中或部分佈局中的複數個網被依序分類。在一些實施例中，藉由對應的網長度，分類複數個網，如圖4A所示。例如，如圖6A所示，佈局600A的層係包括網602、604、606。相較於網602、606，網604具有最長的長度(在圖6A中以「Length」表示)。

【0056】 在分類複數個網之後，根據複數個網的分類順序，將虛擬網與空氣間隙圖案插入以與複數個網相鄰。例如，在圖5的虛擬網與空氣間隙插入製程505的操作535，指標*i*係設定為1。這相當於在IC的分類網之間選擇第一網用於虛擬網與空氣間隙插入。在圖6A的範例架構中，在具有較短長度的其他網602、606之前，選擇具有最長

長度的網604，用於虛擬網與空氣間隙插入。

【0057】 在圖5的虛擬網與空氣間隙插入製程505的操作540，插入至少一虛擬網以與目前所選擇的網相鄰，亦即Net[i]。在圖6A的範例架構中，以間隔s插入虛擬網608、610以與目前選擇的網604相鄰，該間隔s准許空氣間隙圖案插入在虛擬網608、610以及目前所選擇的網604之間。

【0058】 在圖5的虛擬網與空氣間隙製程505的操作545，插入至少一空氣間隙圖案與目前所選擇的網相鄰，亦即Net[i]。在圖6A的範例架構中，插入空氣間隙圖案611、613、615及617與目前所選擇的網604相鄰。具體而言，一方面在目前所選擇的網604且另一方面在對應的網608與610之間，插入空氣間隙圖案611、613、615與617，以降低對應相鄰網之間的寄生電容。

【0059】 在圖5的虛擬網與空氣間隙插入製程505的操作555，判斷已經插入的空氣間隙圖案是否滿足限制，如圖3的操作355所述。

【0060】 在圖5的虛擬網與空氣間隙插入製程505的操作565，響應已經插入的空氣間隙圖案滿足限制之判斷(在操作555為「是」)，指標i增加，以及製程返回至操作540與545，對於IC的分類網之間的下一個網，插入至少一虛擬網與至少一空氣間隙圖案，如圖3的操作365所述。

【0061】 在圖5的虛擬網與空氣間隙插入製程505的操作575，響應已經插入的空氣間隙圖案不滿足限制之判斷(在操作555為「否」)，移除最後插入的空氣間隙圖案，而後製程進行至操作515，如圖3的操作375所述。

【0062】 在一些實施例中，響應已經插入的空氣間隙圖案不滿足限制之判斷，移除最後插入的空氣間隙圖案，並且移除最後插入的虛擬網。在一些實施例中，響應當已經插入一些空氣間隙圖案及/或

虛擬網與目前的網相鄰時而未滿足限制之判斷，移除插入與目前網相鄰的所有空氣間隙圖案與虛擬網。在一些實施例中，響應當已經插入一些空氣間隙圖案及虛擬網與目前的網相鄰時而為滿足限制之判斷，一個一個移除與目前網相鄰的空氣間隙圖案，直到滿足限制。當目前網與插入的虛擬網之間所插入的空氣間隙圖案移除時，亦移除虛擬網。其他配置係在各種實施例的範圍之內。

【0063】 根據一些實施例，方法500可達到方法300之一或多個優點與/或效應。在至少一實施例中，額外插入虛擬網會增加空氣間隙覆蓋。例如，在圖4A的佈局400A中，插入兩個空氣間隙圖案411、413，而在圖6A的佈局600A中，插入四個空氣間隙圖案611、613、615、617。因此，在至少一實施例中，藉由方法500，進一步增進寄生電容降低效應。

【0064】 在一些實施例中，藉由成本函數，將IC或部分IC中的網分類。範例成本函數Cost3係依以下方程式判斷：

$$\begin{aligned} \text{Cost3}(i) = \text{Cap_Cost}(i) = \\ \sum_{j=1}^N \text{Proj_Length}(j) \times \text{Cair_gap} + \sum_{k=1}^P \text{Dummy_Length}(k) \times \text{Cdummy} \end{aligned} \quad (3)$$

其中

*i*係指複數個網中的第*i*個網，

*N*係指在複數個網之中與第*i*個網相鄰的網數目，

*j*係第*i*個網與第*j*個網沿著彼此延伸的投射長度，

*Cair_gap*係第*i*個網與第*j*個網之間的單位耦合電容，

*P*係與第*i*個網相鄰之可插入的虛擬網數目，

*k*係指可插入與第*i*個網相鄰之*P*個虛擬網之中的第*k*個網，

*Dummy_Length(k)*係第*k*個虛擬網的長度，以及

*Cdummy*係第*k*個虛擬網的單位耦合電容。

【0065】 在圖6B的範例架構中，佈局600B包括網622、624、

626與632。網624相對於相鄰網622與626的投射長度之判斷係如圖4B所述。基於網622、624、626與632的尺寸以及/或投射長度，判斷可插入與網624相鄰的虛擬網628、630，以及虛擬網628、630的尺寸。基於可插入的虛擬網628、630之尺寸，判斷與插入在相鄰於網624的虛擬網之電容相關的成本函數Cost3(或Cap_Cost)。以相似的方式，判斷與插入在相鄰於其他網622、626與632的虛擬網之電容相關的成本函數Cost3，並且藉由成本函數Cost3，分類網622、624、626與632。而後，製程插入虛擬網與空氣間隙圖案，如圖5所述。根據使用成本函數Cost3而實施分類配置的一或多個實施例，優化寄生電容降低，用於網的總電容。

【0066】 藉由以下的方程式判斷另一範例成本函數Cost4：

$$Cost4(i) = Cap_Cost(i)/Length(i) \quad (4)$$

其中

i係指在複數個網中的第i個網，以及

Length(i)係第i個網的長度。

【0067】 在計算網的成本函數Cost之後，藉由計算的成本函數值將網分類。而後，製程插入虛擬網與空氣間隙圖案，如圖5所述。在使用成本函數Cost4實施分類配置的一或多個實施例中，優化寄生電容降低，用於網的總電容與網長度之比例。

藉由以下方式成判斷另一範例成本函數Cost5：

$$Cost5(i) = Cap_Cost(i) \times Res_Cost(i) \quad (5)$$

其中

$$Res_Cost(i) = \sum_{k=1}^P Dummy_Length(k) \times Rdummy$$

，以及

Rdummy係第k個虛擬網的單位阻抗。

【0068】 在計算網的成本函數Cost5之後，藉由所計算的成本

函數值，將網分類。接著，製程插入虛擬網與空氣間隙圖案，如圖5所示。在使用成本函數Cost5而實施分類配置的一或多個實施例中，不僅考量與插入的虛擬網之電容相關的成本函數Cap_Cost，也考量與插入的虛擬網之電阻相關的成本函數Res_Cost。在至少一實施例中，由於所插入的虛擬網對於電容降低有貢獻，且同時因為對應於虛擬網之增加的導電性圖案而增加電阻，因此額外考量插入的虛擬網之電阻係有用的。

【0069】 所述之虛擬網與空氣間隙插入之分類配置係範例說明。其他分類配置亦在各種實施例的範圍內。在一些實施例中，在IC的不同部分，施加不同的分類配置。在一些實施例中，當分類配置造成在後續階段不會通過評估或檢查的空氣間隙圖案時，施加另一分類配置，重新產生空氣間隙圖案。

【0070】 圖6C係根據一些實施例說明IC佈局600C之一部分的平面示意圖。佈局600C包括網652、654、656、658、660與662。相鄰網654、656彼此相間之間隔為 s ，其使得空氣間隙圖案675被插入在網654、656之間。同樣地，相鄰網658與660之間以及相鄰網660與662之間之間隔 s 使得插入對應的空氣間隙圖案677、679。然而，網652與654之間之間隔為 $3s$ ，其係大於允許空氣間隙插入之間隔 s 。在一些實施例中，在兩個相鄰網之間插入虛擬網，該兩個相鄰網之間隔大於用於空氣間隙插入之最大間隔，使得空氣間隙圖案插入在虛擬網以及兩個相鄰網之間。例如，在網652與654之間插入寬度為 s 的虛擬網664。因此，虛擬網664與各網652、654之間之間隔成為允許空氣間隙插入之間隔 s 。因此，空氣間隙圖案671、673可插入在虛擬網664與對應網652、654之間，以增加空氣間隙覆蓋並且降低網652、654的寄生電容。此處所述之虛擬網插入技術係指 $3s$ 虛擬插入。在一些實施例中，在操作130進行 $3s$ 虛擬插入，如圖1所述。在一些實施例中，操作130

所進行的3s虛擬插入之後，接著是空氣間隙插入法，如圖3所述。在一些實施例中，在操作540在虛擬網與空氣間隙插入法中進行3s虛擬插入，如圖5所述。其他配置亦在各種實施例的範圍之內。

【0071】 以佈局600C為例，根據一些實施例進行3s虛擬插入以增加空氣間隙覆蓋，然而，虛擬網與空氣間隙插入並未優化。圖6D係根據一些實施例說明具有優化之虛擬網與空氣間隙插入的IC佈局600D之部分平面示意圖。在至少一實施例中，藉由進行使用圖6A至6B所述之分類配置的方法500以及成本函數Cost3、Cost4與Cost5，得到佈局600D。例如，如圖6A所述，在至少一實施例中使用藉由網長度的分類配置以得到佈局600D。相較於佈局600C，在佈局600D中，在網654與658之間插入虛擬網684，以及空氣間隙圖案691、693、695、677與699集中在長網658、660以及插入的虛擬網684附近。因此，長網658與660的寄生電容降低，造成達到比佈局600C更大量的寄生電容降低。在至少一實施例中，在佈局600C中，虛擬網664以及空氣間隙圖案671、673、675與679的長度係實質等於佈局600C中的對應虛擬網684以及空氣間隙圖案691、693、695以及699的長度。因此，相較於佈局600C，佈局600D沿著長與/或重要的網達到較大量的寄生電容降低，且對於虛擬網與空氣間隙圖案的覆蓋無實質改變。

【0072】 圖7係根據一些實施例說明IC設計製程700的部分流程圖。

【0073】 在操作715，產生IC佈局。在至少一實施例中，藉由本文所述之APR工具，產生佈局。

【0074】 在操作725，進行虛擬網插入製程。在至少一實施例中，插入虛擬網，以改良產量與/或品質，如圖1的操作130所述。在至少一實施例中，在操作725的虛擬網插入製程中進行3s虛擬插入。

【0075】 在操作735，進行空氣間隙插入製程。在至少一實施例中，在操作735進行空氣間隙插入方法300。在一些實施例中，在操作725與735進行虛擬網與空氣間隙插入方法500。藉由操作735，產生修飾的IC佈局。

【0076】 在操作745，進行時序結束檢查。在至少一實施例中，進行時序結束檢查，以判斷修飾的IC佈局是否滿足一時序規格，如圖1的操作160所述。

【0077】 響應修飾的IC佈局不滿足一時序規格(操作755的「否」)，製程進行至操作765，辨識失敗的信號路徑。

【0078】 在一些實施例中，製程進一步從操作765進行操作735，對於失敗的信號路徑中的網，進行空氣間隙插入優化。例如，在一或多個實施例中，對於IC佈局中的網，使用圖4A至4D所述之至少一分類配置，例如網長度、投射長度、Cost1或Cost2，在操作735進行空氣間隙插入方法300。使用至少一所述之分類配置，例如網長度、投射長度、Cost1或Cost2，對於操作765所辨識之失敗的信號路徑中的網，再次施加空氣間隙插入方法300。在至少一實施例中，空氣間隙插入方法300對於不同製程階段使用不同的分類配置。例如，空氣間隙插入方法300使用一分類配置，例如網長度，用於優化佈局的空氣間隙插入，並且使用不同的分類配置，例如Cost2，用於優化失敗的信號路徑之空氣間隙插入。其他配置亦在各種實施例的範圍內。

【0079】 在一些實施例中，製程進一步從操作765進行至操作725，對於失敗信號路徑中的網，進行虛擬網與空氣間隙插入優化。例如，在一或多個實施例中，對於IC佈局中的網，使用至少一所述的分類配置，例如網長度、Cost3、Cost4與Cost5，在操作725、735進行虛擬網與空氣間隙插入方法500。使用至少一所述之配置，例如網長

度、Cost3、Cost4或Cost5，對於操作765所辨識之失敗信號路徑中的網，再次施加虛擬網與空氣間隙插入方法500。在至少一實施例中，空氣間隙插入方法300對於不同製程階段進行不同分類配置。例如，虛擬網與空氣間隙插入方法500係使用一種分類配置，例如網長度，用於優化佈局的虛擬網與空氣間隙插入，並且使用不同的分類配置，例如Cost5，用於優化失敗信號路徑的虛擬網與空氣間隙插入。其他配置亦在各種實施例的範圍內。

【0080】 響應修飾的IC佈局滿足一時序規格之判斷(操作755的「是」)，製程結束於操作755。在至少一實施例中，已經通過時序結束的修飾佈局係進行評估或檢查，或是輸出用於製造IC。

【0081】 在其他方法中，進行空氣間隙插入僅為了產量考量，當有違反時序時，製程返回至放置或是在APR的安排程序階段用於重新放置與/或重新安排程序，這是很耗時的。相較於其他方法，有違反時序時，根據一些實施例的IC設計製程700並不會返回至放置或是安排程序階段；而是IC設計製程返回至虛擬網插入以及/或空氣間隙插入階段，用於優化本文所述之虛擬網與/或空氣間隙配置。根據一些實施例，由於當一或多個信號路徑時序結束失敗時，IC設計製程700並未涉及佈局之重新放置與/或重新安排程序，因而根據一或多個實施例，相較於其他方法，IC設計製程700減少循環時間。在一些實施例中，IC設計製程可用於數位與類比設計時序終止程序，用於以減少的时间週期修補失敗的信號路徑。根據一些實施例，方法700可達到方法300與/或方法500的一或多個優點與/或效應。

【0082】 圖8係根據一些實施例說明APR工具800的功能流程圖。在至少一實施例中，APR工具800係對應於圖1的操作120所述之APR工具以及/或圖7的操作715所述之APR工具。

【0083】 在操作810，APR工具800接收用於產生IC佈局的輸

入。在圖8的架構範例中，輸入包含網表形式的IC設計，如操作110所述，含有對於設計的限制與佈局計畫之Synopsys設計限制(synopsys design constraint, SDC)檔案。其他配置係在各種實施例的範圍內。例如，在一些實施例中，APR工具800佈局計畫，以辨識電路元件，該電路元件係彼此電性連接並且放置於接近彼此，用於減少IC的面積以及/或降低在互連或連接電連接之電路元件的網上方之信號的時間延遲。在一些實施例中，APR工具800進行區分，以將設計分為複數個塊或群組，例如時脈與邏輯群組。

【0084】 在一些實施例中，在操作812，APR工具800基於電子設計的區分與/或佈局計畫進行電力規劃。

【0085】 在操作814，APR工具800進行放置。例如，進行一或多相的放置，包含但不限於在時脈樹生成(clock tree synthesis, CTS)之前與/或之後的預放置優化、放置中優化、以及放置後優化。

【0086】 在操作816，APR工具800進行CTS，用以最小化偏斜與/或延遲。

【0087】 在操作818、820與822，APR工具800進行佈線，使得不同的網互連所放置的電路元件。進行佈線，確保所安排的互連或網滿足一組限制。

【0088】 具體而言，在操作818，APR工具800進行全面佈線，分配用於互連或網的佈線來源。例如，在全面佈線過程中，不面面積分割為一些次面積(sub-areas)，所放置的電路元件之針腳被映射至次面積，以及網建構為次面積組，其中互連係可實體佈線

【0089】 在操作820，APR工具800進行軌道分配，將互連或網分配至IC之對應的導電層。

【0090】 在操作822，APR工具800進行詳細佈線，在所分配的導電層中以及全面佈線來源內，佈線互連或網。例如，在詳細佈線過

程中，在全面佈線所定義之對應的次佈線組內以及軌道分類所定義之導電層中，產生實體互連。

【0091】 在操作824，APR工具800輸出IC佈局，其包含所放置的電路元件與佈線網。APR工具800之所描述的操作為範例。其他配置係在各種實施例的範圍內。例如，在一或多個實施例中，省略一或多個所述操作。

【0092】 在一些實施例中，在佈線操作過程中，APR工具800係用以將佈線網的網長度最小化，以及/或將IC的整體面積最小化。在一些情況下，佈線操作傾向於增加傳導元件的密度以及/或網沿著彼此的投射長度。在一些實施例中，為了降低寄生電容以及/或與增加的導電性圖案密度相關之信號串擾，APR工具800進一步在操作830用以進行RC估計，估計當互連被佈線時之互連的寄生參數，特別是寄生電容。所估計的寄生電容係用於佈線製程的至少一操作中，亦即全面佈線、軌道分配或詳細佈線至少其中之一，以估計佈線網之各種選項的時序延遲。而後，時序延遲估計係用以判斷使用哪一個佈線選項佈線網，因而符合預定的效能目標。

【0093】 在一些實施例中，APR工具800進行RC估計且考量後續所欲插入APR工具800所輸出之佈局中的空氣間隙，如本文所述。RC估計包括操作832、834與836，其係如圖9A至9E所述。

【0094】 在操作832，在IC的複數個網中，選擇用於空氣間隙插入的候選網。例如，圖9A係根據一些實施例說明IC佈局的一部分900A之概示平面圖。佈局部分900A包括在具有網格線912的佈線網格上所配置的網902、904、906、908與910。相鄰的網格線912彼此相間的距離係相當於間隔 s 的整數倍，間隔 s 係IC的設計與/或製造規格所允許之相鄰網之間的最小間隔。在圖9A的範例架構中，相鄰網格線912之間的距離為 $2s$ 。網904與網902、906相距間隔 s ，其不大於空氣間隙

插入的最大間隔。因此，空氣間隙圖案913、915可插入在網904以及對應網902、906之間，以及將網902、904、906辨識為作為空氣間隙插入的候選網。在至少一實施例中，空氣間隙圖案913、915並未實際插入直到APR工具800輸出佈局之後，空氣間隙插入製程之進行係如圖3與圖5所述。網908、910彼此相距間隔 $3s$ ，其係大於空氣間隙插入之最大間隔。因此，無空氣間隙圖案可插入在網908、910之間，以及網908、910不被辨識為空氣間隙插入的候選網。在一些實施例中，間隔 s 係空氣間隙插入的最大間隔，亦即空氣間隙圖案僅可插入在相鄰網之間，該相鄰網彼此相距間隔 s 。在至少一實施例中，間隔 s 為0.08微米。基於所欲配置或是計畫欲配置之網沿著的網格線912，判斷相鄰網之間間隔，並且與空氣間隙插入之最大間隔比較，基於該比較，判斷空氣間隙插入的候選網。用於辨識空氣間隙插入之後選網的其他配置係在各種實施例的範圍內。

【0095】 在操作834，基於對應之候選網的長度，判斷候選網的各種縮放比例，以及在操作836，基於對應的縮放比例，估計候選網的電容。縮放比例係指空氣間隙對於對應候選網之電容的影響。在一些實施例中，縮放比例越高，空氣間隙對於對應候選網之電容的影響越小。例如，圖9B係根據一些實施例說明判斷各種縮放比例的圖900B。圖900B係說明圖9C至圖9E，圖9C至圖9E係根據一些實施例說明所產生之佈局的不同部分900C至900E的平面示意圖。

【0096】 在一些實施例中，當候選網的長度小於第一臨界長度時，候選網的縮放比例具有第一縮放比例值。例如，如圖9B所示，當候選網的長度小於第一臨界長度 $L1$ 時，候選網的縮放比例具有第一縮放比例值 $SR1$ 。在至少一實施例中，第一縮放比例值 $SR1$ 為1，其係指不插入與候選網相鄰之空氣間隙，以及候選網的電容不受空氣間隙影響。在至少一實施例中，第一臨界長度 $L1$ 係空氣間隙可插入之最小

網長度。在至少一實施例中， $L1$ 為0.18754微米。在圖9C的範例架構中，由於網922與相鄰網923相距間隔 s ，因而係空氣間隙插入的候選網。然而，網922的長度 L 係短於 $L1$ ，因此，無空氣間隙圖案可插入與網922相鄰。

【0097】 在一些實施例中，當候選網的長度不小於第一臨界長度且不大於第二臨界長度時，隨著候選網的對應長度從第一臨界長度增加至第二臨界長度，候選網的縮放比例從第一縮放比例值降低至第二縮放比例值。例如，如圖9B所示，當候選網的長度在第一臨界長度 $L1$ 與第二臨界長度 $L2$ 之間時，隨著候選網的對應長度增加，候選網的縮放比例從第一縮放比例值 $SR1$ 降低至第二縮放比例值 $SR2$ 。在至少一實施例中，第二縮放比例值 $SR2$ 為0.7，其係指當空氣間隙插入在與對應的候選網相鄰時，候選網的電容將降低30%，亦即成為無空氣間隙插入之對應候選網的電容之70%。在至少一實施例中，第二臨界長度 $L2$ 係6微米。 $SR1$ 、 $SR2$ 、 $L1$ 與 $L2$ 的特定數值僅為範例。其他數值亦在各種實施例的範圍內。

【0098】 在圖9D的範例架構中，候選網932、934、936的長度足以使得空氣間隙圖案937、939可插入在候選網932、934以及網934、936之間。然而，用於將候選網934電耦合至其他導電性圖案的通路941、943之存在，將可插入的空氣間隙圖案937、939的有效長度 L_f 限制於候選網932、934、936的長度 L 之一部分。理由在於環繞對應通路941、943的區域945、947中並未形成空氣間隙，因而無法降低通路941、943位在空氣間隙上的可能性，例如無法降低製造過程中錯位的可能性。藉由通路限制，判斷區域945、947的尺寸，通路限制係區域945、947與對應通路941、943的對立邊緣之間間隔 V 。在至少一實施例中， V 係0.06微米。 V 的其他數值亦在各種實施例的範圍內。

【0099】 在圖9B中， $L1$ 與 $L2$ 之間的網長度之降低的縮放比例

係反應通路限制對於空氣間隙插入的影響。當網長度為短時，如圖9D的範例架構所示，通路限制顯著限制可插入的空氣間隙之有效長度 L 。因此，以空氣間隙插入可達到的電容降低量係低的，具有空氣間隙插入的候選網之電容係接近無空氣間隙插入之候選網的電容，其係指縮放比例接近1。當網長度增加時，如圖9E的範例架構所示，通路限制將可插入的空氣間隙之有效長度 L_f 限制在小於候選網的長度 L 。因此，空氣間隙插入可達到的電容降低量增加，以及具有空氣間隙插入之候選網的電容降低，其係指縮放比例降低。在至少一實施例中，當網長度夠長足以使得通路限制可被忽略時，縮放比例是固定的。例如，如圖9B所示，當候選網的長度大於第二臨界長度 L_2 時，對應的縮放比例具有第二縮放比例值 SR_2 。

【00100】 網長度與縮放比例之間的所述關係僅為範例。其他配置係在各種實施例的範圍內。例如，在至少一實施例中，網長度在 L_1 與 L_2 之間的縮放比例之降低不是線性，如圖9B所示；在一些實施例中，縮放比例的降低係非線性或階梯形。

【00101】 基於所判斷的縮放比例，具有空氣間隙插入的候選網之電容估計係將對應的縮放比例乘以無空氣間隙插入之候選網的電容。考量空氣間隙之所估計的電容係用於佈線操作中，如本文所述。相較於在佈線階段過程中未考量空氣間隙的其他方法，在一或多個實施例中，APR工具提供優化的佈局用於後續空氣間隙插入。因此，至少一實施例最大化或至少增加與空氣間隙插入相關的效能益處。

【00102】 除了如圖8所述之在APR工具的空氣間隙考量以及/或如圖5與圖6A至6D所述之增加虛擬網用於增加空氣間隙覆蓋之外，一些實施例考量在後續設計階段的空氣間隙，例如在RC萃取操作中的空氣間隙。

【00103】 圖10係根據一些實施例說明IC設計製程1000之至少一

部分的功能流程圖。

【00104】 在操作1010，提供IC的網表以及SDC檔案。在至少一實施例中，網表與SDC檔案對應於產生佈局的輸出，如圖8的操作810所述。

【00105】 在操作1020，提供原始RC技術檔案。用於產生RC技術檔案的範例方法係如美國專利申請案公開案第2009/0077507號所述，其係全文併入本案作為參考。在至少一實施例中，原始RC技術檔案包括各種原始多角圖案之預儲存的寄生電容與電阻。在至少一實施例中，原始RC技術檔案進一步包括介電常數K用於判斷寄生電容。當IC中插入空氣間隙時，寄生電容降低。在至少一實施例中，由於空氣間隙插入，調整介電常數K以模擬寄生電容降低，如本文所述。例如，介電常數K降低至小於用於製造IC且發生寄生電容之介電材料的實際介電常數。

【00106】 在操作1030，使用操作1010所提供的網表與SDC檔案以及在操作1020所提供的原始RC技術檔案作為輸入至APR工具，其進行放置與佈線操作以產生IC佈局，如圖1的操作120所述。在至少一實施例中，本文所述之APR工具800係用於放置與佈線操作1030。

【00107】 在操作1040，進行空氣間隙插入製程，將空氣間隙插入APR工具所輸出的佈局中，以獲得一修飾佈局。在至少一實施例中，在操作1040進行空氣間隙插入方法300或是虛擬網與空氣間隙插入方法500。

【00108】 在操作1050，操作1040之空氣間隙插入製程所輸出的修飾佈局係藉由RC萃取工具而進行RC萃取。進行RC萃取，判斷後續處理之修飾佈局中的寄生參數，如圖1的操作150所述。在至少一實施例中，操作1050的RC萃取係包括操作1051至1059。

【00109】 在操作1051，基於未考量空氣間隙的RC萃取，進行

靜態時序分析(static timing analysis, STA)。在至少一實施例中，未考量空氣間隙的RC萃取係自修飾佈局萃取寄生電阻與電容，同時忽略插入的空氣間隙。例如，RC萃取工具將來自操作1040的修飾佈局分割為塊，其包含在操作1020所提供的原始RC技術檔案定義之可辨識的原始多角圖案。而後，RC萃取工具藉由從原始RC技術檔案讀取對應的預存寄生電阻與電容，而萃取修飾佈局之寄生電阻與電容。使用萃取的寄生電阻與電容以進行STA，評估IC中沿著各種信號路徑之時間延遲。在至少一實施例中，藉由忽略插入的空氣間隙以及沿著具有插入空氣間隙之網的介電常數變化相關的複雜性，進行操作1051，而不需進行考量用於修飾佈局的空氣間隙之耗時的RC萃取。

【00110】 在操作1052，基於沿著自從操作1051所得到的各種信號路徑之時間延遲，辨識用於具有空氣間隙考量的RC萃取之至少一信號路徑。在至少一實施例中，所辨識的信號路徑係關鍵的信號路徑。在一範例中，關鍵的信號路徑係具有最長時間延遲的信號路徑。在另一範例中，關鍵的信號路徑係具有接近或高於時序限制的時間延遲之信號路徑。在一些實施例中，辨識超過一個關鍵信號路徑。例如，辨識一些最關鍵的信號路徑，用於具有空氣間隙考量的RC萃取。辨識信號路徑用於具有空氣間隙考量的RC萃取之其他配置亦在各種實施例的範圍內。

【00111】 在操作1053，對於操作1052所辨識的信號路徑，進行具有空氣間隙考量的RC萃取。此具有空氣間隙考量的RC萃取係指以角為基礎的RC萃取(corner-based RC extraction)。在至少一實施例中，以角為基礎的RC萃取之進行方式係類似於操作1051所述之RC萃取，差別在於考量具有插入空氣間隙的網之變化的介電常數。因此，以角為基礎的RC萃取係提供更正確的萃取寄生參數。在至少一實施例中，由於以角為基礎的RC萃取涵蓋對應於關鍵信號路徑的角例

子，因而藉由對於一或多個辨識的信號路徑而非IC中的其他信號路徑，進行以角為基礎的RC萃取，處理時間減少，同時確保通過IC的正確性。

【00112】 在操作1054，對於各個辨識的信號路徑，得到兩個時間延遲值。使用以角為基礎的RC萃取所萃取的寄生電容，得到第一時間延遲值，其在本文稱為 D_{accurate} ，係用於所辨識的信號路徑。使用如操作1051所述之以RC萃取而無考量空氣間隙所萃取的寄生電容，得到第二時間延遲值，其在本文稱為 D_{corner} ，係用於辨識的信號路徑。在至少一實施例中， D_{corner} 係得自於操作1051的STA之結果。

【00113】 在操作1055，判斷 D_{corner} 是否符合 D_{accurate} 。當 D_{corner} 與 D_{accurate} 之間的差之絕對值不大於百分之X時， D_{corner} 係被視為符合 D_{accurate} 。在一些實施例中，X係2%至4%。在少一實施例中，X為3%。使 D_{corner} 符合 D_{accurate} 的其他X值與/或配置係在各種實施例的範圍內。

【00114】 在操作1056，響應 D_{corner} 不符合 D_{accurate} 的判斷(操作1055為「否」)，調整原始RC技術檔案中的介電常數K。在至少一實施例中， $D_{\text{corner}} > D_{\text{accurate}}$ 係指不考量空氣間隙所萃取的寄生電容係大於以角為基礎之RC萃取所萃取之更正確的寄生電容。為了降低未考量空氣間隙所萃取的寄生電容以符合以角為基礎之RC萃取所萃取之寄生電容，降低原始RC技術檔案中的介電常數，例如將其縮小。在至少一實施例中， $D_{\text{corner}} < D_{\text{accurate}}$ 係指未考量空氣間隙所萃取的寄生電容係小於以角為基礎的RC萃取所萃取之更正確的寄生電容。為了增加未考量空氣間隙所萃取之寄生電容以符合以角為基礎的RC萃取所萃取的寄生電容，增加原始RC技術檔案中的介電常數K，例如放大介電常數K。在一些實施例中，辨識用於以角為基礎的RC萃取以及介電常數K的調整之信號路徑係包括1W1S信號路徑，其具有網，網具

有IC規格所允許最小寬度(亦即1W)以及IC規格所允許之與相鄰網的最小間隔(亦即1S)。

【00115】 在操作1057，以操作1056所調整的介電常數K，更新原始RC技術檔案而得到新的RC技術檔案。

【00116】 在操作1058，以調整的介電常數K，更新未考量空氣間隙所萃取的寄生電容。例如，當操作1056的調整中縮小介電常數K時，根據所調整的介電常數K，亦縮小寄生電容。當操作1056的調整中放大介電常數K時，根據所調整的介電常數K，亦放大寄生電容。進行STA，使用更新的寄生電容，以重新計算對應之辨識路徑的 D_{corner} 。而後，製程返回至操作1055，判斷重新計算的 D_{corner} 是否符合 $D_{accurate}$ 。當重新計算的 D_{corner} 仍不符合 $D_{accurate}$ 時，在操作1056、1057與1058中重複調整介電常數K。

【00117】 在操作1059，響應 D_{corner} 符合 $D_{accurate}$ 的判斷，對應於使 $D_{accurate}$ 與 D_{corner} 匹配的介電常數K，對於IC中的其他信號路徑，被用於調整不考量空氣間隙所萃取的寄生電容。在一些實施例中，當操作1056的調整中係縮小介電常數K時，根據所調整的介電常數K，亦縮小其他信號路徑所萃取的寄生電容。當操作1056的調整中係放大介電常數K時，根據所調整的介電常數K，亦放大其他信號路徑所萃取的寄生電容。輸出所調整的寄生參數，用於後續處理。

【00118】 在操作1060，所調整的寄生參數係用於時序結束IC佈局。在至少一實施例中，操作1060的時序結束係對應於圖1的操作160所述之時序結束。

【00119】 有其他的方法進行IC的RC萃取且考量空氣間隙。當相鄰導電性圖案之間的隔離從空氣間隙改變為介電材料時，由於存所插入的空氣間隙與介電常數之相關變化存在，因而此RC萃取耗時。此外，當空氣間隙插入的位置基於後續階段的分析而改變時，重新產

生包含空氣間隙圖案的遮罩層，並且對於IC重複進行考量空氣間隙之耗時的RC萃取。因此，設計時間與成本皆增加。

【00120】 相較於其他方法，根據一些實施例，IC設計製程1000對於IC中的一或多個關鍵信號路徑而非其他路徑，進行考量空氣間隙的RC萃取。因此，由於以角為基礎的RC萃取涵蓋對應於關鍵信號路徑的角例子，因而減少處理時間，同時確保通過IC的正確性。在至少一實施例中，相較於其他方法，時序結束(例如，操作1060)與佈局校正(例如，操作1030與/或操作1040)之間的周轉時間減少。在至少一實施例中，進行RC萃取，而不重複產生包含空氣間隙圖案的遮罩層。

【00121】 上述方法包含範例操作，但不需要以所示之順序進行。根據本揭露之實施例的精神與範圍，可適當地加入、置換、改變順序、與/或排除操作。結合不同特徵與/或不同實施例的實施方式亦在本揭露的範圍內，並且對於該技藝中具有通常技術者而言在理解本揭露之後係屬可得知的。

【00122】 圖11係根據一些實施例說明計算機系統1100的方塊圖。藉由一或多個圖11的計算機系統1100，在一些實施例中，實施圖1至圖7所述之一或多個工具與/或引擎與/或系統與/或操作。系統1100包括經由匯流排1104或其他互連通訊機制所通訊耦合之至少一處理器1101、記憶體1102、網路介面(I/F)1106、儲存器1110、輸入/輸出(I/O)裝置1108。

【00123】 在一些實施例中，記憶體1102包括隨機存取記憶體(RAM)與/或其他動態儲存裝置與/或唯讀記憶體(ROM)與/或其他靜態儲存裝置，耦合至匯流排1104用於儲存處理器1101所要執行的資料與/或指令，例如核心1114、使用者空間1116、部分的核心與/或使用空間以及其組件。在一些實施例中，亦使用記憶體1102，用於儲存處理器1101執行指令過程中的暫時變數或其他中間資訊。

【00124】 在一些實施例中，儲存裝置1110，例如磁碟或光碟，係耦合至匯流排1104，用於儲存資料與/或指令，例如核心1114、使用者空間1116等。I/O裝置1108包括輸入裝置、輸出裝置與/或結合的輸入/輸出裝置，用於使得使用者與系統1100交互作用。例如，輸入裝置包括鍵盤、鍵板、滑鼠、軌跡球、軌跡墊與/或游標方向鍵，用於與處理器1101通訊資訊與指令。例如，輸出裝置包括顯示器、印表機、語音合成器等，用於與使用者通訊資訊。

【00125】 在一些實施例中，藉由處理器1101，實施圖1至圖7所述之一或多個操作與/或工具的功能性與/或引擎與/或系統，該處理器1101係編程用於進行此操作與/或功能。在一些實施例中，處理器1101係作為特定架構的硬體(例如，一或多個特殊應用積體電路(ASIC))。一或多個記憶體1102、I/F 1106、儲存裝置1110、I/O裝置1108、硬體組件1118以及匯流排1104係可操作的，接收用於處理器1101進行處理的指令、資料、設計限制、設計規則、網表、佈局、模型與/或其他參數。

【00126】 在一些實施例中，操作與/或功能被實施為儲存在非暫時計算機可讀取媒介中所儲存的程式之功能。在至少一實施例中，操作與/或功能被實施為儲存在記憶體1102中的程式之功能，例如一組可執行的指令。在至少一實施例中，儲存在記憶體1102的指令包括用於實施圖1、3、5、7、8與10所述之製程流程至少其中之一的功能。非暫時計算機可讀取儲存媒介的範例包含但不限於外部/可移除的與/或內部/內建的儲存或記憶體單元，例如一或多個例如DVD之光碟、例如硬碟之磁碟、例如ROM、RAM、記憶卡之半導體記憶體，以及類似物。

【00127】 在一些實施例中，根據IC中的網之長度與/或其他特性或成本函數，在IC佈局中插入空氣間隙。因此，在一或多個實施例

中，優化因空氣間隙插入之寄生電容降低效應。

【00128】 在一些實施例中，在IC佈局中插入虛擬網，以於不可插入空氣間隙的區域中增加空氣間隙覆蓋。在一些實施例中，根據IC中之網的長度與/或其他特性或成本函數，插入虛擬網與空氣間隙。因此，在一或多個實施例中，優化因空氣間隙插入之寄生電容降低效應。

【00129】 在一些實施例中，在APR階段，甚至在空氣間隙實際插入於佈局中之前，考量空氣間隙，進行RC估計。因此，APR階段輸出用於後續空氣間隙插入之優化的佈局，其最大化或至少增加與空氣間隙插入相關的效能益處。

【00130】 在一些實施例中，對於IC的關鍵信號路徑，考量空氣間隙，進行以角為基礎的RC萃取，而對於IC之其他、較非關鍵的信號路徑，進行不考量空氣間隙的RC萃取。因此，藉由覆蓋角例子，減少設計周轉時間，同時確保正確性。

【00131】 在一些實施例中，至少部分藉由處理器所進行的方法係包括進行空氣間隙插入製程。空氣間隙插入製程包括順序分類積體電路佈局的複數個網，以及根據複數個網的分類順序，將空氣間隙圖案插入與複數個網相鄰。該方法進一步包括產生積體電路的修飾佈局。修飾佈局包括複數個網以及插入的空氣間隙圖案。

【00132】 在一些實施例中，裝置包括至少一處理器，用於進行以下操作。虛擬網與空氣間隙插入製程包括依序分類積體電路之佈局的複數個網，以及根據複數個網的分類順序，將虛擬網與空氣間隙圖案插入與複數個網相鄰。產生積體電路的修飾佈局。修飾佈局包括複數個網、插入的虛擬網、以及插入的空氣間隙圖案。

【00133】 在一些實施例中，計算機程式產品包括非暫時計算機可讀取的媒介，其包含指令於其中，當藉由至少一處理器而執行時，

造成至少一處理器進行以下操作。在積體電路的複數個網中，選擇用於空氣間隙插入的候選網。基於對應候選網的長度，判斷候選網的各種縮放比例。基於候選網的對應縮放比例，估計候選網的電容。基於所估計的候選網之電容，進行全面佈線、軌道分配或詳細佈線其中其之，以產生積體電路的佈局。

【00134】 前述說明概述一些實施例的特徵，因而該技藝之技術人士可更加理解本揭露的各方面。該技藝的技術人士應理解其可輕易使用本揭露作為設計或修飾其他製程與結構的基礎，而產生與本申請案相同之目的以及/或達到相同優點。該技藝之技術人士亦應理解此均等架構並不脫離本揭露的精神與範圍，並且其可進行各種改變、取代與變化而不脫離本揭露的精神與範圍。

【符號說明】

200A	佈局
202、204、206、208、210、212	網
222、224、226、228	空氣間隙圖案
200B	IC
231、233	導電層
232、234	介電層
235、244、246、248	導電性圖案
236、238、239	介電材料
237	傳導通路
244、246、264、266	空氣間隙
400A	佈局
402、404、406	網
407、408	邊緣
411、413、431、435、437	空氣間隙圖案

422、424、426、428	網
442、444、446、448、450、452	網
453、455、457、459	空氣間隙圖案
600A	佈局
602、604、606	網
608、610	虛擬網
611、613、615、617	空氣間隙圖案
600B	佈局
622、624、626、632	網
628、630、664、684	虛擬網
600C	佈局
652、654、656、658、660、662	網
671、673、675、677、679	空氣間隙圖案
600D	佈局
691、693、695、677與、699	空氣間隙圖案
900A	佈局
902、904、906、908、910	網
912	網格線
913、915	空氣間隙圖案
922、923	網
932、934、936	候選網
937、939	空氣間隙圖案
941、943	通路
945、947	區域
1100	計算機系統
1101	處理器

1102	記憶體
1104	匯流排
1106	網路介面(I/F)
1108	輸入/輸出(I/O)裝置
1110	儲存器
1114	核心
1116	使用者空間
1118	硬體組件

申請專利範圍

1. 一種方法，該方法係至少部分由一處理器進行，該方法包括：
進行一空氣間隙插入製程，該空氣間隙插入製程包括：
依序分類一積體電路之一佈局的複數個網；以及
根據該等網的分類順序，插入與該等網相鄰之空氣間隙圖案；以及
產生該積體電路的一修飾佈局，該修飾佈局包括該等網以及該插入的空氣間隙圖案，
其中在該分類中，基於以下至少其中之一分類該複數個網：
該複數個網的長度，或
該複數個網中的相鄰網之投射長度。
2. 如請求項1所述的方法，進一步包括：
在插入與該等網中的一網相鄰之至少一空氣間隙圖案之後，判斷已經插入的該等空氣間隙圖案是否滿足限制；
響應已經插入的該空氣間隙圖案不滿足該限制之判斷，
移除該插入的至少一空氣間隙圖案，以及
進行至該修飾佈局之該產生；以及
響應已經插入的該空氣間隙圖案滿足該限制的判斷，
按照分類順序，插入至少另一個空氣間隙圖案以與該等網中的下一個網相鄰，以及
返回至該判斷。
3. 如請求項1所述的方法，其中
該等網包括信號網以及至少一虛擬網，以及
該方法進一步包括在該空氣間隙插入製程之前，插入該至少一虛擬網以與至少一個該信號網相鄰。

4. 如請求項1所述的方法，進一步包括：

檢查該積體電路是否滿足一時序規格；

響應該積體電路不滿足該時序規格的判斷，

辨識該積體電路中一失敗的信號路徑，以及

對於包含在該失敗的信號路徑中的網，進行該空氣間隙插入製程。

5. 一種裝置，包括至少一處理器用以執行：

一虛擬網與空氣間隙插入製程，該虛擬網與空氣間隙插入製程包括：

依序分類一積體電路的一佈局之複數個網；以及

根據該等網的分類順序，插入與該等網相鄰之虛擬網與空氣間隙圖案；以及

產生該積體電路的一修飾佈局，該修飾佈局包括該等網、該等插入的虛擬網、以及該等插入的空氣間隙圖案，

其中在該分類中，基於以下至少其中之一分類該複數個網：

該複數個網的長度，或

該複數個網中的相鄰網之投射長度。

6. 如請求項5所述的裝置，其中該插入係包括：

插入至少一虛擬網以與該等網中的一網相鄰；

在該插入的至少一虛擬網與該對應網之間，插入至少一空氣間隙圖案；以及

在該對應網與該等網中的一相鄰網之間，插入至少另一個空氣間隙圖案。

7. 如請求項5所述的裝置，其中該虛擬網與空氣間隙插入製程進一步包括：

在插入至少一虛擬網以與該等網中的一網相鄰以及在該插入的

至少一虛擬網與該對應網之間插入至少一空氣間隙圖案之後，判斷已經插入的該空氣間隙圖案是否滿足一限制；

響應已經插入的該空氣間隙圖案不滿足該限制之判斷，

移除該插入的至少一空氣間隙圖案，以及

進行至該修飾佈局之該產生；以及

響應已經插入的該空氣間隙圖案滿足該限制的判斷，

按照該分類順序，插入至少另一個虛擬網以與該等網中的下一個網相鄰，

在該至少另一個虛擬網與該下一個網之間，插入至少另一個空氣間隙圖案，以及

返回至該判斷。

8. 如請求項5所述的裝置，其中該虛擬網與空氣間隙插入製程進一步包括：

在插入至少一虛擬網以與該等網中的一網相鄰以及在該插入的至少一虛擬網與該對應網之間插入至少一空氣間隙圖案之後，判斷已經插入的該空氣間隙圖案是否滿足一限制；

響應已經插入的該空氣間隙圖案不滿足該限制之判斷，

移除該插入的至少一虛擬網，

移除該插入的至少一空氣間隙圖案，以及

進行至該修飾佈局之該產生；以及

響應已經插入的該空氣間隙圖案滿足該限制的判斷，

按照該分類順序，插入至少另一個虛擬網以與該等網中的下一個網相鄰，

在該至少另一個虛擬網與該下一個網之間，插入至少另一個空氣間隙圖案，以及

返回至該判斷。

9. 一種計算機程式產品，其包括非暫時計算機可讀取的媒介，其包含指令於其中，當藉由至少一處理器而執行時，使該至少一處理器執行：

在一積體電路的複數個網中，選擇用於空氣間隙插入的候選網；

基於該等對應的候選網之長度，判斷該等候選網的各種縮放比例；

基於該等候選網的對應縮放比例，估計該等候選網的電容；以及

基於該等候選網之該估計的電容，進行全面佈線、軌道分配以及詳細佈線至少其中之一，產生該積體電路的一佈局。

10. 如請求項9所述的計算機程式產品，其中當藉由該至少一處理器而執行時該等指令時，該等指令進一步使該至少一處理器執行：

在該積體電路之該產生的佈局中，插入虛擬網與空氣間隙圖案；

在該積體電路中辨識一信號路徑，該信號路徑包含該等空氣間隙圖案之至少一者；

基於考量該信號路徑中的該至少一空氣間隙圖案而萃取的該信號路徑之至少一電容，計算該信號路徑的一第一時間延遲；

計算該信號路徑的一第二時間延遲，該計算係基於

不考量該信號路徑中的該至少一空氣間隙圖案而萃取的該信號路徑之至少一電容，以及

一可調整的介電常數；

調整該介電常數，使得該第二時間延遲匹配該第一時間延遲；

以及

基於該第二時間延遲匹配該第一時間延遲之該調整的介電常

數，調整該積體電路中之其他信號路徑的電容。

圖式

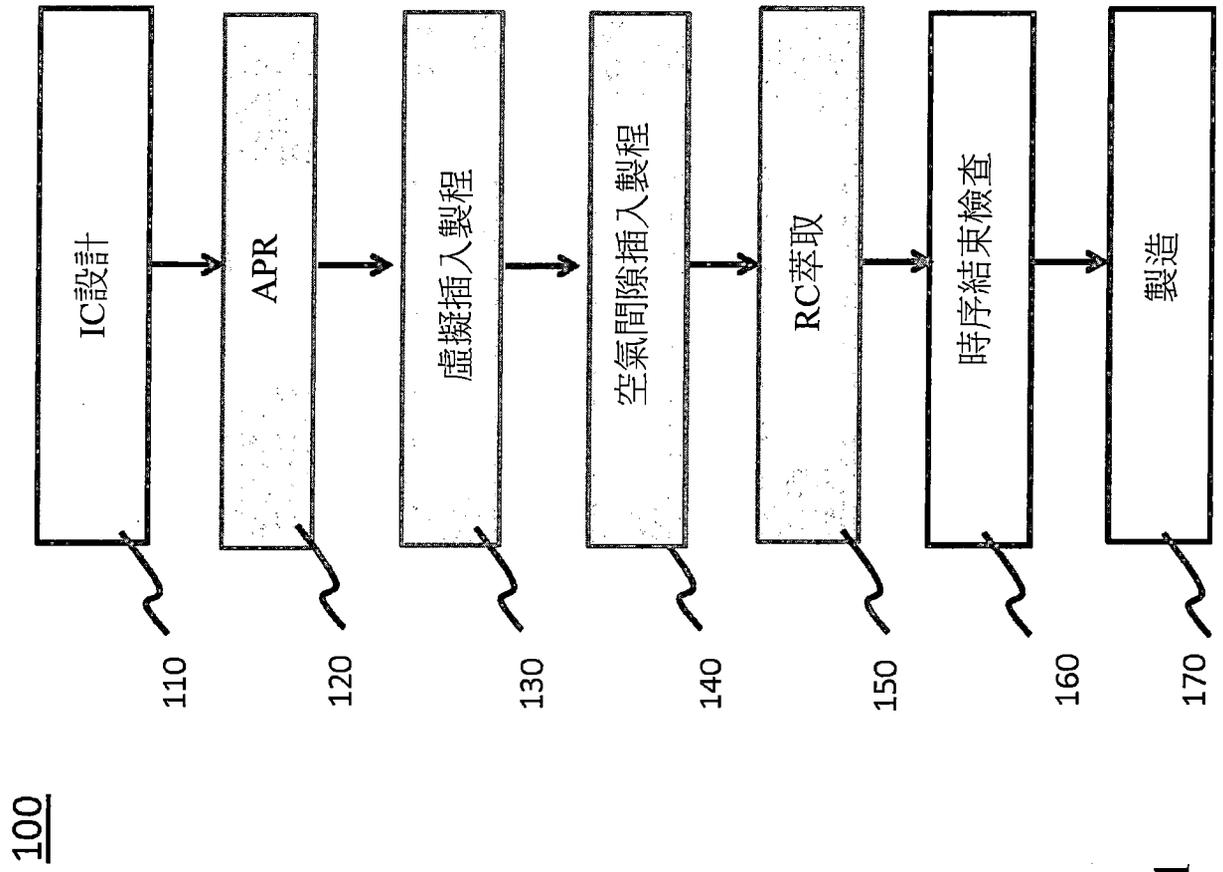


圖 1

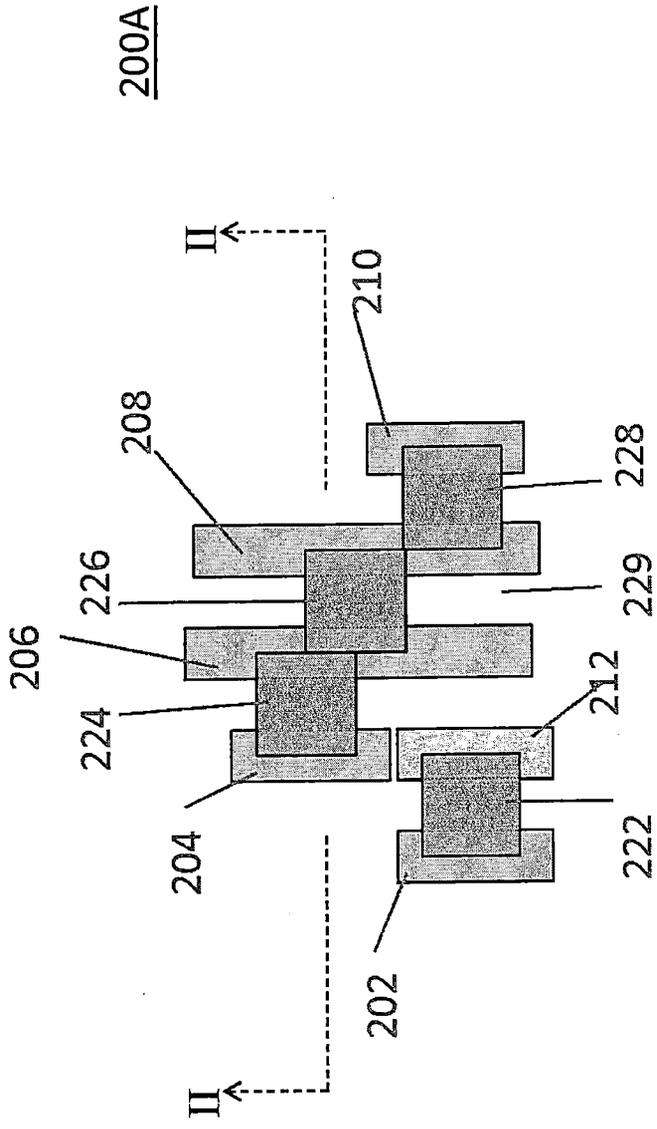


圖 2A

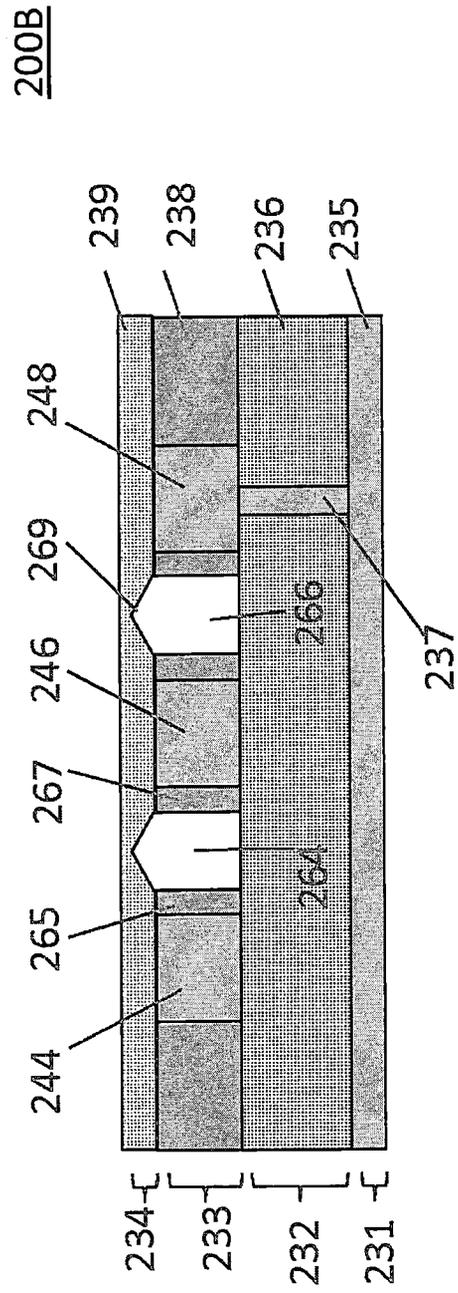


圖 2B

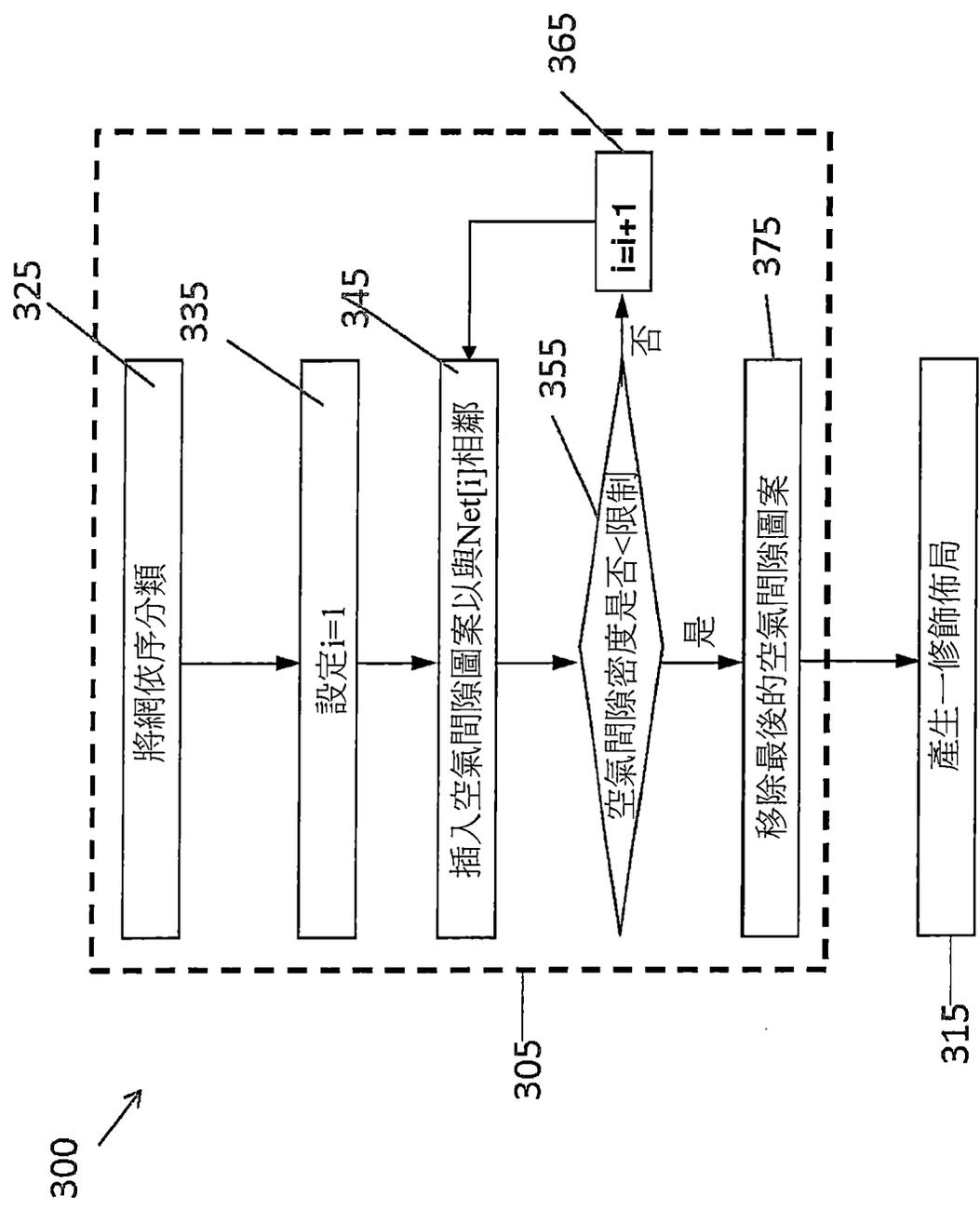


圖 3

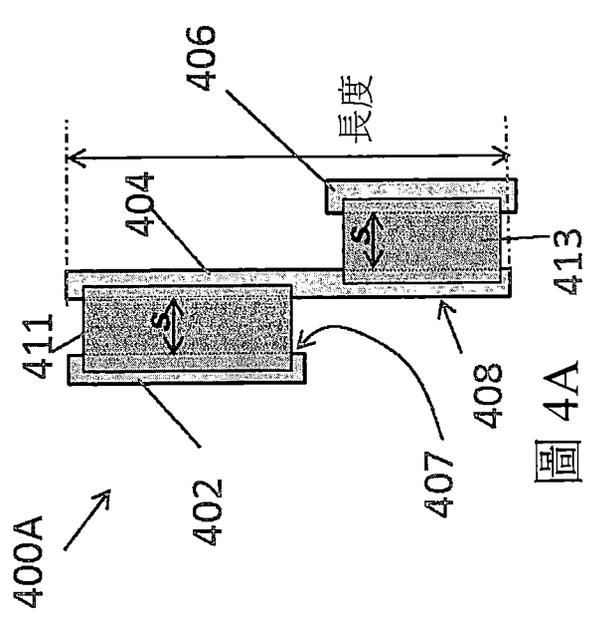


圖 4A

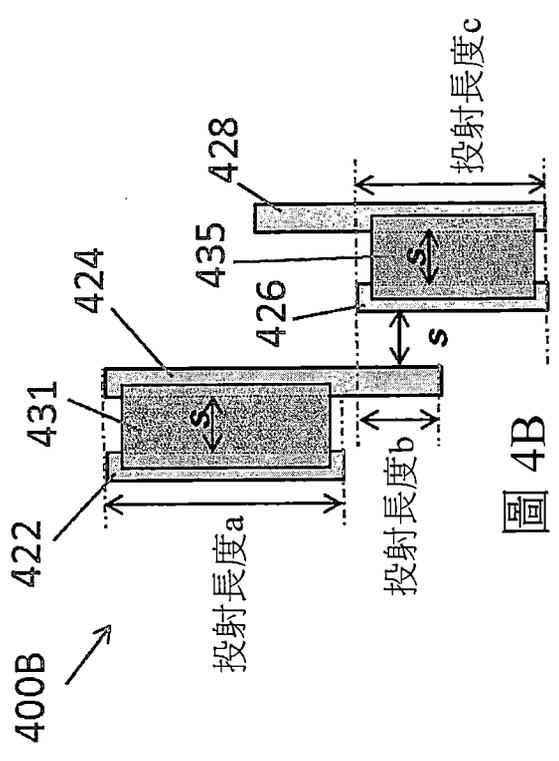


圖 4B

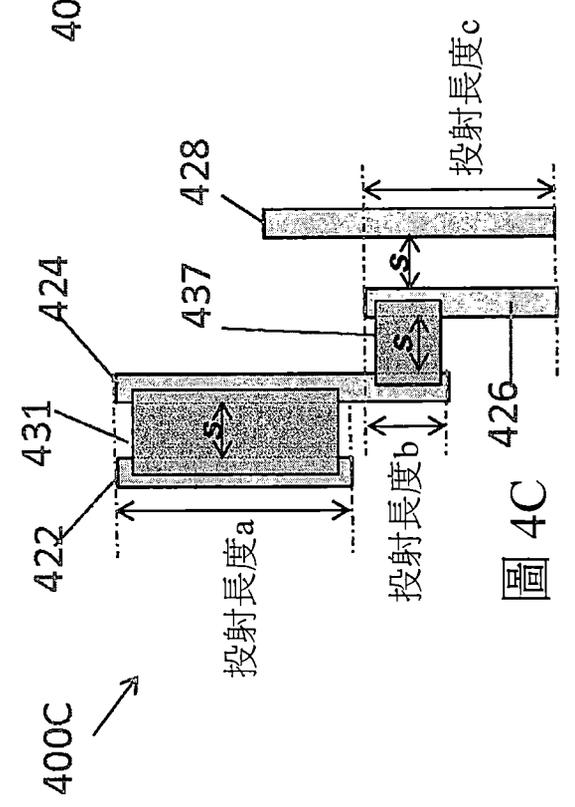


圖 4C

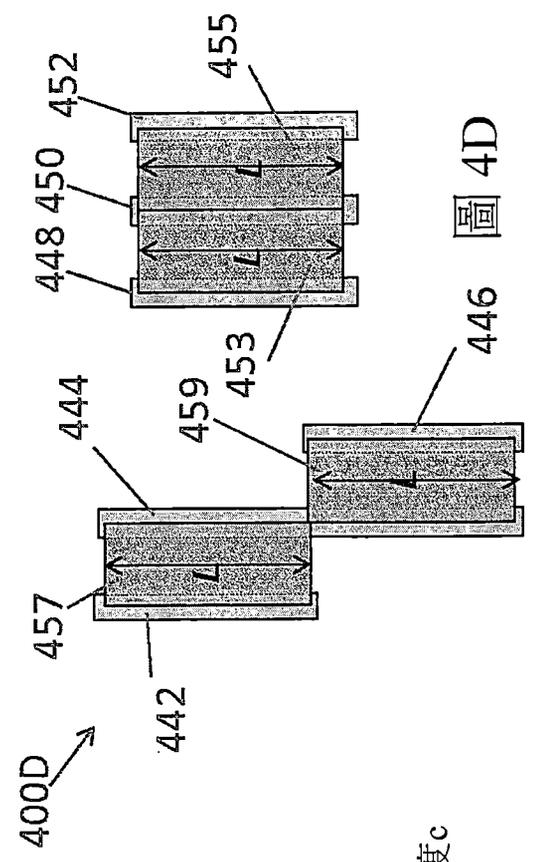


圖 4D

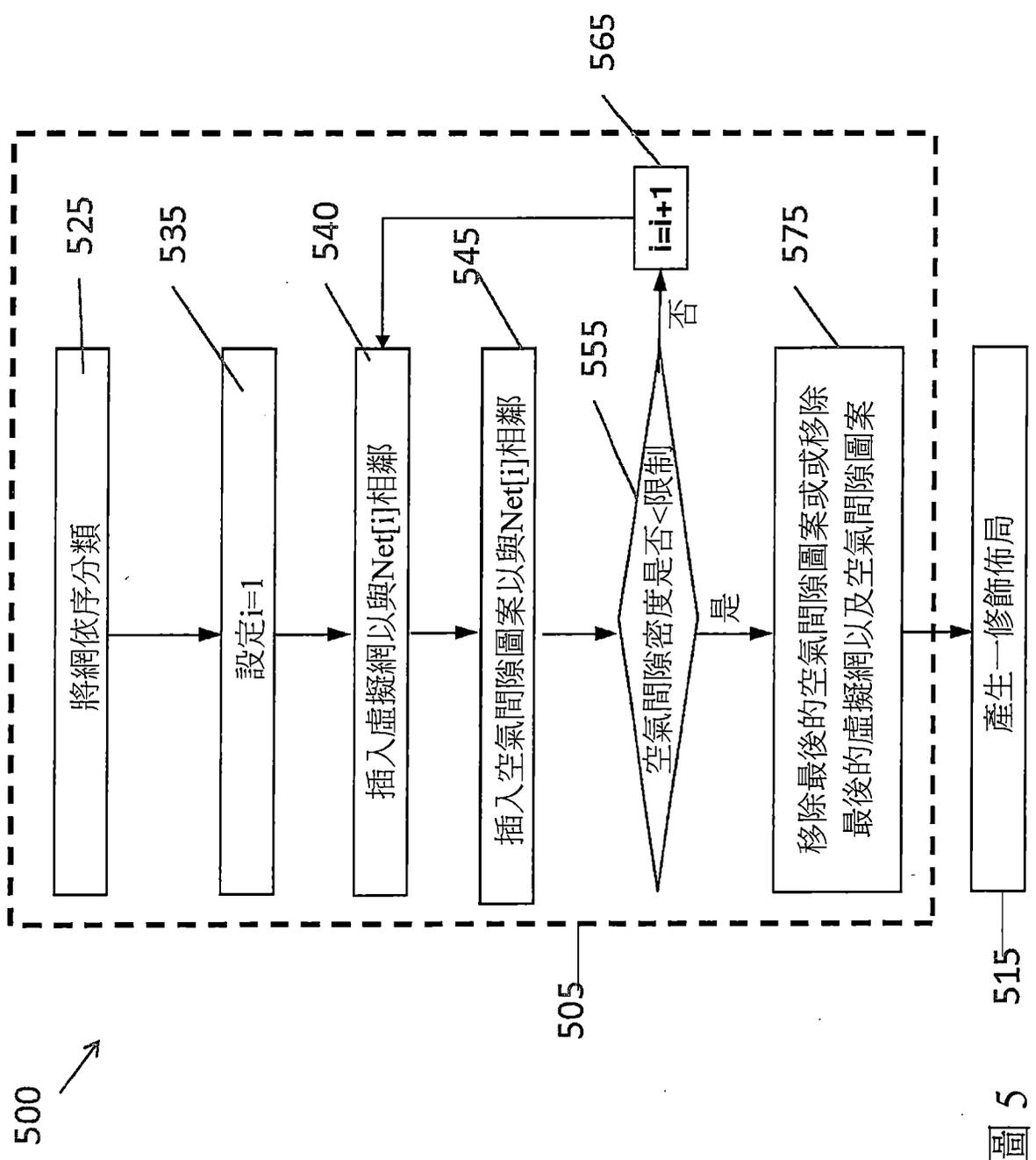


圖 5

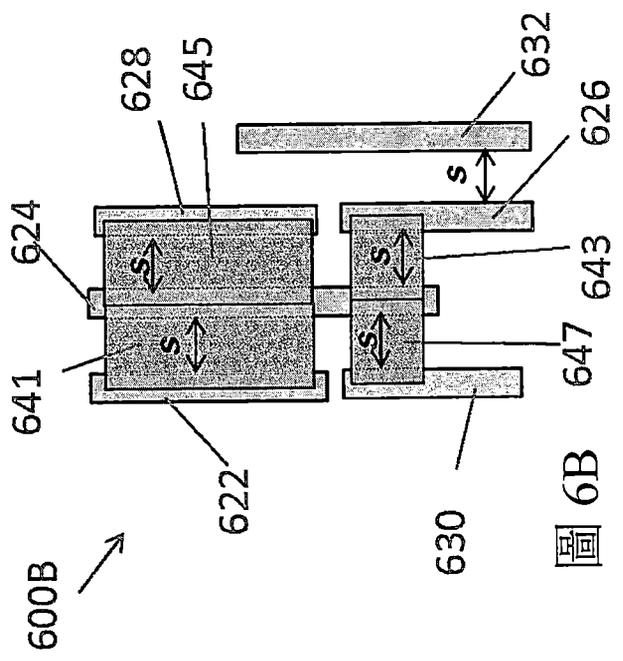


圖 6A

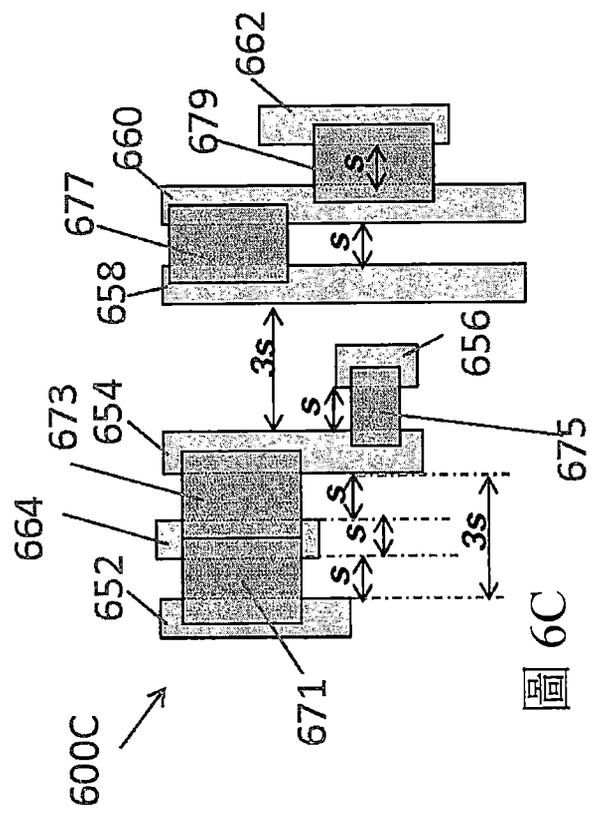


圖 6B

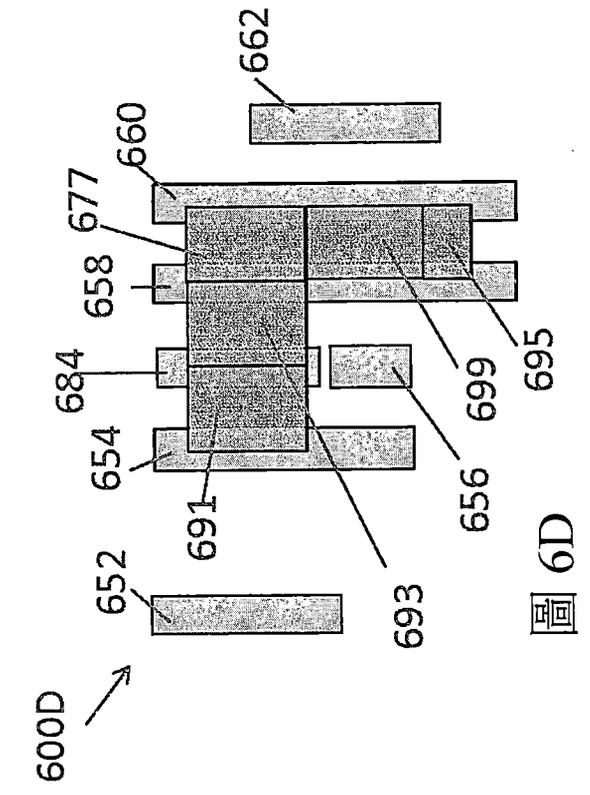


圖 6C

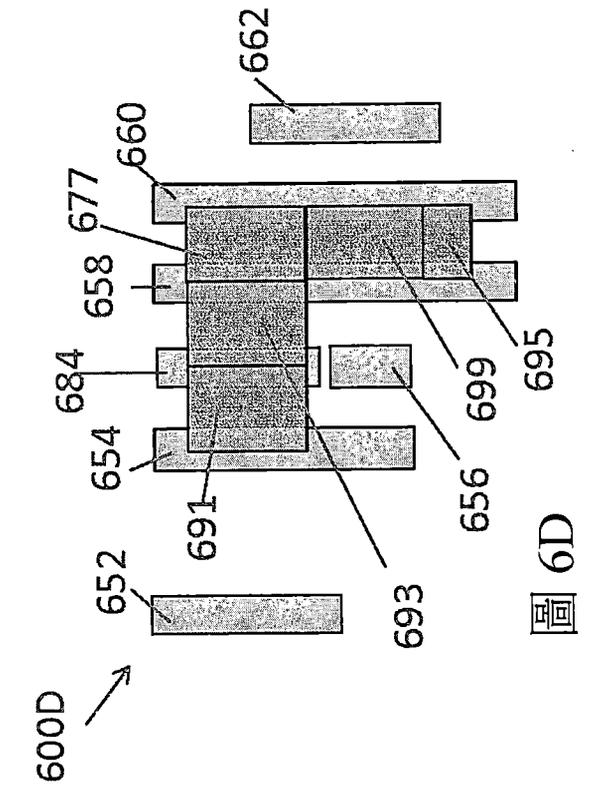
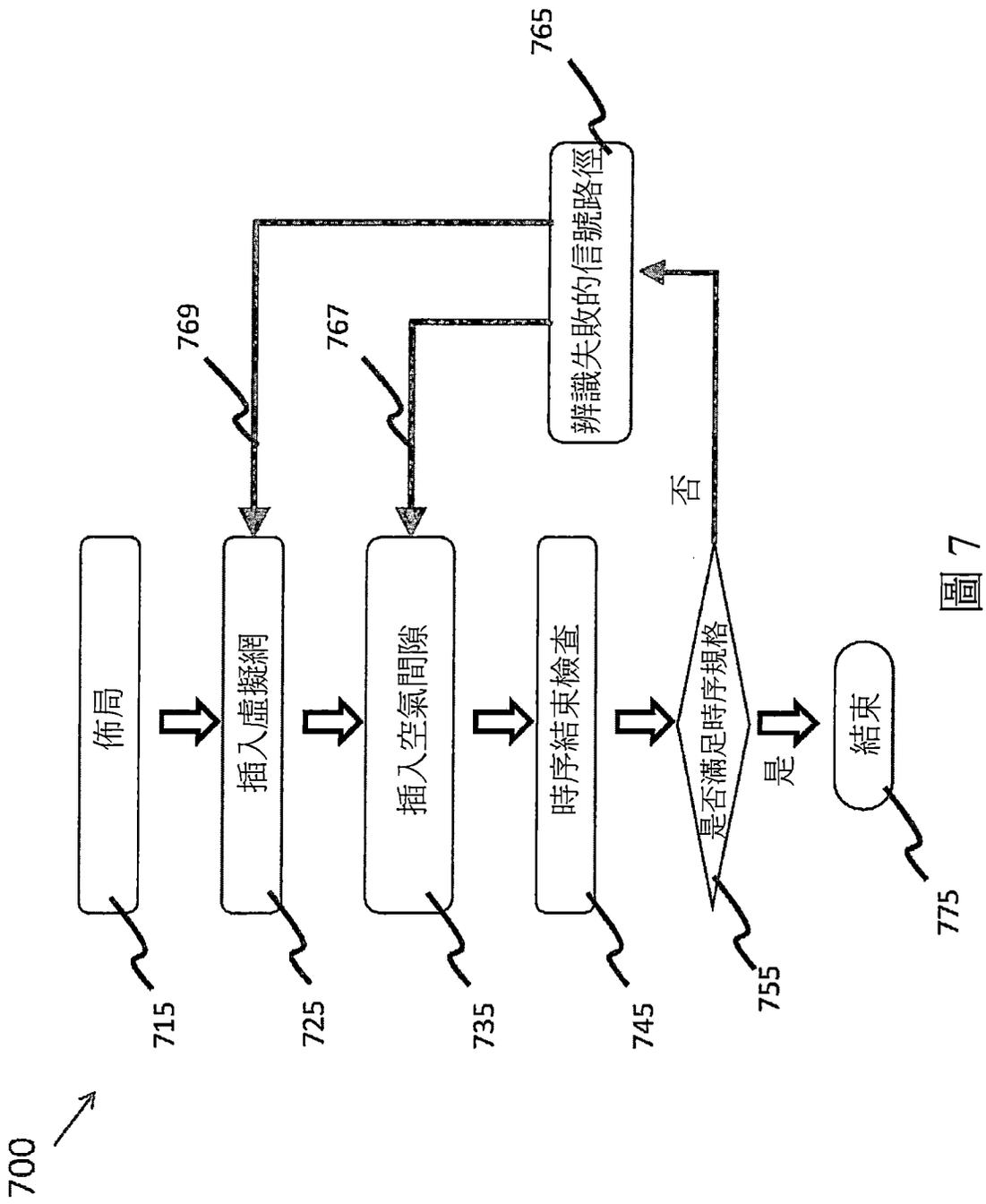


圖 6D



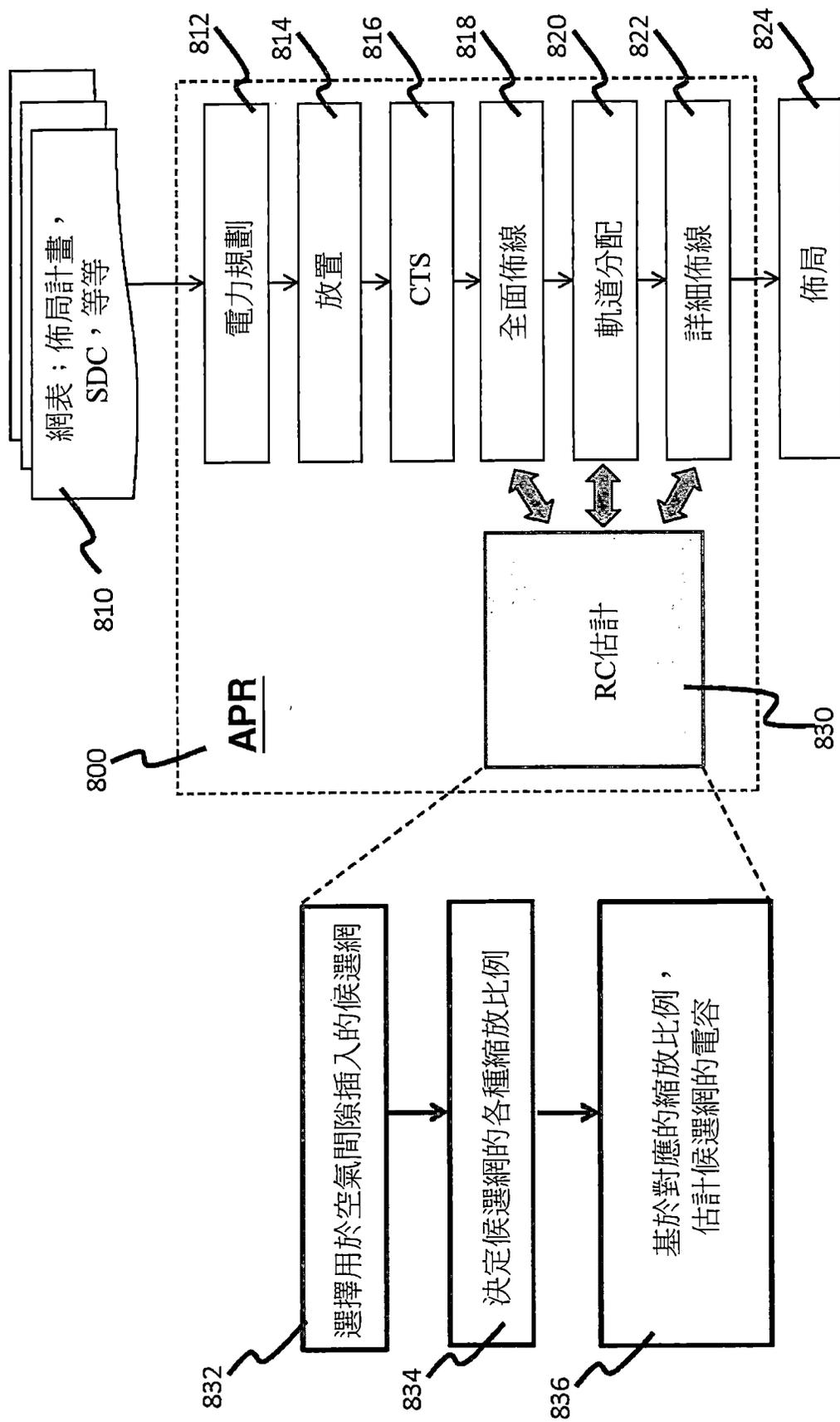
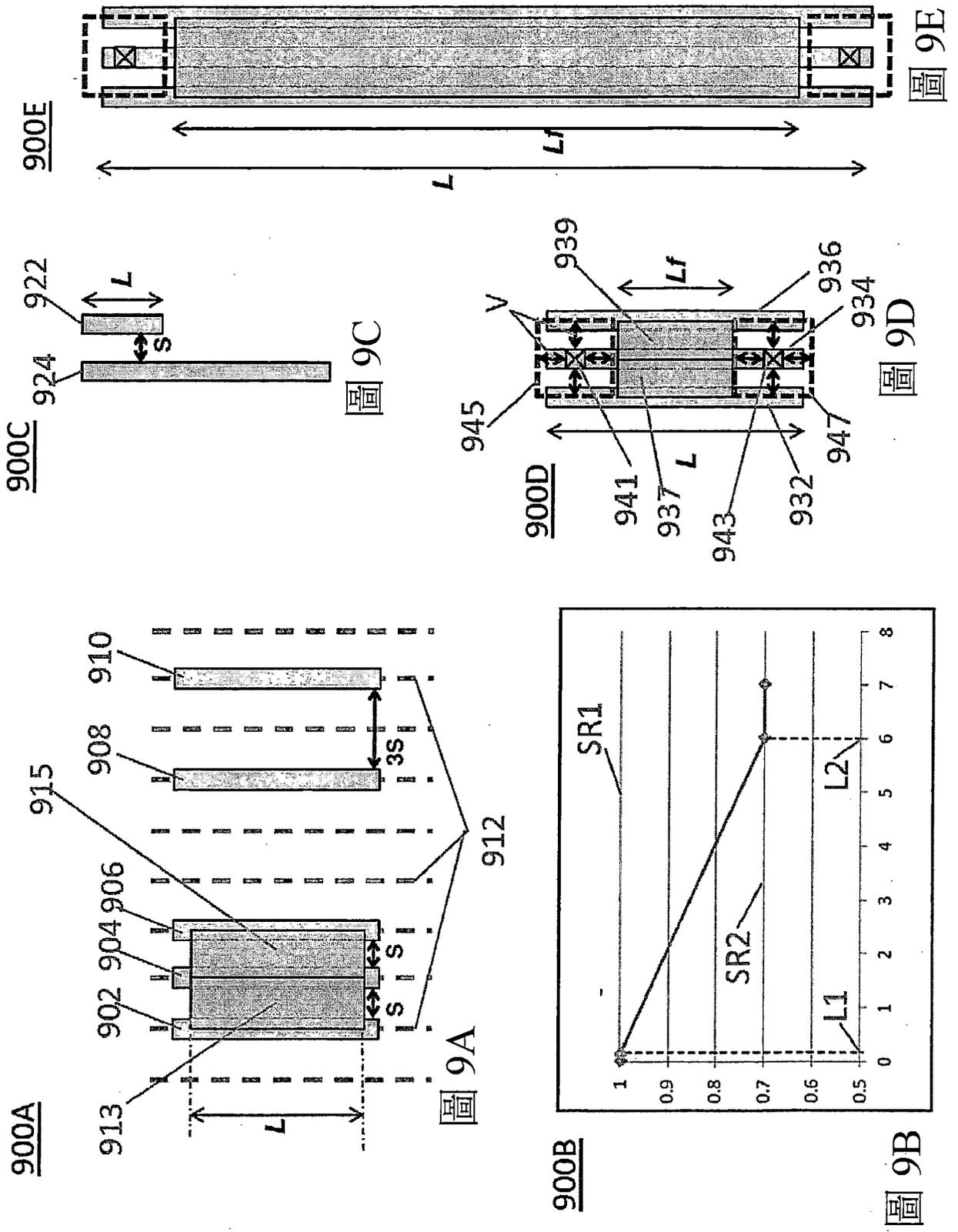


圖 8



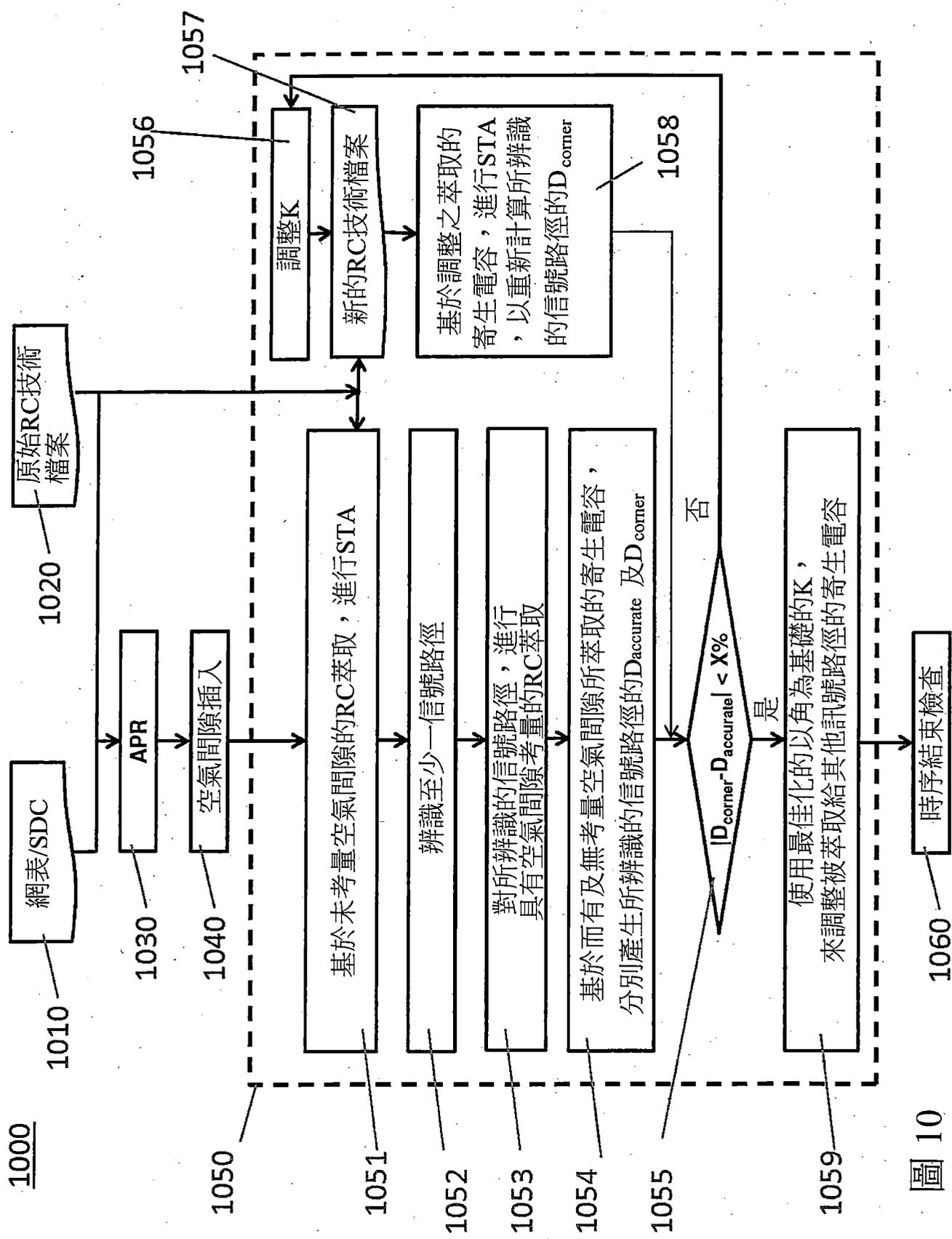


圖 10

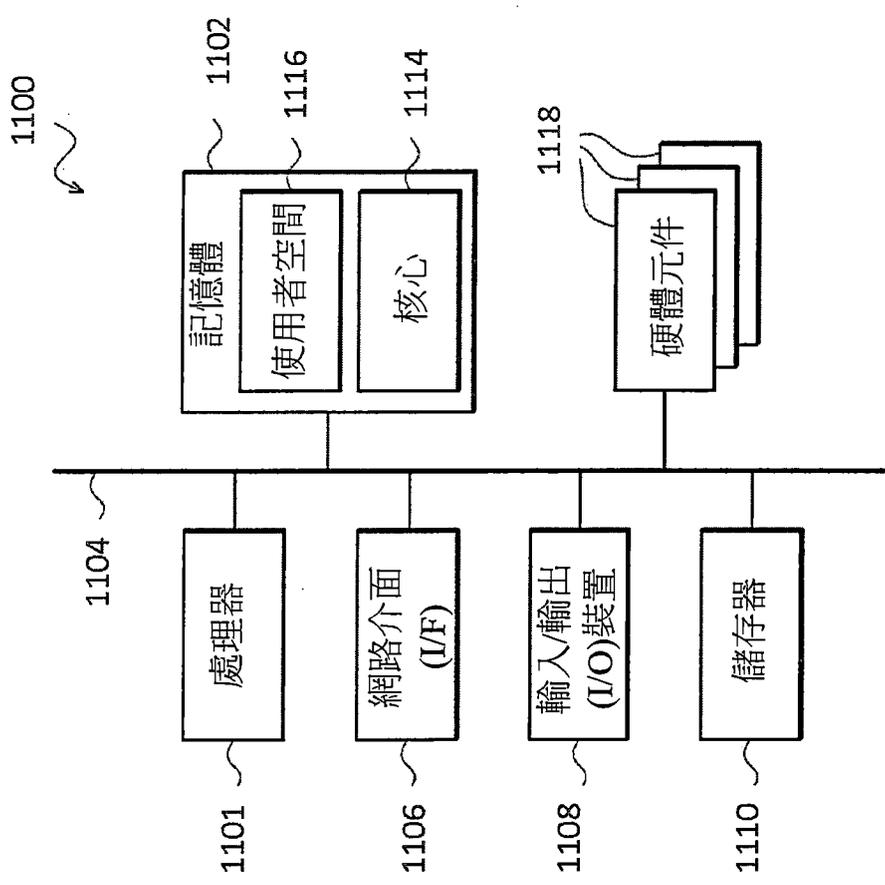


圖 11