

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2023-22141

(P2023-22141A)

(43)公開日 令和5年2月14日(2023.2.14)

(51)国際特許分類

F I

H 0 1 L 29/78 (2006.01) H 0 1 L 29/78 6 5 7 D
 H 0 1 L 29/872 (2006.01) H 0 1 L 29/78 6 5 3 A
 H 0 1 L 29/12 (2006.01) H 0 1 L 29/78 6 5 2 J
 H 0 1 L 29/06 (2006.01) H 0 1 L 29/78 6 5 2 M
 H 0 1 L 29/861 (2006.01) H 0 1 L 29/86 3 0 1 F

審査請求 有 請求項の数 21 O L (全70頁) 最終頁に続く

(21)出願番号 特願2022-185920(P2022-185920)
 (22)出願日 令和4年11月21日(2022.11.21)
 (62)分割の表示 特願2020-502079(P2020-502079)
)の分割
 原出願日 平成31年1月17日(2019.1.17)
 (31)優先権主張番号 特願2018-31148(P2018-31148)
 (32)優先日 平成30年2月23日(2018.2.23)
 (33)優先権主張国・地域又は機関
 日本国(JP)

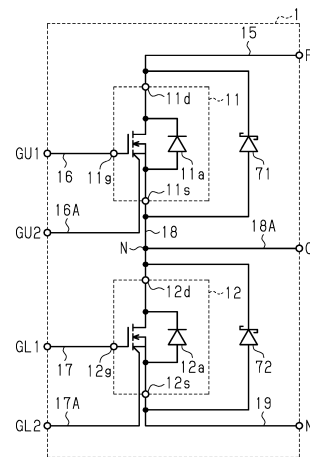
(71)出願人 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町 2 1 番地
 (74)代理人 100105957
 弁理士 恩田 誠
 (74)代理人 100068755
 弁理士 恩田 博宣
 (72)発明者 大嶽 浩隆
 京都府京都市右京区西院溝崎町 2 1 番地
 ローム株式会社内

(54)【発明の名称】 半導体装置及びパワーモジュール

(57)【要約】

【課題】ゲート・ソース間電圧の変動を低減すること。
 【解決手段】半導体装置は、ワイドギャップ半導体からなり、ドレイン端子11d、ソース端子11s、及びゲート端子11gを有する上側スイッチング素子11と、ドレイン端子11dとソース端子11sとの間においてドレイン端子11dがカソードに接続されるように設けられたワイドギャップ半導体からなる上側ダイオード71と、ソース端子11sにアノードが接続され、ドレイン端子11dにカソードが接続されているボディダイオード11aと、を備える。上側ダイオード71の順方向しきい値電圧がボディダイオード11aの順方向しきい値電圧よりも低い。

【選択図】図17



【特許請求の範囲】

【請求項 1】

ワイドギャップ半導体からなり、第 1 端子、第 2 端子、及び制御端子を有するスイッチング素子と、

前記第 1 端子と前記第 2 端子との間において前記第 1 端子がカソードに接続されるように設けられたワイドギャップ半導体からなるショットキーバリアダイオードと、

前記第 2 端子にアノードが接続され、前記第 1 端子にカソードが接続されているダイオードと、

を備え、

前記ショットキーバリアダイオードの順方向しきい値電圧が前記ダイオードの順方向しきい値電圧よりも低い、半導体装置。 10

【請求項 2】

前記ダイオードは、前記スイッチング素子のボディダイオードであり、

前記ショットキーバリアダイオード及び前記スイッチング素子は、同一チップに形成されている

請求項 1 に記載の半導体装置。

【請求項 3】

前記ショットキーバリアダイオードは、複数設けられており、

前記複数のショットキーバリアダイオードは、平面視で所定間隔ごとに配置されている

請求項 2 に記載の半導体装置。 20

【請求項 4】

前記スイッチング素子は、複数設けられており、

前記複数のショットキーバリアダイオードの配列方向において、前記ショットキーバリアダイオードと前記スイッチング素子とは交互に配置されている

請求項 3 に記載の半導体装置。

【請求項 5】

前記ショットキーバリアダイオードと前記スイッチング素子との配列方向において、前記ショットキーバリアダイオードの大きさは、前記スイッチング素子の大きさよりも大きい

請求項 4 に記載の半導体装置。 30

【請求項 6】

前記ダイオードは、前記スイッチング素子のボディダイオードであり、

前記ショットキーバリアダイオード及び前記スイッチング素子は、別体として設けられている

請求項 1 に記載の半導体装置。

【請求項 7】

前記スイッチング素子は、プレーナゲート型 V D M O S E T である

請求項 1 ~ 6 のいずれか一項に記載の半導体装置。

【請求項 8】

前記ショットキーバリアダイオード及び前記スイッチング素子の前記ワイドギャップ半導体は、S i C を用いた半導体である 40

請求項 1 ~ 7 のいずれか一項に記載の半導体装置。

【請求項 9】

前記スイッチング素子は、

前記第 1 端子としての第 1 上側端子、前記第 2 端子としての第 2 上側端子、及び前記制御端子としての上側制御端子を有する上側スイッチング素子と、

前記第 1 端子としての第 1 下側端子、前記第 2 端子としての第 2 下側端子、及び前記制御端子としての下側制御端子を有する下側スイッチング素子と、

を含み、

前記ショットキーバリアダイオードは、 50

前記第 1 上側端子と前記第 2 上側端子との間において前記第 1 上側端子がカソードに接続されるように設けられた上側ショットキーバリアダイオードと、

前記第 1 下側端子と前記第 2 下側端子との間において前記第 1 下側端子がカソードに接続されるように設けられた下側ショットキーバリアダイオードと、

を含み、

前記ダイオードは、

前記第 2 上側端子にアノードが接続され、前記第 1 上側端子にカソードが接続されている上側ボディダイオードと、

前記第 2 下側端子にアノードが接続され、前記第 1 下側端子にカソードが接続されている下側ボディダイオードと、

を含み、

前記上側ショットキーバリアダイオード及び前記下側ショットキーバリアダイオードの順方向しきい値電圧が前記上側ボディダイオード及び前記下側ボディダイオードの順方向しきい値電圧よりも低い、請求項 1 に記載の半導体装置。

【請求項 10】

前記上側ショットキーバリアダイオード及び前記上側スイッチング素子の前記ワイドギャップ半導体は、SiC を用いた半導体であり、

前記下側ショットキーバリアダイオード及び前記下側スイッチング素子の前記ワイドギャップ半導体は、SiC を用いた半導体である

請求項 9 に記載の半導体装置。

【請求項 11】

ワイドギャップ半導体からなり、第 1 端子、第 2 端子、及び制御端子を有するスイッチング素子と、

前記第 1 端子と前記第 2 端子との間において前記第 1 端子がカソードに接続されるように設けられたワイドギャップ半導体からなるショットキーバリアダイオードと、

前記第 2 端子にアノードが接続され、前記第 1 端子にカソードが接続されているダイオードと、

前記スイッチング素子及び前記ショットキーバリアダイオードが実装されている基板と、

前記基板の少なくとも一部と前記スイッチング素子と前記ショットキーバリアダイオードと前記ダイオードとを封止する封止樹脂と、

を備え、

前記ショットキーバリアダイオードの順方向しきい値電圧が前記ダイオードの順方向しきい値電圧よりも低い、パワーモジュール。

【請求項 12】

前記ショットキーバリアダイオード及び前記スイッチング素子は、それぞれ複数設けられ、かつ前記基板上に一行に並ぶように配置され、

前記複数のショットキーバリアダイオードは並列に接続されており、

前記複数のスイッチング素子は並列に接続されている

請求項 11 に記載のパワーモジュール。

【請求項 13】

前記ダイオードは、前記スイッチング素子のボディダイオードであり、

前記ショットキーバリアダイオード及び前記スイッチング素子は、交互に配列されている

請求項 11 又は 12 に記載のパワーモジュール。

【請求項 14】

ワイドギャップ半導体からなり、第 1 上側端子、第 2 上側端子、及び上側制御端子を有するとともに、前記第 2 上側端子にアノードが接続され、前記第 1 上側端子にカソードが接続されている上側ボディダイオードを有し、互いに並列に接続された複数の上側スイッチング素子と、

10

20

30

40

50

ワイドギャップ半導体からなり、第1下側端子、第2下側端子、及び下側制御端子を有するとともに、前記第2下側端子にアノードが接続され、前記第1下側端子にカソードが接続されている下側ボディダイオードを有し、互いに並列に接続された複数の下側スイッチング素子と、

ワイドギャップ半導体からなり、アノードが前記第2上側端子に接続され、カソードが前記第1上側端子に接続され、互いに並列に接続された複数の上側ショットキーバリアダイオードと、

ワイドギャップ半導体からなり、アノードが前記第2下側端子に接続され、カソードが前記第1下側端子に接続され、互いに並列に接続された複数の下側ショットキーバリアダイオードと、

前記上側スイッチング素子、前記下側スイッチング素子、前記上側ショットキーバリアダイオード、及び前記下側ショットキーバリアダイオードが実装された基板と、

前記基板の少なくとも一部と前記上側スイッチング素子と前記下側スイッチング素子と前記上側ショットキーバリアダイオードと前記下側ショットキーバリアダイオードとを封止する封止樹脂と、

を備え、

前記上側ショットキーバリアダイオード及び前記下側ショットキーバリアダイオードのそれぞれの順方向しきい値電圧は、前記上側ボディダイオード及び前記下側ボディダイオードのそれぞれの順方向しきい値電圧よりも低い、パワーモジュール。

【請求項15】

前記基板は、前記上側スイッチング素子及び前記上側ショットキーバリアダイオードが表面に実装された第1基板と、前記下側スイッチング素子及び前記下側ショットキーバリアダイオードが表面に実装された第2基板とを有し、

前記パワーモジュールの平面視における第1方向において前記第1基板と前記第2基板とが並べられ、

前記第1基板及び前記第2基板は、前記パワーモジュールの平面視において前記第1方向と直交する第2方向が長手方向となる長形状に形成され、

前記複数の上側スイッチング素子及び前記複数の上側ショットキーバリアダイオードは、前記第2方向において互いに離間して前記第1基板に実装されており、

前記複数の下側スイッチング素子及び前記複数の下側ショットキーバリアダイオードは、前記第2方向において互いに離間して前記第2基板に実装されており、

前記複数の上側スイッチング素子及び前記複数の下側スイッチング素子は前記第2方向において交互に配置されており、

前記パワーモジュールは、その厚さ方向において前記第1基板と間隔を空けて対向する入力端子部材を有し、

前記入力端子部材は、複数の接続部を有し、

前記複数の接続部は、前記複数の上側スイッチング素子の前記第2方向の間に配置され、前記第1方向において前記複数の下側スイッチング素子と対向しており、

前記複数の上側スイッチング素子の前記第2上側端子はそれぞれ、上側電力用接続部材により前記第2基板に電氣的に接続されており、

前記複数の下側スイッチング素子の前記第2下側端子はそれぞれ、前記第1方向において前記下側スイッチング素子と対向する接続部に下側電力用接続部材により電氣的に接続されている

請求項14に記載のパワーモジュール。

【請求項16】

前記複数の上側ショットキーバリアダイオード及び前記複数の下側ショットキーバリアダイオードは前記第2方向において1つずつ交互に配置されており、

前記複数の接続部は、前記複数の上側ショットキーバリアダイオードの前記第2方向の間に配置され、前記第1方向において前記複数の下側ショットキーバリアダイオードと対向しており、

10

20

30

40

50

前記複数の上側ショットキーバリアダイオードのアノードはそれぞれ、上側ダイオード用接続部材により前記第2基板に電氣的に接続されており、

前記複数の下側ショットキーバリアダイオードのアノードはそれぞれ、前記第1方向において前記下側ショットキーバリアダイオードと対向する接続部に下側ダイオード用接続部材により電氣的に接続されている

請求項15に記載のパワーモジュール。

【請求項17】

前記第1基板は、上側制御配線部を有し、

前記第2基板は、下側制御配線部を有し、

前記上側スイッチング素子は、上側制御部材により前記上側制御端子と前記上側制御配線部とが接続されるものであり、 10

前記下側スイッチング素子は、下側制御部材により前記下側制御端子と前記下側制御配線部とが接続されるものであり、

前記上側スイッチング素子、前記上側ショットキーバリアダイオード、前記下側スイッチング素子、及び前記下側ショットキーバリアダイオードのそれぞれは、前記上側制御配線部と前記下側制御配線部との前記第1方向の間に配置されており、

前記上側制御配線部及び前記下側制御配線部は、前記第2方向に延びている

請求項16に記載のパワーモジュール。

【請求項18】

前記第1基板及び前記第2基板のそれぞれは、グラファイト基板を有する 20

請求項15～17のいずれか一項に記載のパワーモジュール。

【請求項19】

前記第1基板は、前記第2方向における前記第1基板の熱伝導性が前記第1方向における前記第1基板の熱伝導性よりも低くなるように構成されており、

前記第2基板は、前記第2方向における前記第2基板の熱伝導性が前記第1方向における前記第2基板の熱伝導性よりも低くなるように構成されている

請求項18に記載のパワーモジュール。

【請求項20】

前記上側ショットキーバリアダイオードは前記上側スイッチング素子に内蔵されており、 30

前記下側ショットキーバリアダイオードは前記下側スイッチング素子に内蔵されており、

前記上側スイッチング素子及び前記下側スイッチング素子はそれぞれ、複数個設けられ、

前記基板は、グラファイト基板を有し、

前記グラファイト基板は、前記複数の上側スイッチング素子が表面に実装された第1基板と、前記複数の下側スイッチング素子が表面に実装された第2基板とを有し、

前記パワーモジュールの第1方向において前記第1基板と前記第2基板とが並べられ、

前記第1基板及び前記第2基板は、前記パワーモジュールの平面視において前記第1方向と直交する第2方向が長手方向となる長形状に形成されており、 40

前記複数の上側スイッチング素子及び前記複数の下側スイッチング素子は前記第2方向において交互に配置されており、

前記パワーモジュールは、その厚さ方向において前記第1基板と間隔を空けて対向する入力端子部材を有し、

前記入力端子部材は、複数の接続部を有し、

前記複数の接続部は、前記複数の上側スイッチング素子の前記第2方向の間に配置され、前記第1方向において前記複数の下側スイッチング素子と対向しており、

前記複数の上側スイッチング素子の前記第2上側端子はそれぞれ、上側電力用接続部材により前記第2基板に電氣的に接続されており、

前記複数の下側スイッチング素子の前記第2下側端子はそれぞれ、前記第1方向において 50

て前記下側スイッチング素子と対向する接続部に下側電力用接続部材により電氣的に接続されている

請求項 1 4 に記載のパワーモジュール。

【請求項 2 1】

前記第 1 基板において前記複数の上側スイッチング素子及び前記複数の上側ショットキバリアダイオードが配置される表面には第 1 表面側金属層が設けられており、

前記第 1 基板において前記第 1 基板の表面とは反対側の裏面には第 1 裏面側金属層が設けられており、

前記第 2 基板において前記複数の下側スイッチング素子及び前記複数の下側ショットキバリアダイオードが配置される表面には第 2 表面側金属層が設けられており、

前記第 2 基板において前記第 2 基板の表面とは反対側の裏面には第 2 裏面側金属層が設けられている

請求項 2 0 に記載のパワーモジュール。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体装置及びパワーモジュールに関する。

【背景技術】

【0 0 0 2】

スイッチング素子からなるハーフブリッジ回路において、デッドタイム状態から例えば下側スイッチング素子がオンするとき、下側スイッチング素子のドレイン・ソース間電圧 V_{ds} に起因する上側スイッチング素子のドレイン・ソース間電圧 V_{ds} に伴い上側スイッチング素子のゲート・ソース間電圧 V_{gs} が変動してゲート誤オンが生じる場合がある（例えば、特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0 0 0 3】

【特許文献 1】特開 2 0 1 3 - 9 9 1 3 3 号公報

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

近年、シリコン (Si) を用いた半導体よりも高耐圧、低オン抵抗、高速スイッチング、及び高温動作に対応したシリコンカーバイド (SiC: Silicon Carbide) 等を用いたワイドギャップ半導体の研究、及び製造販売が進められている。このようなワイドギャップ半導体は、低電流領域におけるプラトー電圧 (ミラー効果領域におけるゲート・ソース間電圧) が低く、ゲート・ドレイン間容量 C_{gd} に対するゲート・ソース間容量 C_{gs} の比 C_{gs}/C_{gd} が小さいため、ドレイン・ソース間電圧 V_{ds} の時間変化 dV_{ds}/dt が、ゲート・ドレイン間容量 C_{gd} を介してゲート・ソース間電圧 V_{gs} に及ぼす影響が大きい。このため、ゲート・ソース間電圧 V_{gs} の変動が大きくなるので、その電圧サージが正方向に掛かれば、スイッチング素子がオフ状態にもかかわらずオンしてしまう、所謂セルフターンオンし易くなり、ハーフブリッジの上下に貫通電流が流れる。またその電圧サージが負方向に掛かれば、負側のゲート電圧定格を超過するおそれがある。SiC MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) では、ゲートしきい値シフトの関係から負側のゲート電圧定格が小さく設定されていることが多く、この現象は特に問題になり易い。

【0 0 0 5】

本発明の目的は、ゲート・ソース間電圧の変動を低減することができる半導体装置及びパワーモジュールを提供することにある。

【課題を解決するための手段】

【0 0 0 6】

10

20

30

40

50

上記課題を解決する半導体装置は、ワイドギャップ半導体からなり、第1端子、第2端子、及び制御端子を有するスイッチング素子と、前記第1端子と前記第2端子との間において前記第1端子がカソードに接続されるように設けられたワイドギャップ半導体からなるショットキーバリアダイオードと、前記第2端子にアノードが接続され、前記第1端子にカソードが接続されているダイオードと、を備え、前記ショットキーバリアダイオードの順方向しきい値電圧が前記ダイオードの順方向しきい値電圧よりも低い。

【0007】

また、上記課題を解決するパワーモジュールは、ワイドギャップ半導体からなり、第1端子、第2端子、及び制御端子を有するスイッチング素子と、前記第1端子と前記第2端子との間において前記第1端子がカソードに接続されるように設けられたワイドギャップ半導体からなるショットキーバリアダイオードと、前記第2端子にアノードが接続され、前記第1端子にカソードが接続されているダイオードと、前記スイッチング素子及び前記ショットキーバリアダイオードが実装されている基板と、前記基板の少なくとも一部と前記スイッチング素子と前記ショットキーバリアダイオードと前記ダイオードとを封止する封止樹脂と、を備え、前記ショットキーバリアダイオードの順方向しきい値電圧が前記ダイオードの順方向しきい値電圧よりも低い。

10

【0008】

また、上記課題を解決するパワーモジュールは、ワイドギャップ半導体からなり、第1上側端子、第2上側端子、及び上側制御端子を有するとともに、前記第2上側端子にアノードが接続され、前記第1上側端子にカソードが接続されている上側ボディダイオードを有し、互いに並列接続された複数の上側スイッチング素子と、ワイドギャップ半導体からなり、第1下側端子、第2下側端子、及び下側制御端子を有するとともに、前記第2下側端子にアノードが接続され、前記第1下側端子にカソードが接続されている下側ボディダイオードを有し、互いに並列接続された複数の下側スイッチング素子と、ワイドギャップ半導体からなり、アノードが前記第2上側端子に接続され、カソードが前記第1上側端子に接続され、互いに並列接続された複数の上側ショットキーバリアダイオードと、ワイドギャップ半導体からなり、アノードが前記第2下側端子に接続され、カソードが前記第1下側端子に接続され、互いに並列接続された複数の下側ショットキーバリアダイオードと、前記上側スイッチング素子、前記下側スイッチング素子、前記上側ショットキーバリアダイオード、及び前記下側ショットキーバリアダイオードが実装された基板と、前記基板の少なくとも一部と前記上側スイッチング素子と前記下側スイッチング素子と前記上側ショットキーバリアダイオードと前記下側ショットキーバリアダイオードとを封止する封止樹脂と、を備え、前記上側ショットキーバリアダイオード及び前記下側ショットキーバリアダイオードのそれぞれの順方向しきい値電圧は、前記上側ボディダイオード及び前記下側ボディダイオードのそれぞれの順方向しきい値電圧よりも低い。

20

30

【発明の効果】

【0009】

上記半導体装置及びパワーモジュールによれば、ゲート・ソース間電圧の変動を低減することができる。

【図面の簡単な説明】

40

【0010】

【図1】第1実施形態の半導体装置を有するパワーモジュール及びその駆動回路を示す模式回路図。

【図2】パワーモジュールの斜視図。

【図3】パワーモジュールの内部構成を示す平面図。

【図4】パワーモジュールの底面図。

【図5】(a)はスイッチング素子の平面図、(b)は(a)の一部の内部拡大図。

【図6】スイッチング素子の断面図。

【図7】比較例のパワーモジュールの応用を示す模式回路図。

【図8】上側スイッチング素子及び下側スイッチング素子の寄生容量及び寄生抵抗を示す

50

模式図。

【図 9】下側スイッチング素子をオフ状態からオン状態に変化させたときの下側スイッチング素子のドレイン・ソース間電圧の変化と、上側スイッチング素子のドレイン・ソース間電圧、ドレイン・ゲート間電圧、及びゲート・ソース間電圧の変化とを示す模式回路図。

【図 10】下側スイッチング素子をオン状態からオフ状態に変化させたときの下側スイッチング素子のドレイン・ソース間電圧の変化と、上側スイッチング素子のドレイン・ソース間電圧、ドレイン・ゲート間電圧、及びゲート・ソース間電圧の変化とを示す模式回路図。

【図 11】下側スイッチング素子をオン状態からオフ状態に変化させたときの下側スイッチング素子のドレイン・ソース間電圧、上側スイッチング素子のドレイン・ソース間電圧、及びゲート・ソース間電圧の推移を示すグラフ。

【図 12】上側スイッチング素子及び下側スイッチング素子のゲート・ソース間容量及びゲート・ドレイン間容量について、ドレイン・ソース間電圧と容量との関係を示すグラフ。

【図 13】上側コンデンサ及び下側コンデンサにおけるコンデンサの端子間電圧と容量との関係を示すグラフ。

【図 14】パワーモジュールにおいて、上側スイッチング素子及び下側スイッチング素子のゲート・ソース間容量及びゲート・ドレイン間容量と、上側コンデンサ及び下側コンデンサとを含めたコンデンサ容量を示すグラフ。

【図 15】第 1 実施形態のパワーモジュールのシミュレーションを行うための回路図。

【図 16】図 7 の比較例のパワーモジュールと、図 15 のパワーモジュールとのシミュレーション結果であって、負側のサージ電圧とスイッチング損失との関係を示すグラフ。

【図 17】第 2 実施形態のパワーモジュールの模式回路図。

【図 18】パワーモジュールの斜視図。

【図 19】パワーモジュールの内部構成を示す分解斜視図。

【図 20】パワーモジュールの内部構成を示す平面図。

【図 21】パワーモジュールの底面図。

【図 22】図 20 のパワーモジュールの第 2 基板の一部を第 2 方向及び第 3 方向に沿う平面で切った断面図。

【図 23】図 20 のパワーモジュールの第 1 基板の一部を第 1 方向及び第 3 方向に沿う平面で切った断面図。

【図 24】図 20 のパワーモジュールの一部を第 1 方向及び第 3 方向に沿う平面で切った断面図。

【図 25】ダイオードの平面図。

【図 26】ダイオードの一部の断面図。

【図 27】比較例のパワーモジュールにおいて、下側スイッチング素子をオン状態からオフ状態に変化させたときの上側スイッチング素子及び下側スイッチング素子のそれぞれのドレイン・ソース間電圧の推移を示すグラフ。

【図 28】第 2 実施形態のパワーモジュールにおいて、下側スイッチング素子をオン状態からオフ状態に変化させたときの上側スイッチング素子及び下側スイッチング素子のそれぞれのドレイン・ソース間電圧の推移を示すグラフ。

【図 29】第 2 実施形態のパワーモジュールのシミュレーションを行うための回路図。

【図 30】図 7 の比較例のパワーモジュールと、図 29 のパワーモジュールとのシミュレーション結果であって、負側のサージ電圧とスイッチング損失との関係を示すグラフ。

【図 31】第 3 実施形態のパワーモジュールについて、(a) は M I S トランジスタの平面図、(b) は (a) の一部の内部拡大図。

【図 32】図 31 の A - A 断面、B - B 断面、及び C - C 断面の各断面図。

【図 33】パワーモジュールの内部構成を示す平面図。

【図 34】第 3 実施形態のパワーモジュールのシミュレーションを行うための回路図。

10

20

30

40

50

【図 3 5】図 7 の比較例のパワーモジュールと、図 3 4 のパワーモジュールとのシミュレーション結果であって、負側のサージ電圧とスイッチング損失との関係を示すグラフ。

【図 3 6】第 4 実施形態のパワーモジュールの模式回路図。

【図 3 7】パワーモジュールの内部構成を示す平面図。

【図 3 8】第 4 実施形態のパワーモジュールのシミュレーションを行うための回路図。

【図 3 9】図 7 の比較例のパワーモジュールと、図 3 8 のパワーモジュールとのシミュレーション結果であって、負側のサージ電圧とスイッチング損失との関係を示すグラフ。

【図 4 0】変形例のパワーモジュールの下側アイランド部及びその周辺の平面図。

【図 4 1】変形例のパワーモジュールの下側アイランド部及びその周辺の平面図。

【図 4 2】変形例のパワーモジュールの内部構成を示す平面図。

10

【図 4 3】(a) (b) は変形例のスイッチング素子の断面図。

【図 4 4】パワーモジュールを適用するフルブリッジ型インバータの模式回路図。

【図 4 5】パワーモジュールを適用する 3 相交流インバータの模式回路図。

【発明を実施するための形態】

【0011】

以下、半導体装置及びパワーモジュールの各実施形態について図面を参照して説明する。以下に示す各実施形態は、技術的思想を具体化するための構成や方法を例示するものであって、各構成部品の材質、形状、構造、配置、寸法等を下記のものに限定するものではない。以下の各実施形態は、種々の変更を加えることができる。

【0012】

20

本明細書において、「部材 A が部材 B と接続された状態」とは、部材 A と部材 B とが物理的に直接的に接続される場合、並びに、部材 A 及び部材 B が、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合を含む。

【0013】

同様に、「部材 C が部材 A と部材 B との間に設けられた状態」とは、部材 A と部材 C、あるいは部材 B と部材 C とが直接的に接続される場合、並びに、部材 A と部材 C、あるいは部材 B と部材 C とが、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合を含む。

【0014】

(第 1 実施形態)

30

図 1 に示すように、パワーモジュール 1 とその駆動回路において、パワーモジュール 1 は、複数の端子を有する。パワーモジュール 1 は、複数の端子として図 1 に示されるとおり、正側となる第 1 入力端子 P、負側となる第 2 入力端子 N、出力端子 O、第 1 上側制御端子 G U 1、第 2 上側制御端子 G U 2、第 1 下側制御端子 G L 1、及び第 2 下側制御端子 G L 2 を有する。第 1 入力端子 P は、電源電圧 V D D を生成する電源 (図示略) と電気的に接続可能である。第 2 入力端子 N は、グランドに電気的に接続可能である。

【0015】

半導体装置 1 0 は、上側スイッチング素子 1 1 及び下側スイッチング素子 1 2 が直列に接続されたハーフブリッジ回路を備える。上側スイッチング素子 1 1 及び下側スイッチング素子 1 2 は、4 H - S i C (絶縁破壊電界が約 2 . 8 M V / c m であり、バンドギャップの幅が約 3 . 2 6 e V のワイドバンドギャップ半導体) が用いられている。なお、上側スイッチング素子 1 1 及び下側スイッチング素子 1 2 に用いられるワイドバンドギャップ半導体は、シリコンカーバイド (S i C) に限られず、窒化ガリウム (G a N)、酸化ガリウム (G a ₂ O ₃)、ダイヤモンド等であってもよい。窒化ガリウム (G a N) は、その絶縁破壊電界が約 3 M V / c m であり、バンドギャップの幅が約 3 . 4 2 e V である。酸化ガリウム (G a ₂ O ₃) は、その絶縁破壊電界が約 8 M V / c m であり、バンドギャップの幅が約 4 . 8 e V である。ダイヤモンドは、その絶縁破壊電界が約 8 M V / c m であり、バンドギャップの幅が約 5 . 4 7 e V である。上側スイッチング素子 1 1 及び下側スイッチング素子 1 2 の一例は、S i C M O S F E T (metal-oxide-semiconductor field-effect transistor) である。

40

50

【 0 0 1 6 】

上側スイッチング素子 1 1 は、第 1 上側端子の一例であるドレイン端子 1 1 d、第 2 上側端子の一例であるソース端子 1 1 s、及び上側制御端子の一例であるゲート端子 1 1 g を有する。下側スイッチング素子 1 2 は、第 1 下側端子の一例であるドレイン端子 1 2 d、第 2 下側端子の一例であるソース端子 1 2 s、及び下側制御端子の一例であるゲート端子 1 2 g を有する。

【 0 0 1 7 】

上側スイッチング素子 1 1 及び下側スイッチング素子 1 2 のそれぞれの個数は任意に変更可能である。例えば、上側スイッチング素子 1 1 及び下側スイッチング素子 1 2 のそれぞれの個数は、予め設定されたオン抵抗となるように設定される。上側スイッチング素子 1 1 が複数個設けられる場合、複数の上側スイッチング素子 1 1 は互いに並列に接続される。すなわち、複数の上側スイッチング素子 1 1 のドレイン端子 1 1 d が互いに接続され、複数の上側スイッチング素子 1 1 のソース端子 1 1 s が互いに接続され、複数の上側スイッチング素子 1 1 のゲート端子 1 1 g が互いに接続される。また下側スイッチング素子 1 2 が複数個設けられる場合、複数の下側スイッチング素子 1 2 は互いに並列に接続される。すなわち、複数の下側スイッチング素子 1 2 のドレイン端子 1 2 d が互いに接続され、複数の下側スイッチング素子 1 2 のソース端子 1 2 s が互いに接続され、複数の下側スイッチング素子 1 2 のゲート端子 1 2 g が互いに接続される。本実施形態では、上側スイッチング素子 1 1 は 2 個設けられ、下側スイッチング素子 1 2 は 2 個設けられている。

【 0 0 1 8 】

上側スイッチング素子 1 1 のドレイン端子 1 1 d は、第 1 配線 1 5 を介して第 1 入力端子 P に電氣的に接続されている。これにより、上側スイッチング素子 1 1 のドレイン端子 1 1 d には、電源電圧 V D D が供給される。上側スイッチング素子 1 1 のソース端子 1 1 s は、第 4 配線 1 8 を介して下側スイッチング素子 1 2 のドレイン端子 1 2 d に接続されている。第 4 配線 1 8 において上側スイッチング素子 1 1 のソース端子 1 1 s と下側スイッチング素子 1 2 のドレイン端子 1 2 d との間のノード N は、出力配線 1 8 A を介して出力端子 O と電氣的に接続されている。上側スイッチング素子 1 1 のゲート端子 1 1 g は、第 2 配線 1 6 を介して第 1 上側制御端子 G U 1 と電氣的に接続されている。第 1 上側制御端子 G U 1 は、第 1 上側配線 4 を介して上側ゲート駆動回路 2 に電氣的に接続されている。上側ゲート駆動回路 2 は、図示しない制御回路からの指令に応じて上側スイッチング素子 1 1 を動作させるためのゲート駆動信号をゲート端子 1 1 g に出力する。上側スイッチング素子 1 1 のソースは、上側センス配線 1 6 A を介して第 2 上側制御端子 G U 2 と電氣的に接続されている。第 2 上側制御端子 G U 2 は、第 2 上側配線 5 により上側ゲート駆動回路 2 に接続されている。

【 0 0 1 9 】

下側スイッチング素子 1 2 のソース端子 1 2 s は、第 5 配線 1 9 を介して第 2 入力端子 N に電氣的に接続されている。これにより、下側スイッチング素子 1 2 のソース端子 1 2 s は、グランドに電氣的に接続される。下側スイッチング素子 1 2 のゲート端子 1 2 g は、第 3 配線 1 7 を介して第 1 下側制御端子 G L 1 に電氣的に接続されている。第 1 下側制御端子 G L 1 は、第 1 下側配線 6 を介して下側ゲート駆動回路 3 に電氣的に接続されている。下側ゲート駆動回路 3 は、図示しない制御回路からの指令に応じて下側スイッチング素子 1 2 を動作させるためのゲート駆動信号をゲート端子 1 2 g に出力する。上側ゲート駆動回路 2 及び下側ゲート駆動回路 3 は、上側スイッチング素子 1 1 及び下側スイッチング素子 1 2 を相補的にオンオフ動作するように上側スイッチング素子 1 1 及び下側スイッチング素子 1 2 を制御する。下側スイッチング素子 1 2 のソースは、下側センス配線 1 7 A を介して第 2 下側制御端子 G L 2 と電氣的に接続されている。第 2 下側制御端子 G L 2 は、第 2 下側配線 7 により下側ゲート駆動回路 3 に接続されている。

【 0 0 2 0 】

図 1 に示すとおり、上側ゲート駆動回路 2、下側ゲート駆動回路 3、第 1 上側配線 4、第 2 上側配線 5、第 1 下側配線 6、及び第 2 下側配線 7 は、パワーモジュール 1 の外部に

10

20

30

40

50

設けられている。なお、上側ゲート駆動回路 2 及び下側ゲート駆動回路 3 の少なくとも一方は、パワーモジュール 1 の内部に設けられてもよい。また、パワーモジュール 1 は上下 2 つのパワーモジュールを組み合わせて構成されてもよい。

【 0 0 2 1 】

半導体装置 1 0 は、上側コンデンサ 1 3 及び下側コンデンサ 1 4 を有する。図 1 及び図 3 に示すとおり、上側コンデンサ 1 3 は、上側スイッチング素子 1 1 とは別体として設けられている。下側コンデンサ 1 4 は、下側スイッチング素子 1 2 とは別体として設けられている。上側コンデンサ 1 3 及び下側コンデンサ 1 4 の一例は、セラミックコンデンサ、フィルムコンデンサ、反強誘電性のコンデンサ等であるが、パワーモジュール 1 内の浮遊容量によって作り込まれていてもよい。上側コンデンサ 1 3 及び下側コンデンサ 1 4 の容量はそれぞれ、数十 p F 程度である。上側コンデンサ 1 3 は、上側スイッチング素子 1 1 のドレイン端子 1 1 d とソース端子 1 1 s との間の電圧であるドレイン・ソース間電圧 V_{dsu} が正の値になる場合、その容量が増加するように構成されることが好ましい。下側コンデンサ 1 4 は、下側スイッチング素子 1 2 のドレイン端子 1 2 d とソース端子 1 2 s との間の電圧であるドレイン・ソース間電圧 V_{dsl} が正の値になる場合、その容量が増加するように構成されることが好ましい。この観点から、本実施形態の上側コンデンサ 1 3 及び下側コンデンサ 1 4 は、反強誘電性のコンデンサが用いられている。反強誘電性のコンデンサは、正の電圧が印加されると容量が増加する特性を有する。

10

【 0 0 2 2 】

上側コンデンサ 1 3 は、上側スイッチング素子 1 1 のドレイン端子 1 1 d とゲート端子 1 1 g との間に設けられている。詳述すると、上側コンデンサ 1 3 の第 1 端子は、ドレイン端子 1 1 d と第 1 入力端子 P とを繋ぐ第 1 配線 1 5 に接続されている。上側コンデンサ 1 3 の第 2 端子は、ゲート端子 1 1 g と第 1 上側制御端子 G U 1 とを繋ぐ第 2 配線 1 6 に接続されている。

20

【 0 0 2 3 】

下側コンデンサ 1 4 は、下側スイッチング素子 1 2 のドレイン端子 1 2 d とゲート端子 1 2 g との間に設けられている。詳述すると、下側コンデンサ 1 4 の第 1 端子は、ドレイン端子 1 2 d と上側スイッチング素子 1 1 のソース端子 1 1 s との間に接続されている。より詳細には、下側コンデンサ 1 4 の第 1 端子は、第 4 配線 1 8 においてノード N と下側スイッチング素子 1 2 のドレイン端子 1 2 d との間の部分に接続されている。下側コンデンサ 1 4 の第 2 端子は、ゲート端子 1 2 g と第 1 下側制御端子 G L 1 とを繋ぐ第 3 配線 1 7 に接続されている。

30

【 0 0 2 4 】

図 2 ~ 図 4 は、パワーモジュール 1 の構成の一例を示している。パワーモジュール 1 の構成は、図 2 ~ 図 4 に示す構成に限られず、種々の変更が可能である。

図 2 ~ 図 4 に示すように、パワーモジュール 1 は、上側スイッチング素子 1 1、下側スイッチング素子 1 2、上側コンデンサ 1 3、及び下側コンデンサ 1 4 が実装された基板 2 0 と、上側スイッチング素子 1 1、下側スイッチング素子 1 2、上側コンデンサ 1 3、下側コンデンサ 1 4、及び基板 2 0 の一部を封止する封止樹脂 4 0 と、を有する。またパワーモジュール 1 は、端子部材の一例として、第 1 入力端子 P を構成する第 1 入力端子部材 3 0、第 2 入力端子 N を構成する第 2 入力端子部材 3 1、出力端子 O を構成する出力端子部材 3 2、第 1 上側制御端子 G U 1 を構成する第 1 上側制御端子部材 3 3、第 2 上側制御端子 G U 2 を構成する第 2 上側制御端子部材 3 4、第 1 下側制御端子 G L 1 を構成する第 1 下側制御端子部材 3 5、及び第 2 下側制御端子 G L 2 を構成する第 2 下側制御端子部材 3 6 を有する。

40

【 0 0 2 5 】

基板 2 0 は、支持基板の一例である平板状のセラミック基板 2 1 を有する。セラミック基板 2 1 の表面側には、出力配線部 2 2、正側となる第 1 入力配線部 2 3、負側となる第 2 入力配線部 2 4、第 1 上側制御配線部 2 5、第 2 上側制御配線部 2 6、第 1 下側制御配線部 2 7、及び第 2 下側制御配線部 2 8 が設けられている。各配線部 2 2 ~ 2 8 はそれぞ

50

れ、銅（Cu）からなる。以降の説明において、基板20の縦方向を「第1方向X」と規定し、基板20の横方向を「第2方向Y」と規定する。第2方向Yは、パワーモジュール1の平面視において第1方向Xと直交する方向となる。

【0026】

出力配線部22は、第2方向Yにおけるセラミック基板21の中央に設けられている。出力配線部22は、平面視において略L字状に形成されている。出力配線部22は、第1方向Xに延びる第1部分22aと、第2方向Yに延びる第2部分22bとを有する。第2部分22bは、第1部分22aの第1方向Xの端部に設けられている。第1部分22aの幅寸法（第2方向Yにおける第1部分22aの長さ）は、第2部分22bの幅寸法（第1方向Xにおける第2部分22bの長さ）よりも大きい。第1部分22aは、セラミック基板21における第2方向Yの中央に位置している。第2部分22bは、セラミック基板21における第1方向Xの端部に位置し、第1部分22aから各上側制御端子部材33, 34が位置する側に向けて第2方向Yに沿って延びている。第2部分22bには、出力端子部材32が接続されている。出力端子部材32は、セラミック基板21の第2方向Yの中央に位置している。

10

【0027】

第1入力配線部23は、出力配線部22と隣り合うように設けられている。第1入力配線部23は、平面視において略L字状に形成されている。第1入力配線部23は、第1方向Xに延びる第1部分23aと、第2方向Yに延びる第2部分23bとを有する。第1部分23aは、出力配線部22の第1部分22aに対して各上側制御端子部材33, 34が位置する側に、第2方向Yにおいて第1部分22aと隙間を介して隣り合うように配置されている。第1部分23aにおける出力端子部材32側の端部は、第1方向Xにおいて出力配線部22の第2部分22bと隙間を空けて隣り合うように位置している。第2部分23bは、第1部分23aの第1方向Xの端部に設けられている。第2部分23bは、出力配線部22の第1部分22aにおける出力端子部材32が配置される側とは反対側の端部の一部を第1方向Xから覆っている。第2部分23bには、第1入力端子部材30が接続されている。第1部分23aの幅寸法（第2方向Yにおける第1部分23aの長さ）は、第2部分23bの幅寸法（第1方向Xにおける第2部分23bの長さ）よりも大きい。第1部分23aの幅寸法は、出力配線部22の第1部分22aの幅寸法よりも小さい。

20

【0028】

第2入力配線部24は、出力配線部22と隣り合うように設けられている。第2入力配線部24は、平面視において略T字状に形成されている。第2入力配線部24は、第1方向Xに伸びる第1部分24aと、第2方向Yに延びる第2部分24bとを有する。第1部分24aは、出力配線部22の第1部分22aに対して各下側制御端子部材35, 36が位置する側に、第2方向Yにおいて第1部分22aと隙間を介して隣り合うように配置されている。図3に示すとおり、第2方向Yにおいて、出力配線部22の第1部分22aは、第1入力配線部23の第1部分23aと第2入力配線部24の第1部分24aとに挟まれるように配置されている。第2部分24bは、第1部分24aの第1方向Xの端部に設けられている。第2部分24bは、第2方向Yにおいて第1部分24aの両側から突出している。第1部分24aの幅寸法（第2方向Yにおける第1部分24aの長さ）は、第2部分24bの幅寸法（第1方向Xにおける第2部分24bの長さ）よりも大きい。第1部分24aの幅寸法は、出力配線部22の第1部分22aの幅寸法及び第1入力配線部23の第1部分23aの幅寸法よりも小さい。第1部分24aの第1方向Xの長さは、出力配線部22の第1部分22aの第1方向Xの長さ及び第1入力配線部23の第1部分23aの第1方向Xの長さよりも長い。第2部分24bの第1方向Xの位置は、第1入力配線部23の第2部分23bの第1方向Xの位置と等しい。第2部分24bにおいて第1部分24aよりも第1入力配線部23側に突出する部分は、出力配線部22の第1部分22aにおける出力端子部材32が配置される側とは反対側の端部の一部を第1方向Xから覆っている。

30

40

【0029】

50

第 1 上側制御配線部 2 5 は、セラミック基板 2 1 における各上側制御端子部材 3 3 , 3 4 が配置される側の端部に設けられている。第 1 上側制御配線部 2 5 は、第 1 入力配線部 2 3 の第 1 部分 2 3 a に対して各上側制御端子部材 3 3 , 3 4 が配置される側に、第 1 部分 2 3 a と第 2 方向 Y において隣り合うように設けられている。第 1 上側制御配線部 2 5 は、第 1 方向 X に延びる第 1 部分 2 5 a、第 2 方向 Y に延びる第 2 部分 2 5 b、及び第 1 部分 2 5 a と第 2 部分 2 5 b とを接続する屈曲部 2 5 c を有する。第 1 部分 2 5 a における屈曲部 2 5 c 側の端部には、第 2 方向 Y において第 1 入力配線部 2 3 側に凹む凹部 2 5 d が形成されている。すなわち第 1 部分 2 5 a において凹部 2 5 d が形成される部分の幅寸法（第 2 方向 Y における第 1 部分 2 5 a の長さ）は、第 1 部分 2 5 a の他の部分の幅寸法（第 2 方向 Y における第 1 部分 2 5 a の長さ）よりも小さい。第 1 部分 2 5 a の第 1 方向 X の長さは、第 1 入力配線部 2 3 の第 1 部分 2 3 a の第 1 方向 X の長さよりも短い。第 2 部分 2 5 b の先端部には、第 1 上側制御端子部材 3 3 が接続されている。第 1 上側制御端子部材 3 3 は、第 2 方向 Y に延びている。

10

【 0 0 3 0 】

第 2 上側制御配線部 2 6 は、セラミック基板 2 1 における各上側制御端子部材 3 3 , 3 4 が配置される側の端部に設けられている。第 2 上側制御配線部 2 6 は、第 1 上側制御配線部 2 5 に対して各上側制御端子部材 3 3 , 3 4 が配置される側に、第 1 上側制御配線部 2 5 と第 2 方向 Y において隣り合うように設けられている。第 2 上側制御配線部 2 6 において第 1 上側制御配線部 2 5 の凹部 2 5 d と第 2 方向 Y に対向する部分には、凹部 2 5 d に向けて延びる接続部 2 6 a が設けられている。接続部 2 6 a は、第 1 方向 X において第 1 上側制御配線部 2 5 の第 2 部分 2 5 b に覆われている。接続部 2 6 a には、第 2 上側制御端子部材 3 4 が接続されている。第 2 上側制御端子部材 3 4 は、第 2 方向 Y に延びている。

20

【 0 0 3 1 】

第 1 下側制御配線部 2 7 は、セラミック基板 2 1 における各下側制御端子部材 3 5 , 3 6 が配置される側の端部に設けられている。第 1 下側制御配線部 2 7 は、第 2 入力配線部 2 4 の第 1 部分 2 4 a に対して各下側制御端子部材 3 5 , 3 6 が配置される側に、第 1 部分 2 4 a と第 2 方向 Y において隣り合うように設けられている。第 1 下側制御配線部 2 7 は、第 1 方向 X に延びる第 1 部分 2 7 a、第 2 方向 Y に延びる第 2 部分 2 7 b、及び第 1 部分 2 7 a と第 2 部分 2 7 b とを接続する屈曲部 2 7 c を有する。第 1 部分 2 7 a における屈曲部 2 7 c 側の端部には、第 2 方向 Y において第 2 入力配線部 2 4 側に凹む凹部 2 7 d が形成されている。すなわち第 1 部分 2 7 a において凹部 2 7 d が形成される部分の幅寸法（第 2 方向 Y における第 1 部分 2 7 a の長さ）は、第 1 部分 2 7 a の他の部分の幅寸法（第 2 方向 Y における第 1 部分 2 7 a の長さ）よりも小さい。第 1 部分 2 7 a の第 1 方向 X の長さは、第 2 入力配線部 2 4 の第 1 部分 2 4 a の第 1 方向 X の長さ及び出力配線部 2 2 の第 1 部分 2 2 a の第 1 方向 X の長さよりも短い。第 2 部分 2 7 b の先端部には、第 1 下側制御端子部材 3 5 が接続されている。第 1 下側制御端子部材 3 5 は、第 2 方向 Y に延びている。

30

【 0 0 3 2 】

第 2 下側制御配線部 2 8 は、セラミック基板 2 1 における各下側制御端子部材 3 5 , 3 6 が配置される側の端部に設けられている。第 2 下側制御配線部 2 8 は、第 1 下側制御配線部 2 7 に対して各下側制御端子部材 3 5 , 3 6 が配置される側に、第 1 下側制御配線部 2 7 と第 2 方向 Y において隣り合うように設けられている。第 2 下側制御配線部 2 8 において第 1 下側制御配線部 2 7 の凹部 2 7 d と第 2 方向 Y に対向する部分には、凹部 2 7 d に向けて延びる接続部 2 8 a が設けられている。接続部 2 8 a は、第 1 方向 X において第 1 下側制御配線部 2 7 の第 2 部分 2 7 b に覆われている。接続部 2 8 a には、第 2 下側制御端子部材 3 6 が接続されている。第 2 下側制御端子部材 3 6 は、第 2 方向 Y に延びている。

40

【 0 0 3 3 】

セラミック基板 2 1 の表面側には、上側アイランド部 3 7 及び下側アイランド部 3 8 が

50

設けられている。上側アイランド部 37 及び下側アイランド部 38 のそれぞれの形状は、第 1 方向 X が長手方向となる長方形である。上側アイランド部 37 及び下側アイランド部 38 は、例えば銅 (Cu) からなる。

【0034】

上側アイランド部 37 は、セラミック基板 21 における各上側制御端子部材 33, 34 が配置される側の端部に設けられている。上側アイランド部 37 は、第 1 方向 X において各上側制御配線部 25, 26 よりも第 1 入力端子部材 30 側に設けられている。詳述すると、上側アイランド部 37 は、第 1 方向 X において第 1 上側制御配線部 25 の第 2 部分 25b 及び屈曲部 25c と隙間を空けて隣り合い、第 2 方向 Y において第 1 入力配線部 23 の第 1 部分 23a と隙間を空けて隣り合うように設けられている。上側アイランド部 37 と第 1 入力配線部 23 とは、1 本又は複数本の上側接続用ワイヤ 39U により電氣的に接続されている。本実施形態では、2 本の上側接続用ワイヤ 39U により、上側アイランド部 37 と第 1 入力配線部 23 とが電氣的に接続されている。上側接続用ワイヤ 39U は、例えばアルミニウム (Al) からなる。上側接続用ワイヤ 39U の線径は、上側制御用ワイヤ 45 (下側制御用ワイヤ 47) の線径よりも大きいことが好ましく、例えば上側電力用ワイヤ (下側電力用ワイヤ 46) の線径と等しい。

10

【0035】

下側アイランド部 38 は、セラミック基板 21 における各下側制御端子部材 35, 36 が配置される側の端部に設けられている。下側アイランド部 38 は、第 1 方向 X において各下側制御配線部 27, 28 よりも出力端子部材 32 側に設けられている。詳述すると、下側アイランド部 38 は、第 1 方向 X において第 1 下側制御配線部 27 の第 2 部分 27b 及び屈曲部 27c と隙間を空けて隣り合い、第 2 方向 Y において第 2 入力配線部 24 の第 1 部分 24a と隙間を空けて隣り合うように設けられている。下側アイランド部 38 と出力配線部 22 とは、1 本又は複数本の下側接続用ワイヤ 39L により電氣的に接続されている。本実施形態では、2 本の下側接続用ワイヤ 39L により、下側アイランド部 38 と出力配線部 22 とが電氣的に接続されている。下側接続用ワイヤ 39L は、第 2 入力配線部 24 の第 1 部分 24a を第 2 方向 Y に跨ぐように設けられている。下側接続用ワイヤ 39L は、例えばアルミニウム (Al) からなる。下側接続用ワイヤ 39L の線径は、上側制御用ワイヤ 45 (下側制御用ワイヤ 47) の線径よりも大きいことが好ましく、例えば上側電力用ワイヤ 44 (下側電力用ワイヤ 46) の線径と等しい。

20

30

【0036】

2 個の上側スイッチング素子 11 はそれぞれ、チップ状に形成され、第 1 入力配線部 23 の第 1 部分 23a に実装されている。2 個の上側スイッチング素子 11 は、第 1 方向 X に沿って互いに隙間を空けて位置している。すなわち、2 個の上側スイッチング素子 11 は、第 1 方向 X において互いに離間して第 1 入力配線部 23 に実装されている。各上側スイッチング素子 11 は、第 1 入力配線部 23 の第 1 部分 23a の第 2 方向 Y の中央に位置している。また各上側スイッチング素子 11 は、第 1 方向 X において各上側制御端子部材 33, 34 よりも出力端子部材 32 側に位置している。より詳細には、各上側スイッチング素子 11 は、第 1 方向 X において第 1 上側制御配線部 25 の凹部 25d よりも出力端子部材 32 側に位置している。

40

【0037】

各上側スイッチング素子 11 は、第 1 上側端子 (ドレイン端子) を構成するドレイン電極 (図示略)、第 2 上側端子 (ソース端子) を構成するソース電極 41、及び上側制御端子 (ゲート端子) を構成するゲート電極 42 を有する (ともに図 5 (a) 参照)。ドレイン電極は、上側スイッチング素子 11 における第 1 入力配線部 23 に実装される裏面に設けられている。ソース電極 41 及びゲート電極 42 は、上側スイッチング素子 11 における裏面とは反対側の表面に設けられている。図 5 (a) に示すとおり、上側スイッチング素子 11 の表面の外周部には、ガードリング 43 が設けられている。ソース電極 41 及びゲート電極 42 は、ガードリング 43 の内部に設けられている。ソース電極 41 は、ガードリング 43 内の面積の殆どを占めている。ソース電極 41 は、2 つの電極に分離されて

50

いる。ソース電極 4 1 は、ガードリング 4 3 から離間するように凹む凹部 4 1 a を有する。凹部 4 1 a とガードリング 4 3 とにより囲まれた領域には、ゲート電極 4 2 が設けられている。

【 0 0 3 8 】

図 3 に示すとおり、各上側スイッチング素子 1 1 のソース電極 4 1 (図 5 (a) 参照) は、上側電力用接続部材の一例として複数本の上側電力用ワイヤ 4 4 により出力配線部 2 2 の第 1 部分 2 2 a と電氣的に接続されている。本実施形態では、4 本の上側電力用ワイヤ 4 4 により、上側スイッチング素子 1 1 のソース電極 4 1 と出力配線部 2 2 とが電氣的に接続されている。上側電力用ワイヤ 4 4 は、例えばアルミニウム (A l) からなる。また各上側スイッチング素子 1 1 のソース電極 4 1 は、上側制御用接続部材の一例として 1 本又は複数本の上側制御用ワイヤ 4 5 により第 2 上側制御配線部 2 6 と電氣的に接続されている。上側制御用ワイヤ 4 5 は、第 1 上側制御配線部 2 5 の第 1 部分 2 5 a を第 2 方向 Y に跨ぐように設けられている。上側制御用ワイヤ 4 5 は、例えばアルミニウム (A l) からなる。上側電力用ワイヤ 4 4 の線径は、上側制御用ワイヤ 4 5 の線径よりも大きい。上側電力用ワイヤ 4 4 の線径の一例は 4 0 0 μ m であり、上側制御用ワイヤ 4 5 の線径の一例は 1 5 0 μ m である。各上側スイッチング素子 1 1 のゲート電極 4 2 は、1 本又は複数本の上側制御用ワイヤ 4 5 により第 1 上側制御配線部 2 5 の第 1 部分 2 5 a と電氣的に接続されている。このように、2 個の上側スイッチング素子 1 1 のドレインが共通の第 1 入力配線部 2 3 に電氣的に接続され、2 個の上側スイッチング素子 1 1 のソース電極 4 1 が共通の出力配線部 2 2 に電氣的に接続されているため、2 個の上側スイッチング素子 1 1 は互いに並列に接続されることになる。なお、上側電力用接続部材は、例えば C I C (C u / I n v e r / C u) のリードフレームなどであってもよい。

10

20

【 0 0 3 9 】

2 個の下側スイッチング素子 1 2 はそれぞれ、チップ状に形成され、出力配線部 2 2 の第 1 部分 2 2 a に実装されている。2 個の下側スイッチング素子 1 2 は、第 1 方向 X に沿って互いに隙間を空けて位置している。すなわち 2 個の下側スイッチング素子 1 2 は、第 1 方向 X において互いに離間して出力配線部 2 2 に実装されている。2 個の下側スイッチング素子 1 2 はそれぞれ、第 1 方向 X において 2 個の上側スイッチング素子 1 1 と同じ位置となるように実装されている。各下側スイッチング素子 1 2 は、第 2 方向 Y において出力配線部 2 2 の第 1 部分 2 2 a のうちの第 2 入力配線部 2 4 側に位置している。これにより、出力配線部 2 2 の第 1 部分 2 2 a において、複数本の上側電力用ワイヤ 4 4 が接続される領域を確保することができる。

30

【 0 0 4 0 】

2 個の下側スイッチング素子 1 2 は、上側スイッチング素子 1 1 と同様の構造である。すなわち各下側スイッチング素子 1 2 は、ドレイン電極 (図示略) 、ソース電極 4 1 、ゲート電極 4 2 、及びガードリング 4 3 を有する。

【 0 0 4 1 】

図 3 に示すとおり、各下側スイッチング素子 1 2 のソース電極 4 1 は、下側電力用接続部材の一例として複数本の下側電力用ワイヤ 4 6 により第 2 入力配線部 2 4 の第 1 部分 2 4 a と電氣的に接続されている。本実施形態では、4 本の下側電力用ワイヤ 4 6 により、下側スイッチング素子 1 2 のソース電極 4 1 と第 2 入力配線部 2 4 とが電氣的に接続されている。下側電力用ワイヤ 4 6 は、例えばアルミニウム (A l) からなる。下側電力用ワイヤ 4 6 の線径は、上側電力用ワイヤ 4 4 の線径と等しい。また各下側スイッチング素子 1 2 のソース電極 4 1 は、下側制御用接続部材の一例として 1 本又は複数本の下側制御用ワイヤ 4 7 により第 2 下側制御配線部 2 8 と電氣的に接続されている。下側制御用ワイヤ 4 7 は、例えばアルミニウム (A l) からなる。下側制御用ワイヤ 4 7 の線径は、上側制御用ワイヤ 4 5 の線径と等しい。各下側スイッチング素子 1 2 のソース電極 4 1 に接続された下側制御用ワイヤ 4 7 は、第 2 入力配線部 2 4 の第 1 部分 2 4 a 及び第 1 下側制御配線部 2 7 の第 1 部分 2 7 a を第 2 方向 Y に跨ぐように設けられている。各下側スイッチング素子 1 2 のゲート電極 4 2 は、1 本又は複数本の下側制御用ワイヤ 4 7 により第 1 下側

40

50

制御配線部 27 の第 1 部分 27 a と電氣的に接続されている。ゲート電極 42 に接続された下側制御用ワイヤ 47 は、第 2 入力配線部 24 の第 1 部分 24 a を跨ぐように設けられている。このように、2 個の下側スイッチング素子 12 のドレインが共通の出力配線部 22 に電氣的に接続され、2 個の下側スイッチング素子 12 のソース電極 41 が共通の第 2 入力配線部 24 に電氣的に接続されているため、2 個の下側スイッチング素子 12 は互いに並列に接続されることになる。なお、下側電力用接続部材は、例えば C I C (C u / I n v e r / C u) のリードフレームなどであってもよい。

【0042】

上側コンデンサ 13 は、第 1 上側制御配線部 25 の屈曲部 25 c と上側アイランド部 37 とに実装されている。詳述すると、上側コンデンサ 13 の第 1 端子は第 1 上側制御配線部 25 の屈曲部 25 c に実装され、上側コンデンサ 13 の第 2 端子は上側アイランド部 37 に実装されている。図 3 に示すとおり、上側コンデンサ 13 の第 2 端子は、上側アイランド部 37 における第 1 入力配線部 23 の第 1 部分 23 a 側の端部に位置している。このように、上側コンデンサ 13 は、複数の上側スイッチング素子 11 の共通のドレイン端子 11 d (ドレイン) と、複数の上側スイッチング素子 11 の共通のゲート端子 11 g (ゲート) とを電氣的に接続している。

10

【0043】

下側コンデンサ 14 は、第 1 下側制御配線部 27 の屈曲部 27 c と下側アイランド部 38 とに実装されている。詳述すると、下側コンデンサ 14 の第 1 端子は第 1 下側制御配線部 27 の屈曲部 27 c に実装され、下側コンデンサ 14 の第 2 端子は下側アイランド部 38 に実装されている。図 3 に示すとおり、下側コンデンサ 14 の第 2 端子は、下側アイランド部 38 における第 2 入力配線部 24 の第 1 部分 24 a 側の端部に位置している。このように、下側コンデンサ 14 は、複数の下側スイッチング素子 12 の共通のドレイン端子 12 d (ドレイン) と、複数の下側スイッチング素子 12 の共通のゲート端子 12 g (ゲート) とを電氣的に接続している。

20

【0044】

図 4 に示すように、セラミック基板 21 の裏面側には、封止樹脂 40 から露出する放熱板 29 が設けられている。放熱板 29 は、銅 (C u) からなる。放熱板 29 の板厚は、セラミック基板 21 の板厚よりも厚い。放熱板 29 は、セラミック基板 21 の形状と相似形状となるように形成されている。放熱板 29 の外周縁は、セラミック基板 21 の外周縁よりも内側に位置している。これにより、封止樹脂 40 がセラミック基板 21 の裏面側に回り込むため、セラミック基板 21 と封止樹脂 40 との密着性が向上する。なお、放熱板 29 は、冷却器等に接続されることを想定して、表面がニッケル (N i) 又は銀 (A g) でメッキされていてもよい。

30

【0045】

(上側スイッチング素子及び下側スイッチング素子の構造)

次に、上側スイッチング素子 11 及び下側スイッチング素子 12 の構造について説明する。図 5 及び図 6 は、上側スイッチング素子 11 の構造の一例を示している。なお、上側スイッチング素子 11 及び下側スイッチング素子 12 は同一構造である。このため、図 5 及び図 6 は、下側スイッチング素子 12 の構造の一例を示しているとも言える。また以降では、上側スイッチング素子 11 の構造を説明し、下側スイッチング素子 12 の構造の説明を省略する。なお、上側スイッチング素子 11 及び下側スイッチング素子 12 の構造は、図 5 及び図 6 に示す構造に限られず、種々の変更が可能である。

40

【0046】

上側スイッチング素子 11 は、シリコンカーバイド (S i C) を用いたプレーナゲート型 V D M O S F E T (V e r t i c a l D o u b l e i m p l a n t e d M O S F E T) であり、図 5 (a) に示すとおり平面視で正方形のチップ状である。

【0047】

図 6 に示すように、 n^+ 型の S i C 基板 50 を有する。本実施形態では、S i C 基板 50 は、上側スイッチング素子 11 のドレインとして機能し、その表面 50 A (上面) がシ

50

リコン面（Si面）であり、その裏面50B（下面）がカーボン面（C面）である。

【0048】

SiC基板50上には、SiC基板50よりも低濃度のn⁻型のSiCからなるエピタキシャル層51が積層されている。半導体層としてのエピタキシャル層51は、Si面を成長主面として成長させられる。したがって、エピタキシャル成長により形成されるエピタキシャル層51の表面51Aは、SiC基板50の表面50Aと同様にSi面である。

【0049】

図5(a)に示すように、上側スイッチング素子11には、平面視においてエピタキシャル層51（図6参照）上の中央部に配置され、電界効果トランジスタとして機能する活性領域52が形成されている。エピタキシャル層51には、活性領域52を取り囲むように、活性領域52から間隔を空けてガードリング43（図5(b)においてクロスハッチングを付して示す）が複数本形成されている。本実施形態では、ガードリング43は、2本形成されている。

10

【0050】

図6に示すように、活性領域52とガードリング43との間隔は、全周に亘ってほぼ一定である。ガードリング43は、エピタキシャル層51にp型不純物をインプラントーションすることにより形成されたp⁻型の低濃度領域である。

【0051】

活性領域52において、エピタキシャル層51の表面51A側（Si面側）には、p型のボディ領域53が、行方向及び列方向に一定のピッチで行列状（マトリクス状）に配列されて多数形成されている。各ボディ領域53の形状は、例えば、平面視で正方形である。p型不純物は、例えばアルミニウム（Al）であってもよい。一方、エピタキシャル層51におけるボディ領域53よりもSiC基板50側（C面側）の領域は、エピタキシャル成長後のままの状態が維持された、n⁻型のドリフト領域54となっている。

20

【0052】

各ボディ領域53の表層部には、その中央部にp⁺型のボディコンタクト領域55が形成されており、このボディコンタクト領域55を取り囲むようにn⁺型のソース領域56が形成されている。ボディコンタクト領域55の形状は、例えば、平面視で正方形である。ソース領域56の形状は、例えば、平面視で正方形環状である。n型不純物濃度の一例は、磷（P）である。

30

【0053】

また活性領域52において、一定のピッチで行列状に配列されたボディ領域53の各間の領域（隣り合うボディ領域53の側面により挟まれるボディ間領域57）は、一定幅を有する格子状である。

【0054】

ボディ間領域57上には、このボディ間領域57に沿って、格子状のゲート絶縁膜58（図5(b)では図示略）が形成されている。ゲート絶縁膜58は、隣り合うボディ領域53の間に跨っており、ボディ領域53におけるソース領域56を取り囲む部分（ボディ領域53の周縁部）及びソース領域56の外周縁を覆っている。本実施形態では、ゲート絶縁膜58は、窒素（N）を含有する酸化膜、例えば、窒素及び酸素を含有するガスを用いた熱酸化により形成される窒化酸化シリコン膜からなる。

40

【0055】

ゲート絶縁膜58は、ボディ領域53の外部のエピタキシャル層51に接する第1部分58a、ボディ領域53に接する第2部分58b、及びソース領域56に接する第3部分58cを含む。図6に示されるように、第3部分58cの膜厚T3は、第1部分58aの膜厚T1及び第2部分58bの膜厚T2よりも大きい。詳述すると、第3部分58cの下側界面（ソース領域56との界面）は、第1部分58aの下側界面（エピタキシャル層51との界面）及び第2部分58bの下側界面（ボディ領域53との界面）よりも下側、すなわちSiC基板50側であり、エピタキシャル層51の表面51Aからより深い位置に位置している。また第3部分58cの上側界面（ゲート電極42との界面）は、第1部分

50

58aの上側界面(ゲート電極42との界面)及び第2部分58bの上側界面(ゲート電極42との界面)よりも上側、すなわちゲート電極42側であり、エピタキシャル層51の表面51Aからより遠い位置に位置している。

【0056】

ゲート絶縁膜58上には、ゲート電極42が形成されている。ゲート電極42は、格子状のゲート絶縁膜58に沿って格子状に形成されており、ゲート絶縁膜58を挟んで各ボディ領域53の周縁部に対向している。詳述すると、ゲート電極42は、ゲート絶縁膜58を挟んで、ボディ領域53の外部のエピタキシャル層51、ボディ領域53、及びソース領域56に跨る領域に対向している。したがって、ゲート電極42は、平面視においてソース領域56とオーバーラップしている。例えば、ゲート電極42は、平面視において、ボディ領域53とソース領域56との境界線からソース領域56に向けて僅かにはみ出している。これにより、ソース領域56とエピタキシャル層51との間のボディ領域53に対してゲート電極42を確実に対向させることができるため、ボディ領域53におけるチャンネルの形成を確実に制御できる。ゲート電極42は、例えばポリシリコンからなる。ゲート電極42は、例えばp型不純物が高濃度に導入されて低抵抗化されている。

10

【0057】

上側スイッチング素子11では、ボディ間領域57の幅方向中央に単位セル間の境界が設定されている。各単位セルでは、ゲート電極42に印加する電圧を制御することにより(例えば6V以上の電圧を印加することにより)、各単位セルのボディ領域53の周縁部に環状のチャンネルが形成される。この環状のチャンネルを介して、ドリフト領域54において各ボディ領域53の4つの側面に沿ってエピタキシャル層51の表面51A側へ流れるドレイン電流を、ソース領域56に流すことができる。チャンネル長Lは、ゲート電極42の直下のボディ領域53の幅によって規定される。

20

【0058】

エピタキシャル層51上には、ゲート電極42を被覆するように、例えば酸化シリコン(SiO_2)からなる層間絶縁膜59が積層されている。層間絶縁膜59は、コンタクトホール60が形成されている。コンタクトホール60内には、ソース領域56の中央部及びボディコンタクト領域55の全体が露出している。

【0059】

エピタキシャル層51上には、ソース電極41が形成されている。ソース電極41は、各コンタクトホール60を介して一括して接触している。つまり、ソース電極41は、全ての単位セルに対して共通の配線になっている。ソース電極41上には層間絶縁膜(図示略)が形成されている。ソース電極41は、層間絶縁膜を除く領域を形成することにより、すなわちソース電極41が露出する領域が形成され、ソース電極パッドを構成する。

30

【0060】

ソース電極41は、エピタキシャル層51との接触側から順にTi/TiN層61と、Al層62とが積層された構造を有する。Ti/TiN層61は、密着層としてのTi層をエピタキシャル層51側に有し、このTi層にバリア層としてのTiN層を積層した積層膜である。バリア層は、Al層62の構成原子(Al原子)がエピタキシャル層51側へと拡散することを抑制する。

40

【0061】

SiC基板50の裏面50Bには、その全域を覆うようにドレイン電極48が形成されている。ドレイン電極48は、全ての単位セルに対して共通の電極になっている。ドレイン電極48としては、例えばSiC基板50側から順にチタン(Ti)、ニッケル(Ni)、金(Au)、及び銀(Ag)が積層された積層構造(Ti/Ni/Au/Ag)を適用することができる。

【0062】

(比較例)

図7は、比較例のパワーモジュールの回路構成を示す。比較例のパワーモジュールの回路では、上側スイッチング素子11をオフし、下側スイッチング素子12をオンオフする

50

場合を示す。

【 0 0 6 3 】

比較例のパワーモジュールは、図 1 に示す本実施形態のパワーモジュール 1 の回路構成から上側コンデンサ 1 3 及び下側コンデンサ 1 4 を省略し、ボディダイオード 1 1 a , 1 2 a の記載を省略したものである。また比較例のパワーモジュールにおいて、電源 E S の正側端子は上側スイッチング素子 1 1 のドレイン端子 1 1 d に接続され、電源 E S の負側端子は下側スイッチング素子 1 2 のソース端子 1 2 s に接続されている。また、上側スイッチング素子 1 1 のドレイン端子 1 1 d とソース端子 1 1 s とを繋ぐ配線 9 を有する。配線 9 は、インダクタ負荷 9 a を有する。比較例のパワーモジュールの回路構成では、上側スイッチング素子 1 1 のゲート端子 1 1 g とソース端子 1 1 s とが第 1 上側制御配線部 2 5 に基づく寄生インダクタンス L_{gp} を有する第 1 接続配線 C P 1 と、第 2 上側制御配線部 2 6 に基づく寄生インダクタンス L_{gs} を有する第 2 接続配線 C P 2 とを短絡している。下側スイッチング素子 1 2 のゲート端子 1 2 g が下側ゲート駆動回路 3 に接続されている。ゲート端子 1 2 g と下側ゲート駆動回路 3 との間には、ゲート抵抗 8 が設けられている。

10

【 0 0 6 4 】

このような構成の上側スイッチング素子 1 1 及び下側スイッチング素子 1 2 はそれぞれ、SiC MOSFET が用いられることにより絶縁破壊電界が高い。このため、各スイッチング素子 1 1 , 1 2 のドリフト領域 5 4 の薄型化及び高濃度化を図ることにより、低いオン抵抗を実現することができる。一方、各スイッチング素子 1 1 , 1 2 のドリフト領域 5 4 を高濃度化した分、空乏層の拡張幅が制限されるため、ゲート・ドレイン間容量 C_{gd} が低下し難い。これにより、図 8 に示すように、ゲート・ソース間容量を C_{gs} とした場合、 C_{gs} / C_{gd} の値が小さくなりやすい。

20

【 0 0 6 5 】

図 9 及び図 1 0 は、図 7 及び図 8 に基づく回路図であり、下側スイッチング素子 1 2 を状態変化させたときの下側スイッチング素子 1 2 のドレイン・ソース間電圧 V_{ds1} の変化と、上側スイッチング素子 1 1 のドレイン・ソース間電圧 V_{dsu} 、ドレイン・ゲート間電圧 V_{dgu} 、及びゲート・ソース間電圧 V_{gsu} の変化とを示す模式回路図を示す。

【 0 0 6 6 】

比較例のパワーモジュールにおいて、下側スイッチング素子 1 2 をオフ状態からオン状態に変更した場合、図 9 に示すように、下側スイッチング素子 1 2 のドレイン・ソース間電圧 V_{ds1} が低下するとともに上側スイッチング素子 1 1 のドレイン・ソース間電圧 V_{dsu} 及びドレイン・ゲート間電圧 V_{dgu} が増加する。このような過渡応答において、上側スイッチング素子 1 1 のゲート・ソース間には各接続配線 C P 1 , C P 2 で短絡されているため、本来ならゲート・ソース間電圧 V_{gsu} が変化することはない。しかし、上側スイッチング素子 1 1 のゲート・ソース間には上記インダクタンス成分 ($L_{gp} + L_{gs}$) 及び寄生ゲート抵抗 R_{gp} が存在するため、瞬間的にゲート・ソース間容量 C_{gs} に分圧が発生する。すなわち瞬間的にゲート・ソース間に正側のサージ電圧が発生する。その結果、ドレイン・ソース間電圧 V_{ds} の変化 dV_{ds} / dt に起因してゲート・ソース間電圧 V_{gsu} が急激に増加して、しきい値電圧を越えることにより、セルフターンオンが生じるおそれがある。

30

40

【 0 0 6 7 】

このようなセルフターンオンの発生を抑制するため、上側スイッチング素子 1 1 のゲートに負バイアスを印加する対策が知られている。すなわち、ゲート・ソース間電圧 V_{gsu} を予め負側に維持することによりゲート・ソース間電圧 V_{gsu} とゲートしきい値電圧との差を大きくする。これにより、正側のサージ電圧がゲートに印加されたとしても、ゲートしきい値電圧を越えにくくなる。

【 0 0 6 8 】

ところで、各スイッチング素子 1 1 , 1 2 は、SiC MOSFET の特性上、ゲート・ソース間電圧 V_{gs} の負側絶対最大定格値がゲート・ソース間電圧 V_{gs} の正側絶対最

50

大定格値よりも小さい。一例では、各スイッチング素子 11, 12 のゲート・ソース間電圧 V_{gs} の負側絶対最大定格値は $-10V$ であり、ゲート・ソース間電圧 V_{gs} の正側絶対最大定格値は $26V$ である。このため、ゲート負バイアスを印加すると、ゲート・ソース間電圧 V_{gs} の負側絶対最大定格値との差が小さくなり、許容可能なゲート・ソース間電圧 V_{gs} の負側の範囲が狭くなる。

【0069】

ここで、下側スイッチング素子 12 をオン状態からオフ状態に変更した場合、図 10 に示すように、下側スイッチング素子 12 のドレイン・ソース間電圧 V_{ds1} が増加するとともに上側スイッチング素子 11 のドレイン・ソース間電圧 V_{dsu} 及びドレイン・ゲート間電圧 V_{dgu} が低下する。このような過渡応答においても同様に、上記インダクタンス成分 ($L_{gp} + L_{gs}$) 及び寄生ゲート抵抗 R_{gp} に起因して、瞬間的にゲート・ソース間容量 C_{gs} に分圧が発生する。すなわち瞬間的にゲート・ソース間に負側のサージ電圧が発生する。その結果、ドレイン・ソース間電圧 V_{ds} の変化 dV_{ds}/dt に起因してゲート・ソース間電圧 V_{gsu} が急激に低下することにより、負側絶対最大定格値を下回るおそれがある。特に、上側スイッチング素子 11 のゲートに負バイアスを印加する場合、ゲート・ソース間電圧 V_{gsu} と負側絶対最大定格値との差が小さくなるため、負側のサージ電圧に起因して、ゲート・ソース間電圧 V_{gsu} が負側絶対最大定格値を下回り易くなる。

10

【0070】

図 11 は、比較例のパワーモジュールにおける下側スイッチング素子 12 をオン状態からオフ状態に変更した場合の上側スイッチング素子 11 のドレイン・ソース間電圧 V_{dsu} 、ゲート・ソース間電圧 V_{gsu} 、及びドレイン電流 I_{du} の推移と、下側スイッチング素子 12 のドレイン・ソース間電圧 V_{ds1} の推移を示している。

20

【0071】

図 11 から分かるとおり、ゲート・ソース間容量 C_{gs} の分圧であるゲート・ソース間電圧 V_{gsu} は、上側スイッチング素子 11 のドレイン・ソース間電圧 V_{dsu} が最も低下する時刻 t_1 において、負側に最も大きくなる。言い換えれば、ゲート・ソース間電圧 V_{gsu} は、下側スイッチング素子 12 のドレイン・ソース間電圧 V_{ds1} が最も高くなったときに負側に最も大きくなる。このように、下側スイッチング素子 12 が駆動し、上側スイッチング素子 11 が駆動しない場合には、下側スイッチング素子 12 のドレイン・ソース間電圧 V_{ds1} によって上側スイッチング素子 11 のドレイン・ソース間電圧 V_{dsu} が決められる。

30

【0072】

またゲート・ソース間容量 C_{gs} の分圧は、 C_{gs}/C_{gd} の逆比によって決められる。すなわちゲート・ソース間容量 C_{gs} の分圧は、 C_{gs}/C_{gd} が小さくなるにつれて大きくなる。言い換えれば、ゲート・ソース間容量 C_{gs} の分圧は、 C_{gs}/C_{gd} が大きくなるにつれて小さくなる。ところで、各スイッチング素子 11, 12 では、SiCMOSFET の特性上、ゲート・ソース間容量 C_{gs} 及びゲート・ドレイン間容量 C_{gd} とドレイン・ソース間電圧 V_{dsu} との関係は、図 12 に示すグラフのようになる。詳述すると、ゲート・ソース間容量 C_{gs} は、ドレイン・ソース間電圧 V_{dsu} が変化しても略変化しない。一方、ゲート・ドレイン間容量 C_{gd} は、ドレイン・ソース間電圧 V_{dsu} が増加するにつれて小さくなる傾向を有する。このため、ドレイン・ソース間電圧 V_{dsu} が比較的低い領域では C_{gs}/C_{gd} が小さくなり、ドレイン・ソース間電圧 V_{dsu} が比較的高い領域では C_{gs}/C_{gd} が大きくなる。 C_{gs}/C_{gd} は、ドレイン・ソース間電圧 V_{dsu} が高くなるにつれて大きくなる。

40

【0073】

上側スイッチング素子 11 のゲート・ソース間電圧 V_{gsu} は、瞬間的には上側スイッチング素子 11 のドレイン・ソース間電圧 V_{dsu} の変化に伴い変化するため、ドレイン・ソース間電圧 V_{dsu} の変化速度を低減する必要がある。また、上側スイッチング素子 11 のドレイン・ソース間電圧 V_{dsu} が下側スイッチング素子 12 のドレイン・ソース

50

間電圧 V_{ds1} に伴い変化するため、上側スイッチング素子 11 のゲート・ソース間電圧 V_{gsu} のサージ電圧を低減するためには、下側スイッチング素子 12 のドレイン・ソース間電圧 V_{ds1} の変化速度を低減すればよい。下側スイッチング素子 12 のドレイン・ソース間電圧 V_{ds1} の変化速度は、ゲート・ドレイン間容量 C_{gd} によって概ね決められる。詳述すると、ドレイン・ソース間電圧 V_{ds1} の変化速度は、ゲート・ドレイン間容量 C_{gd} が大きくなるにつれて遅くなる。

【0074】

そこで、本実施形態のパワーモジュール 1 は、上側スイッチング素子 11 のゲート端子 11g 及びドレイン端子 11d に電氣的に接続された上側コンデンサ 13 と、下側スイッチング素子 12 のゲート端子 12g 及びドレイン端子 12d に電氣的に接続された下側コンデンサ 14 とを有する。

10

【0075】

この構成によれば、例えば下側スイッチング素子 12 がオフ状態からオン状態に変更する場合、ゲート電流が下側コンデンサ 14 を充電することによりドレイン・ソース間電圧 V_{ds1} の変化速度が遅くなる。これに伴い、上側スイッチング素子 11 のドレイン・ソース間電圧 V_{dsu} の変化速度が遅くなる。したがって、上側スイッチング素子 11 のゲート・ソース間電圧 V_{gsu} の変化が抑制されるため、セルフターンオンの発生を抑制することができる。また、例えば下側スイッチング素子 12 がオン状態からオフ状態に変更する場合、ゲート端子 12g に下側コンデンサ 14 が放電することにより下側スイッチング素子 12 のドレイン・ソース間電圧 V_{ds1} の変化速度が遅くなる。これに伴い、上側スイッチング素子 11 のドレイン・ソース間電圧 V_{dsu} の変化速度が遅くなることにより、ゲート・ソース間電圧 V_{gsu} の変化が抑制される。したがって、ゲート・ソース間電圧 V_{gsu} が負側絶対最大定格値を下回ることが抑制される。なお、上側スイッチング素子 11 がオン状態とオフ状態とを切り替える場合を想定して、上側スイッチング素子 11 にも上側コンデンサ 13 が接続されているが、上側コンデンサ 13 は、上側スイッチング素子 11 の寄生ゲート抵抗 R_{gp} よりも外側に接続されているため、下側スイッチング素子 12 のスイッチング時の瞬間的な挙動に対して C_{gs}/C_{gd} を小さくさせる効果は薄く、ゲート・ソース間容量 C_{gs} への分圧増加が抑制されるため、効果的に上側スイッチング素子 11 のゲート・ソース間電圧 V_{gsu} のサージ電圧を抑制することができる。

20

【0076】

また、上側コンデンサ 13 及び下側コンデンサ 14 は、図 13 に示すような端子間電圧と容量との関係を有することが好ましい。詳述すると、上側コンデンサ 13 及び下側コンデンサ 14 の端子間電圧がそれぞれ大きくなるにつれて上側コンデンサ 13 及び下側コンデンサ 14 の容量がそれぞれ増加する。本実施形態では、上側コンデンサ 13 及び下側コンデンサ 14 の端子間電圧が高い領域における容量は、ドレイン・ソース間電圧 V_{dsu} が高い領域におけるゲート・ドレイン間容量 C_{gd} と同等レベルである。

30

【0077】

この構成によれば、例えば下側スイッチング素子 12 がオン状態からオフ状態に変更する場合、下側スイッチング素子 12 のドレイン・ソース間電圧 V_{ds1} が高くなることにより、下側コンデンサ 14 の端子間電圧が高くなる。この場合、下側コンデンサ 14 の容量が増加することにより、下側コンデンサ 14 の電圧変化に必要な電荷量が増加するため、下側スイッチング素子 12 のドレイン・ソース間電圧 V_{ds1} の変化速度がより遅くなる。これに伴い、上側スイッチング素子 11 のドレイン・ソース間電圧 V_{dsu} の変化速度がより遅くなることにより、ゲート・ソース間電圧 V_{gsu} の変化が一層抑制される。

40

【0078】

また、例えば下側スイッチング素子 12 がオン状態からオフ状態に変更する場合、上側スイッチング素子 11 のドレイン・ソース間電圧 V_{dsu} が低くなることにより、上側コンデンサ 13 の端子間電圧が低くなり、上側コンデンサ 13 の容量が小さくなる。ここで、上述のとおり、上側コンデンサ 13 は上側スイッチング素子 11 の寄生ゲート抵抗 R_{gp} の外側に接続されているため、下側スイッチング素子 12 のスイッチング時の瞬間的な

50

挙動に対して C_{gs} / C_{gd} を小さくさせる効果は薄い、寄生ゲート抵抗 R_{gp} が極端に小さい場合などは影響が全く無いわけではないため、上側コンデンサ 13 の低電圧印加時の容量が大きいと、上側スイッチング素子 11 のドレイン・ソース間電圧 V_{dsu} に対する上側スイッチング素子 11 のゲート・ソース間電圧 V_{gsu} の分圧が大きくなり、ゲート・ソース間電圧 V_{gsu} の変化が大きくなってしまふ。しかし、図 14 に示すように、上側スイッチング素子 11 のドレイン・ソース間電圧 V_{dsu} が低い場合は上側コンデンサ 13 の容量が小さいため、 C_{gs} / C_{gd} を小さくする影響を抑制することができる。

【 0079 】

(シミュレーション結果)

比較例及び本実施形態のパワーモジュール 1 において、上側スイッチング素子 11 をオフし、下側スイッチング素子 12 をオンオフする場合における負側のサージ電圧の発生とスイッチング損失との関係について、図 7 及び図 15 に示す模式的な回路構成に基づいてシミュレーションを行った。図 7 は比較例のパワーモジュールの模式的な回路構成を示し、図 15 は本実施形態のパワーモジュール 1 において図 7 と同様の外部接続を行った場合の模式的な回路構成を示す。

【 0080 】

図 15 の回路構成では、上側スイッチング素子 11 のソースとゲートとが短絡され、下側スイッチング素子 12 のゲートに下側ゲート駆動回路 3 が電氣的に接続されている。ゲートと下側ゲート駆動回路 3 との間には、ゲート抵抗 8 が設けられている。ゲート抵抗 8 の第 1 端子は下側スイッチング素子 12 のゲートに接続され、ゲート抵抗 8 の第 2 端子は下側ゲート駆動回路 3 に接続されている。下側コンデンサ 14 の第 1 端子は下側スイッチング素子 12 のドレインに接続され、下側コンデンサ 14 の第 2 端子はゲート抵抗 8 の第 2 端子に接続されている。上側スイッチング素子 11 のドレインには電源 E_S の正側端子が電氣的に接続され、下側スイッチング素子 12 のソースには電源 E_S の負側端子が電氣的に接続されている。図 15 の回路構成は、電源 E_S の正側端子と上側スイッチング素子 11 のドレインとの間と、上側スイッチング素子 11 のソースと下側スイッチング素子 12 のドレインとの間とを繋ぐ配線 9 を有する。配線 9 は、インダクタ負荷 9a を有する。

【 0081 】

比較例のパワーモジュールでは、ゲート抵抗 8 を 2、3、4、及び 5 と変化させた場合のシミュレーションを行った。ここで、比較例及び本実施形態のパワーモジュールの回路構成であってゲート抵抗 8 が 2 の場合を基準条件と規定する。

【 0082 】

図 16 に示すように、比較例のパワーモジュールでは、ゲート抵抗 8 を大きくすることにより、下側スイッチング素子 12 のスイッチング速度 (ドレイン・ソース間電圧 V_{ds1} の変化速度) が遅くなることにより負側のサージ電圧の絶対値が小さくなる一方、ゲート抵抗 8 を大きくすることにより、スイッチング損失が急激に大きくなる。

【 0083 】

本実施形態のパワーモジュール 1 では、上側コンデンサ 13 及び下側コンデンサ 14 の容量を 50 pF、100 pF、及び 150 pF と変化させた場合のシミュレーションを行った。

【 0084 】

図 16 に示すように、本実施形態のパワーモジュール 1 では、上側コンデンサ 13 及び下側コンデンサ 14 により、基準条件よりも負側のサージ電圧の絶対値が小さくなる。そして上側コンデンサ 13 及び下側コンデンサ 14 の容量が大きくなるにつれて負側のサージ電圧の絶対値が小さくなる。一方、上側コンデンサ 13 及び下側コンデンサ 14 の容量が大きくなるにつれてスイッチング損失が大きくなるが、比較例のパワーモジュールのようにゲート抵抗 8 を大きくする場合に比べ、スイッチング損失が小さくなる。

【 0085 】

本実施形態によれば、以下の効果が得られる。

10

20

30

40

50

(1-1) パワーモジュール1は、上側スイッチング素子11のドレイン端子11d及びゲート端子11gに電氣的に接続される上側コンデンサ13と、下側スイッチング素子12のドレイン端子12d及びゲート端子12gに電氣的に接続される下側コンデンサ14とを有する。この構成によれば、例えば下側スイッチング素子12がオン状態からオフ状態に変化する時、下側コンデンサ14によって下側スイッチング素子12のドレイン・ソース間電圧 V_{ds1} の変化速度が遅くなる。これにより、上側スイッチング素子11のドレイン・ソース間電圧 V_{dsu} の変化速度が遅くなるため、上側スイッチング素子11のゲート・ソース間電圧 V_{gsu} の変化速度が遅くなる。したがって、上側スイッチング素子11のゲート・ソース間電圧 V_{gsu} のサージ電圧の増加が抑制されるため、上側スイッチング素子11のゲート・ソース間電圧 V_{gsu} の変動を低減することができる。また例えば上側スイッチング素子11がオン状態からオフ状態に変化する時、上側コンデンサ13によって上側スイッチング素子11のドレイン・ソース間電圧 V_{dsu} の変化速度が遅くなる。これにより、下側スイッチング素子12のドレイン・ソース間電圧 V_{ds1} の変化速度が遅くなるため、下側スイッチング素子12のゲート・ソース間電圧 V_{gs1} の変化速度が遅くなる。これにより、下側スイッチング素子12のゲート・ソース間電圧 V_{gs1} のサージ電圧の増加が抑制されるため、下側スイッチング素子12のゲート・ソース間電圧 V_{gs1} の変動を低減することができる。

10

【0086】

(1-2) 上側コンデンサ13は、上側スイッチング素子11のドレイン・ソース間電圧 V_{dsu} が正の値の場合に容量が増加するように構成されている。下側コンデンサ14は、下側スイッチング素子12のドレイン・ソース間電圧 V_{ds1} が正の値の場合に容量が増加するように構成されている。この構成によれば、ドレイン・ソース間電圧 V_{ds} が高い領域においてゲート・ドレイン間容量 C_{gd} をより増加させることができ、ゲート・ソース間電圧 V_{gs} の変動を好適に抑制することができる。

20

【0087】

(1-3) パワーモジュール1は、複数個(2個)の上側スイッチング素子11が互いに並列に接続され、複数個(2個)の下側スイッチング素子12が互いに並列に接続されているため、複数個の上側スイッチング素子11のオン抵抗及び複数個の下側スイッチング素子12のオン抵抗が小さくなる。したがって、パワーモジュール1の導通損失を低減することができる。

30

【0088】

(1-4) 上側スイッチング素子11のドレイン・ゲート間電圧 V_{dgu} 及び下側スイッチング素子12のドレイン・ゲート間電圧 V_{dgl} はそれぞれ高電圧が印加されるため、上側コンデンサ13及び下側コンデンサ14はそれぞれ高電圧が印加されることになる。このため、上側コンデンサ13及び下側コンデンサ14に対して十分な耐圧及び絶縁距離が必要となる。このような実情に対して、本実施形態のパワーモジュール1は、基板20に実装された上側スイッチング素子11、下側スイッチング素子12、上側コンデンサ13、及び下側コンデンサ14を封止する封止樹脂40を有する。この封止樹脂40によって沿面放電を抑制することができるため、上側コンデンサ13及び下側コンデンサ14の耐圧及び絶縁距離を確保することができる。

40

【0089】

(1-5) 第2方向Yにおいて、出力配線部22の一方側に第1入力配線部23が配置され、出力配線部22の他方側に第2入力配線部24が配置されている。上側スイッチング素子11は第1入力配線部23に実装され、下側スイッチング素子12は出力配線部22に実装されている。この構成によれば、上側スイッチング素子11のソース電極41と出力配線部22とを繋ぐ上側電力用ワイヤ44の長さを短くすることができ、下側スイッチング素子12のソース電極41と第2入力配線部24とを繋ぐ下側電力用ワイヤ46の長さを短くすることができる。

【0090】

(1-6) 上側コンデンサ13が上側アイランド部37に電氣的に接続され、上側アイ

50

ランド部 37 が上側接続用ワイヤ 39U により第 1 入力配線部 23 に電氣的に接続されている。これにより、上側コンデンサ 13 が第 1 上側制御配線部 25 の屈曲部 25c に対して、上側コンデンサ 13 の第 1 端子及び第 2 端子の配列方向が第 1 方向 X となる状態で接続することができる。したがって、第 1 上側制御配線部 25 において上側スイッチング素子 11 のゲート電極 42 に接続された上側制御用ワイヤ 45 が接続された部分から第 1 上側制御端子部材 33 が接続される部分までの範囲において、上側コンデンサ 13 が第 1 上側制御配線部 25 の凹部 25d 以外の部分で接続することができる。

【0091】

また下側コンデンサ 14 が下側アイランド部 38 に電氣的に接続され、下側アイランド部 38 が下側接続用ワイヤ 39L により出力配線部 22 に電氣的に接続されている。これにより、下側コンデンサ 14 が第 1 下側制御配線部 27 の屈曲部 27c に対して、下側コンデンサ 14 の第 1 端子及び第 2 端子の配列方向が第 1 方向 X となる状態で接続することができる。したがって、第 1 下側制御配線部 27 において下側スイッチング素子 12 のゲート電極 42 に接続された下側制御用ワイヤ 47 が接続された部分から第 1 下側制御端子部材 35 が接続される部分までの範囲において、下側コンデンサ 14 が第 1 下側制御配線部 27 の凹部 27d 以外の部分で接続することができる。加えて、下側アイランド部 38 が下側接続用ワイヤ 39L によって出力配線部 22 と電氣的に接続されるため、下側アイランド部 38 と出力配線部 22 との間に他の部材（例えば第 2 入力配線部 24）が存在しても、その他の部材を跨いで電氣的に接続することができる。

10

【0092】

(1-7) 下側スイッチング素子 12 は、出力配線部 22 の第 1 部分 22a において第 2 方向 Y の第 2 入力配線部 24 寄りに配置されている。このため、出力配線部 22 の第 1 部分 22a において、上側スイッチング素子 11 に接続された上側電力用ワイヤ 44 を出力配線部 22 に接続するためのスペースを確保することができる。したがって、上側電力用ワイヤ 44 を出力配線部 22 に容易に接続することができる。

20

【0093】

(1-8) 出力配線部 22 の第 1 方向 X の長さは、下側スイッチング素子 12 が 1 ~ 5 個配置可能な長さに設定されている。第 1 入力配線部 23 の第 1 方向 X の長さは、上側スイッチング素子 11 が 1 ~ 5 個配置可能な長さに設定されている。この構成によれば、パワーモジュール 1 の同一サイズにおいて、オン抵抗が異なるパワーモジュール 1 のバリエーションを提供することができる。

30

【0094】

(1-9) 上側スイッチング素子 11 と上側コンデンサ 13 とが個別のチップとして設けられ、下側スイッチング素子 12 と下側コンデンサ 14 とが個別のチップとして設けられている。この構成によれば、上側コンデンサ 13 及び下側コンデンサ 14 の個数及び容量を任意に設定可能となるため、サージ電圧抑制のために適切な上側コンデンサ 13 及び下側コンデンサ 14 を用いることができる。

【0095】

(第 2 実施形態)

図 17 ~ 図 30 を参照して、第 2 実施形態のパワーモジュール 1 について説明する。本実施形態のパワーモジュール 1 は、第 1 実施形態のパワーモジュール 1 と比較して、上側コンデンサ 13 及び下側コンデンサ 14 を省略した点と、上側ダイオード 71 及び下側ダイオード 72 を追加した点とが異なる。以下の説明において、第 1 実施形態のパワーモジュール 1 と共通の構成については同一符号を付し、その説明を省略する。また、図 18 ~ 図 24 は、本実施形態のパワーモジュール 1 の構成の一例を示している。なお、本実施形態のパワーモジュール 1 の構成は図 18 ~ 図 24 の構成に限られず、種々の変更が可能である。

40

【0096】

図 17 及び図 19 に示すように、上側ダイオード 71 は上側スイッチング素子 11 とは別体として設けられ、下側ダイオード 72 は下側スイッチング素子 12 とは別体として設

50

けられている。図 17 に示すとおり、上側ダイオード 71 のカソードは、上側スイッチング素子 11 のドレイン端子 11d と第 1 入力端子 P とを繋ぐ第 1 配線 15 に電氣的に接続されている。上側ダイオード 71 のアノードは、上側スイッチング素子 11 のソース端子 11s と下側スイッチング素子 12 のドレイン端子 12d とを繋ぐ第 4 配線 18 においてノード N よりも上側スイッチング素子 11 側の部分に電氣的に接続されている。下側ダイオード 72 のカソードは、第 4 配線 18 においてノード N よりも下側スイッチング素子 12 側の部分に電氣的に接続されている。下側ダイオード 72 のアノードは、下側スイッチング素子 12 のソース端子 12s と第 2 入力端子 N とを繋ぐ第 5 配線 19 に電氣的に接続されている。本実施形態では、上側ダイオード 71 及び下側ダイオード 72 はそれぞれ、ショットキーバリアダイオードが用いられている。上側ダイオード 71 及び下側ダイオード 72 のそれぞれの順方向しきい値電圧は、上側スイッチング素子 11 のボディダイオード 11a 及び下側スイッチング素子 12 のボディダイオード 12a のそれぞれの順方向しきい値電圧よりも低い。

10

【0097】

上側スイッチング素子 11 及び下側スイッチング素子 12 のそれぞれの個数は任意に変更可能である。例えば、上側スイッチング素子 11 及び下側スイッチング素子 12 のそれぞれの個数は、予め設定されたオン抵抗となるように設定される。上側スイッチング素子 11 が複数個設けられる場合、複数の上側スイッチング素子 11 は互いに並列に接続される。すなわち、複数の上側スイッチング素子 11 のドレイン端子 11d が互いに接続され、複数の上側スイッチング素子 11 のソース端子 11s が互いに接続され、複数の上側スイッチング素子 11 のゲート端子 11g が互いに接続される。また下側スイッチング素子 12 が複数個設けられる場合、複数の下側スイッチング素子 12 は互いに並列に接続される。すなわち、複数の下側スイッチング素子 12 のドレイン端子 12d が互いに接続され、複数の下側スイッチング素子 12 のソース端子 12s が互いに接続され、複数の下側スイッチング素子 12 のゲート端子 12g が互いに接続される。本実施形態では、上側スイッチング素子 11 は 3 個設けられ、下側スイッチング素子 12 は 3 個設けられている。

20

【0098】

また上側ダイオード 71 及び下側ダイオード 72 のそれぞれの個数は任意に変更可能である。例えば、上側ダイオード 71 及び下側ダイオード 72 のそれぞれの個数は、上側スイッチング素子 11 及び下側スイッチング素子 12 を避けて流す還流電流の大きさに基づいて設定される。上側ダイオード 71 が複数個設けられる場合、複数の上側ダイオード 71 は互いに並列に接続される。すなわち、複数の上側ダイオード 71 のアノードが互いに接続され、複数の上側ダイオード 71 のカソードが互いに接続される。複数の上側ダイオード 71 のカソードは第 1 配線 15 に接続され、複数の上側ダイオード 71 のアノードは第 4 配線 18 におけるノード N よりも上側スイッチング素子 11 側の部分に接続される。また下側ダイオード 72 が複数個設けられる場合、複数の下側ダイオード 72 は互いに並列に接続される。すなわち、複数の下側ダイオード 72 のアノードが互いに接続され、複数の下側ダイオード 72 のカソードが互いに接続される。複数の下側ダイオード 72 のカソードは第 4 配線 18 におけるノード N よりも下側スイッチング素子 12 側の部分に接続され、複数の下側ダイオード 72 のアノードは第 5 配線 19 に接続される。本実施形態では、上側ダイオード 71 は 2 個設けられ、下側ダイオード 72 は 2 個設けられている。

30

40

【0099】

パワーモジュール 1 は、上側ダイオード 71 が許容可能な DC 定格電流が、上側スイッチング素子 11 が許容可能な DC 定格電流未満となり、かつ下側ダイオード 72 が許容可能な DC 定格電流が、下側スイッチング素子 12 が許容可能な DC 定格電流未満となるように構成されている。ここで、DC 定格電流は、絶対最大定格の直流電流である。上側ダイオード 71 及び上側スイッチング素子 11 がそれぞれ複数個設けられる場合、パワーモジュール 1 は、複数の上側ダイオード 71 の DC 定格電流の合計が、複数の上側スイッチング素子 11 の DC 定格電流の合計未満となるように構成されている。また下側ダイオード 72 及び下側スイッチング素子 12 がそれぞれ複数個設けられる場合、パワーモジュール

50

ル 1 は、複数の下側ダイオード 7 2 の DC 定格電流の合計が、複数の下側スイッチング素子 1 2 の DC 定格電流の合計未満となるように構成されている。

【 0 1 0 0 】

一例では、パワーモジュール 1 は、上側ダイオード 7 1 の個数が上側スイッチング素子 1 1 の個数よりも少なく、かつ下側ダイオード 7 2 の個数が下側スイッチング素子 1 2 の個数よりも少なくなるように構成されている。上述したとおり、本実施形態では、図 1 9 に示すとおり、パワーモジュール 1 は、3 個の上側スイッチング素子 1 1、3 個の下側スイッチング素子 1 2、2 個の上側ダイオード 7 1、及び 2 個の下側ダイオード 7 2 を有する。また例えば、1 つの上側ダイオード 7 1 が許容可能な DC 定格電流が、1 つの上側スイッチング素子 1 1 が許容可能な DC 定格電流未満としてもよい。また 1 つの下側ダイオード 7 2 が許容可能な DC 定格電流が、1 つの下側スイッチング素子 1 2 が許容可能な DC 定格電流未満としてもよい。この場合、上側スイッチング素子 1 1 の個数と上側ダイオード 7 1 の個数とが互いに等しくてもよい。また下側スイッチング素子 1 2 の個数と下側ダイオード 7 2 の個数とが互いに等しくてもよい。

10

【 0 1 0 1 】

図 1 8 ~ 図 2 0 に示すように、パワーモジュール 1 は、平面視において矩形の基板 8 0 と、各スイッチング素子 1 1、1 2 及び各ダイオード 7 1、7 2 を封止する封止樹脂 9 0 とを備える。以降の説明では、基板 8 0 の縦方向を「第 1 方向 X」と規定し、基板 8 0 の横方向（長手方向）を「第 2 方向 Y」と規定し、基板 8 0 の板厚方向を「第 3 方向 Z」と規定する。

20

【 0 1 0 2 】

基板 8 0 は、セラミック基板 8 1 とグラファイト基板 8 2 とが積層された構成を有する。グラファイト基板 8 2 は、第 1 基板 8 2 A 及び第 2 基板 8 2 B を有する。第 1 基板 8 2 A と第 2 基板 8 2 B は、第 1 方向 X において隙間を空けて並べて配置されている。第 1 基板 8 2 A 及び第 2 基板 8 2 B はそれぞれ、第 2 方向 Y が長手方向となる矩形に形成されている。

【 0 1 0 3 】

図 1 9、図 2 1、及び図 2 2 に示すように、セラミック基板 8 1 は、セラミック材料からなる本体部 8 1 a と、本体部 8 1 a の裏面側に設けられた裏面金属層 8 1 b と、本体部 8 1 a の表面側に設けられた表面金属層 8 1 c とを有する。裏面金属層 8 1 b は、例えば銅 (Cu) からなり、本体部 8 1 a の裏面に接着剤等により取り付けられている。表面金属層 8 1 c は、例えば銅 (Cu) からなり、本体部 8 1 a の表面に接着剤等により取り付けられている。図 2 0 ~ 図 2 2 に示すとおり、平面視における本体部 8 1 a の面積は、平面視における表面金属層 8 1 c の面積及び裏面金属層 8 1 b の面積のそれぞれよりも大きい。すなわち、表面金属層 8 1 c の外周縁は、本体部 8 1 a の外周縁よりも内側に形成され、裏面金属層 8 1 b の外周縁は、本体部 8 1 a の外周縁よりも内側に形成されている。また例えば、本体部 8 1 a の厚さは、裏面金属層 8 1 b 及び表面金属層 8 1 c の厚さのそれぞれよりも薄い。裏面金属層 8 1 b の厚さと表面金属層 8 1 c の厚さとは互いに等しい。裏面金属層 8 1 b の平面視における形状と表面金属層 8 1 c の平面視における形状とは互いに等しい。このように、裏面金属層 8 1 b の体積と表面金属層 8 1 c の体積とは互いに等しい。本実施形態では、本体部 8 1 a の厚さが 0.32 mm であり、裏面金属層 8 1 b の厚さが 0.4 mm であり、表面金属層 8 1 c の厚さが 0.4 mm である。なお、本体部 8 1 a、裏面金属層 8 1 b、及び表面金属層 8 1 c の厚さはそれぞれ、任意に変更可能である。一例では、本体部 8 1 a の厚さ、裏面金属層 8 1 b の厚さ、及び表面金属層 8 1 c の厚さが互いに等しくてもよい。図 2 1 に示すように、裏面金属層 8 1 b は封止樹脂 9 0 から露出する一方、本体部 8 1 a は封止樹脂 9 0 から露出していない。すなわち、封止樹脂 9 0 は、本体部 8 1 a の裏面金属層 8 1 b 側の部分を覆っている。これにより、セラミック基板 8 1 が封止樹脂 9 0 から剥離することを抑制することができる。

30

40

【 0 1 0 4 】

図 1 9 に示すように、第 1 基板 8 2 A 及び第 2 基板 8 2 B はそれぞれ、セラミック基板

50

8 1の表面金属層8 1 cに積層されている。第1基板8 2 Aは、グラファイトからなる本体部8 2 aと、本体部8 2 aの裏面側に設けられた裏面金属層8 2 bと、本体部8 2 aの表面側に設けられた表面金属層8 2 cとを有する。裏面金属層8 2 bは、例えば銅(Cu)からなる。裏面金属層8 2 bは、セラミック基板8 1の表面金属層8 1 cと半田等によって貼り合わせられている。表面金属層8 2 cは、例えば銅(Cu)からなる。図19及び図20に示すとおり、平面視における本体部8 2 aの面積は、平面視における表面金属層8 2 cの面積及び裏面金属層8 2 bの面積のそれぞれと等しい。第1基板8 2 Aの外周縁は、セラミック基板8 1の表面金属層8 1 cの外周縁よりも内側に形成されている。また例えば、本体部8 2 aの厚さは、裏面金属層8 2 bの厚さ及び表面金属層8 2 cの厚さのそれぞれよりも厚い。一例では、本体部8 2 aは、裏面金属層8 2 bの厚さ及び表面金属層8 2 cの厚さのそれぞれの2倍以上の厚さを有する。また裏面金属層8 2 bの厚さと表面金属層8 2 cの厚さは互いに等しい。すなわち裏面金属層8 2 bの体積と表面金属層8 2 cの体積とは互いに等しい。また裏面金属層8 2 bの厚さ及び表面金属層8 2 cの厚さはそれぞれ、セラミック基板8 1の裏面金属層8 1 bの厚さ及び表面金属層8 1 cの厚さよりも厚い。一例では、裏面金属層8 2 bの厚さ及び表面金属層8 2 cの厚さはそれぞれ、セラミック基板8 1の裏面金属層8 1 bの厚さ及び表面金属層8 1 cの厚さの2倍程度である。本実施形態では、本体部8 2 aの厚さが2.0 mmであり、裏面金属層8 2 bの厚さが0.8 mmであり、表面金属層8 2 cの厚さが0.8 mmである。

10

【0105】

第1基板8 2 Aの本体部8 2 aは、異方性となる熱伝導性を有する。詳述すると、第1基板8 2 Aの本体部8 2 aは、第2方向Yにおける本体部8 2 aの熱伝導性が第1方向Xにおける本体部8 2 aの熱伝導性よりも低くなるように構成されている。言い換えれば、第1基板8 2 Aの本体部8 2 aは、第2方向Yにおける本体部8 2 aの熱伝導率が第1方向Xにおける本体部8 2 aの熱伝導率よりも低くなるように構成されている。第1基板8 2 Aの本体部8 2 aは、第3方向Zの熱伝導性が第1方向Xにおける本体部8 2 aの熱伝導性と等しくなるように構成されている。なお、第1基板8 2 Aの本体部8 2 aは、第1方向Xの熱伝導性と第3方向Zの熱伝導性とが互いに異なってもよい。この場合においても第1基板8 2 Aの本体部8 2 aの第2方向Yの熱伝導性が、第1方向Xの熱伝導性及び第3方向Zの熱伝導性よりも低いことが好ましい。

20

【0106】

第2基板8 2 Bの構造は、第1基板8 2 Aの構造と同じであり、本体部8 2 a、裏面金属層8 2 b、及び表面金属層8 2 cを有する。第2基板8 2 Bの裏面金属層8 2 bは、セラミック基板8 1の表面金属層8 1 cに貼り合わせられている。第2基板8 2 Bの外周縁は、セラミック基板8 1の表面金属層8 1 cの外周縁よりも内側に形成されている。

30

【0107】

第2基板8 2 Bの本体部8 2 aは、異方性となる熱伝導性を有する。詳述すると、第2基板8 2 Bの本体部8 2 aは、第2方向Yにおける本体部8 2 aの熱伝導性が第1方向Xにおける本体部8 2 aの熱伝導性よりも低くなるように構成されている。言い換えれば、第2基板8 2 Bの本体部8 2 aは、第2方向Yにおける本体部8 2 aの熱伝導率が第1方向Xにおける本体部8 2 aの熱伝導率よりも低くなるように構成されている。第2基板8 2 Bの本体部8 2 aは、第3方向Zの熱伝導性が第1方向Xにおける本体部8 2 aの熱伝導性と等しくなるように構成されている。なお、第2基板8 2 Bの本体部8 2 aは、第1方向Xの熱伝導性と第3方向Zの熱伝導性とが互いに異なってもよい。この場合においても第2基板8 2 Bの本体部8 2 aの第2方向Yの熱伝導性が、第1方向Xの熱伝導性及び第3方向Zの熱伝導性よりも低いことが好ましい。

40

【0108】

図19及び図20に示すように、パワーモジュール1は、第1入力端子部材8 3、第2入力端子部材8 4、出力端子部材8 5、上側信号基板8 6、下側信号基板8 7、第1上側制御端子部材8 8 A、第2上側制御端子部材8 8 B、第1下側制御端子部材8 9 A、及び第2下側制御端子部材8 9 Bを有する。第1入力端子部材8 3はパワーモジュール1の第

50

1 入力端子 P を構成し、第 2 入力端子部材 8 4 はパワーモジュール 1 の第 2 入力端子 N を構成し、出力端子部材 8 5 はパワーモジュール 1 の出力端子 O を構成する。また第 1 上側制御端子部材 8 8 A は第 1 上側制御端子 G U 1 を構成し、第 2 上側制御端子部材 8 8 B は第 2 上側制御端子 G U 2 を構成し、第 1 下側制御端子部材 8 9 A は第 1 下側制御端子 G L 1 を構成し、第 2 下側制御端子部材 8 9 B は第 2 下側制御端子 G L 2 を構成する。第 1 入力端子部材 8 3、第 2 入力端子部材 8 4、出力端子部材 8 5、第 1 上側制御端子部材 8 8 A、第 2 上側制御端子部材 8 8 B、第 1 下側制御端子部材 8 9 A、及び第 2 下側制御端子部材 8 9 B はそれぞれ、銅 (C u) からなる。

【 0 1 0 9 】

第 1 基板 8 2 A には、第 1 入力端子部材 8 3、第 2 入力端子部材 8 4、上側信号基板 8 6、3 個の上側スイッチング素子 1 1、及び 2 個の上側ダイオード 7 1 が実装されている。第 1 基板 8 2 A の表面金属層 8 2 c は、上側スイッチング素子 1 1 と第 1 入力端子 P とを繋ぐ第 1 配線 1 5 (とともに図 1 7 参照) を構成している。

10

【 0 1 1 0 】

第 1 入力端子部材 8 3 は、第 1 方向 X において第 1 基板 8 2 A のうちの第 2 基板 8 2 B とは反対側の端部、かつ第 2 方向 Y において第 1 基板 8 2 A のうちの各上側制御端子部材 8 8 A , 8 8 B 側の部分に位置している。

【 0 1 1 1 】

第 2 入力端子部材 8 4 は、第 3 方向 Z において第 1 基板 8 2 A に対して隙間を空けて対向するように設けられている。第 2 入力端子部材 8 4 は、第 1 接続部 8 4 a、第 2 接続部 8 4 b、第 3 接続部 8 4 c、第 4 接続部 8 4 d、第 5 接続部 8 4 e、連結部 8 4 f、及び端子部 8 4 g を有する。第 1 接続部 8 4 a、第 2 接続部 8 4 b、第 3 接続部 8 4 c、第 4 接続部 8 4 d、第 5 接続部 8 4 e、連結部 8 4 f、及び端子部 8 4 g は、一体的に形成されている。

20

【 0 1 1 2 】

連結部 8 4 f は、第 1 方向 X において第 1 基板 8 2 A のうちの第 2 基板 8 2 B 側とは反対側の端部に対して第 3 方向 Z に隙間を空けて対向した状態で配置されている。連結部 8 4 f は、第 2 方向 Y に延びている。連結部 8 4 f の一部は、第 1 入力端子部材 8 3 の一部を第 3 方向 Z から覆っている。各接続部 8 4 a ~ 8 4 b は、連結部 8 4 f から第 2 基板 8 2 B 側に向けて第 1 方向 X に沿って延びている。各接続部 8 4 a ~ 8 4 b は同一形状であり、第 1 方向 X が長手方向となる長形状に形成されている。第 2 方向 Y において各上側制御端子部材 8 8 A , 8 8 B 側とは反対側の端部から順に、第 1 接続部 8 4 a、第 2 接続部 8 4 b、第 3 接続部 8 4 c、第 4 接続部 8 4 d、及び第 5 接続部 8 4 e が互いに第 2 方向 Y に間隔を空けて位置している。各接続部 8 4 a ~ 8 4 e は、第 2 方向 Y において等間隔に配置されている。各接続部 8 4 a ~ 8 4 e の第 1 方向 X の長さは互いに等しい。各接続部 8 4 a ~ 8 4 e の先端部の第 1 方向 X の位置は互いに等しい。連結部 8 4 f は、第 2 方向 Y に延びており、各接続部 8 4 a ~ 8 4 e の接続されている。端子部 8 4 g は、第 1 方向 X において連結部 8 4 f から各接続部 8 4 a ~ 8 4 e とは反対側に延びている。端子部 8 4 g は、第 2 方向 Y において第 1 接続部 8 4 a 及び第 2 接続部 8 4 b に対応する位置に設けられている。端子部 8 4 g の幅寸法 (端子部 8 4 g の第 2 方向 Y の長さ) は、各接続部 8 4 a ~ 8 4 e の幅寸法 (各接続部 8 4 a ~ 8 4 e の第 2 方向 Y の長さ) よりも大きい。端子部 8 4 g の幅寸法は、出力端子部材 8 5 の幅寸法 (出力端子部材 8 5 の第 2 方向 Y の長さ) 及び第 1 入力端子部材 8 3 の幅寸法 (第 1 入力端子部材 8 3 の第 2 方向 Y の長さ) と等しい。

30

40

【 0 1 1 3 】

図 1 9 及び図 2 4 に示すとおり、各接続部 8 4 a ~ 8 4 e の先端部は、絶縁支持部 8 4 x を介して第 1 基板 8 2 A に取り付けられている。絶縁支持部 8 4 x は、電氣的絶縁性を有する材料により形成されている。絶縁支持部 8 4 x によって第 2 入力端子部材 8 4 が支持されることにより、第 2 入力端子部材 8 4 が第 1 基板 8 2 A に対して第 3 方向 Z に隙間を介して対向することができる。絶縁支持部 8 4 x の厚さは、第 2 入力端子部材 8 4 が上

50

側信号基板 8 6 に対して第 3 方向 Z に隙間を形成可能となるように設定されている。

【 0 1 1 4 】

3 個の上側スイッチング素子 1 1 及び 2 個の上側ダイオード 7 1 は、第 1 基板 8 2 A のうちの第 2 基板 8 2 B 側の端部に位置している。3 個の上側スイッチング素子 1 1 及び 2 個の上側ダイオード 7 1 は、第 1 基板 8 2 A において熱伝導率（熱伝導性）が低い第 2 方向 Y において互いに隙間を空けて配置されている。詳述すると、上側スイッチング素子 1 1 と上側ダイオード 7 1 とが第 2 方向 Y において交互に配置されている。すなわち第 2 方向 Y において上側ダイオード 7 1 の両側には、上側スイッチング素子 1 1 が位置している。第 1 方向 X における上側スイッチング素子 1 1 の位置と上側ダイオード 7 1 の位置とは互いに等しい。具体的には、第 1 方向 X において上側スイッチング素子 1 1 における第 2 基板 8 2 B 側の端縁の位置と、上側ダイオード 7 1 における第 2 基板 8 2 B 側の端縁の位置とが互いに等しい。

10

【 0 1 1 5 】

3 個の上側スイッチング素子 1 1 のうちの 1 個の上側スイッチング素子 1 1 は、第 2 方向 Y において第 1 接続部 8 4 a と第 2 接続部 8 4 b との間に配置されている。3 個の上側スイッチング素子 1 1 のうちの別の 1 個の上側スイッチング素子 1 1 は、第 2 方向 Y において第 3 接続部 8 4 c と第 4 接続部 8 4 d との間に配置されている。3 個の上側スイッチング素子 1 1 の残りの 1 個の上側スイッチング素子 1 1 は、第 2 方向 Y において第 2 入力端子部材 8 4 とは異なる位置に配置されている。

【 0 1 1 6 】

2 個の上側ダイオード 7 1 のうちの 1 個の上側ダイオード 7 1 は、第 2 方向 Y において第 2 接続部 8 4 b と第 3 接続部 8 4 c との間に配置されている。2 個の上側ダイオード 7 1 のうちの残りの 1 個の上側ダイオード 7 1 は、第 4 接続部 8 4 d と第 5 接続部 8 4 e との間に配置されている。

20

【 0 1 1 7 】

3 個の上側スイッチング素子 1 1 及び 2 個の上側ダイオード 7 1 は、第 1 方向 X において各接続部 8 4 a ~ 8 4 e の先端縁よりも第 2 基板 8 2 B とは反対側に位置している。3 個の上側スイッチング素子 1 1 は、第 1 方向 X において、第 1 基板 8 2 A のうちの第 2 基板 8 2 B 側の端縁と、上側信号基板 8 6 のうちの第 2 基板 8 2 B 側の端縁との間における上側信号基板 8 6 寄りに配置されている。一方、2 個の上側ダイオード 7 1 は、第 1 方向 X において、第 1 基板 8 2 A のうちの第 2 基板 8 2 B 側の端縁と、上側信号基板 8 6 のうちの第 2 基板 8 2 B 側の端縁との間における第 1 基板 8 2 A のうちの第 2 基板 8 2 B 側の端縁寄りに配置されている。

30

【 0 1 1 8 】

上側信号基板 8 6 は、第 1 基板 8 2 A における第 1 入力端子部材 8 3 が配置される領域と 3 個の上側スイッチング素子 1 1 及び 2 個の上側ダイオード 7 1 が配置される領域との間の領域に位置している。上側信号基板 8 6 は、第 2 方向 Y が長手方向となる長方形に形成されている。

【 0 1 1 9 】

図 2 3 に示すように、上側信号基板 8 6 は、絶縁基板 8 6 a、裏面金属層 8 6 b、第 1 上側制御配線部 8 6 c、及び第 2 上側制御配線部 8 6 d を有する。第 1 上側制御配線部 8 6 c は第 2 配線 1 6 の一部を構成し、第 2 上側制御配線部 8 6 d は上側センス配線 1 6 A の一部を構成している。

40

【 0 1 2 0 】

絶縁基板 8 6 a は、電氣的絶縁性を有する材料により形成されている。裏面金属層 8 6 b は、例えば銅（Cu）からなり、絶縁基板 8 6 a の裏面に接着剤等により取り付けられている。各上側制御配線部 8 6 c、8 6 d は、絶縁基板 8 6 a の表面に接着剤等により取り付けられている。なお、裏面金属層 8 6 b 及び各上側制御配線部 8 6 c、8 6 d は、絶縁基板 8 6 a に形成された銅箔のパターンとして構成されてもよい。図 2 3 に示すとおり、裏面金属層 8 6 b の外周縁は、絶縁基板 8 6 a の外周縁よりも内側に形成されている。

50

これにより、封止樹脂 90 が絶縁基板 86 a の裏面側を覆うため、第 1 基板 82 A から上側信号基板 86 が剥離することを抑制することができる。

【0121】

第 1 上側制御配線部 86 c と第 2 上側制御配線部 86 d とは、第 1 方向 X において間隔を空けて並べて配置されている。各上側制御配線部 86 c , 86 d は、第 2 方向 Y に沿って延びている。第 1 方向 X において第 1 上側制御配線部 86 c は、第 2 上側制御配線部 86 d よりも 3 個の上側スイッチング素子 11 及び 2 個の上側ダイオード 71 側に配置されている。第 2 方向 Y において第 1 上側制御配線部 86 c の一方側の端部には、第 1 上側制御端子部材 88 A が取り付けられ、第 2 上側制御配線部 86 d の一方側の端部には、第 2 上側制御端子部材 88 B が取り付けられている。各上側制御端子部材 88 A , 88 B は、封止樹脂 90 から第 2 方向 Y に突出している。

10

【0122】

第 2 基板 82 B には、出力端子部材 85、下側信号基板 87、3 個の下側スイッチング素子 12、及び 2 個の下側ダイオード 72 が実装されている。第 2 基板 82 B の表面金属層 82 c は、上側スイッチング素子 11 のソース端子 11 s と下側スイッチング素子 12 のドレイン端子 12 d とを繋ぐ第 4 配線 18 の一部を構成している。

【0123】

出力端子部材 85 は、第 2 基板 82 B の表面金属層 82 c に取り付けられている。出力端子部材 85 は、第 1 方向 X において第 2 基板 82 B のうちの第 1 基板 82 A 側とは反対側の端部、かつ第 2 方向 Y において第 2 基板 82 B の中央部に位置している。出力端子部材 85 は、第 1 方向 X に延び、封止樹脂 90 から外部に突出している（図 17 参照）。

20

【0124】

3 個の下側スイッチング素子 12 及び 2 個の下側ダイオード 72 は、第 2 基板 82 B のうちの第 1 基板 82 A 側の端部に位置している。3 個の下側スイッチング素子 12 及び 2 個の下側ダイオード 72 は、第 2 基板 82 B において熱伝導率（熱伝導性）が低い第 2 方向 Y において互いに隙間を空けて配置されている。詳述すると、下側スイッチング素子 12 と下側ダイオード 72 とが第 2 方向 Y において交互に配置されている。すなわち第 2 方向 Y において下側ダイオード 72 の両側には、下側スイッチング素子 12 が位置している。第 1 方向 X における下側スイッチング素子 12 の位置と下側ダイオード 72 の位置とは互いに等しい。具体的には、第 1 方向 X において下側スイッチング素子 12 における第 1 基板 82 A 側の端縁の位置と、下側ダイオード 72 における第 1 基板 82 A 側の端縁の位置とが互いに等しい。

30

【0125】

3 個の下側スイッチング素子 12 は、第 1 方向 X において、第 2 基板 82 B のうちの第 1 基板 82 A 側の端縁と、下側信号基板 87 のうちの第 1 基板 82 A 側の端縁との間における下側信号基板 87 寄りに配置されている。一方、2 個の下側ダイオード 72 は、第 1 方向 X において、第 2 基板 82 B のうちの第 1 基板 82 A 側の端縁と、下側信号基板 87 のうちの第 1 基板 82 A 側の端縁との間における第 2 基板 82 B のうちの第 1 基板 82 A 側の端縁寄りに配置されている。

【0126】

下側信号基板 87 は、第 2 基板 82 B における出力端子部材 85 が配置される領域と 3 個の下側スイッチング素子 12 及び 2 個の下側ダイオード 72 が配置される領域との間の領域に位置している。下側信号基板 87 は、第 2 方向 Y が長手方向となる長形状に形成されている。

40

【0127】

次に、各スイッチング素子 11 , 12 及び各ダイオード 71 , 72 の電気的な接続構成について説明する。

3 個の上側スイッチング素子 11 はそれぞれ、ゲート電極 42（図 5（a）参照）が上側信号基板 86 側となるように配置されている。ゲート電極 42 は、1 本の上側制御用ワイヤ 45 により第 1 上側制御配線部 86 c に電気的に接続されている。ソース電極 41（

50

図 5 (a) 参照) は、1 本の上側制御用ワイヤ 4 5 により第 2 上側制御配線部 8 6 d に電氣的に接続されている。またソース電極 4 1 は、4 本の上側電力用ワイヤ 4 4 により第 2 基板 8 2 B の表面金属層 8 2 c に電氣的に接続されている。3 個の上側スイッチング素子 1 1 のドレイン電極 4 8 (図 6 参照) はそれぞれ、半田等により第 1 基板 8 2 A の表面金属層 8 1 c に電氣的に接続されている。

【 0 1 2 8 】

2 個の上側ダイオード 7 1 のカソードはそれぞれ、半田等により第 1 基板 8 2 A の表面金属層 8 1 c に電氣的に接続されている。2 個の上側ダイオード 7 1 のアノードはそれぞれ、上側ダイオード用接続部材の一例として 4 本の上側ダイオード用ワイヤ 9 1 により第 2 基板 8 2 B の表面金属層 8 2 c に電氣的に接続されている。本実施形態の上側ダイオード用ワイヤ 9 1 の線径は、上側電力用ワイヤ 4 4 の線径と等しい。4 本の上側ダイオード用ワイヤ 9 1 は、そのインダクタンスが 4 本の上側電力用ワイヤ 4 4 のインダクタンスよりも小さくなるように構成されることが好ましい。一例では、4 本の上側ダイオード用ワイヤ 9 1 の長さはそれぞれ、4 本の上側電力用ワイヤ 4 4 の長さよりも短い。なお、上側ダイオード用ワイヤ 9 1 のインダクタンスが上側電力用ワイヤ 4 4 のインダクタンスよりも小さくなる構成の一例として、上側ダイオード用ワイヤ 9 1 の線径が上側電力用ワイヤ 4 4 の線径よりも大きくなるように構成されてもよい。

10

【 0 1 2 9 】

3 個の下側スイッチング素子 1 2 はそれぞれ、ゲート電極 4 2 が下側信号基板 8 7 側となるように配置されている。ゲート電極 4 2 は、1 本の下側制御用ワイヤ 4 7 により第 1 下側制御配線部 8 7 c に電氣的に接続されている。ソース電極 4 1 は、1 本の下側制御用ワイヤ 4 7 により第 2 下側制御配線部 8 7 d に電氣的に接続されている。またソース電極 4 1 は、4 本の下側電力用ワイヤ 4 6 により第 1 基板 8 2 A の表面金属層 8 1 c に電氣的に接続されている。3 個の下側スイッチング素子 1 2 のドレイン電極 4 8 はそれぞれ、半田等により第 2 基板 8 2 B の表面金属層 8 2 c に電氣的に接続されている。

20

【 0 1 3 0 】

2 個の下側ダイオード 7 2 のカソードはそれぞれ、半田等により第 2 基板 8 2 B の表面金属層 8 2 c に電氣的に接続されている。2 個の下側ダイオード 7 2 のアノードはそれぞれ、下側ダイオード用接続部材の一例として 4 本の下側ダイオード用ワイヤ 9 2 により第 1 基板 8 2 A の表面金属層 8 1 c に電氣的に接続されている。下側ダイオード用ワイヤ 9 2 の線径は、下側電力用ワイヤ 4 6 の線径と等しい。また下側ダイオード用ワイヤ 9 2 の線径は、上側ダイオード用ワイヤ 9 1 の線径と等しい。4 本の下側ダイオード用ワイヤ 9 2 は、そのインダクタンスが 4 本の下側電力用ワイヤ 4 6 のインダクタンスよりも小さくなるように構成されることが好ましい。一例では、4 本の下側ダイオード用ワイヤ 9 2 の長さはそれぞれ、4 本の下側電力用ワイヤ 4 6 の長さよりも短い。なお、下側ダイオード用ワイヤ 9 2 のインダクタンスが下側電力用ワイヤ 4 6 のインダクタンスよりも小さくなる構成の一例として、下側ダイオード用ワイヤ 9 2 の線径が下側電力用ワイヤ 4 6 の線径よりも大きくなるように構成されてもよい。

30

【 0 1 3 1 】

(上側ダイオード及び下側ダイオードの構成)

40

図 2 5 及び図 2 6 を参照して、上側ダイオード 7 1 及び下側ダイオード 7 2 の構成について説明する。なお、上側ダイオード 7 1 及び下側ダイオード 7 2 は同じ構成であるため、以下の説明では、上側ダイオード 7 1 の構成を説明し、下側ダイオード 7 2 の構成の説明を省略する。また、上側ダイオード 7 1 及び下側ダイオード 7 2 の構成は、図 2 5 及び図 2 6 に示す構成に限れず、種々の変更が可能である。

【 0 1 3 2 】

図 2 5 は、上側ダイオード 7 1 の構成の一例を示している。上側ダイオード 7 1 は、ワイドギャップ半導体からなる。上側ダイオード 7 1 は、4 H - S i C (絶縁破壊電界が約 2 . 8 M V / c m であり、バンドギャップの幅が約 3 . 2 6 e V のワイドバンドギャップ半導体) が用いられている。なお、上側ダイオード 7 1 に用いられるワイドバンドギャップ

50

ブ半導体は、シリコンカーバイド (SiC) に限られず、窒化ガリウム (GaN)、酸化ガリウム (Ga₂O₃)、ダイヤモンド等であってもよい。窒化ガリウム (GaN) は、その絶縁破壊電界が約 3 MV/cm であり、バンドギャップの幅が約 3.42 eV である。酸化ガリウム (Ga₂O₃) は、その絶縁破壊電界が約 8 MV/cm であり、バンドギャップの幅が約 4.8 eV である。ダイヤモンドは、その絶縁破壊電界が約 8 MV/cm であり、バンドギャップの幅が約 5.47 eV である。

【0133】

図 26 に示すように、上側ダイオード 71 は、n⁺型の SiC 基板 100 と、n⁺型の SiC 基板 100 の表面 100A に積層されたエピタキシャル層 101 とを有する。

SiC 基板 100 の裏面 100B には、その全域を覆うようにカソード電極 102 が配置されている。カソード電極 102 は、SiC 基板 100 との間にオーミック接合を形成している。カソード電極 102 は、例えば SiC 基板 50 側から順にチタン (Ti)、ニッケル (Ni)、金 (Au)、及び銀 (Ag) が積層された積層構造 (Ti/Ni/Au/Ag) を適用することができる。

【0134】

SiC 基板 100 は、例えば (0001) 面 (Si 面) を主面とする基板である。したがって、SiC 基板 100 の表面 100A (主面) にエピタキシャル成長によって積層されるエピタキシャル層 101 は、(0001) 面を主面として積層される。この場合、SiC 基板 100 の裏面 100B は、(000-1) 面 (C 面) である。なお、SiC 基板 100 は、その表面 100A が (000-1) 面で、裏面 100B が (0001) 面であってもよい。また、SiC 基板 100 は、0~10 度のオフ角を有することが好ましい。

【0135】

エピタキシャル層 101 には、活性領域 103 と、活性領域 103 を取り囲む外周領域 104 とが設定されている。

活性領域 103 においてエピタキシャル層 101 は、トレンチ 105 が形成された表面 101A を有する。トレンチ 105 は、互いに間隔を空けて複数個形成されている。これにより、トレンチ 105 は、活性領域 103 に複数の単位セル 106 を区画している。本実施形態では、図 25 に示すように、ストライプパターンのトレンチ 105 が、活性領域 103 に複数の直線状の単位セル 106 を区画している。したがって、エピタキシャル層 101 の表面部には、複数の単位セル 106 の表面 106A 並びにそれらの間のトレンチ 105 の底面 105A 及び側面 105B が断面視で葛折状に連続した表面 (エピタキシャル層 101 の表面 101A) が形成されている。なお、トレンチ 105 のパターンは、ストライプパターンに限られず、例えば格子パターンであってもよい。この場合、格子パターンのトレンチ 105 の各窓部分にメサ状の単位セル 106 が複数区画され、全体として単位セル 106 が行列状 (マトリクス状) に配列される。

【0136】

エピタキシャル層 101 は、SiC 基板 100 側から順に成長させられた n 型のバッファ層 107 と、n⁻型のドリフト層 108 と、p 型層 109 とを有する。

p 型層 109 は、活性領域 103 の全域に亘って連続した領域である (図 25 においてクロスハッチングが付された領域 (後述する p 型の JTE 構造 114 の領域を除く))。p 型層 109 は、ドリフト層 108 との界面 110 がエピタキシャル層 101 の表面 101A に沿うように、かつこの界面 110 の反対側の部分が表面 101A から露出するように、エピタキシャル層 101 の表面 101A に沿って形成されている。これにより、単位セル 106 では、トレンチ 105 の底面 105A に対して上方位置及び下方位置のそれぞれに、p 型層 109 とドリフト層 108 との界面 110 が設定されている。具体的には、界面 110 は、単位セル 106 の表面 106A の直下に位置する相対的に上側に形成された第 1 界面 110A と、トレンチ 105 の底面 105A の直下に位置する相対的に下側に形成された第 2 界面 110B とを有する。したがって、ドリフト層 108 は、エピタキシャル層 101 において互いに隣り合うトレンチ 105 によって挟まれた部分に選択的に入り込んでいる。

10

20

30

40

50

【0137】

また、p型層109は、エピタキシャル層101の表面101Aから露出する高濃度領域であるp⁺型領域111と、p⁺型領域111よりも深い部分に形成され、p⁺型領域111に比べて低濃度領域であるp型領域112とを有する。本実施形態では、p⁺型領域111及びp型領域112は、その界面がエピタキシャル層101の表面101Aに層ように形成されており、p型層109は、p⁺型領域111及びp型領域112の積層構造を有する。なお、p⁺型領域111は、活性領域103の全域に亘って形成されている必要は無く、活性領域103の一部に選択的に形成されてもよい。例えば、単位セル106の表面106A、トレンチ105の底面105A、及びトレンチ105の側面105Bの少なくとも一つに選択的に形成されてもよい。

10

【0138】

また、p型層109は、トレンチ105の底面105Aと側面105Bとの間において互いに異なる厚さを有する。詳述すると、p型層109における底面105A上の部分が側面105B上の部分に比べて厚い。これにより、トレンチ105の底面105Aと側面105Bとの間でp型層109の厚さに差が設けられている。

【0139】

外周領域104においてエピタキシャル層101には、ドリフト層108が露出する深さまでエピタキシャル層101がエッチングされることによって除去領域113が形成されている。本実施形態では、除去領域113は、ストライプパターンのトレンチ105の長手方向の両端部を横切るように、活性領域103を取り囲む環状に形成されている。これにより、除去領域113は、ストライプパターンのトレンチ105に連なっている。つまり、除去領域113は、ストライプパターンの延長部で構成されている。また除去領域113の外周縁は、図25に示すように、エピタキシャル層101の端面101Bに一致してもよいし、エピタキシャル層101の端面101Bから内側に設定されてもよい(図示略)。除去領域113の深さは、トレンチ105の深さと同じであってもよい。

20

【0140】

除去領域113の形成によって、ドリフト層108は、活性領域103の周囲からSiC基板100の表面100Aに沿う横方向にエピタキシャル層101の端面101Bまで引き出された引き出し部108Aを有する。引き出し部108Aは、単位セル106の表面106Aに対して一段低くなった低段部となっている。

30

【0141】

また、外周領域104においてドリフト層108には、p型のJTE(Junction Termination Extension)構造114が形成されている。本実施形態では、JTE構造114は、活性領域103を取り囲む環状に形成されている。詳述すると、単位セル106及び引き出し部108Aを跨るように、p型層109と一体的に形成されている。JTE構造114は、エピタキシャル層101の端面101Bに向かって外側に広がる複数のリングによって構成されてもよい。この場合、複数のリング間において、互いに不純物濃度が等しくてもよいし、外側に向かって不純物濃度が減少してもよい。

【0142】

本実施形態では、JTE構造114は、不純物濃度の違いによって周方向に沿って分割されている。すなわちJTE構造114は、相対的に高濃度となる第1部分115(図25においてクロスハッチングが付された領域(p型層109の領域を除く))と、第1部分115に比べて低濃度となる第2部分116(図25においてドットが付された領域)とを有する。

40

【0143】

第1部分115は、第2部分116に対して活性領域103に近い側に配置されている。第1部分115において、JTE構造114は、第1部分115の他の部分に比べて高濃度となるp⁺型領域117を有する。p⁺型領域117は、JTE構造114とドリフト層108との境界から間隔を空けた内側において、この境界に沿ってp⁺型領域111と一体的に形成されている。

50

【 0 1 4 4 】

第 2 部分 1 1 6 は、複数のリングによって構成されている。第 2 部分 1 1 6 の最内周のリングは、図 2 5 及び図 2 6 に示すように第 1 部分 1 1 5 に接している。なお、第 2 部分 1 1 6 の最内周のリングは、第 1 部分 1 1 5 と接していなくてもよい。

【 0 1 4 5 】

エピタキシャル層 1 0 1 上には、フィールド絶縁膜 1 1 8 が形成されている。フィールド絶縁膜 1 1 8 の材料としては、例えば酸化シリコン (SiO_2) 等を用いることができる。フィールド絶縁膜 1 1 8 は、例えば、プラズマ C V D (chemical vapor deposition) によって形成することができる。

【 0 1 4 6 】

フィールド絶縁膜 1 1 8 には、活性領域 1 0 3 の全域及び外周領域 1 0 4 の一部を選択的に露出させるコンタクトホール 1 1 9 が形成されている。本実施形態では、コンタクトホール 1 1 9 の外周縁 1 1 9 A は、第 1 部分 1 1 5 と第 2 部分 1 1 6 との境界に対して活性領域 1 0 3 に近い側に設定されている。これにより、フィールド絶縁膜 1 1 8 は、第 2 部分 1 1 6 の全体及び第 1 部分 1 1 5 の一部 (例えば、周端部) を覆っている。またコンタクトホール 1 1 9 は、その幅が開口端に向かって広がるテーパ形状に形成されていることが好ましい。

【 0 1 4 7 】

フィールド絶縁膜 1 1 8 上には、アノード電極 1 2 0 が形成されている。アノード電極 1 2 0 は、コンタクトホール 1 1 9 から露出する活性領域 1 0 3 の全域を覆うように形成されており、トレンチ 1 0 5 に埋め込まれた埋め込み部 1 2 1 と、埋め込み部 1 2 1 を覆うようにエピタキシャル層 1 0 1 の最表面に沿って形成された平面部 1 2 2 とを有する。

【 0 1 4 8 】

埋め込み部 1 2 1 は、トレンチ 1 0 5 の底面 1 0 5 A 及び側面 1 0 5 B において p 型層 1 0 9 に接しており、p 型層 1 0 9 との間にオーミック接合を形成している。埋め込み部 1 2 1 の材料としては、例えば、ポリシリコン、タングステン (W)、チタン (T i)、又はそれらの合金等を用いることができる。これらのうち、好ましくは、p 型のポリシリコンを用いることができる。これらの材料は、良好な埋め込み性を有するため、埋め込み部 1 2 1 のステップカバレッジを向上することができる。このため、トレンチ 1 0 5 のアスペクト比が高い場合でも、アノード電極 1 2 0 の埋め込み時におけるボイドの発生を抑制することができる。

【 0 1 4 9 】

平面部 1 2 2 は、単位セル 1 0 6 の表面 1 0 6 A において p 型層 1 0 9 に接しており、p 型層 1 0 9 との間にオーミック接合を形成している。平面部 1 2 2 の材料としては、例えば T i / N i 等の積層構造を用いることができる。また平面部 1 2 2 は、コンタクトホール 1 1 9 の外方へフランジ状に張り出している。本実施形態では、アノード電極 1 2 0 の平面部 1 2 2 の外周縁 1 2 2 A は、J T E 構造 1 1 4 の第 1 部分 1 1 5 と第 2 部分 1 1 6 との境界に対して活性領域 1 0 3 から遠い側に位置している。つまり、アノード電極 1 2 0 の平面部 1 2 2 は、この境界よりも第 2 部分 1 1 6 側にはみ出すオーバーラップ部 1 2 2 B を有する。

【 0 1 5 0 】

上側スイッチング素子 1 1 の最表面には、表面保護膜 1 2 3 が形成されている。表面保護膜 1 2 3 の材料としては、例えば酸化シリコン (SiO_2)、窒化シリコン (SiN)、ポリイミド等を用いることができる。また表面保護膜 1 2 3 は、例えばプラズマ C V D によって形成することができる。表面保護膜 1 2 3 の膜厚の一例は、8 0 0 0 程度である。表面保護膜 1 2 3 には、アノード電極 1 2 0 の一部をパッドとして選択的に露出させるパッド開口 1 2 3 A が形成されている。上側ダイオード用ワイヤ 9 1 (図 2 0 参照) は、パッド開口 1 2 3 A を介してアノード電極 1 2 0 に接合される。

【 0 1 5 1 】

10

20

30

40

50

このような上側ダイオード71の構成によれば、エピタキシャル層101にトレンチ105が形成されており、トレンチ105が形成されたエピタキシャル層101の表面101Aに沿うようにp型層109が形成され、p型層109とドリフト層108とのpn接合部を含むpnダイオードが形成されている。トレンチ105の側面105Bにもp型層109が形成されるため、p型層109の表面積は、エピタキシャル層101の主面に垂直な平面視(図24)における見かけ上の表面積よりも大きくなる。これに応じて、p型層109に対するアノード電極120の接触面積が増加するため、p型層109とアノード電極120との接触抵抗を低減することができる。このため、イオン注入によってp型層109を形成した上側ダイオード71でも低抵抗化を図ることができる。これにより、エピタキシャル成長によってp型層109を形成する場合に比べて簡単に製造でき、オン抵抗が低いpnダイオードを備える上側ダイオード71を提供することができる。

【0152】

また、p型層109におけるアノード電極120との接触部分が高濃度なp⁺型領域111であるため、p⁺型領域111においてアノード電極120との間に良好なオーミック接合を形成することができる。一方、p⁺型領域111を覆うように低濃度となるp型領域112が形成されているため、トレンチ105の底部への電界集中を良好に緩和することができる。これにより、順方向電圧及び逆方向リーク電流を低減することができる。

【0153】

また、上側ダイオード71では、外周領域104にJTE構造114が形成されていることにより、JTE構造114とドリフト層108との界面のpn接合部から発生する空乏層によってトレンチ105の底部(特に、最も外側に配置されたトレンチ105)における電界集中を緩和することができる。これにより、トレンチ105の底部における逆方向リーク電流の発生を低減することができる。

【0154】

(作用)

次に、本実施形態の作用について、比較例のパワーモジュールとの比較に基づいて説明する。比較例のパワーモジュールは、本実施形態のパワーモジュール1から上側ダイオード71及び下側ダイオード72を省略した構成である。

【0155】

比較例のパワーモジュールでは、例えば下側スイッチング素子12がオン状態からオフ状態に変更するとき、図27に示すように、下側スイッチング素子12のドレイン・ソース間電圧 V_{dsu} が増加する一方、上側スイッチング素子11のドレイン・ソース間電圧 V_{dsu} が低下する。このドレイン・ソース間電圧 V_{dsu} は、負側まで落ち込み、上側スイッチング素子11のボディダイオードの順方向しきい値電圧に達したときに低下が止まる。このようにドレイン・ソース間電圧 V_{dsu} が変動することに伴い上側スイッチング素子11のゲート・ソース間電圧 V_{gsu} も変動する。このため、このゲート・ソース間電圧 V_{gsu} に発生するサージ電圧が増加してしまう。なお、例えば上側スイッチング素子11がオン状態からオフ状態に変更するときも同様に、下側スイッチング素子12のドレイン・ソース間電圧 V_{dsu} が下側スイッチング素子12のボディダイオードの順方向しきい値電圧まで落ち込むため、下側スイッチング素子12のゲート・ソース間電圧 V_{gsu} に発生するサージ電圧が増加する。

【0156】

このような比較例のパワーモジュールに対して、本実施形態のパワーモジュール1は、上側スイッチング素子11のボディダイオード11aの順方向しきい値電圧よりも低い順方向しきい値電圧を有する上側ダイオード71と、下側スイッチング素子12のボディダイオード12aの順方向しきい値電圧よりも低い順方向しきい値電圧を有する下側ダイオード72とを有する。このため、例えば下側スイッチング素子12がオン状態からオフ状態に変更するとき、図28に示すように、上側スイッチング素子11のドレイン・ソース間電圧 V_{dsu} が低下して負側に落ち込んだとしても、上側ダイオード71の順方向しきい値電圧に達すると、ドレイン・ソース間電圧 V_{dsu} の低下が止まる。このため、比較

例のパワーモジュールに比べて、ゲート・ソース間電圧 V_{gs1} が変動する期間が短くなるため、ゲート・ソース間電圧 V_{gs1} に発生するサージ電圧が低減される。

【0157】

(シミュレーション結果)

比較例及び本実施形態のパワーモジュール1において、上側スイッチング素子11をオフ状態に維持し、下側スイッチング素子12を駆動した場合における負側のサージ電圧の発生とスイッチング損失との関係について、図7及び図29に示す模式的な回路構成に基づいてシミュレーションを行った。図7は比較例のパワーモジュールの模式的な回路構成を示し、図29は本実施形態のパワーモジュール1の模式的な回路構成を示す。

【0158】

図29の回路構成では、上側スイッチング素子11のドレインに上側ダイオード71のカソードが電氣的に接続され、上側スイッチング素子11のソースに上側ダイオード71のアノードが電氣的に接続されている。下側スイッチング素子12のドレインに下側ダイオード72のカソードが電氣的に接続され、下側スイッチング素子12のソースに下側ダイオード72のアノードが電氣的に接続されている。また、上側スイッチング素子11のソースとゲートとが短絡され、下側スイッチング素子12のゲートに下側ゲート駆動回路3が電氣的に接続されている。下側スイッチング素子12のゲートと下側ゲート駆動回路3との間には、ゲート抵抗8が設けられている。上側スイッチング素子11のドレインには電源ESの正側端子が電氣的に接続され、下側スイッチング素子12のソースには電源ESの負側端子が電氣的に接続されている。図29の回路構成は、電源ESの正側端子と上側スイッチング素子11のドレインとの間と、上側スイッチング素子11のソースと下側スイッチング素子12のドレインとの間とを繋ぐ配線9を有する。配線9は、インダクタ負荷9aを有する。

【0159】

比較例のパワーモジュールでは、ゲート抵抗8を2、3、4、及び5と変化させた場合のシミュレーションを行った。ここで、比較例のパワーモジュールの回路構成であってゲート抵抗8が2の場合を基準条件と規定する。

【0160】

図30に示すように、比較例のパワーモジュールでは、ゲート抵抗8を大きくすることにより、下側スイッチング素子12のスイッチング速度(ドレイン・ソース間電圧 V_{ds1} の変化速度)が遅くなることにより負側のサージ電圧の絶対値が小さくなる一方、ゲート抵抗8を大きくすることにより、スイッチング損失が急激に大きくなる。

【0161】

これに対して、本実施形態のパワーモジュール1では、上側ダイオード71により、基準条件よりも負側のサージ電圧の絶対値が小さくなる。一方、本実施形態のパワーモジュール1では、基準条件と比較して、スイッチング損失が大きくなるが、比較例のパワーモジュールのようにゲート抵抗8を大きくする場合に比べ、スイッチング損失が小さくなる。

【0162】

本実施形態によれば、以下の効果が得られる。

(2-1) パワーモジュール1は、上側スイッチング素子11のボディダイオード11aの順方向しきい値電圧よりも低い順方向しきい値電圧を有する上側ダイオード71と、下側スイッチング素子12のボディダイオード12aの順方向しきい値電圧よりも低い順方向しきい値電圧を有する下側ダイオード72とを有する。この構成によれば、例えば下側スイッチング素子12がオン状態からオフ状態に変化するとき、上側スイッチング素子11のドレイン・ソース間電圧 V_{dsu} が負側に低下しても上側ダイオード71の順方向しきい値電圧で上側スイッチング素子11のドレイン・ソース間電圧 V_{dsu} の低下が止まる。また例えば上側スイッチング素子11がオン状態からオフ状態に変化するとき、下側スイッチング素子12のドレイン・ソース間電圧 V_{ds1} が負側に低下しても下側ダイオード72の順方向しきい値電圧で下側スイッチング素子12のドレイン・ソース間電圧

10

20

30

40

50

V_{ds1} の低下が止まる。このように、ドレイン・ソース間電圧 V_{ds} の変動期間が短くなるため、ゲート・ソース間電圧 V_{gs} の変動期間が短くなる。したがって、ゲート・ソース間電圧 V_{gs} の変動を低減することができる。

【0163】

さらに、上側ダイオード71の許容可能なDC定格電流が上側スイッチング素子11の許容可能なDC定格電流未満であり、下側ダイオード72の許容可能なDC定格電流が下側スイッチング素子12の許容可能なDC定格電流未満である。このため、上側ダイオード71のチップ面積及び下側ダイオード72のチップ面積をそれぞれ小さくすることができる。したがって、パワーモジュール1の小型化を図ることができる。

【0164】

(2-2)上側ダイオード71の個数が上側スイッチング素子11の個数よりも少なく、下側ダイオード72の個数が下側スイッチング素子12の個数よりも少ない。この構成によれば、上側ダイオード71の個数が上側スイッチング素子11の個数以上の場合、及び下側ダイオード72の個数が下側スイッチング素子12の個数以上の場合と比較して、パワーモジュール1の素子数を減らすことができ、パワーモジュール1の小型化を図ることができる。

【0165】

(2-3)パワーモジュール1の基板80は、グラファイト基板82を有する。グラファイト基板82は、複数の上側スイッチング素子11及び複数の上側ダイオード71が第2方向Yに間隔を空けて配置された第1基板82Aと、複数の下側スイッチング素子12及び複数の下側ダイオード72が第2方向Yに間隔を空けて配置された第2基板82Bとを有する。第1基板82Aは、第2方向Yにおける第1基板82Aの熱伝導性が第1方向Xにおける第1基板82Aの熱伝導性よりも低くなるように構成されている。第2基板82Bは、第2方向Yにおける第2基板82Bの熱伝導性が第1方向Xにおける第2基板82Bの熱伝導性よりも低くなるように構成されている。この構成によれば、複数の上側スイッチング素子11の熱が複数の上側ダイオード71に伝わり難くなり、複数の下側スイッチング素子12の熱が複数の下側ダイオード72に伝わり難くなる。このため、上側ダイオード71及び下側ダイオード72の温度変化にともなう順方向しきい値の変化を抑制することができる。

【0166】

(2-4)第1基板82Aの裏面に裏面金属層82bが設けられ、第1基板82Aの表面に表面金属層82cが設けられている。裏面金属層82b及び表面金属層82cは、同一の材料により形成されている。この構成によれば、第1基板82Aの表面の熱伝導率と、第1基板82Aの裏面の熱伝導率とが同じになる。これにより、第1基板82Aが加熱されたときに第1基板82Aの表面の伸び量と第1基板82Aの裏面の伸び量とが概ね同一となる。したがって、第1基板82Aの表面の熱伝導率と第1基板82Aの裏面の熱伝導率との違いに起因して第1基板82Aが反ることを抑制することができる。また、第2基板82Bの裏面に裏面金属層82bが設けられ、第2基板82Bの表面に表面金属層82cが設けられている。この構成によれば、第1基板82Aと同様に、第2基板82Bの表面の熱伝導率と裏面の熱伝導率との違いに起因する第2基板82Bの反りを抑制することができる。

【0167】

(2-5)上側ダイオード71は、上側スイッチング素子11とは別チップとして設けられ、かつ上側スイッチング素子11とは間隔を空けて配置されている。下側ダイオード72は、下側スイッチング素子12とは別チップとして設けられ、かつ下側スイッチング素子12とは間隔を空けて配置されている。この構成によれば、上側ダイオード71が上側スイッチング素子11による熱影響を受けることを抑制することができ、下側ダイオード72が下側スイッチング素子12による熱影響を受けることを抑制することができる。

【0168】

(2-6)上側ダイオード用ワイヤ91のインダクタンスが上側電力用ワイヤ44のイ

10

20

30

40

50

ンダクタンスよりも小さくなるように構成されている。下側ダイオード用ワイヤ 9 2 のインダクタンスが下側電力用ワイヤ 4 6 のインダクタンスよりも小さくなるように構成されている。このような構成によれば、上側電力用ワイヤ 4 4 よりもインダクタンスが低い上側ダイオード用ワイヤ 9 1 に電流が流れ易くなるため、上側スイッチング素子 1 1 のボディダイオード 1 1 a よりも上側ダイオード 7 1 に電流が流れ易くなる。下側電力用ワイヤ 4 6 よりもインダクタンスが低い下側ダイオード用ワイヤ 9 2 に電流が流れ易くなるため、下側スイッチング素子 1 2 のボディダイオード 1 2 a よりも下側ダイオード 7 2 に電流が流れ易くなる。

【 0 1 6 9 】

(2 - 7) 複数の上側スイッチング素子 1 1 及び複数の上側ダイオード 7 1 は、第 2 入力端子部材 8 4 の各接続部 8 4 a ~ 8 4 e と第 2 方向 Y において隣り合うように配置されている。すなわち上側スイッチング素子 1 1 の上側電力用ワイヤ 4 4 と下側スイッチング素子 1 2 の下側電力用ワイヤ 4 6 とが第 2 方向 Y において隣り合う。上側ダイオード 7 1 の上側ダイオード用ワイヤ 9 1 と下側ダイオード 7 2 の下側ダイオード用ワイヤ 9 2 とが第 2 方向 Y において隣り合う。この構成によれば、上側スイッチング素子 1 1 及び下側スイッチング素子 1 2 が相補的にオンオフする場合に上側電力用ワイヤ 4 4 に流れる電流の向きと下側電力用ワイヤ 4 6 に流れる電流の向きとが逆方向になる。これにより、上側電力用ワイヤ 4 4 に発生する磁界と下側電力用ワイヤ 4 6 に発生する磁界とが打ち消し合うため、上側電力用ワイヤ 4 4 及び下側電力用ワイヤ 4 6 のノイズを低減することができる。また上側スイッチング素子 1 1 及び下側スイッチング素子 1 2 が相補的にオンオフする場合に上側ダイオード用ワイヤ 9 1 に流れる電流の向きと下側ダイオード用ワイヤ 9 2 に流れる電流の向きとが逆方向になる。これにより、上側ダイオード用ワイヤ 9 1 に発生する磁界と下側ダイオード用ワイヤ 9 2 に発生する磁界とが打ち消し合うため、上側ダイオード用ワイヤ 9 1 及び下側ダイオード用ワイヤ 9 2 のノイズを低減することができる。

【 0 1 7 0 】

特に、上側電力用ワイヤ 4 4 と下側電力用ワイヤ 4 6 とが互いに平行となるため、上側電力用ワイヤ 4 4 に発生する磁界と下側電力用ワイヤ 4 6 に発生する磁界とを効果的に打ち消し合うことができる。また上側ダイオード用ワイヤ 9 1 と下側ダイオード用ワイヤ 9 2 とが互いに平行となるため、上側ダイオード用ワイヤ 9 1 に発生する磁界と下側ダイオード用ワイヤ 9 2 に発生する磁界とを効果的に打ち消し合うことができる。

【 0 1 7 1 】

(2 - 8) セラミック基板 8 1 の本体部 8 1 a の裏面に裏面金属層 8 1 b が設けられ、本体部 8 1 a の表面に表面金属層 8 1 c が設けられている。裏面金属層 8 1 b 及び表面金属層 8 1 c は、同一の材料により形成されている。この構成によれば、セラミック基板 8 1 の本体部 8 1 a の表面の熱伝導率と、本体部 8 1 a の裏面の熱伝導率とが同じになる。これにより、セラミック基板 8 1 が加熱されたときにセラミック基板 8 1 の表面の伸び量とセラミック基板 8 1 の裏面の伸び量とが概ね同一となる。したがって、セラミック基板 8 1 の表面の熱伝導率とセラミック基板 8 1 の裏面の熱伝導率との違いに起因してセラミック基板 8 1 が反ることを抑制することができる。

【 0 1 7 2 】

(第 3 実施形態)

図 3 1 ~ 図 3 5 を参照して、第 3 実施形態のパワーモジュール 1 について説明する。本実施形態のパワーモジュール 1 は、第 2 実施形態のパワーモジュール 1 と比較して、上側スイッチング素子及び上側ダイオードが同一チップに形成された点、及び下側スイッチング素子及び下側ダイオードが同一チップに形成された点が異なる。

【 0 1 7 3 】

パワーモジュール 1 は、上側スイッチング素子及び上側ダイオードが同一チップに形成された上側 M I S トランジスタ 1 3 0、及び下側スイッチング素子及び下側ダイオードが同一チップに形成された下側 M I S トランジスタ 1 3 1 を有する。各 M I S トランジスタ 1 3 0、1 3 1 は、シリコンカーバイド (S i C) が採用されたトレンチゲート型 D M I

10

20

30

40

50

S F E T (Double Implanted Metal Insulator Semiconductor Field Effect Transistor) である。上側 M I S トランジスタ 1 3 0 と下側 M I S トランジスタ 1 3 1 は、同一構造である。このため、以降の説明では、上側 M I S トランジスタ 1 3 0 の構造について説明し、下側 M I S トランジスタ 1 3 1 の構造の説明を省略する。なお、上側 M I S トランジスタ 1 3 0 及び下側 M I S トランジスタ 1 3 1 の構成は、図 3 1 及び図 3 2 に示す構成に限られず、種々の変更が可能である。

【 0 1 7 4 】

上側 M I S トランジスタ 1 3 0 は、例えば図 3 1 (a) に示すような平面視で正方形のチップ状である。上側 M I S トランジスタ 1 3 0 は、図 3 1 (a) の紙面における上下左右方向の長さがそれぞれ数 m m 程度である。

10

【 0 1 7 5 】

上側 M I S トランジスタ 1 3 0 の表面には、ソースパッド 1 3 2 が形成されている。ソースパッド 1 3 2 は、上側 M I S トランジスタ 1 3 0 の表面のほぼ全域を覆うように形成されている。このソースパッド 1 3 2 の一辺の中央付近には、除去領域 1 3 3 が形成されている。除去領域 1 3 3 は、ソースパッド 1 3 2 が形成されていない領域である。

【 0 1 7 6 】

除去領域 1 3 3 には、ゲートパッド 1 3 4 が配置されている。ゲートパッド 1 3 4 とソースパッド 1 3 2 との間には、間隔が設けられている。ゲートパッド 1 3 4 とソースパッド 1 3 2 とは互いに電氣的に絶縁されている。

【 0 1 7 7 】

図 3 2 に示すように、上側 M I S トランジスタ 1 3 0 は、 n^+ 型の S i C 基板 1 4 0 を有する。S i C 基板 1 4 0 は、上側 M I S トランジスタ 1 3 0 のドレインとして機能し、その表面 1 4 0 A (上面) が S i 面であり、その裏面 1 4 0 B (下面) が C 面である。

20

【 0 1 7 8 】

S i C 基板 1 4 0 の表面 1 4 0 A には、S i C 基板 1 4 0 よりも低濃度の n^- 型のエピタキシャル層 1 4 1 が積層されている。半導体層としてのエピタキシャル層 1 4 1 は、S i C 基板 1 4 0 上に、所謂エピタキシャル成長によって形成されている。S i 面である表面 1 4 0 A 上に形成されるエピタキシャル層 1 4 1 は、S i 面を成長主面として成長させられる。したがって、成長により形成されるエピタキシャル層 1 4 1 の表面 1 4 1 A は、S i C 基板 1 4 0 の表面 1 4 0 A と同様に、S i 面である。

30

【 0 1 7 9 】

図 3 1 (a) に示すように、上側 M I S トランジスタ 1 3 0 には、平面視でエピタキシャル層 1 4 1 の中央部に配置され、上側 M I S トランジスタ 1 3 0 として機能する活性領域 1 4 2 と、この活性領域 1 4 2 を取り囲む外周領域 1 4 3 とが形成されている。

【 0 1 8 0 】

活性領域 1 4 2 において、エピタキシャル層 1 4 1 にはゲートトレンチ 1 4 4 が格子状に形成されている (図 3 1 (b) 参照) 。これらゲートトレンチ 1 4 4 によりエピタキシャル層 1 4 1 はそれぞれ、四角状 (正方形状) の複数のセル 1 4 5 に区画されている。

【 0 1 8 1 】

複数のセル 1 4 5 は、ショットキーセル 1 4 6 と、ショットキーセル 1 4 6 よりも相対的に平面面積の小さい p n ダイオードセル 1 4 7 とを含む。例えば、ショットキーセル 1 4 6 は、p n ダイオードセル 1 4 7 の 4 つ分に相当する面積を有しており、ショットキーセル 1 4 6 の一辺の長さは p n ダイオードセル 1 4 7 の一辺の長さの 2 倍に相当する。

40

【 0 1 8 2 】

そして、1つのショットキーセル 1 4 6 と、そのショットキーセル 1 4 6 を取り囲む複数の p n ダイオードセル 1 4 7 (本実施形態では、12個の p n ダイオードセル 1 4 7) とにより1つのセル群が構成されている。そしてこのようなセル群がさらに行列状に配置されている。ここで、互いに隣り合うセル群の p n ダイオードセル 1 4 7 が共有されている。つまり、所定のセル群のショットキーセル 1 4 6 を取り囲む p n ダイオードセル 1 4 7 は、所定のセル群の隣のセル群のショットキーセル 1 4 6 を取り囲む p n ダイオードセ

50

ル 1 4 7 としても用いられている。

【 0 1 8 3 】

図 3 2 に示すように、ショットキーセル 1 4 6 及び p n ダイオードセル 1 4 7 に共通する要素として、エピタキシャル層 1 4 1 には、その表面 1 4 1 A から裏面 1 4 1 B 側に向かって順に、n⁺型のソース領域 1 4 8、p型のボディ領域 1 4 9、及びドリフト領域 1 5 0 を有する。

【 0 1 8 4 】

ドリフト領域 1 5 0 は、エピタキシャル成長後のままの状態が維持された n⁻型の領域であり、全てのセル 1 4 5 の底部で一体的に繋がっており、それらの間で共有されている。つまり、ゲートトレンチ 1 4 4 は、ソース領域 1 4 8 及びボディ領域 1 4 9 を側面 1 4 4 A に露出させ、その最深部がドリフト領域 1 5 0 の途中部に位置するように各セル 1 4 5 を区画している。ゲートトレンチ 1 4 4 は、隣り合うセル 1 4 5 の各間を、各セル 1 4 5 の 4 つの側面に沿って行方向及び列方向のそれぞれに直線状に延びる線状部 1 5 1 と、行方向に延びる線状部 1 5 1 と列方向に延びる線状部 1 5 1 とが交差する交差部 1 5 2 とを含む。

【 0 1 8 5 】

ゲートトレンチ 1 4 4 の内面には、酸化膜 SiO₂、もしくは High-k 材料 (Si N、Al₂O₃、AlON 等) からなるゲート絶縁膜 1 5 3 が、その全域を覆うように形成されている。ゲート絶縁膜 1 5 3 は、ゲートトレンチ 1 4 4 の底面 1 4 4 B 上の部分が、ゲートトレンチ 1 4 4 の側面 1 4 4 A 上の部分よりも厚くなっている。そして、ゲートトレンチ 1 4 4 におけるゲート絶縁膜 1 5 3 の内側がポリシリコンで埋め尽くされることにより、ゲートトレンチ 1 4 4 内にゲート電極 1 5 4 が埋設されている。

【 0 1 8 6 】

このように、各ショットキーセル 1 4 6 及び p n ダイオードセル 1 4 7 には、ソース領域 1 4 8 とドリフト領域 1 5 0 とが、エピタキシャル層 1 4 1 の表面 1 4 1 A に垂直な縦方向にボディ領域 1 4 9 を介して離間して配置された、縦型 MIS トランジスタ構造が構成されている。

【 0 1 8 7 】

ショットキーセル 1 4 6 の中央部には、エピタキシャル層 1 4 1 の表面 1 4 1 A からソース領域 1 4 8 及びボディ領域 1 4 9 を貫通してドリフト領域 1 5 0 に達する、平面視で正方形状の第 1 ソーストレンチ 1 5 5 が形成されている。第 1 ソーストレンチ 1 5 5 の深さは、ゲートトレンチ 1 4 4 の深さと同じである。

【 0 1 8 8 】

第 1 ソーストレンチ 1 5 5 には、p型の第 1 耐圧保持領域 1 5 6 が形成されている。第 1 耐圧保持領域 1 5 6 は、第 1 ソーストレンチ 1 5 5 の底面 1 5 5 A と側面 1 5 5 B とが交わって形成され、底面 1 5 5 A の周囲を取り囲む環状のエッジ部 1 5 5 C 及びこのエッジ部 1 5 5 C から第 1 ソーストレンチ 1 5 5 の側面 1 5 5 B に露出するボディ領域 1 4 9 に至る環状に形成されている。これにより、第 1 耐圧保持領域 1 5 6 に取り囲まれる第 1 ソーストレンチ 1 5 5 の底面 1 5 5 A の中央部には、ドリフト領域 1 5 0 の一部からなる平面視で正方形状のショットキー領域 1 5 7 が形成されている。

【 0 1 8 9 】

ショットキー領域 1 5 7 は、ショットキー領域 1 5 7 と第 1 耐圧保持領域 1 5 6 との p n 接合部 (ボディダイオード 1 5 8) から発生する空乏層が繋がらない面積が形成されている。

【 0 1 9 0 】

一方、p n ダイオードセル 1 4 7 の中央部には、エピタキシャル層 1 4 1 の表面 1 4 1 A からソース領域 1 4 8 及びボディ領域 1 4 9 を貫通してドリフト領域 1 5 0 に達する第 2 ソーストレンチ 1 5 9 が形成されている。第 2 ソーストレンチ 1 5 9 の深さは、ゲートトレンチ 1 4 4 の深さと同じである。第 2 ソーストレンチ 1 5 9 の面積は、ショットキー領域 1 5 7 の面積よりも小さい。

10

20

30

40

50

【0191】

第2ソーストレンチ159には、p型の第2耐圧保持領域160が形成されている。第2耐圧保持領域160は、第2ソーストレンチ159の底面159Aの全面に亘り形成され、かつ、第2ソーストレンチ159の底面159Aと側面159Bとが交わって形成されて底面159Aの周囲を取り囲む環状のエッジ部159C及びこのエッジ部159Cから第2ソーストレンチ159の側面159Bに露出するボディ領域149に至る器状に形成されている。

【0192】

第2ソーストレンチ159には、その底面159Aの中央部における第2耐圧保持領域160の表層部にp⁺型の底部ボディコンタクト領域161が形成されている。底部ボディコンタクト領域161をオーミック接触させることにより、第2耐圧保持領域160を介してpnダイオードセル147のボディ領域149に対してコンタクトすることができる（電氣的に接続することができる）。

10

【0193】

そして第2ソーストレンチ159に第2耐圧保持領域160が形成されていることにより、pnダイオードセル147は、第2耐圧保持領域160とドリフト領域150とのpn接合により構成され、アノード側のコンタクトとして底部ボディコンタクト領域161を有し、カソード側のコンタクトとしてSiC基板140を有するボディダイオード162を内蔵している。

【0194】

また、複数のセル145を区画するゲートトレンチ144の各交差部152には、第3耐圧保持領域163（中継領域）が形成されている。第3耐圧保持領域163は、交差部152におけるゲートトレンチ144の底面144Bの全面に亘り形成され、かつ、底面144Bから交差部152に臨む各セル145の各角部の下部に形成されたゲートトレンチ144のエッジ部144C及びエッジ部144C直上のボディ領域149に至るように形成されている。すなわち、第3耐圧保持領域163は、平面視でゲートトレンチ144の交差部152よりもやや大きい正方形に形成されており、その各角が、交差部152に臨む各セル145の各角部にそれぞれ入り込んでいる。また第3耐圧保持領域163の不純物濃度は、ボディ領域149の不純物濃度及びドリフト領域150の不純物濃度よりも高い。

20

30

【0195】

第3耐圧保持領域163の中継により、底部ボディコンタクト領域161 第2耐圧保持領域160 pnダイオードセル147のボディ領域149 第3耐圧保持領域163 ショットキーセル146のボディ領域149を介して、ショットキーセル146の第1耐圧保持領域156に対してコンタクトすることができる（電氣的に接続することができる）。

【0196】

図31(a)に示すように、外周領域143において、エピタキシャル層141の表層部には、活性領域142を取り囲むように、活性領域142から間隔を空けてp型のガードリング164が複数本（本実施形態では、4本）形成されている。これらガードリング164は、p型のボディ領域149を形成する工程と同一のイオン注入工程で形成することができる。各ガードリング164は、平面視において上側MISトランジスタ130の外周に沿う四角環状に形成されている。

40

【0197】

図32に示すように、エピタキシャル層141上には、ゲート電極154を被覆するように、酸化膜SiO₂、もしくはHigh-k材料（SiN、Al₂O₃、AlON等）からなる層間絶縁膜165が積層されている。層間絶縁膜165及びゲート絶縁膜153には、第1ソーストレンチ155及び第2ソーストレンチ159よりも大径のコンタクトホール166、167が形成されている。

【0198】

50

層間絶縁膜 165 上には、ソース電極 168 が形成されている。ソース電極 168 は、各コンタクトホール 166 , 167 を介して、全ての第 1 ソーストレンチ 155 及び第 2 ソーストレンチ 159 に一括して入り込んでいる。

【0199】

ソース電極 168 は、ショットキーセル 146 において、第 1 ソーストレンチ 155 の底側から順にショットキー領域 157、第 1 耐压保持領域 156、及びソース領域 148 に接触している。またソース電極 168 は、pn ダイオードセル 147 において、第 2 ソーストレンチ 159 の底側から順に底部ボディコンタクト領域 161、第 2 耐压保持領域 160、及びソース領域 148 に接触している。すなわち、ソース電極 168 は、全てのセル 145 に対して共通の配線となっている。

10

【0200】

ソース電極 168 上には、層間絶縁膜 165 が形成されており、この層間絶縁膜 165 を介してソース電極 168 がソースパッド 132 に電氣的に接続されている。一方、ゲートパッド 134 は、層間絶縁膜 165 上に引き回されたゲート配線 (図示略) を介してゲート電極 154 に電氣的に接続されている。

【0201】

ソース電極 168 は、エピタキシャル層 141 の接触側から順に、ポリシリコン層 169、中間層 170、及びメタル層 171 を有する。

ポリシリコン層 169 は、不純物がドーピングされたドーパドポリシリコンが用いられる。ポリシリコン層 169 の不純物としては、窒素 (N)、燐 (P)、砒素 (As) 等の n 型の不純物、アルミニウム (Al)、ホウ素 (B) 等の p 型の不純物を用いることができる。

20

【0202】

ポリシリコン層 169 は、コンタクトホール 166 , 167 内に露出するセル 145 の表面全域を覆うように形成されている。ポリシリコン層 169 は、第 1 ソーストレンチ 155 内でショットキー領域 157、第 1 耐压保持領域 156、及びソース領域 148 の全て、第 2 ソーストレンチ 159 内で底部ボディコンタクト領域 161、第 2 耐压保持領域 160、及びソース領域 148 の全てに接触している。

【0203】

ポリシリコン層 169 は、ショットキーセル 146 においてソース領域 148 との間にショットキー接合を形成している。これにより、ポリシリコン層 169 は、ショットキー領域 157 との間に、ショットキーセル 146 及び pn ダイオードセル 147 にそれぞれ内蔵されたボディダイオード 172 (ボディ領域 149 とドリフト領域 150 との pn 接合により形成されるダイオード) の拡散電位 (例えば、2.8 ~ 3.2 eV) よりも接合障壁の小さいヘテロ接合 (例えば、接合障壁の高さが 1 ~ 1.5 eV) を形成している。これにより、ショットキーセル 146 においては、ソース電極 168 とショットキー領域 157 との間にヘテロ接合ダイオード 172 が形成されている。また、ポリシリコン層 169 は、pn ダイオードセル 147 において底部ボディコンタクト領域 161 及びソース領域 148 との間にオーミック接合を形成している。

30

【0204】

中間層 170 は、ポリシリコン層 169 上に積層されたメタル層である。メタル層 171 は、ソース電極 168 の最表層をなしている。

40

このようなポリシリコン層 169、中間層 170、及びメタル層 171 の組合せとしては、ポリシリコン (ポリシリコン層 169)、チタン (中間層 170)、及びアルミニウム (メタル層 171) が順に積層される積層構造 (ポリシリコン / Ti / Al) である。また、これらに加えて、メタル層 171 がモリブデン層 (Mo 層) を有することが好ましい。モリブデンは融点が高いため、メタル層 171 にモリブデン層を含まれることにより、ソース電極 168 に大電流が流れたときに生じる熱によるメタル層 171 の溶損を抑制することができる。

【0205】

50

S i C 基板 1 4 0 の裏面 1 4 0 B には、その全域を覆うようにドレイン電極 1 7 4 が形成されている。ドレイン電極 1 7 4 は、全てのセル 1 4 5 に対して共通の電極となる。ドレイン電極 1 7 4 としては、例えば S i C 基板 1 4 0 側から順に、チタン (T i)、ニッケル (N i)、金 (A u)、及び銀 (A g) が積層された積層構造 (T i / N i / A u / A g) を用いることができる。

【 0 2 0 6 】

図 3 3 に示すように、パワーモジュール 1 では、複数個の上側 M I S トランジスタ 1 3 0 (本実施形態では、3 個の上側 M I S トランジスタ 1 3 0) が第 1 基板 8 2 A に実装され、複数個の下側 M I S トランジスタ 1 3 1 (本実施形態では、3 個の下側 M I S トランジスタ 1 3 1) が第 2 基板 8 2 B に実装されている。

10

【 0 2 0 7 】

なお、本実施形態のパワーモジュール 1 は、第 2 実施形態のパワーモジュール 1 と比較して、上側信号基板 8 6 の第 1 基板 8 2 A における位置及び下側信号基板 8 7 の第 2 基板 8 2 B における位置、並びに各入力端子部材 8 3 , 8 4 の第 1 基板 8 2 A における位置及び出力端子部材 8 5 の第 1 基板 8 2 A における位置が同一である。一方、本実施形態のパワーモジュール 1 は、第 2 入力端子部材 8 4 の形状が第 2 実施形態のパワーモジュール 1 の第 2 入力端子部材 8 4 とは異なる。

【 0 2 0 8 】

本実施形態の第 2 入力端子部材 8 4 は、3 つの接続部である第 1 接続部 8 4 a、第 2 接続部 8 4 b、及び第 3 接続部 8 4 c を有する。すなわち本実施形態の第 2 入力端子部材 8 4 は、第 4 接続部 8 4 d 及び第 5 接続部 8 4 e を有していない。これに伴い、本実施形態の第 2 入力端子部材 8 4 の連結部 8 4 f の第 2 方向 Y の長さは、第 2 実施形態の第 2 入力端子部材 8 4 の連結部 8 4 f の第 2 方向 Y の長さよりも短い。本実施形態では、第 1 接続部 8 4 a と第 2 接続部 8 4 b との第 2 方向 Y の間の距離、及び第 2 接続部 8 4 b と第 3 接続部 8 4 c との第 2 方向 Y の間の距離はそれぞれ、上側 M I S トランジスタ 1 3 0 の第 2 方向 Y のチップサイズよりも大きい。

20

【 0 2 0 9 】

3 個の上側 M I S トランジスタ 1 3 0 は、第 1 基板 8 2 A において、第 2 方向 Y において間隔を空けて配置されている。各上側 M I S トランジスタ 1 3 0 は、第 1 基板 8 2 A において上側信号基板 8 6 よりも第 2 基板 8 2 B 側の部分に配置されている。言い換えれば、各上側 M I S トランジスタ 1 3 0 は、第 1 基板 8 2 A における第 2 基板 8 2 B 側の端部に配置されている。3 個の上側 M I S トランジスタ 1 3 0 のうちの 1 個は第 2 入力端子部材 8 4 の第 1 接続部 8 4 a と第 2 接続部 8 4 b との第 2 方向 Y の間に位置している。この上側 M I S トランジスタ 1 3 0 は、第 2 方向 Y において第 2 接続部 8 4 b よりも第 1 接続部 8 4 a 寄りに配置されている。3 個の上側 M I S トランジスタ 1 3 0 のうちの別の 1 個は第 2 入力端子部材 8 4 の第 2 接続部 8 4 b と第 3 接続部 8 4 c との第 2 方向 Y の間に位置している。この上側 M I S トランジスタ 1 3 0 は、第 2 方向 Y において第 3 接続部 8 4 c よりも第 2 接続部 8 4 b 寄りに配置されている。3 個の上側 M I S トランジスタ 1 3 0 のうちの残りの 1 個は第 3 接続部 8 4 c に対して第 2 接続部 8 4 b とは第 2 方向 Y の反対側に第 3 接続部 8 4 c と隣り合うように位置している。

30

40

【 0 2 1 0 】

3 個の下側 M I S トランジスタ 1 3 1 は、第 2 基板 8 2 B において、第 2 方向 Y において間隔を空けて配置されている。各下側 M I S トランジスタ 1 3 1 は、第 2 基板 8 2 B において下側信号基板 8 7 よりも第 1 基板 8 2 A 側の部分に配置されている。言い換えれば、各下側 M I S トランジスタ 1 3 1 は、第 2 基板 8 2 B における第 1 基板 8 2 A 側の端部に配置されている。3 個の下側 M I S トランジスタ 1 3 1 のうちの 1 個は、第 2 入力端子部材 8 4 の第 1 接続部 8 4 a に第 1 方向 X に対向するように配置されている。3 個の下側 M I S トランジスタ 1 3 1 のうちの別の 1 個は、第 2 入力端子部材 8 4 の第 2 接続部 8 4 b に第 1 方向 X に対向するように配置されている。3 個の下側 M I S トランジスタ 1 3 1 の残りの 1 個は、第 2 入力端子部材 8 4 の第 3 接続部 8 4 c に第 1 方向 X に対向するよう

50

に配置されている。

【0211】

3個の上側MISトランジスタ130は、互いに並列に接続されている。3個の下側MISトランジスタ131は、互いに並列に接続されている。これらトランジスタ130, 131の電力用ワイヤ44, 46及び制御用ワイヤ45, 47による接続態様は、第2実施形態の上側スイッチング素子11及び下側スイッチング素子12の電力用ワイヤ44, 46及び制御用ワイヤ45, 47による接続態様と同様である。

【0212】

(シミュレーション結果)

比較例及び本実施形態のパワーモジュール1において、上側スイッチング素子11(上側MISトランジスタ130)をオフ状態に維持し、下側スイッチング素子12(下側MISトランジスタ131)を駆動した場合における負側のサージ電圧の発生とスイッチング損失との関係について、図7及び図34に示す模式的な回路構成に基づいてシミュレーションを行った。図7は比較例のパワーモジュールの模式的な回路構成を示し、図34は本実施形態のパワーモジュール1の模式的な回路構成を示す。

【0213】

図34の回路構成では、上側MISトランジスタ130のソースとゲートとが短絡され、下側MISトランジスタ131のゲートに下側ゲート駆動回路3が電氣的に接続されている。下側MISトランジスタ131のゲートと下側ゲート駆動回路3の間には、ゲート抵抗8が設けられている。上側MISトランジスタ130のドレインには電源ESの正側端子が電氣的に接続され、下側MISトランジスタ131のソースには電源ESの負側端子が電氣的に接続されている。図34の回路構成は、電源ESの正側端子と上側MISトランジスタ130のドレインとの間と、上側MISトランジスタ130のソースと下側MISトランジスタ131のドレインとの間とを繋ぐ配線9を有する。配線9は、インダクタ負荷9aを有する。

【0214】

比較例のパワーモジュールでは、ゲート抵抗8を2、3、4、及び5と変化させた場合のシミュレーションを行った。ここで、比較例のパワーモジュールの回路構成であってゲート抵抗8が2の場合を基準条件と規定する。

【0215】

図35に示すように、比較例のパワーモジュールでは、ゲート抵抗8を大きくすることにより、下側スイッチング素子12のスイッチング速度(ドレイン・ソース間電圧 V_{ds1} の変化速度)が遅くなることにより負側のサージ電圧の絶対値が小さくなる一方、ゲート抵抗8を大きくすることにより、スイッチング損失が急激に大きくなる。

【0216】

図35に示すように、本実施形態のパワーモジュール1では、基準条件よりも負側のサージ電圧の絶対値が小さくなる。また本実施形態のパワーモジュール1では、第3実施形態のパワーモジュール1と比較して、負側のサージ電圧の絶対値が小さくなる。これは、上側スイッチング素子11及び上側ダイオード71を同一チップで形成した上側MISトランジスタ130を用いることにより、上側ダイオード71に接続される上側ダイオード用ワイヤ91を省略することができ、この上側ダイオード用ワイヤ91のインダクタンスに起因するサージ電圧がなくなったことが原因と考えられる。一方、上側コンデンサ13及び下側コンデンサ14の容量が大きくなるにつれてスイッチング損失が大きくなるが、比較例のパワーモジュールのようにゲート抵抗8を大きくする場合に比べ、スイッチング損失が小さくなる。

【0217】

本実施形態によれば、第2実施形態の(2-1)及び(2-4)の効果に加え、以下の効果が得られる。

(3-1)パワーモジュール1は、上側スイッチング素子11及び上側ダイオード71が同一チップで形成された上側MISトランジスタ130と、下側スイッチング素子12

及び下側ダイオード72が同一チップで形成された下側MISトランジスタ131とを有する。この構成によれば、上側ダイオード用ワイヤ91及び下側ダイオード用ワイヤ92を省略することができるため、上側ダイオード用ワイヤ91のインダクタンス及び下側ダイオード用ワイヤ92のインダクタンスの影響を上側MISトランジスタ130及び下側MISトランジスタ131が受けることを回避できる。したがって、上側MISトランジスタ130のゲート・ソース間電圧 V_{gsu} 及び下側MISトランジスタ131のゲート・ソース間電圧 V_{gs1} のサージ電圧に起因する変動を効果的に抑制することができる。

【0218】

加えて、上側スイッチング素子11及び上側ダイオード71が個別のチップとして設けられ、下側スイッチング素子12及び下側ダイオード72が個別のチップとして設けられる構成と比較して、パワーモジュール1の素子数を減らすことができ、パワーモジュール1の小型化を図ることができる。

10

【0219】

(3-2) 複数の上側MISトランジスタ130が第1基板82Aの第2方向Yに間隔を空けて配置され、複数の下側MISトランジスタ131が第2基板82Bの第2方向Yに間隔を空けて配置されている。第1基板82Aは、第2方向Yにおける第1基板82Aの熱伝導性が第1方向Xにおける第1基板82Aの熱伝導性よりも低くなるように構成されている。第2基板82Bは、第2方向Yにおける第2基板82Bの熱伝導性が第1方向Xにおける第2基板82Bの熱伝導性よりも低くなるように構成されている。この構成によれば、上側MISトランジスタ130の熱がこの上側MISトランジスタ130に隣り合う上側MISトランジスタ130に伝わり難くなり、下側MISトランジスタ131の熱がこの下側MISトランジスタ131に隣り合う下側MISトランジスタ131に伝わり難くなる。このため、上側MISトランジスタ130及び下側MISトランジスタ131の温度が過度に高くなることを抑制することができる。

20

【0220】

(3-3) 複数の上側MISトランジスタ130は、第2入力端子部材84の各接続部84a~84cと第2方向Yにおいて隣り合うように配置されている。すなわち上側MISトランジスタ130の上側電力用ワイヤ44と下側MISトランジスタ131の下側電力用ワイヤ46とが第2方向Yにおいて隣り合う。この構成によれば、上側MISトランジスタ130及び下側MISトランジスタ131が相補的にオンオフする場合に上側電力用ワイヤ44に流れる電流の向きと下側電力用ワイヤ46に流れる電流の向きとが逆方向になる。これにより、上側電力用ワイヤ44に発生する磁界と下側電力用ワイヤ46に発生する磁界とが打ち消し合うため、上側電力用ワイヤ44及び下側電力用ワイヤ46のノイズを低減することができる。特に、上側電力用ワイヤ44と下側電力用ワイヤ46とが互いに平行となるため、上側電力用ワイヤ44に発生する磁界と下側電力用ワイヤ46に発生する磁界とを効果的に打ち消し合うことができる。

30

【0221】

(第4実施形態)

図36~図39を参照して、第4実施形態のパワーモジュール1について説明する。本実施形態のパワーモジュール1は、第1実施形態のパワーモジュール1と比較して、第2実施形態のパワーモジュール1の上側ダイオード71及び下側ダイオード72が追加された点が異なる。以下の説明において、第1実施形態のパワーモジュール1と共通の構成については同一符号を付し、その説明を省略する。

40

【0222】

図36及び図37に示すように、上側ダイオード71は上側スイッチング素子11とは別体として設けられ、下側ダイオード72は下側スイッチング素子12とは別体として設けられている。図36に示すとおり、上側ダイオード71のカソードは、上側スイッチング素子11のドレイン端子11dと第1入力端子Pとを繋ぐ第1配線15に電氣的に接続されている。より詳細には、上側ダイオード71のカソードは、第1配線15において上側スイッチング素子11のドレイン端子11dと上側コンデンサ13の第1端子との間の

50

部分に電氣的に接続されている。上側ダイオード 7 1 のアノードは、上側スイッチング素子 1 1 のソース端子 1 1 s と下側スイッチング素子 1 2 のドレイン端子 1 2 d とを繋ぐ第 4 配線 1 8 においてノード N よりも上側スイッチング素子 1 1 側の部分に電氣的に接続されている。下側ダイオード 7 2 のカソードは、第 4 配線 1 8 においてノード N よりも下側スイッチング素子 1 2 側の部分に電氣的に接続されている。より詳細には、下側ダイオード 7 2 のカソードは、第 4 配線 1 8 において下側スイッチング素子 1 2 のドレイン端子 1 2 d と下側コンデンサ 1 4 の第 1 端子との間の部分に電氣的に接続されている。下側ダイオード 7 2 のアノードは、下側スイッチング素子 1 2 のソース端子 1 2 s と第 2 入力端子 N とを繋ぐ第 5 配線 1 9 に電氣的に接続されている。本実施形態では、上側ダイオード 7 1 及び下側ダイオード 7 2 はそれぞれ、ショットキーバリアダイオードが用いられている。上側ダイオード 7 1 及び下側ダイオード 7 2 のそれぞれの順方向しきい値電圧は、上側スイッチング素子 1 1 のボディダイオード 1 1 a 及び下側スイッチング素子 1 2 のボディダイオード 1 2 a のそれぞれの順方向しきい値電圧よりも低い。

10

【 0 2 2 3 】

上側スイッチング素子 1 1 及び下側スイッチング素子 1 2 のそれぞれの個数は任意に変更可能である。例えば、上側スイッチング素子 1 1 及び下側スイッチング素子 1 2 のそれぞれの個数は、予め設定されたオン抵抗となるように設定される。上側スイッチング素子 1 1 が複数個設けられる場合、複数の上側スイッチング素子 1 1 は互いに並列に接続される。すなわち、複数の上側スイッチング素子 1 1 のドレイン端子 1 1 d が互いに接続され、複数の上側スイッチング素子 1 1 のソース端子 1 1 s が互いに接続され、複数の上側スイッチング素子 1 1 のゲート端子 1 1 g が互いに接続される。また下側スイッチング素子 1 2 が複数個設けられる場合、複数の下側スイッチング素子 1 2 は互いに並列に接続される。すなわち、複数の下側スイッチング素子 1 2 のドレイン端子 1 2 d が互いに接続され、複数の下側スイッチング素子 1 2 のソース端子 1 2 s が互いに接続され、複数の下側スイッチング素子 1 2 のゲート端子 1 2 g が互いに接続される。本実施形態では、上側スイッチング素子 1 1 は 3 個設けられ、下側スイッチング素子 1 2 は 3 個設けられている。

20

【 0 2 2 4 】

また上側ダイオード 7 1 及び下側ダイオード 7 2 のそれぞれの個数は任意に変更可能である。例えば、上側ダイオード 7 1 及び下側ダイオード 7 2 のそれぞれの個数は、上側スイッチング素子 1 1 及び下側スイッチング素子 1 2 を避けて流す還流電流の大きさに基づいて設定される。上側ダイオード 7 1 が複数個設けられる場合、複数の上側ダイオード 7 1 は互いに並列に接続される。すなわち、複数の上側ダイオード 7 1 のアノードが互いに接続され、複数の上側ダイオード 7 1 のカソードが互いに接続される。複数の上側ダイオード 7 1 のカソードは第 1 配線 1 5 に接続され、複数の上側ダイオード 7 1 のアノードは第 4 配線 1 8 におけるノード N よりも上側スイッチング素子 1 1 側の部分に接続される。また下側ダイオード 7 2 が複数個設けられる場合、複数の下側ダイオード 7 2 は互いに並列に接続される。すなわち、複数の下側ダイオード 7 2 のアノードが互いに接続され、複数の下側ダイオード 7 2 のカソードが互いに接続される。複数の下側ダイオード 7 2 のカソードは第 4 配線 1 8 におけるノード N よりも下側スイッチング素子 1 2 側の部分に接続され、複数の下側ダイオード 7 2 のアノードは第 5 配線 1 9 に接続される。本実施形態では、上側ダイオード 7 1 は 2 個設けられ、下側ダイオード 7 2 は 2 個設けられている。

30

40

【 0 2 2 5 】

パワーモジュール 1 は、上側ダイオード 7 1 が許容可能な DC 定格電流が、上側スイッチング素子 1 1 が許容可能な DC 定格電流未滿となり、かつ下側ダイオード 7 2 が許容可能な DC 定格電流が、下側スイッチング素子 1 2 が許容可能な DC 定格電流未滿となるように構成されている。ここで、DC 定格電流は、絶対最大定格の直流電流である。上側ダイオード 7 1 及び上側スイッチング素子 1 1 がそれぞれ複数個設けられる場合、パワーモジュール 1 は、複数の上側ダイオード 7 1 の DC 定格電流の合計が、複数の上側スイッチング素子 1 1 の DC 定格電流の合計未滿となるように構成されている。また下側ダイオード 7 2 及び下側スイッチング素子 1 2 がそれぞれ複数個設けられる場合、パワーモジュール

50

ル 1 は、複数の下側ダイオード 7 2 の DC 定格電流の合計が、複数の下側スイッチング素子 1 2 の DC 定格電流の合計未満となるように構成されている。

【 0 2 2 6 】

一例では、パワーモジュール 1 は、上側ダイオード 7 1 の個数が上側スイッチング素子 1 1 の個数よりも少なく、かつ下側ダイオード 7 2 の個数が下側スイッチング素子 1 2 の個数よりも少なくなるように構成されている。上述したとおり、本実施形態では、図 1 9 に示すとおり、パワーモジュール 1 は、3 個の上側スイッチング素子 1 1、3 個の下側スイッチング素子 1 2、2 個の上側ダイオード 7 1、及び 2 個の下側ダイオード 7 2 を有する。また例えば、1 つの上側ダイオード 7 1 が許容可能な DC 定格電流が、1 つの上側スイッチング素子 1 1 が許容可能な DC 定格電流未満であってもよい。また 1 つの下側ダイオード 7 2 が許容可能な DC 定格電流が、1 つの下側スイッチング素子 1 2 が許容可能な DC 定格電流未満であってもよい。この場合、上側スイッチング素子 1 1 の個数と上側ダイオード 7 1 の個数とが互いに等しくてもよい。また下側スイッチング素子 1 2 の個数と下側ダイオード 7 2 の個数とが互いに等しくてもよい。

10

【 0 2 2 7 】

3 個の上側スイッチング素子 1 1 及び 2 個の上側ダイオード 7 1 はそれぞれ、第 1 入力配線部 2 3 に半田等により実装されている。3 個の上側スイッチング素子 1 1 及び 2 個の上側ダイオード 7 1 は、第 1 方向 X に沿って交互に並べて配置されている。

【 0 2 2 8 】

上側コンデンサ 1 3 は、第 1 方向 X において 3 個の上側スイッチング素子 1 1 のうちの最も第 1 入力端子部材 3 0 側のスイッチング素子 1 1 よりも第 1 入力端子部材 3 0 側に位置している。上側コンデンサ 1 3 は、第 1 上側制御配線部 2 5 において、3 個の上側スイッチング素子 1 1 のうちの最も第 1 入力端子部材 3 0 側のスイッチング素子 1 1 のゲート電極 4 2 に接続された上側制御用ワイヤ 4 5 が接続される部分よりも第 1 上側制御端子部材 3 3 側の部分に接続されている。

20

【 0 2 2 9 】

3 個の下側スイッチング素子 1 2 及び 2 個の下側ダイオード 7 2 はそれぞれ、出力配線部 2 2 に半田等により実装されている。3 個の下側スイッチング素子 1 2 及び 2 個の下側ダイオード 7 2 は、第 1 方向 X に沿って交互に並べて配置されている。第 1 方向 X において、3 個の下側スイッチング素子 1 2 の位置は 3 個の上側スイッチング素子 1 1 の位置と等しい。第 1 方向 X において 2 個の下側ダイオード 7 2 の位置は 2 個の上側ダイオード 7 1 の位置と等しい。

30

【 0 2 3 0 】

下側コンデンサ 1 4 は、第 1 方向 X において 3 個の下側スイッチング素子 1 2 のうちの最も第 2 入力端子部材 3 1 側のスイッチング素子 1 2 よりも第 2 入力端子部材 3 1 側に位置している。下側コンデンサ 1 4 は、第 1 下側制御配線部 2 7 において、3 個の下側スイッチング素子 1 2 のうちの最も第 2 入力端子部材 3 1 側のスイッチング素子 1 2 のゲート電極 4 2 に接続された下側制御用ワイヤ 4 7 が接続される部分よりも第 1 下側制御端子部材 3 5 側の部分に接続されている。

【 0 2 3 1 】

各スイッチング素子 1 1、1 2 の各電力用ワイヤ 4 4、4 6 及び各制御用ワイヤ 4 5、4 7 による接続態様は、第 1 実施形態の各スイッチング素子 1 1、1 2 の各電力用ワイヤ 4 4、4 6 及び各制御用ワイヤ 4 5、4 7 による接続態様と同様である。各ダイオード 7 1、7 2 の各ダイオード用ワイヤ 9 1、9 2 の接続態様は、第 2 実施形態の各ダイオード 7 1、7 2 の各ダイオード用ワイヤ 9 1、9 2 の接続態様と同様である。本実施形態の上側ダイオード用ワイヤ 9 1 の線径は、上側電力用ワイヤ 4 4 の線径と等しい。4 本の上側ダイオード用ワイヤ 9 1 は、そのインダクタンスが 4 本の上側電力用ワイヤ 4 4 のインダクタンスよりも小さくなるように構成されることが好ましい。一例では、図 3 7 に示すとおり、4 本の上側ダイオード用ワイヤ 9 1 の長さはそれぞれ、4 本の上側電力用ワイヤ 4 4 の長さよりも短く、4 本の下側ダイオード用ワイヤ 9 2 の長さはそれぞれ、4 本の下側

40

50

電力用ワイヤ 46 の長さよりも短い。なお、各ダイオード用ワイヤ 91, 92 のインダクタンスが各電力用ワイヤ 44, 46 のインダクタンスよりも小さくなる構成の一例として、各ダイオード用ワイヤ 91, 92 の線径が各電力用ワイヤ 44, 46 の線径よりも大きくなるように構成されてもよい。なお、各電力用接続部材は、例えば CIC (Cu/Inver/Cu) のリードフレームなどであってもよい。

【0232】

なお、本実施形態によれば、第1実施形態の(1-1)~(1-9)の効果及び第2実施形態の(2-1)、(2-2)、(2-5)、及び(2-6)の効果と同様の効果が得られる。また、本実施形態において、上側スイッチング素子 11 及び上側ダイオード 71 に代えて上側 MIST トランジスタ 130 を用いてもよく、下側スイッチング素子 12 及び下側ダイオード 72 に代えて下側 MIST トランジスタ 131 を用いてもよい。この場合、第3実施形態の(3-1)の効果が得られる。

10

【0233】

(シミュレーション結果)

比較例及び本実施形態のパワーモジュール 1 において、上側スイッチング素子 11 をオフ状態に維持し、下側スイッチング素子 12 を駆動した場合における負側のサージ電圧の発生とスイッチング損失との関係について、図 7 及び図 38 に示す模式的な回路構成に基づいてシミュレーションを行った。図 7 は比較例のパワーモジュールの模式的な回路構成を示し、図 38 は本実施形態のパワーモジュール 1 の模式的な回路構成を示す。

【0234】

図 38 の回路構成では、上側スイッチング素子 11 のドレインに上側ダイオード 71 のカソード及び上側コンデンサ 13 の第 1 端子が電氣的に接続され、上側スイッチング素子 11 のソースに上側ダイオード 71 のアノードが電氣的に接続され、上側スイッチング素子 11 のゲート端子に上側コンデンサ 13 の第 2 端子が電氣的に接続されている。上側スイッチング素子 11 のソースとゲートとが短絡されている。

20

【0235】

下側スイッチング素子 12 のドレインに下側ダイオード 72 のカソード及び下側コンデンサ 14 の第 1 端子が電氣的に接続され、下側スイッチング素子 12 のソースに下側ダイオード 72 のアノードが電氣的に接続され、下側スイッチング素子 12 のゲートに下側コンデンサ 14 の第 2 端子が電氣的に接続されている。また下側スイッチング素子 12 のゲートに下側ゲート駆動回路 3 が電氣的に接続されている。下側スイッチング素子 12 のゲートと下側ゲート駆動回路 3 との間には、ゲート抵抗 8 が設けられている。上側スイッチング素子 11 のドレインには電源 ES の正側端子が電氣的に接続され、下側スイッチング素子 12 のソースには電源 ES の負側端子が電氣的に接続されている。図 38 の回路構成は、電源 ES の正側端子と上側スイッチング素子 11 のドレインとの間と、上側スイッチング素子 11 のソースと下側スイッチング素子 12 のドレインとの間とを繋ぐ配線 9 を有する。配線 9 は、インダクタ負荷 9a を有する。

30

【0236】

比較例のパワーモジュールでは、ゲート抵抗 8 を 2、3、4、及び 5 と変化させた場合のシミュレーションを行った。ここで、比較例のパワーモジュールの回路構成であってゲート抵抗 8 が 2 の場合を基準条件と規定する。

40

【0237】

図 39 に示すように、比較例のパワーモジュールでは、ゲート抵抗 8 を大きくすることにより、下側スイッチング素子 12 のスイッチング速度(ドレイン・ソース間電圧 V_{ds1} の変化速度)が遅くなることにより負側のサージ電圧の絶対値が小さくなる一方、ゲート抵抗 8 を大きくすることにより、スイッチング損失が急激に大きくなる。

【0238】

本実施形態のパワーモジュール 1 では、上側コンデンサ 13 及び下側コンデンサ 14 の容量が 150 pF のものを用いた場合のシミュレーションを行った。その結果が図 39 の点 A となる。

50

【 0 2 3 9 】

図 3 9 の点 A に示すように、本実施形態のパワーモジュール 1 では、上側コンデンサ 1 3 及び下側コンデンサ 1 4 と上側ダイオード 7 1 及び下側ダイオード 7 2 とにより、基準条件よりも負側のサージ電圧の絶対値が小さくなる。一方、スイッチング損失が大きくなるが、比較例のパワーモジュールのようにゲート抵抗 8 を大きくする場合に比べ、スイッチング損失が小さくなる。

【 0 2 4 0 】

また本実施形態のパワーモジュール 1 では、上側スイッチング素子 1 1 及び上側ダイオード 7 1 に代えて上側 M I S トランジスタ 1 3 0 を用い、下側スイッチング素子 1 2 及び下側ダイオード 7 2 に代えて下側 M I S トランジスタ 1 3 1 を用いた場合のシミュレーションを行った。その結果が図 3 9 の点 B となる。

10

【 0 2 4 1 】

図 3 9 の点 B に示すように、本実施形態のパワーモジュール 1 では、点 A よりも負側のサージ電圧の絶対値が小さくなる。一方、スイッチング損失が大きくなるが、比較例のパワーモジュールのようにゲート抵抗 8 を大きくする場合に比べ、スイッチング損失が小さくなる。

【 0 2 4 2 】

(変形例)

上記各実施形態に関する説明は、本発明に従う半導体装置及びパワーモジュールが取り得る形態の例示であり、その形態を制限することを意図していない。本発明に従う半導体装置及びパワーモジュールは、上記各実施形態以外に例えば以下に示される変形例、及び相互に矛盾しない少なくとも 2 つの変形例が組み合せられた形態を取り得る。

20

【 0 2 4 3 】

・第 1 実施形態のパワーモジュール 1 の半導体装置 1 0 と第 2 実施形態のパワーモジュール 1 の基板 8 0 とを組み合わせてもよい。この場合、上側コンデンサ 1 3 は、第 1 上側制御端子部材 8 8 A に最も近い上側スイッチング素子 1 1 に接続された上側制御用ワイヤ 4 5 が第 1 上側制御配線部 8 6 c に接続される部分と、第 1 上側制御端子部材 8 8 A が第 1 上側制御配線部 8 6 c に接続される部分との間の部分に設けられる。下側コンデンサ 1 4 は、第 1 下側制御端子部材 8 9 A に最も近い下側スイッチング素子 1 2 に接続された下側制御用ワイヤ 4 7 が第 1 下側制御配線部 8 7 c に接続される部分と、第 1 下側制御端子部材 8 9 A が第 1 下側制御配線部 8 7 c に接続される部分との間の部分に設けられる。またこの場合、第 2 入力端子部材 8 4 は、図 3 3 に示す第 2 入力端子部材 8 4 と同様に第 1 接続部 8 4 a、第 2 接続部 8 4 b、及び第 3 接続部 8 4 c を有し、第 4 接続部 8 4 d 及び第 5 接続部 8 4 e を有していない構成であってもよい。

30

【 0 2 4 4 】

・第 2 実施形態のパワーモジュール 1 の半導体装置 1 0 と第 1 実施形態のパワーモジュール 1 の基板 2 0 とを組み合わせてもよい。この場合、例えば図 3 7 に示す第 4 実施形態のパワーモジュール 1 の構成から上側コンデンサ 1 3 及び下側コンデンサ 1 4 を省略した構成となる。なお、上側アイランド部 3 7 及び上側接続用ワイヤ 3 9 U と、下側アイランド部 3 8 及び下側接続用ワイヤ 3 9 L との少なくとも一方を省略してもよい。

40

【 0 2 4 5 】

・第 4 実施形態のパワーモジュール 1 と第 3 実施形態のパワーモジュール 1 とを組み合わせてもよい。すなわち、第 4 実施形態のパワーモジュール 1 において、上側スイッチング素子 1 1 及び上側ダイオード 7 1 が同一チップに形成され、下側スイッチング素子 1 2 及び下側ダイオード 7 2 が同一チップに形成されてもよい。

【 0 2 4 6 】

・第 2 及び第 3 実施形態において、上側信号基板 8 6 に接続される第 1 上側制御端子部材 8 8 A 及び第 2 上側制御端子部材 8 8 B は、第 2 方向 Y において、第 2 入力端子部材 8 4 の第 1 接続部 8 4 a 側に配置されてもよい。また下側信号基板 8 7 に接続される第 1 下側制御端子部材 8 9 A 及び第 2 下側制御端子部材 8 9 B は、第 2 方向 Y において、第 2 入

50

力端子部材 8 4 の第 1 接続部 8 4 a 側に配置されてもよい。

【 0 2 4 7 】

・第 1 及び第 4 実施形態において、下側アイランド部 3 8 を用いた下側コンデンサ 1 4 と出力配線部 2 2 との電氣的な接続態様は任意に変更可能である。例えば、図 4 0 及び図 4 1 に示すような接続態様に変更してもよい。

【 0 2 4 8 】

図 4 0 に示すように、下側アイランド部 3 8 が第 2 入力配線部 2 4 を第 1 方向 X から覆うように第 2 方向 Y に延びている。第 2 方向 Y において、下側アイランド部 3 8 は、出力配線部 2 2 と隣り合うように設けられている。これにより、下側アイランド部 3 8 と出力配線部 2 2 とを電氣的に接続する下側接続用ワイヤ 3 9 L が第 2 入力配線部 2 4 を跨がない。すなわち、下側接続用ワイヤ 3 9 L の長さを短くすることができる。

10

【 0 2 4 9 】

図 4 1 に示すように、第 1 方向 X において下側アイランド部 3 8 が第 2 入力配線部 2 4 と対向するように設けられる。下側アイランド部 3 8 は、第 2 方向 Y において出力配線部 2 2 と隣り合うように設けられている。また下側アイランド部 3 8 は、第 2 方向 Y において第 1 下側制御配線部 2 7 の屈曲部 2 7 c と隣り合うように設けられている。この場合、下側コンデンサ 1 4 は、その第 1 端子及び第 2 端子の配列方向が第 2 方向 Y に沿う方向となるように配置されている。

【 0 2 5 0 】

・第 1 及び第 4 実施形態において、上側アイランド部 3 7 を省略してもよい。この場合、上側コンデンサ 1 3 の第 1 端子は第 1 上側制御配線部 2 5 の屈曲部 2 5 c に直接的に接続され、上側コンデンサ 1 3 の第 2 端子は第 1 入力配線部 2 3 に直接的に接続される。

20

【 0 2 5 1 】

・第 1 及び第 4 実施形態において、下側アイランド部 3 8 を省略してもよい。この場合、第 2 入力配線部 2 4 の第 1 部分 2 4 a の第 1 方向 X の長さを短くして出力配線部 2 2 の一部を、第 1 部分 2 4 a を第 1 方向 X から覆うように第 2 方向 Y に延ばす。これにより、出力配線部 2 2 の一部が第 2 方向 Y において第 1 下側制御配線部 2 7 の屈曲部 2 7 c と第 2 方向 Y に隙間を空けて対向する。下側コンデンサ 1 4 の第 1 端子は屈曲部 2 7 c に直接的に接続され、下側コンデンサ 1 4 の第 2 端子は出力配線部 2 2 の一部に直接的に接続される。

30

【 0 2 5 2 】

・第 1 及び第 4 実施形態において、出力配線部 2 2 の第 1 部分 2 2 a の第 1 方向 X の長さ、及び第 1 入力配線部 2 3 の第 1 部分 2 3 a の第 1 方向 X の長さはそれぞれ任意に変更可能である。例えば、第 1 実施形態では、出力配線部 2 2 に実装する下側スイッチング素子 1 2 の個数に応じて出力配線部 2 2 の第 1 部分 2 2 a の第 1 方向 X の長さを設定してもよく、第 1 入力配線部 2 3 に実装する上側スイッチング素子 1 1 の個数に応じて第 1 入力配線部 2 3 の第 1 部分 2 3 a の第 1 方向 X の長さを設定してもよい。例えば上側スイッチング素子 1 1 及び下側スイッチング素子 1 2 がそれぞれ 1 個の場合、出力配線部 2 2 の第 1 部分 2 2 a の第 1 方向 X の長さ及び第 1 入力配線部 2 3 の第 1 部分 2 3 a の第 1 方向 X の長さを短くすることができる。これにより、パワーモジュール 1 の第 1 方向 X の小型化を図ることができる。また、第 4 実施形態では、出力配線部 2 2 に実装する下側スイッチング素子 1 2 の個数及び下側ダイオード 7 2 の個数に応じて出力配線部 2 2 の第 1 部分 2 2 a の第 1 方向 X の長さを設定してもよい。また第 1 入力配線部 2 3 に実装する上側スイッチング素子 1 1 の個数及び上側ダイオード 7 1 の個数に応じて第 1 入力配線部 2 3 の第 1 部分 2 3 a の第 1 方向 X の長さを設定してもよい。

40

【 0 2 5 3 】

・第 1 実施形態において、図 4 2 に示すように、パワーモジュール 1 は、上側スイッチング素子 1 1 のゲート端子 1 1 g (図 1 参照) に電氣的に接続される上側制御抵抗の一例であるゲート抵抗 1 8 0 と、下側スイッチング素子 1 2 のゲート端子 1 2 g (図 1 参照) に電氣的に接続される下側制御抵抗の一例であるゲート抵抗 1 8 1 とを有してもよい。ゲ

50

ート抵抗180は、上側スイッチング素子11とは別体として設けられている。ゲート抵抗181は、下側スイッチング素子12とは別体として設けられている。ゲート抵抗180は、第1上側制御配線部25において、上側スイッチング素子11のゲート電極42（図5（a）参照）に接続された上側制御用ワイヤ45が接続される部分と屈曲部25cとの間の部分に実装されている。これにより、ゲート抵抗180の第1端子（第1上側抵抗端子）は上側スイッチング素子11のゲート端子11gに電氣的に接続され、ゲート抵抗180の第2端子（第2上側抵抗端子）は上側コンデンサ13の第1端子に電氣的に接続される。ゲート抵抗181は、第1下側制御配線部27において、下側スイッチング素子12のゲート電極42に接続された下側制御用ワイヤ47が接続される部分と屈曲部27cとの間の部分に実装されている。これにより、ゲート抵抗181の第1端子（第1下側抵抗端子）は下側スイッチング素子12のゲート端子12gに電氣的に接続され、ゲート抵抗181の第2端子（第2下側抵抗端子）は下側コンデンサ14の第1端子と電氣的に接続される。この構成によれば、ゲート抵抗180、181の抵抗値を変更することによって上側スイッチング素子11及び下側スイッチング素子12が適切な動作速度になるように調整することができる。

10

20

30

40

50

【0254】

・各実施形態において、上側スイッチング素子11及び下側スイッチング素子12の構成は任意に変更可能である。例えば、上側スイッチング素子11及び下側スイッチング素子12は、図43に示すような構成であってもよい。なお、以下の説明において、上側スイッチング素子11及び下側スイッチング素子12は同一構造であるため、上側スイッチング素子11の構成を説明し、下側スイッチング素子12の構成の説明を省略する。

【0255】

図43（a）（b）に示すように、上側スイッチング素子11は、窒化ガリウム（GaN）のHEMT（High Electron Mobility Transistor）などの窒化物半導体からなるトランジスタであってもよい。なお、窒化物半導体としては、窒化アルミニウムガリウム（AlGaN）、窒化インジウムガリウム（InGaN）等を用いてもよい。

【0256】

図43（a）に示す上側スイッチング素子11は、例えばシリコン基板（Si基板210）上に形成され、窒化ガリウム（GaN）等からなるバッファ層211と、バッファ層211上に形成され、アンドープGaN層からなるチャンネル層212と、チャンネル層212上に形成され、アンドープAlGaN層からなる電子供給層213とを有する。さらに、電子供給層213上には、ソース電極214、ドレイン電極215、及び絶縁層216が形成されている。また電子供給層213の上には、絶縁層216を介してゲート電極217が形成されている。

【0257】

このような上側スイッチング素子11は、アンドープGaNからなるチャンネル層212の表面にはアンドープAlGaNからなる電子供給層213がヘテロ接合しているため、接合している部分の界面には、2次元電子ガス（2DEG：Two Dimensional Electron Gas）が発生する。このため、2DEG層内の電子がキャリアとなってチャンネル層212は導電性を示すようになる。

【0258】

図43（b）に示す上側スイッチング素子11では、図43（a）の上側スイッチング素子11の構成に対して、アンドープAlGaNからなる電子供給層213にトレンチ溝218が形成されている。トレンチ溝218の側面及び底面には、絶縁層216が形成されている。この絶縁層216の側面及び底面に対してゲート電極217が充填されている。その他の構成は、図43（a）の上側スイッチング素子11の構成と同様である。

【0259】

図43（b）の上側スイッチング素子11では、アンドープAlGaNからなる電子供給層213に対して形成されたトレンチ溝218内に絶縁層216を介してゲート電極217が形成されることにより、ゲート電極217の下側のチャンネル層212と電子供給層

2 1 3 との界面の 2 D E G 層の ノーマリオフ 特性を実現している。

【 0 2 6 0 】

・各実施形態において、上側ゲート駆動回路 2 は、下側スイッチング素子 1 2 がオンオフ駆動しているときに上側スイッチング素子 1 1 が同期整流するようにしてもよい。下側ゲート駆動回路 3 は、上側スイッチング素子 1 1 がオンオフ駆動しているときに下側スイッチング素子 1 2 が同期整流するようにしてもよい。言い換えれば、各実施形態において、各ゲート駆動回路 2 , 3 は、上側スイッチング素子 1 1 と下側スイッチング素子 1 2 とが相補的にオンオフするように上側スイッチング素子 1 1 及び下側スイッチング素子 1 2 を制御してもよい。なお、パワーモジュール 1 と各ゲート駆動回路 2 , 3 とを含めた構成をパワー駆動回路と称する場合がある。パワー駆動回路は、各ゲート駆動回路 2 , 3 がパワーモジュール 1 に内蔵された構成であってもよい。

10

【 0 2 6 1 】

(パワーモジュール 1 を適用する回路)

図 4 4 及び図 4 5 を参照して、パワーモジュール 1 を適用する回路を例示して説明する。

【 0 2 6 2 】

図 4 4 に示すフルブリッジ型インバータ回路 (以下、単に「インバータ回路 2 3 0」) は、パワーモジュール 1 に適用することができる。インバータ回路 2 3 0 は、第 1 インバータ部 2 3 1、第 2 インバータ部 2 3 2、入力キャパシタ 2 3 3、及びゲート駆動回路 2 3 4 を備える。このインバータ回路 2 3 0 は、例えば 2 相交流モータ (図示略) の駆動や電源回路に用いられる。

20

【 0 2 6 3 】

第 1 インバータ部 2 3 1 は、上側スイッチング素子 2 3 1 U 及び下側スイッチング素子 2 3 1 L を有する。上側スイッチング素子 2 3 1 U のソース端子と下側スイッチング素子 2 3 1 L のドレイン端子とは電氣的に接続されている。第 1 インバータ部 2 3 1 は、入力キャパシタ 2 3 3 と並列に接続されている。詳述すると、上側スイッチング素子 2 3 1 U のドレイン端子は入力キャパシタ 2 3 3 の第 1 端子に電氣的に接続され、下側スイッチング素子 2 3 1 L のソース端子は入力キャパシタ 2 3 3 の第 2 端子に電氣的に接続されている。

【 0 2 6 4 】

第 2 インバータ部 2 3 2 は、上側スイッチング素子 2 3 2 U 及び下側スイッチング素子 2 3 2 L を有する。上側スイッチング素子 2 3 2 U のソース端子と下側スイッチング素子 2 3 2 L のドレイン端子とは電氣的に接続されている。第 2 インバータ部 2 3 2 は、第 1 インバータ部 2 3 1 と並列に接続されている。詳述すると、上側スイッチング素子 2 3 2 U のドレイン端子は上側スイッチング素子 2 3 1 U のドレイン端子に電氣的に接続され、下側スイッチング素子 2 3 2 L のソース端子は下側スイッチング素子 2 3 1 L のソース端子に電氣的に接続されている。

30

【 0 2 6 5 】

ゲート駆動回路 2 3 4 は、各スイッチング素子 2 3 1 U , 2 3 1 L , 2 3 2 U , 2 3 2 L のゲート端子にそれぞれ電氣的に接続されている。ゲート駆動回路 2 3 4 は、各スイッチング素子 2 3 1 U , 2 3 1 L , 2 3 2 U , 2 3 2 L のオンオフを制御する。

40

【 0 2 6 6 】

このようなインバータ回路 2 3 0 において、パワーモジュール 1 は、第 1 インバータ部 2 3 1 及び第 2 インバータ部 2 3 2 の少なくとも一方に適用することができる。第 1 インバータ部 2 3 1 にパワーモジュール 1 が適用された場合、パワーモジュール 1 の第 1 入力端子 P 及び第 2 入力端子 N にはそれぞれ入力キャパシタ 2 3 3 の第 1 端子及び第 2 端子が電氣的に接続され、第 1 上側制御端子 G U 1 及び第 1 下側制御端子 G L 1 にゲート駆動回路 2 3 4 が電氣的に接続されている。第 2 インバータ部 2 3 2 にパワーモジュール 1 が適用された場合、第 1 入力端子 P 及び第 2 入力端子 N にはそれぞれ上側スイッチング素子 2 3 1 U のドレイン端子及び下側スイッチング素子 2 3 1 L のソース端子が電氣的に接続さ

50

れ、第 1 上側制御端子 G U 1 及び第 1 下側制御端子 G L 1 にゲート駆動回路 2 3 4 が電氣的に接続されている。

【 0 2 6 7 】

図 4 5 に示す 3 相交流インバータ回路（以下、単に「3 相インバータ回路 2 4 0」）もパワーモジュール 1 に適用することができる。

3 相インバータ回路 2 4 0 は、3 相交流モータ（以下、単に「モータ 2 4 7」）の U 相、V 相、及び W 相のコイルに電氣的に接続されたパワー駆動部 2 4 1、パワー駆動部 2 4 1 を制御するゲート駆動回路 2 4 5、及びパワー駆動部 2 4 1 と電源 E S とに接続されたコンバータ部 2 4 6 を備える。コンバータ部 2 4 6 は、正側電力端子 E P 及び負側電力端子 E N を有する。

10

【 0 2 6 8 】

パワー駆動部 2 4 1 は、モータ 2 4 7 の U 相、V 相、及び W 相のコイルに供給する電力を制御する。パワー駆動部 2 4 1 は、U 相インバータ部 2 4 2、V 相インバータ部 2 4 3、及び W 相インバータ部 2 4 4 を有する。U 相インバータ部 2 4 2、V 相インバータ部 2 4 3、及び W 相インバータ部 2 4 4 は、正側電力端子 E P と負側電力端子 E N との間において互いに並列に接続されている。

【 0 2 6 9 】

U 相インバータ部 2 4 2 は、上側スイッチング素子 2 4 2 U 及び下側スイッチング素子 2 4 2 L を有する。上側スイッチング素子 2 4 2 U のドレイン端子は正側電力端子 E P に電氣的に接続されている。上側スイッチング素子 2 4 2 U のソース端子と下側スイッチング素子 2 4 2 L のドレイン端子とは電氣的に接続されている。下側スイッチング素子 2 4 2 L のソース端子は負側電力端子 E N に接続されている。上側スイッチング素子 2 4 2 U にはスナバダイオード 2 4 2 A が逆並列に接続され、下側スイッチング素子 2 4 2 L にはスナバダイオード 2 4 2 B が逆並列に接続されている。詳述すると、スナバダイオード 2 4 2 A のアノードが上側スイッチング素子 2 4 2 U のソース端子に電氣的に接続され、スナバダイオード 2 4 2 A のカソードが上側スイッチング素子 2 4 2 U のドレイン端子に電氣的に接続されている。スナバダイオード 2 4 2 B のアノードが下側スイッチング素子 2 4 2 L のソース端子に電氣的に接続され、スナバダイオード 2 4 2 B のカソードが下側スイッチング素子 2 4 2 L のドレイン端子に電氣的に接続されている。

20

【 0 2 7 0 】

V 相インバータ部 2 4 3 は、上側スイッチング素子 2 4 3 U 及び下側スイッチング素子 2 4 3 L を有する。上側スイッチング素子 2 4 3 U のドレイン端子は正側電力端子 E P に電氣的に接続されている。上側スイッチング素子 2 4 3 U のソース端子と下側スイッチング素子 2 4 3 L のドレイン端子とは電氣的に接続されている。下側スイッチング素子 2 4 3 L のソース端子は負側電力端子 E N に接続されている。上側スイッチング素子 2 4 3 U にはスナバダイオード 2 4 3 A が逆並列に接続され、下側スイッチング素子 2 4 3 L にはスナバダイオード 2 4 3 B が逆並列に接続されている。詳述すると、スナバダイオード 2 4 3 A のアノードが上側スイッチング素子 2 4 3 U のソース端子に電氣的に接続され、スナバダイオード 2 4 3 A のカソードが上側スイッチング素子 2 4 3 U のドレイン端子に電氣的に接続されている。スナバダイオード 2 4 3 B のアノードが下側スイッチング素子 2 4 3 L のソース端子に電氣的に接続され、スナバダイオード 2 4 3 B のカソードが下側スイッチング素子 2 4 3 L のドレイン端子に電氣的に接続されている。

30

40

【 0 2 7 1 】

W 相インバータ部 2 4 4 は、上側スイッチング素子 2 4 4 U 及び下側スイッチング素子 2 4 4 L を有する。上側スイッチング素子 2 4 4 U のドレイン端子は正側電力端子 E P に電氣的に接続されている。上側スイッチング素子 2 4 4 U のソース端子と下側スイッチング素子 2 4 4 L のドレイン端子とは電氣的に接続されている。下側スイッチング素子 2 4 4 L のソース端子は負側電力端子 E N に接続されている。上側スイッチング素子 2 4 4 U にはスナバダイオード 2 4 4 A が逆並列に接続され、下側スイッチング素子 2 4 4 L にはスナバダイオード 2 4 4 B が逆並列に接続されている。詳述すると、スナバダイオード 2

50

44Aのアノードが上側スイッチング素子244Uのソース端子に電氣的に接続され、スナバダイオード244Aのカソードが上側スイッチング素子244Uのドレイン端子に電氣的に接続されている。スナバダイオード244Bのアノードが下側スイッチング素子244Lのソース端子に電氣的に接続され、スナバダイオード244Bのカソードが下側スイッチング素子244Lのドレイン端子に電氣的に接続されている。

【0272】

ゲート駆動回路245は、各スイッチング素子242U, 242L, 243U, 243L, 244U, 244Lのゲート端子にそれぞれ電氣的に接続されている。ゲート駆動回路245は、各スイッチング素子242U, 242L, 243U, 243L, 244U, 244Lのオンオフを制御する。

10

【0273】

このような3相インバータ回路240において、パワーモジュール1は、U相インバータ部242、V相インバータ部243、及びW相インバータ部244の少なくとも1つに適用することができる。U相インバータ部242にパワーモジュール1が適用された場合、パワーモジュール1の第1入力端子P及び第2入力端子Nにはそれぞれ正側電力端子EP及び負側電力端子ENが電氣的に接続され、第1上側制御端子GU1及び第1下側制御端子GL1にゲート駆動回路245が電氣的に接続されている。パワーモジュール1の出力端子Oは、モータ247のU相のコイルに電氣的に接続される。また、V相インバータ部243にパワーモジュール1が適用された場合及びW相インバータ部244にパワーモジュール1が適用された場合も、パワーモジュール1がU相インバータ部242に適用された場合と同様である。V相インバータ部243を構成するパワーモジュール1の出力端子Oは、モータ247のV相のコイルに電氣的に接続される。W相インバータ部244を構成するパワーモジュール1の出力端子Oは、モータ247のW相のコイルに電氣的に接続される。なお、パワーモジュール1は、インバータ回路に限られず、コンバータ回路に適用してもよい。

20

【0274】

(付記)

次に、上記各実施形態及び上記各変形例から把握できる技術的思想について記載する。

(付記A1)ワイドギャップ半導体からなり、第1上側端子、第2上側端子、及び上側制御端子を有する上側スイッチング素子と、ワイドギャップ半導体からなり、第1下側端子、第2下側端子、及び下側制御端子を有する下側スイッチング素子と、ワイドギャップ半導体からなり、アノードが第2上側端子に接続され、カソードが第1上側端子に接続されている上側ダイオードと、ワイドギャップ半導体からなり、アノードが第2下側端子に接続され、カソードが第1下側端子に接続されている下側ダイオードと、前記上側スイッチング素子の前記上側制御端子及び前記下側スイッチング素子の前記下側制御端子に電氣的に接続され、前記上側スイッチング素子及び前記下側スイッチング素子を制御する制御駆動回路と、を有し、前記上側ダイオードの順方向しきい値電圧が前記上側スイッチング素子のボディダイオードの順方向しきい値電圧よりも低く、前記下側ダイオードの順方向しきい値電圧が前記下側スイッチング素子のボディダイオードの順方向しきい値電圧よりも低く、前記制御駆動回路は、前記上側スイッチング素子及び前記下側スイッチング素子を同期整流する、パワー駆動回路。

30

40

【0275】

(付記A2)前記上側ダイオードの許容可能なDC定格電流が前記上側スイッチング素子の許容可能なDC定格電流未満であり、前記下側ダイオードの許容可能なDC定格電流が前記下側スイッチング素子の許容可能なDC定格電流未満である、付記A1に記載のパワー駆動回路。

【0276】

(付記B1)ワイドギャップ半導体からなり、第1上側端子、第2上側端子、及び上側制御端子を有する上側スイッチング素子と、ワイドギャップ半導体からなり、第1下側端子、第2下側端子、及び下側制御端子を有する下側スイッチング素子と、ワイドギャップ

50

半導体からなり、アノードが第 2 上側端子に接続され、カソードが第 1 上側端子に接続されている上側ダイオードと、ワイドギャップ半導体からなり、アノードが第 2 下側端子に接続され、カソードが第 1 下側端子に接続されている下側ダイオードと、前記上側スイッチング素子の前記上側制御端子及び前記下側スイッチング素子の前記下側制御端子に電氣的に接続され、前記上側スイッチング素子及び前記下側スイッチング素子を制御する制御駆動回路と、を有するパワーモジュールの制御方法であって、前記上側ダイオードの順方向しきい値電圧が前記上側スイッチング素子のボディダイオードの順方向しきい値電圧よりも低く、前記下側ダイオードの順方向しきい値電圧が前記下側スイッチング素子のボディダイオードの順方向しきい値電圧よりも低く、前記上側スイッチング素子及び前記下側スイッチング素子を同期整流する、パワーモジュールの制御方法。

10

【0277】

(付記 C 1) ワイドギャップ半導体からなり、第 1 上側端子、第 2 上側端子、及び上側制御端子を有する上側スイッチング素子と、ワイドギャップ半導体からなり、第 1 下側端子、第 2 下側端子、及び下側制御端子を有する下側スイッチング素子と、前記第 1 上側端子と前記上側制御端子との間に、前記上側スイッチング素子とは別体として設けられた上側コンデンサと、前記第 1 下側端子と前記下側制御端子との間に、前記下側スイッチング素子とは別体として設けられた下側コンデンサと、を有し、前記第 2 上側端子及び前記第 1 下側端子が電氣的に接続されている、半導体装置。

【0278】

この構成によれば、例えば下側スイッチング素子がオン状態からオフ状態に変化するとき、下側コンデンサによって下側スイッチング素子のドレイン・ソース間電圧の変化速度が遅くなる。これにより、上側スイッチング素子のドレイン・ソース間電圧の変化速度も遅くなるため、上側スイッチング素子のゲート・ソース間電圧の変化速度が遅くなる。したがって、上側スイッチング素子のゲート・ソース間電圧のサージ電圧の増加が抑制されるため、上側スイッチング素子のゲート・ソース間電圧の変動を低減することができる。また、例えば上側スイッチング素子がオン状態からオフ状態に変化するときも同様に下側スイッチング素子のゲート・ソース間電圧のサージ電圧の増加が抑制されるため、下側スイッチング素子のゲート・ソース間電圧の変動を低減することができる。

20

【0279】

(付記 C 2) 基板と、ワイドギャップ半導体からなり、第 1 上側端子、第 2 上側端子、及び上側制御端子を有し、前記基板に実装された上側スイッチング素子と、ワイドギャップ半導体からなり、第 1 下側端子、第 2 下側端子、及び下側制御端子を有し、前記基板に実装された下側スイッチング素子と、前記上側スイッチング素子とは別体として設けられ、前記第 1 上側端子と前記上側制御端子との間に設けられた上側コンデンサと、前記下側スイッチング素子とは別体として設けられ、前記第 1 下側端子と前記下側制御端子との間に設けられた下側コンデンサと、前記上側スイッチング素子、前記下側スイッチング素子、前記上側コンデンサ、及び前記下側コンデンサを封止する封止樹脂と、を備え、前記第 2 上側端子及び前記第 1 下側端子が電氣的に接続されている、パワーモジュール。

30

【0280】

この構成によれば、例えば下側スイッチング素子がオン状態からオフ状態に変化するとき、下側コンデンサによって下側スイッチング素子のドレイン・ソース間電圧の変化速度が遅くなる。これにより、上側スイッチング素子のドレイン・ソース間電圧の変化速度も遅くなるため、上側スイッチング素子のゲート・ソース間電圧の変化速度が遅くなる。したがって、上側スイッチング素子のゲート・ソース間電圧のサージ電圧の増加が抑制されるため、上側スイッチング素子のゲート・ソース間電圧の変動を低減することができる。また、例えば上側スイッチング素子がオン状態からオフ状態に変化するときも同様に下側スイッチング素子のゲート・ソース間電圧のサージ電圧の増加が抑制されるため、下側スイッチング素子のゲート・ソース間電圧の変動を低減することができる。

40

【0281】

(付記 C 3) 基板と、ワイドギャップ半導体からなり、第 1 端子と、第 2 端子と、前記

50

第 1 端子と前記第 2 端子との間のスイッチングを制御する制御端子とを有するスイッチング素子と、前記第 1 端子と前記制御端子との間に、前記スイッチング素子とは別体として設けられたコンデンサと、前記スイッチング素子及び前記コンデンサを封止する封止樹脂と、を有する、パワーモジュール。

【0282】

(付記 C 4) ワイドギャップ半導体からなり、第 1 上側端子、第 2 上側端子、及び上側制御端子を有する上側スイッチング素子と、ワイドギャップ半導体からなり、第 1 下側端子、第 2 下側端子、及び下側制御端子を有する下側スイッチング素子と、ワイドギャップ半導体からなり、アノードが前記第 2 上側端子に接続され、カソードが前記第 1 上側端子に接続されている上側ダイオードと、ワイドギャップ半導体からなり、アノードが前記第 2 下側端子に接続され、カソードが前記第 1 下側端子に接続されている下側ダイオードと、前記上側スイッチング素子、前記下側スイッチング素子、前記上側ダイオード、及び前記下側ダイオードのそれぞれが実装された基板と、を有し、前記上側ダイオードの順方向しきい値電圧が前記上側スイッチング素子のボディダイオードの順方向しきい値電圧よりも低く、かつ前記上側ダイオードの許容可能な DC 定格電流が前記上側スイッチング素子のボディダイオードが許容可能な DC 定格電流未満であり、前記下側ダイオードの順方向しきい値電圧が前記下側スイッチング素子のボディダイオードの順方向しきい値電圧よりも低く、かつ前記下側ダイオードの許容可能な DC 定格電流が前記下側スイッチング素子のボディダイオードが許容可能な DC 定格電流未満である、パワーモジュール。

10

【0283】

(付記 C 5) ワイドギャップ半導体からなり、第 1 端子、第 2 端子、及び制御端子を有するスイッチング素子と、ワイドギャップ半導体からなり、アノードが前記第 2 端子に接続され、カソードが前記第 1 端子に接続されるダイオードと、前記スイッチング素子及び前記ダイオードが実装されている基板と、を有し、前記ダイオードの順方向しきい値電圧が前記スイッチング素子のボディダイオードの順方向しきい値電圧よりも低く、かつ前記ダイオードの許容可能な DC 定格電流が前記スイッチング素子のボディダイオードが許容可能な DC 定格電流未満である、パワーモジュール。

20

【0284】

この構成によれば、例えば下側スイッチング素子がオン状態からオフ状態に変化するとき、上側スイッチング素子のドレイン・ソース間電圧が負側に低下しても上側ダイオードの順方向しきい値電圧で上側スイッチング素子のドレイン・ソース間電圧の低下がクランプされる。このとき、ドレイン・ソース間電圧の変動期間が短くなるため、ゲート・ソース間電圧の変動期間が短くなる。したがって、ゲート・ソース間電圧の変動を低減することができる。

30

【符号の説明】

【0285】

- 1 ... パワーモジュール
- 10 ... 半導体装置
- 11 ... 上側スイッチング素子
- 11 a ... ボディダイオード
- 11 d ... ドレイン端子 (第 1 上側端子)
- 11 s ... ソース端子 (第 2 上側端子)
- 11 g ... ゲート端子 (上側制御端子)
- 12 ... 下側スイッチング素子
- 12 a ... ボディダイオード
- 12 d ... ドレイン端子 (第 1 下側端子)
- 12 s ... ソース端子 (第 2 下側端子)
- 12 g ... ゲート端子 (下側制御端子)
- 13 ... 上側コンデンサ
- 14 ... 下側コンデンサ

40

50

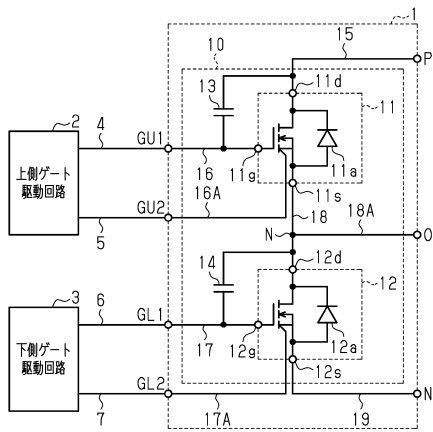
2 0 ... 基板	
2 1 ... セラミック基板（支持基板）	
2 2 ... 出力配線部	
2 3 ... 第 1 入力配線部	
2 4 ... 第 2 入力配線部	
2 5 ... 第 1 上側制御配線部（上側制御配線部）	
2 6 ... 第 2 上側制御配線部	
2 7 ... 第 1 下側制御配線部（下側制御配線部）	
2 8 ... 第 2 下側制御配線部	
3 0 ... 第 1 入力端子部材	10
3 1 ... 第 2 入力端子部材	
3 2 ... 出力端子部材	
3 3 ... 第 1 上側制御端子部材	
3 4 ... 第 2 上側制御端子部材	
3 5 ... 第 1 下側制御端子部材	
3 6 ... 第 2 下側制御端子部材	
3 7 ... 上側アイランド部	
3 8 ... 下側アイランド部	
3 9 U ... 上側接続用ワイヤ	
3 9 L ... 下側接続用ワイヤ	20
4 0 ... 封止樹脂	
4 4 ... 上側電力用ワイヤ（上側電力用接続部材）	
4 5 ... 上側制御用ワイヤ（上側制御用接続部材）	
4 6 ... 下側電力用ワイヤ（下側電力用接続部材）	
4 7 ... 下側制御用ワイヤ（下側制御用接続部材）	
7 1 ... 上側ダイオード	
7 2 ... 下側ダイオード	
8 0 ... 基板	
8 1 ... セラミック基板（支持基板）	
8 1 a ... 本体部	30
8 1 b ... 裏面金属層（第 1 裏面側金属層、第 2 裏面側金属層）	
8 1 c ... 表面金属層（第 1 表面側金属層、第 2 表面側金属層）	
8 2 ... グラファイト基板	
8 2 A ... 第 1 基板	
8 2 B ... 第 2 基板	
8 2 a ... 本体部	
8 2 b ... 裏面金属層	
8 2 c ... 表面金属層	
8 3 ... 第 1 入力端子部材	
8 4 ... 第 2 入力端子部材（入力端子部材）	40
8 4 a ... 第 1 接続部	
8 4 b ... 第 2 接続部	
8 4 c ... 第 3 接続部	
8 4 d ... 第 4 接続部	
8 4 e ... 第 5 接続部	
8 5 ... 出力端子部材	
8 8 A ... 第 1 上側制御端子部材	
8 8 B ... 第 2 上側制御端子部材	
8 9 A ... 第 1 下側制御端子部材	
8 9 B ... 第 2 下側制御端子部材	50

- 9 0 ... 封止樹脂
- 9 1 ... 上側ダイオード用ワイヤ（上側ダイオード用接続部材）
- 9 2 ... 下側ダイオード用ワイヤ（下側ダイオード用接続部材）
- 1 3 0 ... 上側M I Sトランジスタ（上側スイッチング素子）
- 1 3 1 ... 下側M I Sトランジスタ（下側スイッチング素子）
- 1 8 0 ... ゲート抵抗（上側制御抵抗）
- 1 8 1 ... ゲート抵抗（下側制御抵抗）
- G U 2 ... 第2上側制御端子
- G L 2 ... 第2下側制御端子

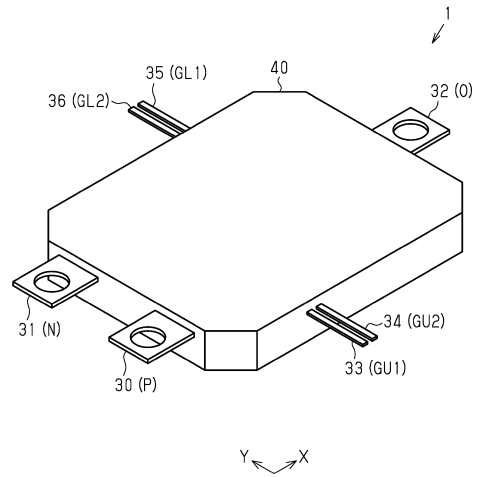
【図面】

10

【図1】



【図2】



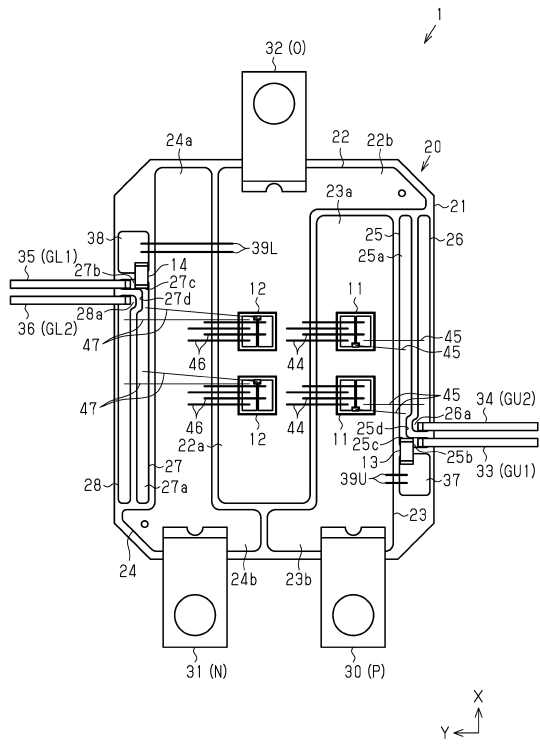
20

30

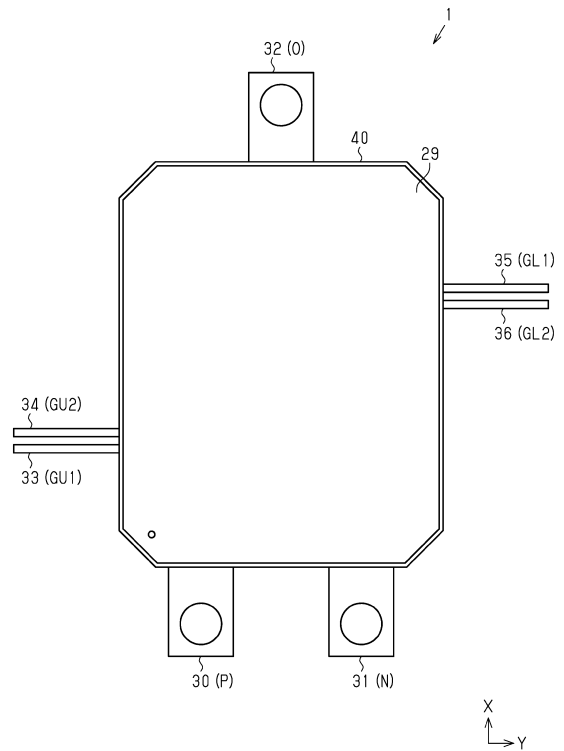
40

50

【 図 3 】



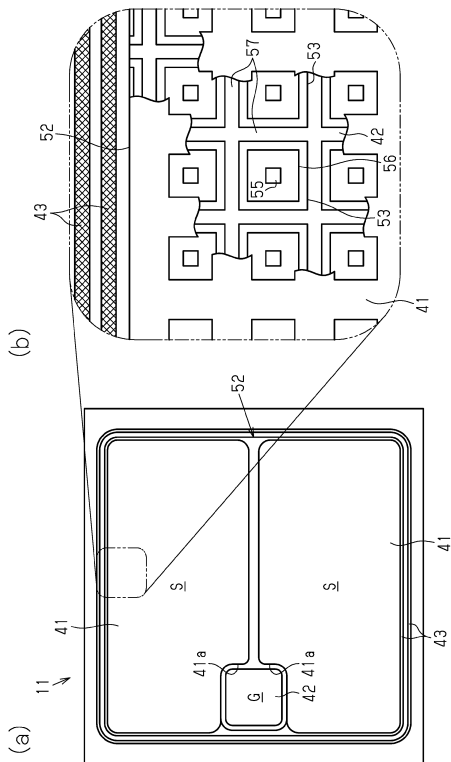
【 図 4 】



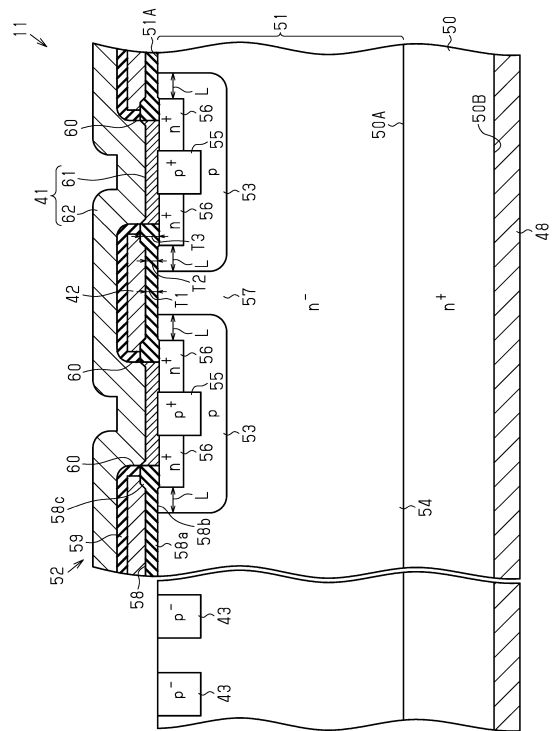
10

20

【 図 5 】



【 図 6 】



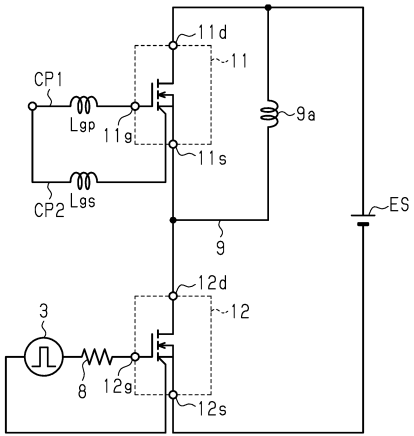
30

40

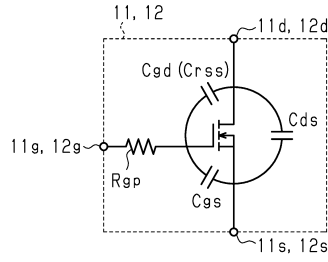
50

【 図 7 】

(比較例)

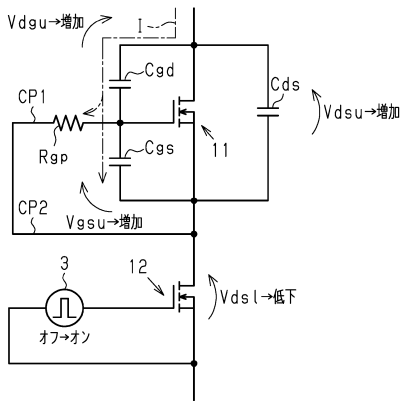


【 図 8 】

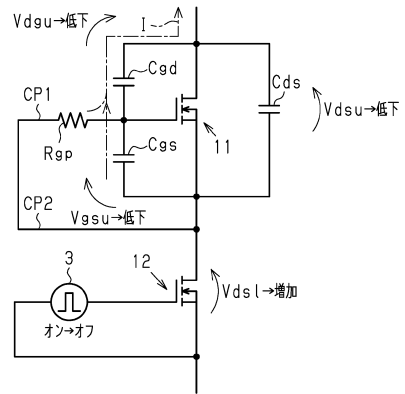


10

【 図 9 】



【 図 10 】



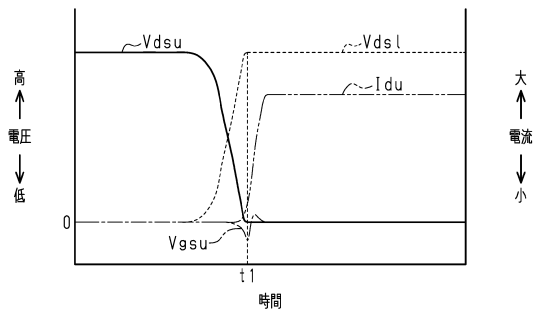
20

30

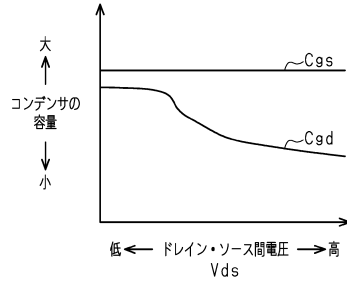
40

50

【図 1 1】

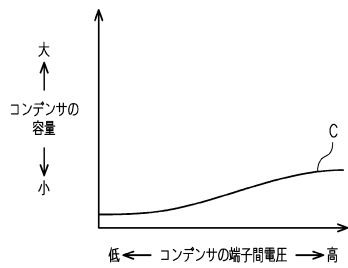


【図 1 2】

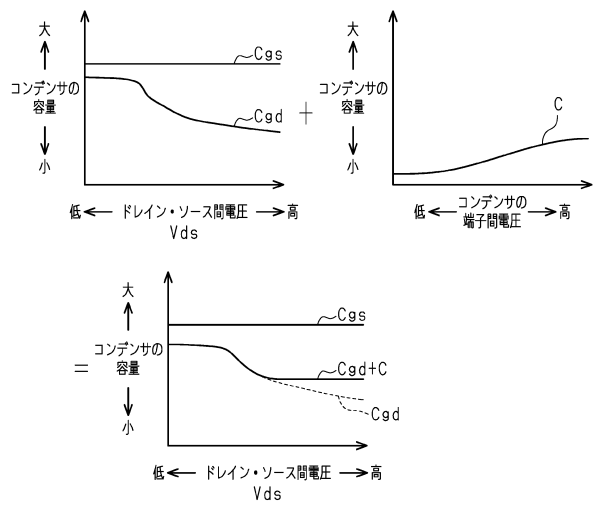


10

【図 1 3】



【図 1 4】



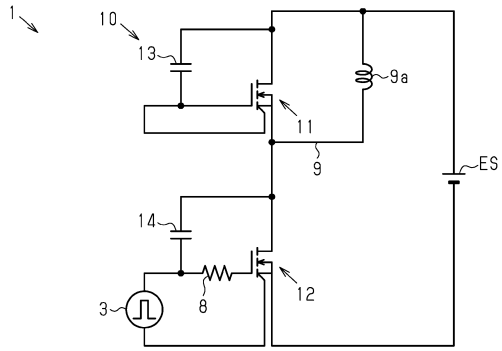
20

30

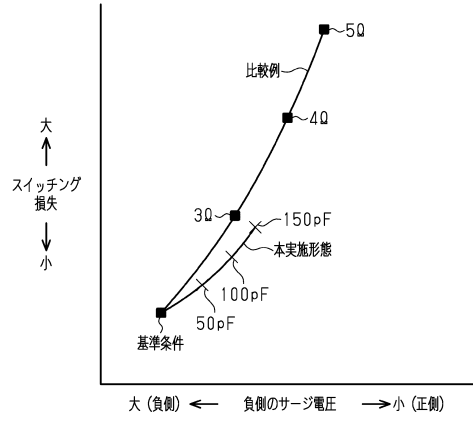
40

50

【図 15】

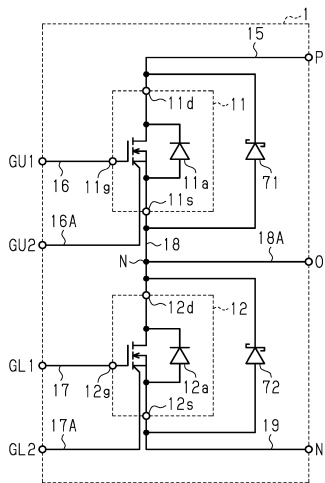


【図 16】

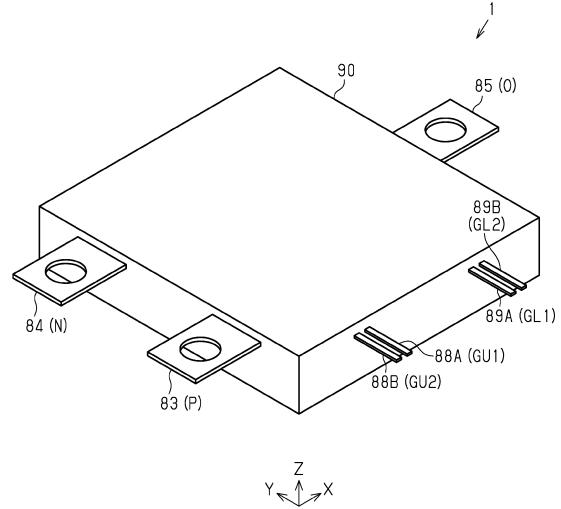


10

【図 17】



【図 18】



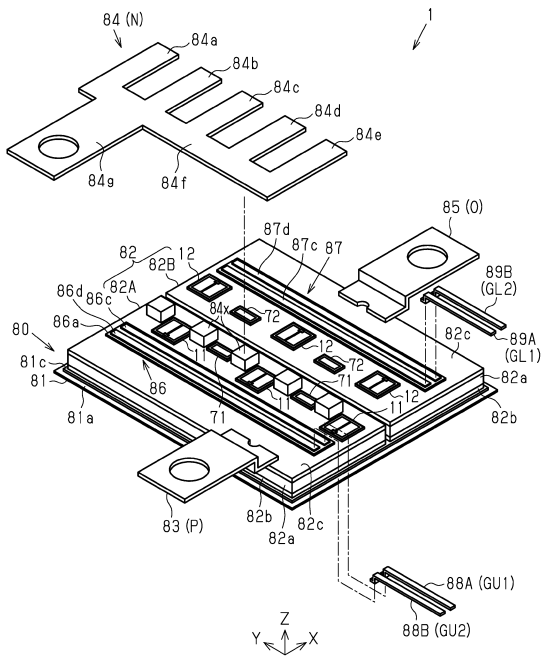
20

30

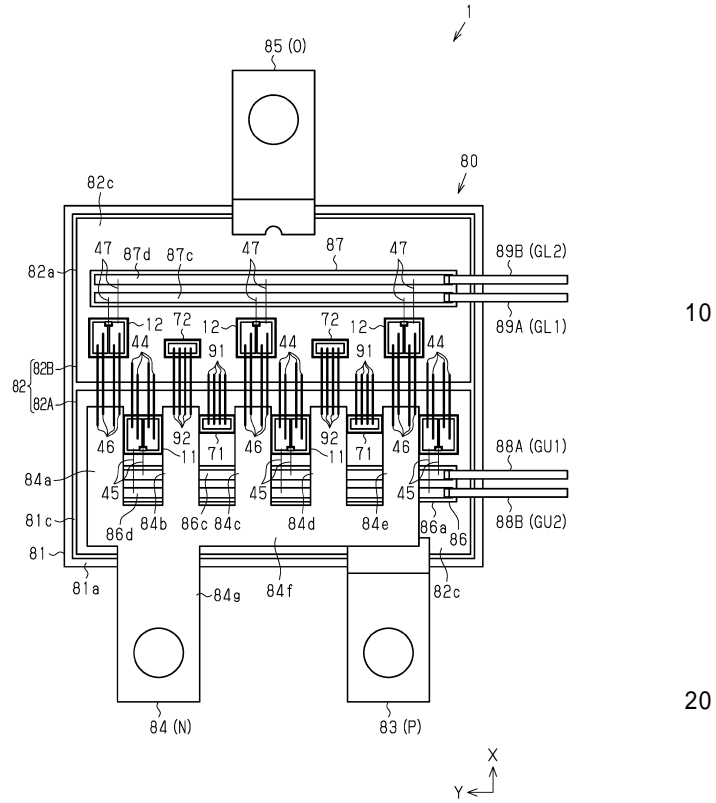
40

50

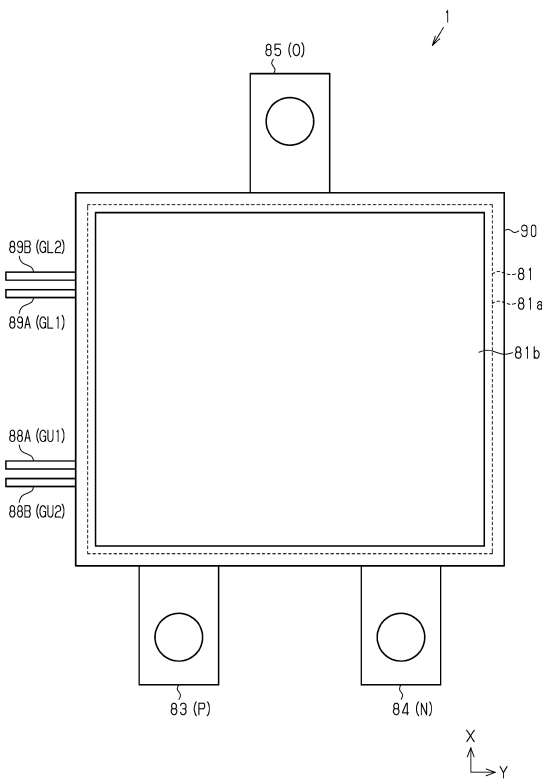
【 図 19 】



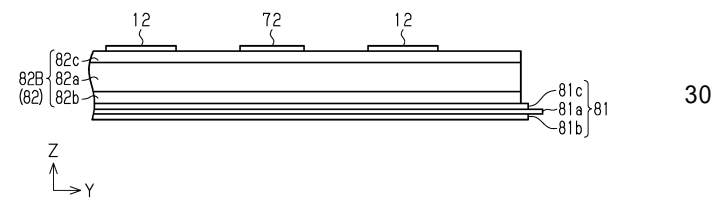
【 図 20 】



【 図 21 】



【 図 22 】



10

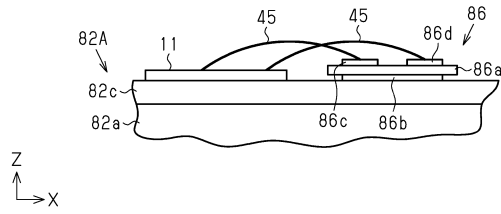
20

30

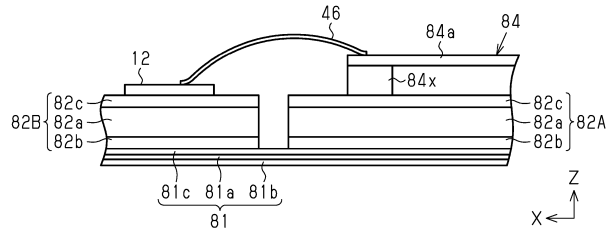
40

50

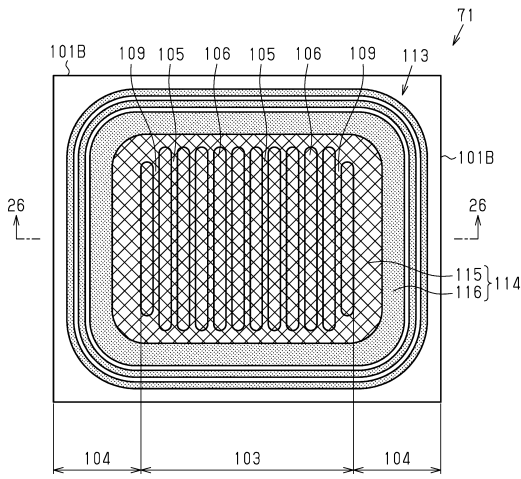
【 2 3 】



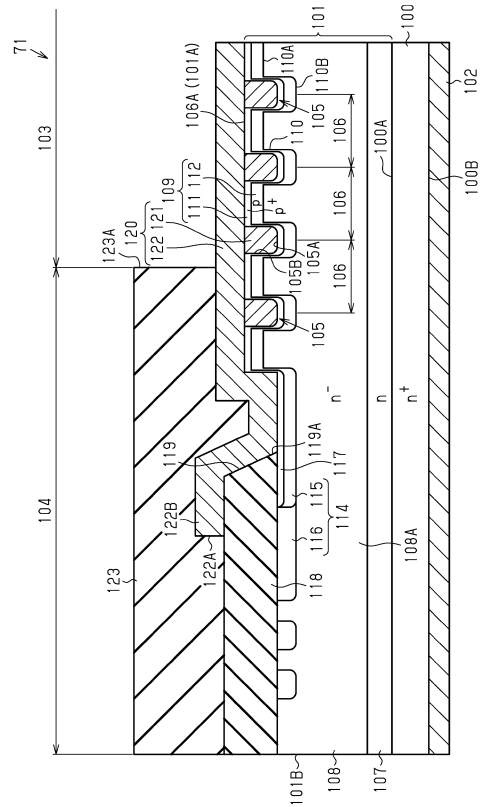
【 2 4 】



【 2 5 】



【 2 6 】



10

20

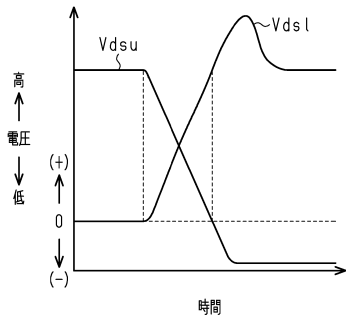
30

40

50

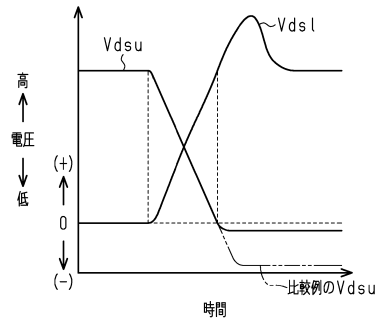
【 図 2 7 】

(比較例)



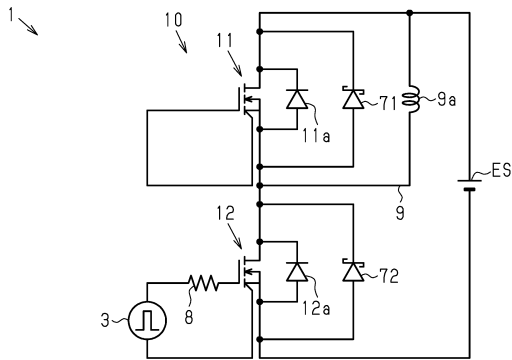
【 図 2 8 】

(本実施形態)

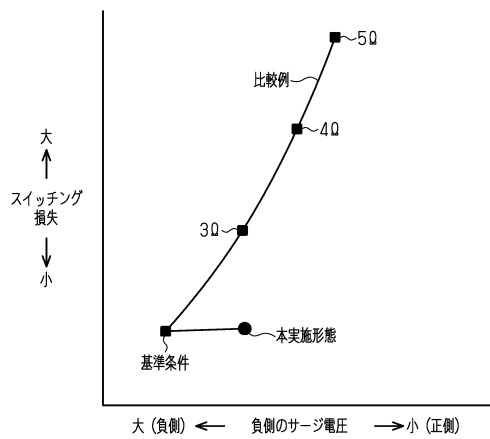


10

【 図 2 9 】



【 図 3 0 】



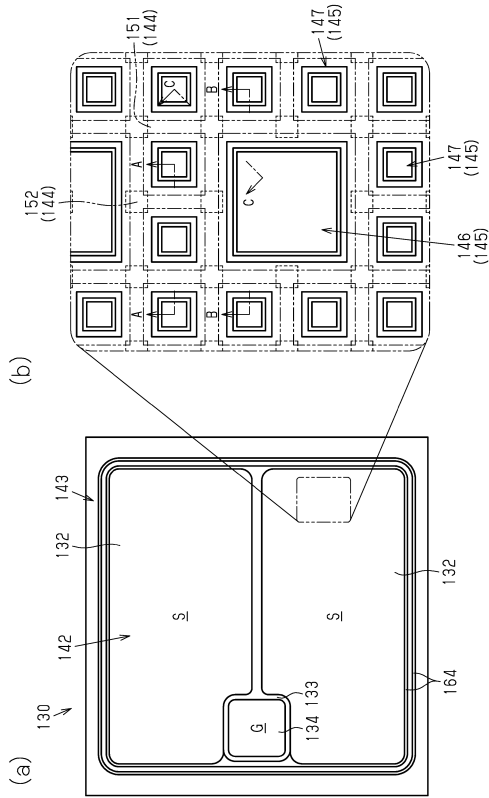
20

30

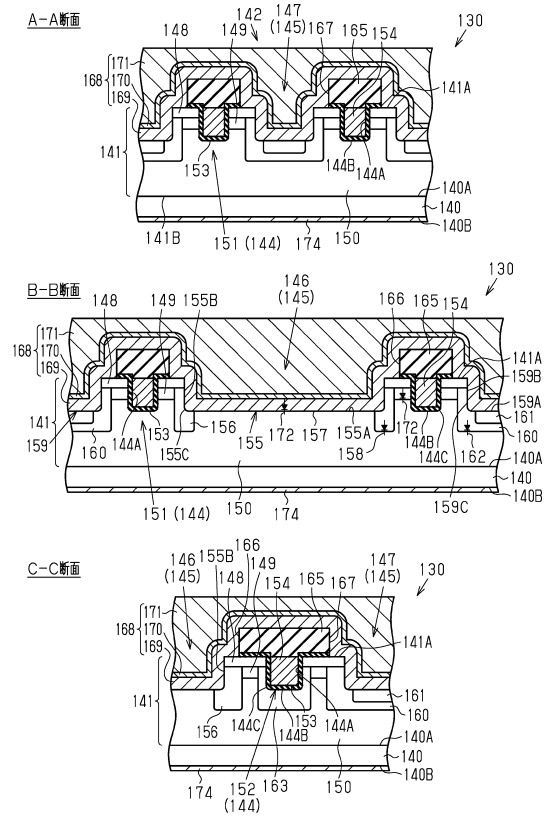
40

50

【 図 3 1 】



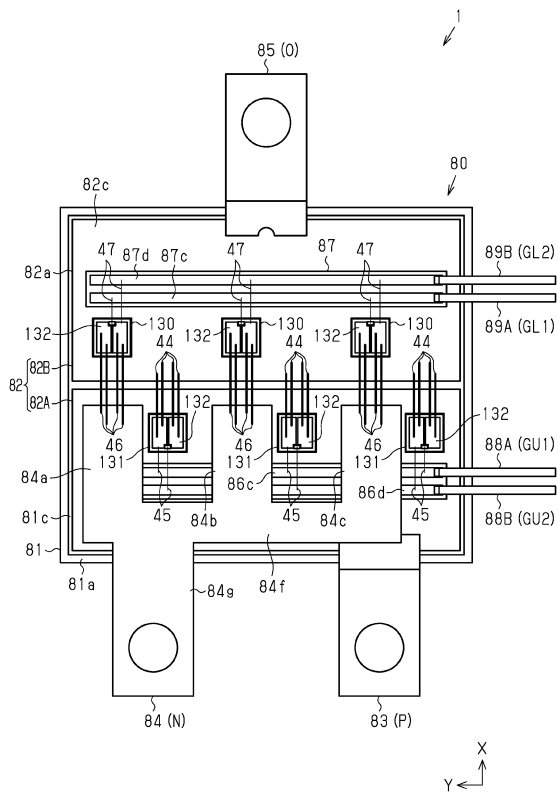
【 図 3 2 】



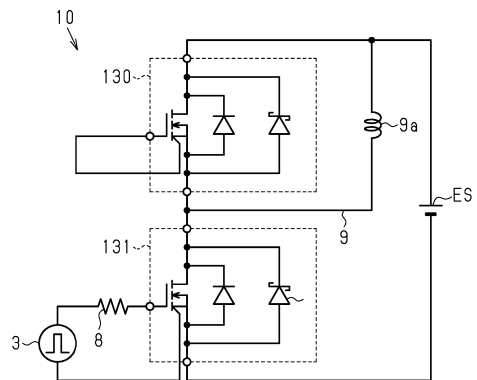
10

20

【 図 3 3 】



【 図 3 4 】

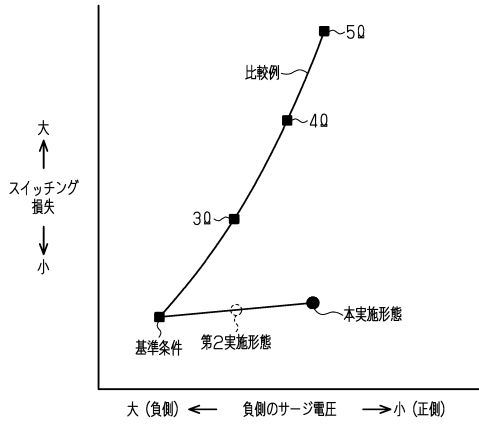


30

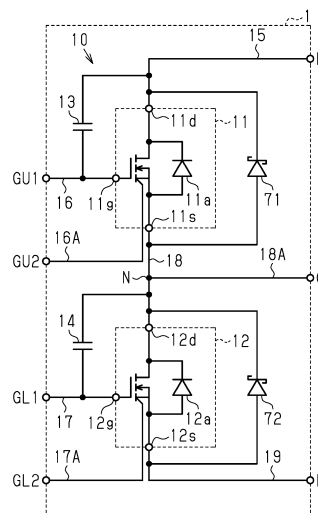
40

50

【 図 3 5 】



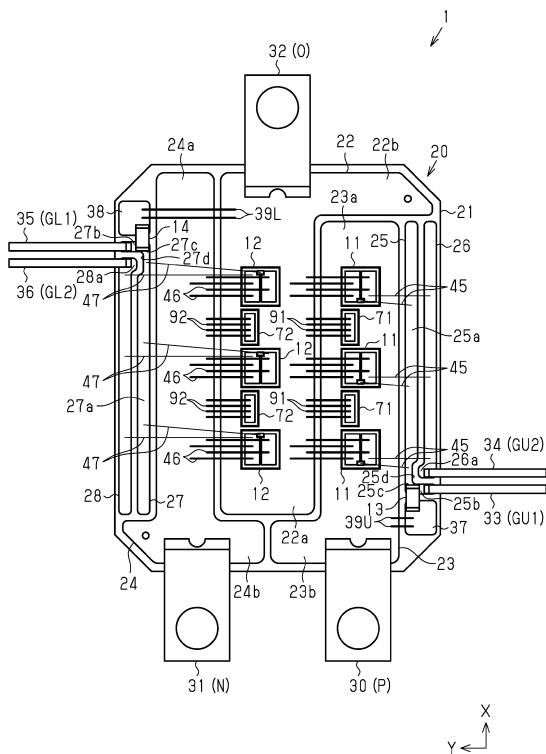
【 図 3 6 】



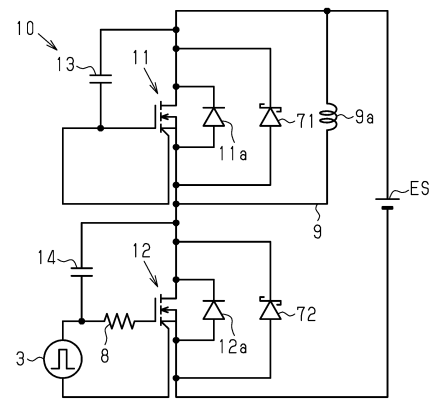
10

20

【 図 3 7 】



【 図 3 8 】

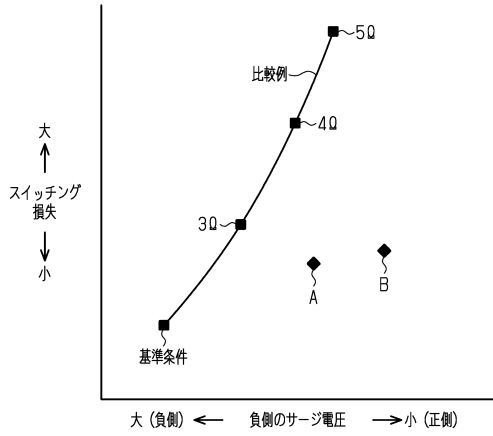


30

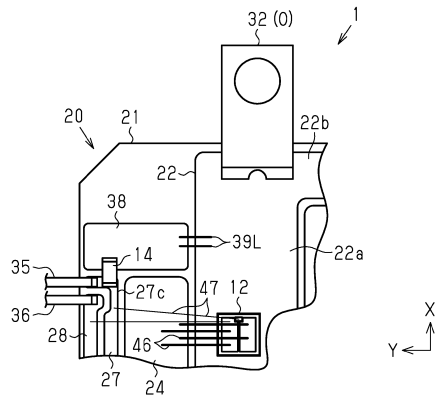
40

50

【図 39】

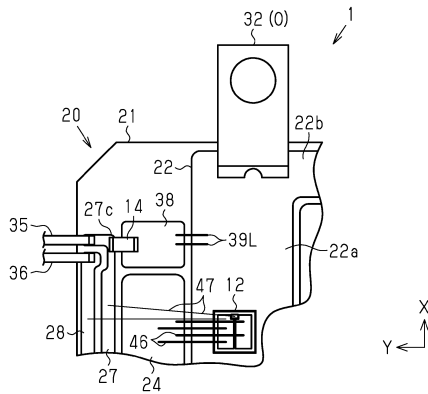


【図 40】

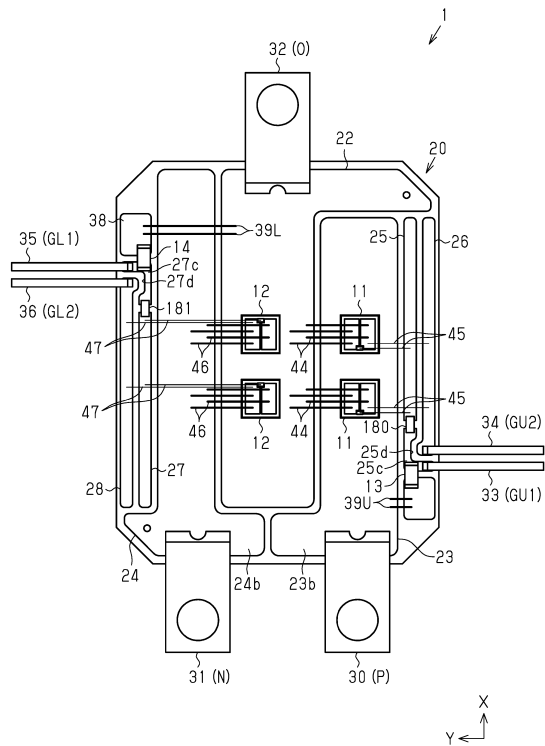


10

【図 41】



【図 42】



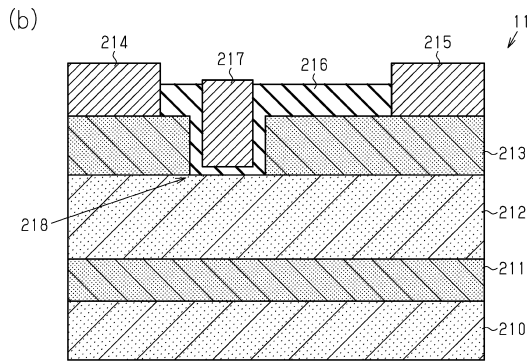
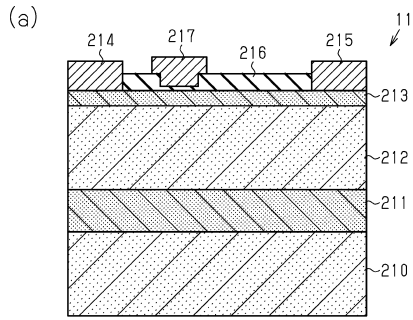
20

30

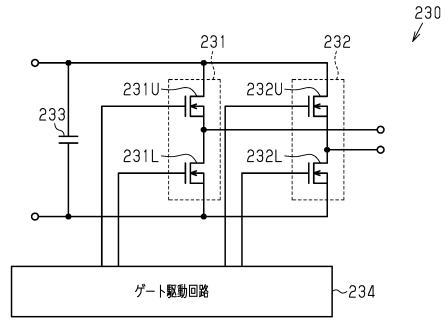
40

50

【 図 4 3 】



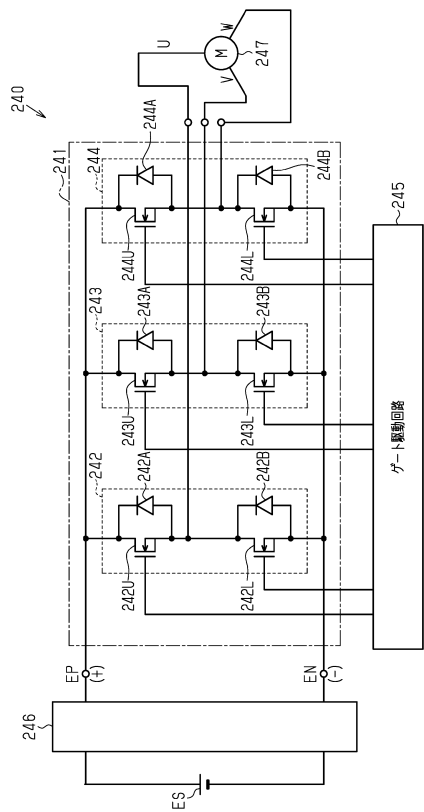
【 図 4 4 】



10

20

【 図 4 5 】



30

40

50

フロントページの続き

(51)国際特許分類

H 0 2 M **7/5387(2007.01)**

F I

H 0 1 L	29/86	3 0 1 D
H 0 1 L	29/78	6 5 2 T
H 0 1 L	29/78	6 5 2 P
H 0 1 L	29/06	3 0 1 V
H 0 1 L	29/06	3 0 1 G
H 0 1 L	29/78	6 5 2 K
H 0 1 L	29/78	6 5 2 Q
H 0 1 L	29/91	D
H 0 1 L	29/91	F
H 0 1 L	29/06	3 0 1 M
H 0 1 L	29/78	6 5 2 F
H 0 1 L	29/78	6 5 2 S
H 0 2 M	7/5387	A