



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I578535 B

(45)公告日：中華民國 106 (2017) 年 04 月 11 日

(21)申請案號：101138257

(22)申請日：中華民國 101 (2012) 年 10 月 17 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L29/40 (2006.01)

(30)優先權：2011/10/19 日本

2011-230126

(71)申請人：半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；早川昌彥 HAYAKAWA, MASAHIKO
(JP)；本田達也 HONDA, TATSUYA (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2008/0179674A1

US 2009/0047759A1

審查人員：于若天

申請專利範圍項數：23 項 圖式數：9 共 111 頁

(54)名稱

半導體裝置及半導體裝置的製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

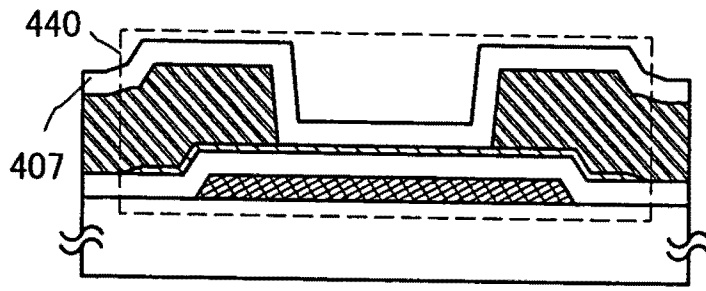
(57)摘要

當製造具有層疊有閘極電極層、閘極絕緣膜以及氧化物半導體膜並設置有與氧化物半導體膜接觸的源極電極層及汲極電極層的電晶體的半導體裝置時，在藉由蝕刻製程形成閘極電極層或源極電極層及汲極電極層之後，進行去除由蝕刻製程殘留在閘極電極層表面或氧化物半導體膜表面及其附近的殘留物的製程。氧化物半導體膜或閘極電極層的表面上的殘留物的面密度可以為 1×10^{13} atoms/cm² 以下。

When a semiconductor device including a transistor in which a gate electrode layer, a gate insulating film, and an oxide semiconductor film are stacked and a source and drain electrode layers are provided in contact with the oxide semiconductor film is manufactured, after the formation of the gate electrode layer or the source and drain electrode layers by an etching step, a step of removing a residue remaining by the etching step and existing on a surface of the gate electrode layer or a surface of the oxide semiconductor film and in the vicinity of the surface is performed. The surface density of the residue on the surface of the oxide semiconductor film or the gate electrode layer can be 1×10^{13} atoms/cm² or lower.

指定代表圖：

圖 1E



符號簡單說明：

407 . . . 絕緣膜

440 . . . 電晶體

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101138257

※申請日：101年10月17日 ※IPC分類：H01L 29/18 (2006.01)

一、發明名稱：(中文/英文)

H01L 29/40 (2006.01)

半導體裝置及半導體裝置的製造方法

Semiconductor device and manufacturing method thereof

二、中文發明摘要：

當製造具有層疊有閘極電極層、閘極絕緣膜以及氧化物半導體膜並設置有與氧化物半導體膜接觸的源極電極層及汲極電極層的電晶體的半導體裝置時，在藉由蝕刻製程形成閘極電極層或源極電極層及汲極電極層之後，進行去除由蝕刻製程殘留在閘極電極層表面或氧化物半導體膜表面及其附近的殘留物的製程。氧化物半導體膜或閘極電極層的表面上的殘留物的面密度可以為 $1 \times 10^{13} \text{ atoms/cm}^2$ 以下。

三、英文發明摘要：

When a semiconductor device including a transistor in which a gate electrode layer, a gate insulating film, and an oxide semiconductor film are stacked and a source and drain electrode layers are provided in contact with the oxide semiconductor film is manufactured, after the formation of the gate electrode layer or the source and drain electrode layers by an etching step, a step of removing a residue remaining by the etching step and existing on a surface of the gate electrode layer or a surface of the oxide semiconductor film and in the vicinity of the surface is performed. The surface density of the residue on the surface of the oxide semiconductor film or the gate electrode layer can be 1×10^{13} atoms/cm² or lower.

四、指定代表圖：

(一) 本案指定代表圖為：第(1E)圖。

(二) 本代表圖之元件符號簡單說明：

407：絕緣膜

440：電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置及半導體裝置的製造方法。

注意，本說明書中的半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置，電光裝置、半導體電路以及電子裝置都是半導體裝置。

【先前技術】

藉由利用形成在具有絕緣表面的基板上的半導體薄膜來形成電晶體（也稱為薄膜電晶體（TFT））的技術引人注目。該電晶體被廣泛地應用於如積體電路（IC）或影像顯示裝置（顯示裝置）等的電子裝置。作為可以應用於電晶體的半導體薄膜，矽類半導體材料被廣泛地周知。此外，作為其他材料氧化物半導體受到關注。

例如，已經公開了一種使用包含銦（In）、鎵（Ga）及鋅（Zn）的非晶（amorphous）氧化物（In-Ga-Zn-O類非晶氧化物）的半導體層的電晶體（參照專利文獻1）。

[專利文獻1]日本專利申請公開第2011-181801號公報

另外，為了實現商品化，需要提高具有使用氧化物半導體的電晶體的半導體裝置的可靠性。

另外，半導體裝置包括複雜地層疊的多個薄膜，並且利用各種材料、方法及製程製造。因此，製程會導致所得到的半導體裝置的形狀故障或電特性劣化。

【發明內容】

鑒於上述問題，本發明的一個方式的目的之一是提供具有使用氧化物半導體的電晶體且可靠性高的半導體裝置。

本發明的一個方式的另一個目的之一是藉由提高可靠性高的半導體裝置的良率來提高生產率。

在具有底閘極結構的反交錯（inverted staggered）電晶體的半導體裝置中，防止由形成金屬層（閘極電極層或源極電極層及汲極電極層）的蝕刻製程殘留的殘留物污染氧化物半導體膜或閘極電極層表面及其附近。

在形成閘極電極層或源極電極層及汲極電極層等金屬層的蝕刻製程中，蝕刻材料（蝕刻氣體或蝕刻溶液）的殘留物殘留在金屬層表面或氧化物半導體膜表面及其附近。上述殘留物會導致電晶體的電特性的降低或變動如閘極絕緣膜對電壓的耐受性的降低或洩漏電流。

殘留物包括蝕刻材料（蝕刻氣體或蝕刻溶液）、被進行加工的金屬層、包含在暴露於蝕刻材料的氧化物半導體膜中的元素以及該元素的化合物。例如，在形成閘極電極層或源極電極層及汲極電極層等金屬層的蝕刻製程中適當地使用包含鹵素的氣體，此時，殘留物是鹵素類雜質（鹵素或鹵化物）。

作為殘留物，例如可以舉出氯、氟、硼、磷、鋁、鐵或碳等。另外，殘留物有時含有包含在氧化物半導體膜中

的金屬元素（例如，銻、鎵或鋅）等。

在本說明書所公開的發明的結構的一個方式中，在形成源極電極層及汲極電極層之後，進行去除源極電極層與汲極電極層之間的氧化物半導體膜表面及其附近的殘留物的製程（殘留物去除製程）。

在本說明書所公開的發明的結構的另一個方式中，在形成閘極電極層之後，進行去除閘極電極層表面的殘留物的製程（殘留物去除製程）。

上述殘留物去除製程可以藉由使用水或鹼性溶液的處理或者電漿處理進行。明確而言，可以適當地採用使用水或 TMAH（Tetra Methyl Ammonium Hydroxide：四甲基氫氧化銨）溶液的處理或者使用氧、一氧化二氮或稀有氣體（典型為氬）的電漿處理。另外，也可以進行使用稀釋氫氟酸（氟化氫酸）的處理。

由於可以防止氧化物半導體膜或閘極電極層表面及其附近被殘留物污染，所以可以在具有底閘極結構的反交錯電晶體的半導體裝置中將氧化物半導體膜（或閘極電極層）表面的殘留物（典型為鹵素（例如氯、氟）、硼、磷、鋁、鐵或碳）的面密度設定為 $1 \times 10^{13} \text{ atoms/cm}^2$ 以下（較佳為設定為 $1 \times 10^{12} \text{ atoms/cm}^2$ 以下）。另外，可以將氧化物半導體膜（或閘極電極層）表面的殘留物（典型為鹵素（例如氯、氟）、硼、磷、鋁、鐵或碳）的濃度設定為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下（較佳為設定為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下）。

因此，可以提供包括使用氧化物半導體膜的具有穩定電特性的電晶體且可靠性高的半導體裝置。另外，可以藉由提高可靠性高的半導體裝置的良率來提高生產率。

本說明書所公開的發明的結構的一個方式是一種半導體裝置，包括：絕緣表面上的閘極電極層；閘極電極層上的閘極絕緣膜；閘極絕緣膜上的氧化物半導體膜；氧化物半導體膜上的源極電極層及汲極電極層；以及接觸於與閘極電極層重疊的氧化物半導體膜的區域並覆蓋源極電極層及汲極電極層的絕緣膜，其中，氧化物半導體膜的表面與絕緣膜接觸，並且，表面的鹵素的面密度為 $1 \times 10^{13} \text{ atoms/cm}^2$ 以下。

本說明書所公開的發明的結構的一個方式是一種半導體裝置，包括：絕緣表面上的閘極電極層；閘極電極層上的閘極絕緣膜；閘極絕緣膜上的氧化物半導體膜；氧化物半導體膜上的源極電極層及汲極電極層；以及接觸於與閘極電極層重疊的氧化物半導體膜的區域並覆蓋源極電極層及汲極電極層的絕緣膜，其中，閘極電極層表面的鹵素的面密度為 $1 \times 10^{13} \text{ atoms/cm}^2$ 以下。

本說明書所公開的發明的結構的一個方式是一種半導體裝置，包括：絕緣表面上的閘極電極層；閘極電極層上的閘極絕緣膜；閘極絕緣膜上的氧化物半導體膜；氧化物半導體膜上的源極電極層及汲極電極層；以及接觸於與閘極電極層重疊的氧化物半導體膜的區域並覆蓋源極電極層及汲極電極層的絕緣膜，其中，氧化物半導體膜的表面與

絕緣膜接觸，氧化物半導體膜的表面的鹵素的面密度為 $1 \times 10^{13} \text{ atoms/cm}^2$ 以下，並且，閘極電極層的表面的鹵素的面密度為 $1 \times 10^{13} \text{ atoms/cm}^2$ 以下。

本說明書所公開的發明的結構的一個方式是一種半導體裝置的製造方法，包括如下步驟：在絕緣表面上形成閘極電極層；在閘極電極層上形成閘極絕緣膜；在閘極絕緣膜上形成氧化物半導體膜；在氧化物半導體膜上形成導電膜；藉由使用包含鹵素的氣體對導電膜進行蝕刻，來形成源極電極層及汲極電極層；以及對氧化物半導體膜進行殘留物去除製程。

本說明書所公開的發明的結構的一個方式是一種半導體裝置的製造方法，包括如下步驟：在絕緣表面上形成導電膜；藉由使用包含鹵素的氣體對導電膜進行蝕刻，來形成閘極電極層；對閘極電極層進行殘留物去除製程；在對閘極電極層進行殘留物去除製程之後在閘極電極層上形成閘極絕緣膜；在閘極絕緣膜上形成氧化物半導體膜；以及在氧化物半導體膜上形成源極電極層及汲極電極層。

本說明書所公開的發明的結構的一個方式是一種半導體裝置的製造方法，包括如下步驟：在絕緣表面上形成第一導電膜；藉由使用包含鹵素的氣體對第一導電膜進行蝕刻，來形成閘極電極層；對閘極電極層進行殘留物去除製程；在對閘極電極層進行殘留物去除製程之後在閘極電極層上形成閘極絕緣膜；在閘極絕緣膜上形成氧化物半導體膜；在氧化物半導體膜上形成第二導電膜；藉由使用包含

鹵素的氣體對第二導電膜進行蝕刻，來形成源極電極層及汲極電極層；以及對氧化物半導體膜進行殘留物去除製程。

本發明的一個方式關於一種半導體裝置，該半導體裝置具有電晶體或包括電晶體的電路。例如，本發明的一個方式關於一種半導體裝置，該半導體裝置具有通道形成區由氧化物半導體形成的電晶體或包括該電晶體的電路。例如，本發明的一個方式關於：LSI；CPU；安裝在電源電路中的功率裝置；包括記憶體、閘流體、轉換器、影像感測器等的半導體積體電路；以液晶顯示面板為代表的電光學裝置；具有發光元件的發光顯示裝置；以及作為部件安裝有上述電路或裝置的電子裝置。

本發明的一個方式提供一種具有使用氧化物半導體的電晶體且可靠性高的半導體裝置。

另外，根據本發明的一個方式，藉由提高可靠性高的半導體裝置的良率來提高生產率。

【實施方式】

下面，參照圖式詳細地說明本說明書所公開的發明的實施方式。但是，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是本說明書所公開的發明的方式及詳細內容可以被變換為各種各樣的形式而不侷限於以下說明。並且，本說明書所公開的發明不應被看作僅限定於以下實施方式的描述內容。另外，為了方便起見附加了第

一、第二等序數詞，其並不表示製程順序或疊層順序。此外，本說明書中的序數詞不表示特定發明的事項的固有名稱。

實施方式 1

在本實施方式中，參照圖 1A 至圖 1E 對半導體裝置及半導體裝置的製造方法的一個方式進行說明。在本實施方式中，作為半導體裝置的一個例子示出包括具有氧化物半導體膜的電晶體的半導體裝置。

電晶體既可以採用形成一個通道形成區的單閘結構，又可以採用形成兩個通道形成區的雙閘（double-gate）結構，還可以採用形成三個通道形成區的三閘（triple-gate）結構。此外，還可以採用在通道形成區的上下隔著閘極絕緣膜設置有兩個閘極電極層的兩閘（dual-gate）結構。

圖 1E 所示的電晶體 440 是底閘極電晶體之一，該電晶體也被稱為反交錯電晶體。另外，圖 1A 至圖 1E 是電晶體 440 的通道長度方向的剖面圖。

如圖 1E 所示，包括電晶體 440 的半導體裝置在具有絕緣表面的基板 400 上具有閘極電極層 401、閘極絕緣膜 402、氧化物半導體膜 403、源極電極層 405a 及汲極電極層 405b。另外，設置有覆蓋電晶體 440 的絕緣膜 407。

用作氧化物半導體膜 403 的氧化物半導體較佳為至少包含銦（In）。尤其是較佳為包含 In 及鋅（Zn）。此

外，作為用來降低使用該氧化物半導體膜的電晶體的電特性偏差的穩定劑，除了上述元素以外較佳為還包含鎵（Ga）。此外，作為穩定劑較佳為包含錫（Sn）。另外，作為穩定劑較佳為包含鉛（Pb）。此外，作為穩定劑較佳為包含鋁（Al）。另外，作為穩定劑較佳為包含銩（Zr）。

此外，作為其他穩定劑，也可以包含鑷系元素的鑷（La）、鈾（Ce）、鐳（Pr）、釹（Nd）、釷（Sm）、鈾（Eu）、釷（Gd）、錳（Tb）、鐳（Dy）、釷（Ho）、鉕（Er）、鈳（Tm）、鐳（Yb）、鐳（Lu）中的一種或多種。

例如，作為氧化物半導體可以使用氧化銦、氧化錫、氧化鋅、In-Zn類氧化物、In-Mg類氧化物、In-Ga類氧化物、In-Ga-Zn類氧化物（也稱為IGZO）、In-Al-Zn類氧化物、In-Sn-Zn類氧化物、In-Hf-Zn類氧化物、In-La-Zn類氧化物、In-Ce-Zn類氧化物、In-Pr-Zn類氧化物、In-Nd-Zn類氧化物、In-Sm-Zn類氧化物、In-Eu-Zn類氧化物、In-Gd-Zn類氧化物、In-Tb-Zn類氧化物、In-Dy-Zn類氧化物、In-Ho-Zn類氧化物、In-Er-Zn類氧化物、In-Tm-Zn類氧化物、In-Yb-Zn類氧化物、In-Lu-Zn類氧化物、In-Sn-Ga-Zn類氧化物、In-Hf-Ga-Zn類氧化物、In-Al-Ga-Zn類氧化物、In-Sn-Al-Zn類氧化物、In-Sn-Hf-Zn類氧化物以及In-Hf-Al-Zn類氧化物。

在此，例如，“In-Ga-Zn類氧化物”是指以In、

Ga、Zn 為主要成分的氧化物，對 In、Ga、Zn 的比率沒有限制。另外，也可以含有 In、Ga、Zn 以外的金屬元素。

另外，作為氧化物半導體，也可以使用表示為 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 且 m 不是整數) 的材料。注意，M 表示選自 Ga、Fe、Mn 和 Co 中的一種或多種金屬元素。此外，作為氧化物半導體，也可以使用表示為 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 且 n 是整數) 的材料。

例如，可以使用原子數比為 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ ($=2/5:2/5:1/5$) 或 $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ ($=1/2:1/6:1/3$) 的 In-Ga-Zn 類氧化物或與其類似的組成的氧化物。或者，較佳為使用原子數比為 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ ($=1/3:1/6:1/2$) 或 $\text{In}:\text{Sn}:\text{Zn}=2:1:5$ ($=1/4:1/8:5/8$) 的 In-Sn-Zn 類氧化物或與其類似的組成的氧化物。

但是，含有銦的氧化物半導體不侷限於此，可以根據所需要的電特性（遷移率、閾值、偏差等）而使用適當的組成的材料。另外，較佳為採用適當的載流子濃度、雜質濃度、缺陷密度、金屬元素及氧的原子數比、原子間距離以及密度等，以得到所需要的電特性。

例如，In-Sn-Zn 類氧化物比較容易得到高遷移率。但是，當使用 In-Ga-Zn 類氧化物時，也可以藉由降低塊體內缺陷密度而提高遷移率。

在此，例如當 In、Ga、Zn 的原子數比為 $\text{In}:\text{Ga}:\text{Zn}=a:b:c$ ($a+b+c=1$) 的氧化物的組成與原子數比為 $\text{In}:\text{Ga}:\text{Zn}=$

A:B:C (A+B+C=1) 的氧化物的組成類似時，a、b、c 滿足 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 的狀態。r 例如可以為 0.05。其他氧化物也是同樣的。

氧化物半導體膜 403 有可能處於單晶、多晶 (polycrystal) 或非晶等狀態。

氧化物半導體膜 403 較佳為 CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor: c 軸配向結晶氧化物半導體) 膜。

CAAC-OS 膜不是完全的單晶，也不是完全的非晶。CAAC-OS 膜是在非晶相中具有結晶部及非晶部的結晶-非晶混合相結構的氧化物半導體膜。另外，一般該結晶部的尺寸為能夠容納於一個邊長小於 100nm 的立方體內的尺寸。在使用透射電子顯微鏡 (TEM: Transmission Electron Microscope) 觀察時的影像中，包含於 CAAC-OS 膜中的非晶部與結晶部的邊界未必明確。另外，在 CAAC-OS 膜中利用 TEM 觀察不到晶界 (grain boundary)。因此，在 CAAC-OS 膜中，起因於晶界的電子遷移率的降低得到抑制。

包含於 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或 CAAC-OS 膜的表面的法線向量的方向上一致，在從垂直於 ab 面的方向看時具有三角形或六角形的原子排列，且在從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，不同結晶部的 a 軸及 b 軸的方向也可以彼

此不同。在本說明書中，在只記載“垂直”時，包括 85° 以上且 95° 以下的範圍。另外，當只記載“平行”時，包括 -5° 以上且 5° 以下的範圍。另外，構成氧化物半導體膜的氧的一部分也可以用氮取代。

另外，在 CAAC-OS 膜中，結晶部的分佈也可以不均勻。例如，在 CAAC-OS 膜的形成過程中，當從氧化物半導體膜的表面一側進行結晶生長時，有時與被形成面附近相比表面附近的結晶部所占的比例更高。另外，藉由對 CAAC-OS 膜添加雜質，有時在該雜質添加區中結晶部發生非晶化。

由於包含於 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或 CAAC-OS 膜的法線向量的方向上一致，所以有時其根據 CAAC-OS 膜的形狀（被形成面的剖面形狀或膜表面的剖面形狀）而朝向不同的方向。另外，結晶部的 c 軸方向是平行於形成 CAAC-OS 膜時的被形成面的法線向量或表面的法線向量的方向。結晶部是藉由成膜或藉由在成膜之後進行加熱處理等的晶化處理而形成的。

使用 CAAC-OS 膜的電晶體能夠降低由可見光或紫外光的照射引起的電特性變動。因此，該電晶體的可靠性高。

另外，也可以用氮取代構成氧化物半導體膜的氧的一部分。

另外，像 CAAC-OS 膜那樣的具有結晶部的氧化物半

導體可以進一步降低塊體內缺陷，藉由提高表面的平坦性，可以得到處於非晶狀態的氧化物半導體的遷移率以上的遷移率。爲了提高表面的平坦性，較佳爲在平坦的表面上形成氧化物半導體，具體地，較佳爲在平均面粗糙度（Ra）爲 1nm 以下，較佳爲 0.3nm 以下，更佳爲 0.1nm 以下的表面上形成氧化物半導體。

注意，Ra 是將 JIS B601:2001(ISO4287:1997)中定義的算術平均粗糙度擴大爲三維以使其能夠應用於曲面，可以以“將從基準面到指定面的偏差的絕對值平均而得的值”表示，以如下算式定義。

[算式 1]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

這裏，指定面是指成爲測量粗糙度對象的面，並且是以座標（ $x_1, y_1, f(x_1, y_1)$ ）、（ $x_1, y_2, f(x_1, y_2)$ ）、（ $x_2, y_1, f(x_2, y_1)$ ）及（ $x_2, y_2, f(x_2, y_2)$ ）的四點表示的四角形的區域，指定面投影在 xy 平面的長方形的面積爲 S_0 ，基準面的高度（指定面的平均高度）爲 Z_0 。可以利用原子力顯微鏡（AFM:Atomic Force Microscope）測量 Ra。

另外，基準面是指指定面的平均高度中的平行於 XY 平面的面。也就是說，當將指定面的高度的平均值設定爲 Z_0 時，也將基準面的高度表示爲 Z_0 。

注意，由於在本實施方式中說明的電晶體 440 爲底閘極型，所以基板 400、閘極電極層 401 和閘極絕緣膜 402

位於氧化物半導體膜的下方。因此，爲了得到上述平坦的表面，可以在形成閘極電極層 401 及閘極絕緣膜 402 之後進行化學機械拋光（CMP：Chemical Mechanical Polishing）處理等的平坦化處理。

將氧化物半導體膜 403 的厚度設定爲 1nm 以上且 30nm 以下（較佳爲 5nm 以上且 10nm 以下），可以適當地利用濺射法、MBE（Molecular Beam Epitaxy：分子束外延）法、CVD 法、脈衝雷射沉積法、ALD（Atomic Layer Deposition：原子層沉積）法等。此外，氧化物半導體膜 403 可以使用在以大致垂直於濺射靶材表面的方式設置有多個基板表面的狀態下進行成膜的濺射裝置形成。

圖 1A 至圖 1E 示出具有電晶體 440 的半導體裝置的製造方法的一個例子。

對可用作具有絕緣表面的基板 400 的基板沒有很大的限制，但是基板 400 需要至少具有能夠承受在後面進行的熱處理的程度的耐熱性。例如，可以使用玻璃基板如硼矽酸鋇玻璃和硼矽酸鋁玻璃等、陶瓷基板、石英基板、藍寶石基板等。另外，作爲基板 400，也可以採用以矽或碳化矽等爲材料的單晶半導體基板或多晶半導體基板、以矽鎳等爲材料的化合物半導體基板、SOI 基板等，還可以使用在這些基板上設置有半導體元件的基板。

此外，作爲基板 400 也可以使用撓性基板製造半導體裝置。在製造具有撓性的半導體裝置時，既可以在撓性基板上直接形成包含氧化物半導體膜 403 的電晶體 440，也

可以在其他製造基板上形成包含氧化物半導體膜 403 的電晶體 440，然後從製造基板將其剝離並轉置到撓性基板上。注意，爲了從製造基板剝離電晶體並轉置到撓性基板上，較佳爲在製造基板與包含氧化物半導體膜的電晶體 440 之間設置剝離層。

也可以在基板 400 上作爲基底膜設置絕緣膜。作爲絕緣膜，可以藉由電漿 CVD 法或濺射法等並使用如下材料形成：氧化矽、氧氮化矽、氧化鋁、氧氮化鋁、氧化鉛、氧化鎘等氧化物絕緣膜；氮化矽、氮氧化矽、氮化鋁、氮氧化鋁等氮化物絕緣膜；它們的混合材料。

也可以對基板 400（或者，基板 400 及絕緣膜）進行加熱處理。例如，可以採用使用高溫氣體進行加熱處理的 GRTA（Gas Rapid Thermal Anneal；氣體快速熱退火）裝置，以 650℃ 進行 1 分鐘至 5 分鐘的加熱處理。另外，作爲 GRTA 中的高溫氣體，使用氬等稀有氣體或氮等即使進行加熱處理也不與被處理物起反應的惰性氣體。另外，也可以利用電爐以 500℃ 進行 30 分鐘至 1 小時的加熱處理。

接著，在基板 400 上形成導電膜，對該導電膜進行蝕刻形成閘極電極層 401。作爲導電膜的蝕刻，可以使用乾蝕刻和濕蝕刻中的一者或兩者。

閘極電極層 401 可以使用鉬、鈦、鉭、鎢、鋁、銅、鉻、鈹、鈳等的金屬材料或以這些材料爲主要成分的合金材料形成。此外，作爲閘極電極層 401，可以使用以摻雜有磷等雜質元素的多晶矽膜爲代表的半導體膜、鎳矽化物

等矽化物膜。閘極電極層 401 既可以是單層結構，又可以是疊層結構。

另外，閘極電極層 401 可以使用包含氧化鎢的銦氧化物、包含氧化鈦的銦氧化物、銦錫氧化物、包含氧化鈦的銦錫氧化物、添加有氧化矽的銦錫氧化物、銦鋅氧化物或包含氧化鎢的銦鋅氧化物等導電材料。此外，也可以採用上述導電材料與上述金屬材料的疊層結構。

此外，作為與閘極絕緣膜 402 接觸的閘極電極層 401，可以使用包含氮的金屬氧化物，明確地說，包含氮的 In-Ga-Zn 類氧化物膜、包含氮的 In-Sn 類氧化物膜、包含氮的 In-Ga 類氧化物膜、包含氮的 In-Zn 類氧化物膜、包含氮的氧化錫膜、包含氮的氧化銦膜或金屬氮化物膜（InN、SnN 等）。這些膜具有 5eV（電子伏特）以上，較佳為具有 5.5eV（電子伏特）以上的功函數，並且當將它們用作閘極電極層時，可以使電晶體的電特性的臨界電壓成為正值。

在本實施方式中，藉由濺射法形成 100nm 厚的鎢膜。

另外，也可以在形成閘極電極層 401 之後對基板 400 及閘極電極層 401 進行加熱處理。例如，可以使用 GRTA 裝置以 650°C 進行 1 分鐘至 5 分鐘的加熱處理。另外，也可以利用電爐以 500°C 進行 30 分鐘至 1 小時的加熱處理。

接著，在閘極電極層 401 上形成閘極絕緣膜 402。

另外，為了提高閘極絕緣膜 402 的覆蓋性，也可以對閘極電極層 401 表面進行平坦化處理。尤其是，當作為閘

極絕緣膜 402 使用較薄的絕緣膜時，較佳為閘極電極層 401 的表面具有良好的平坦性。

將閘極絕緣膜 402 的厚度設定為 1nm 以上且 20nm 以下，並可以適當地利用濺射法、MBE 法、CVD 法、脈衝雷射沉積法、ALD 法等。此外，閘極絕緣膜 402 也可以使用在以大致垂直於濺射靶材表面的方式設置有多個基板表面的狀態下進行成膜的濺射裝置形成。

作為閘極絕緣膜 402 的材料可以使用如下材料形成：氧化矽膜；氧化鎵膜；氧化鋁膜；氮化矽膜；氧氮化矽膜；氧氮化鋁膜；氮氧化矽膜。

此外，藉由作為閘極絕緣膜 402 的材料使用氧化鈺、氧化釷、矽酸鈺（ HfSi_xO_y （ $x>0$ ， $y>0$ ））、添加有氮的矽酸鈺（ HfSiO_xN_y （ $x>0$ ， $y>0$ ））、鋁酸鈺（ HfAl_xO_y （ $x>0$ ， $y>0$ ））以及氧化鑰等 high-k 材料，可以降低閘極漏電流。另外，閘極絕緣膜 402 既可以採用單層結構，又可以採用疊層結構。

較佳為閘極絕緣膜 402 的與氧化物半導體膜 403 接觸的部分含有氧。尤其是，較佳為閘極絕緣膜 402 的膜中（塊體中）至少含有超過化學計量組成中的含有量的氧。例如，當將氧化矽膜用於閘極絕緣膜 402 時，閘極絕緣膜 402 的組成通式為 $\text{SiO}_{2+\alpha}$ （注意， $\alpha>0$ ）。

藉由以接觸於氧化物半導體膜 403 的方式形成成為氧的供應源的包含多量的（過剩的）氧的閘極絕緣膜 402，可以從該閘極絕緣膜 402 對氧化物半導體膜 403 供應氧。

也可以藉由在氧化物半導體膜 403 與閘極絕緣膜 402 至少部分接觸的狀態下進行加熱處理來對氧化物半導體膜 403 供應氧。

藉由對氧化物半導體膜 403 供應氧，可以填補膜中的氧缺損。再者，較佳為考慮到所製造的電晶體的尺寸和閘極絕緣膜 402 的臺階覆蓋性而形成閘極絕緣膜 402。

在本實施方式中，藉由高密度電漿 CVD 法形成 200nm 厚的氧氮化矽膜。

另外，也可以在形成閘極絕緣膜 402 之後對基板 400、閘極電極層 401 及閘極絕緣膜 402 進行加熱處理。例如，可以使用 GRTA 裝置以 650℃ 進行 1 分鐘至 5 分鐘的加熱處理。另外，也可以利用電爐以 500℃ 進行 30 分鐘至 1 小時的加熱處理。

接著，在閘極絕緣膜 402 上形成氧化物半導體膜 403（參照圖 1A）。

在形成氧化物半導體膜 403 的製程中，為了儘量不使氧化物半導體膜 403 包含氫或水，較佳為作為形成氧化物半導體膜 403 的預處理，在濺射裝置的預熱室中對形成有閘極絕緣膜 402 的基板進行預熱，使附著於基板及閘極絕緣膜 402 的氫或水分等雜質脫離而排出。另外，作為設置在預熱室中的排氣單元較佳為使用低溫泵。

也可以對閘極絕緣膜 402 中的與氧化物半導體膜 403 接觸的區域進行平坦化處理。對平坦化處理沒有特別的限制，而作為平坦化處理可以使用拋光處理（例如，CMP 處

理)、乾蝕刻處理及電漿處理。

作為電漿處理，例如可以進行引入氬氣來產生電漿的反濺射。反濺射是指使用 RF 電源在氬氛圍下對基板一側施加電壓，來在基板附近形成電漿以進行表面改性的方法。另外，也可以使用氮、氦、氧等代替氬氛圍。藉由進行反濺射，可以去除附著於閘極絕緣膜 402 表面的粉狀物質（也稱為微粒、塵屑）。

作為平坦化處理，既可以多次進行拋光處理、乾蝕刻處理及電漿處理，又可以組合上述處理而進行。此外，當組合上述處理而進行時，對製程順序也沒有特別的限制，可以根據閘極絕緣膜 402 表面的凹凸狀態適當地設定。

此外，較佳為在成膜時包含多量的氧的條件（例如，在氧比率為 100% 的氛圍下利用濺射法進行成膜等）下形成氧化物半導體膜 403，使其成為包含多量的氧（較佳為包含與氧化物半導體處於結晶狀態時的化學計量組成相比氧含量過剩的區域）的膜。

另外，在本實施方式中，作為氧化物半導體膜 403 藉由利用裝有 AC 電源裝置的濺射裝置的濺射法形成 35nm 厚的 In-Ga-Zn 類氧化物膜（IGZO 膜）。在本實施方式中，使用原子數比為 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ （ $1/3:1/3:1/3$ ）的 In-Ga-Zn 類氧化物靶材。另外，成膜條件如下：氧及氬氛圍下（氧流量比率為 50%）；壓力為 0.6Pa；電源功率為 5kW；基板溫度為 170℃。該成膜條件下的沈積速度為 16nm/min。

作為形成氧化物半導體膜 403 時使用的濺射氣體，較佳為使用去除了氫、水、羥基或氫化物等雜質的高純度氣體。

在保持為減壓狀態的沉積室中保持基板。然後，在去除殘留在沉積室內的水分的同時引入去除了氫和水分的濺射氣體，使用上述靶材在基板 400 上形成氧化物半導體膜 403。為了去除殘留在沉積室內的水分，較佳為使用吸附型的真空泵，例如低溫泵、離子泵、鈦昇華泵。此外，作為排氣單元，也可以使用添加有冷阱的渦輪分子泵。因為在使用低溫泵進行排氣的沉積室中，例如氫原子、水（ H_2O ）等包含氫原子的化合物等被排出（更佳的是，包含碳原子的化合物也被排出），所以可以降低包含在該沉積室中形成的氧化物半導體膜 403 中的雜質的濃度。

另外，較佳為以不使閘極絕緣膜 402 暴露於大氣的方式連續形成閘極絕緣膜 402 和氧化物半導體膜 403。藉由以不使閘極絕緣膜 402 暴露於大氣的方式連續形成閘極絕緣膜 402 和氧化物半導體膜 403，可以防止氫或水分等雜質附著於閘極絕緣膜 402 表面。

藉由對膜狀的氧化物半導體膜進行光微影製程而加工為島狀可以形成氧化物半導體膜 403。

另外，也可以藉由噴墨法形成用來形成島狀的氧化物半導體膜 403 的光阻掩罩。在藉由噴墨法形成光阻掩罩時不需要光掩模，由此可以降低製造成本。

另外，氧化物半導體膜的蝕刻可以採用乾蝕刻和濕蝕

刻中的一者或兩者。例如，作為用於氧化物半導體膜的濕蝕刻的蝕刻劑，可以使用混合有磷酸、醋酸及硝酸的溶液等。此外，也可以使用 ITO-07N（由日本關東化學株式會社製造）。另外，也可以藉由利用 ICP（Inductively Coupled Plasma，感應耦合電漿）蝕刻法的乾蝕刻進行蝕刻加工。

另外，也可以對氧化物半導體膜 403 進行用來去除過剩的氫（包括水或羥基）（脫水化或脫氫化）的加熱處理。將加熱處理的溫度設定為 300℃ 以上且 700℃ 以下或低於基板的應變點。加熱處理可以在減壓下或氮氛圍下等進行。

此外，當作為氧化物半導體膜 403 使用結晶氧化物半導體膜時，也可以進行用於晶化的加熱處理。

在本實施方式中，將基板引入到加熱處理裝置之一的電爐中，在氮氛圍下以 450℃ 對氧化物半導體膜 403 進行 1 小時的加熱處理，並且在包含氮及氧的氛圍下以 450℃ 對其進行 1 小時的加熱處理。

另外，加熱處理裝置不侷限於電爐，也可以使用利用電阻發熱體等的發熱體所產生的熱傳導或熱輻射對被處理物進行加熱的裝置。例如，可以使用 GRTA 裝置、LRTA（Lamp Rapid Thermal Anneal，燈快速熱退火）裝置等 RTA（Rapid Thermal Anneal，快速熱退火）裝置。LRTA 裝置是藉由利用從鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈或者高壓汞燈等的燈發射的光（電磁波）的

輻射來加熱被處理物的裝置。GRTA 裝置是使用高溫氣體進行加熱處理的裝置。作為高溫的氣體，使用氫等稀有氣體或氮等不因加熱處理而與被處理物發生反應的惰性氣體。

例如，作為加熱處理，也可以進行如下 GRTA，即將基板放入加熱為 650°C 至 700°C 的高溫的惰性氣體中，在加熱幾分鐘之後，將基板從惰性氣體中取出。

另外，在加熱處理中，氮或氫、氬、氫等稀有氣體較佳為不包含水、氫等。另外，較佳為將引入到加熱處理裝置中的氮或氫、氬、氫等稀有氣體的純度設定為 6N (99.9999%) 以上，較佳為設定為 7N (99.99999%) 以上 (即，將雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下)。

此外，也可以在藉由加熱處理加熱氧化物半導體膜 403 之後，對同一爐中引入高純度的氧氣體、高純度的一氧化二氮氣體或超乾燥空氣 (使用 CRDS (cavity ring-down laser spectroscopy, 光腔衰蕩光譜法) 方式的露點儀進行測定時的水分量是 20ppm (露點換算, -55°C) 以下，較佳的是 1ppm 以下，更佳的是 10ppb 以下的空氣)。氧氣體或一氧化二氮氣體較佳為不包含水、氫等。另外，較佳為將引入加熱處理裝置中的氧氣體或一氧化二氮氣體的純度設定為 6N 以上，較佳為設定為 7N 以上 (即，將氧氣體或一氧化二氮氣體中的雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下)。藉由利用氧氣

體或一氧化二氮氣體的作用供應氧，該氧是利用脫水化或脫氫化處理進行雜質排除製程的同時減少的氧化物半導體的主要成分材料，可以使氧化物半導體膜 403 高度純化及 I 型（本質）化。

另外，用來脫水化或脫氫化的加熱處理既可以在形成膜狀的氧化物半導體膜之後進行，又可以在形成島狀的氧化物半導體膜 403 之後進行。

另外，用來脫水化或脫氫化的加熱處理既可以進行多次，又可以兼作其他加熱處理。

藉由在將氧化物半導體膜加工為島狀的氧化物半導體膜 403 之前且在膜狀的氧化物半導體膜覆蓋閘極絕緣膜 402 的狀態下進行用來脫水化或脫氫化的加熱處理，可以防止因加熱處理而釋放包含在閘極絕緣膜 402 中的氧，所以是較佳的。

另外，也可以對進行了脫水化或脫氫化處理的氧化物半導體膜 403 引入氧（至少包含氧自由基、氧原子和氧離子中的任何一個）來對其供應氧。

此外，由於脫水化或脫氫化處理，有可能構成氧化物半導體的主要成分材料的氧也同時發生脫離而減少。在氧脫離的部分中存在氧缺損，並且因該氧缺損而產生導致電晶體的電特性變動的施體能階。

由此，較佳為在進行了脫水化或脫氫化處理的氧化物半導體膜中供應氧（至少包含氧自由基、氧原子和氧離子中的任一種）。藉由向氧化物半導體膜供應氧，可以填補

膜中的氧缺損。

藉由對進行了脫水化或脫氫化處理的氧化物半導體膜 403 引入氧而對其供應氧，可以使氧化物半導體膜 403 高度純化且 i 型（本質）化。具有高度純化且 i 型（本質）化的氧化物半導體膜 403 的電晶體的電特性變動被抑制，所以該電晶體在電性上穩定。

作為氧的引入方法，可以使用離子植入法、離子摻雜法、電漿浸沒式離子植入法、電漿處理等。

當對氧化物半導體膜 403 引入氧時，既可以對氧化物半導體膜 403 直接引入氧，又可以透過絕緣膜 407 等其他膜對氧化物半導體膜 403 引入氧。當透過其他膜引入氧時，使用離子植入法、離子摻雜法、電漿浸沒式離子植入法等即可，但是當對被露出的氧化物半導體膜 403 直接引入氧時，也可以使用電漿處理等。

較佳為在進行脫水化或脫氫化處理之後對氧化物半導體膜 403 引入氧，但是不侷限於此。此外，也可以多次進行對進行了上述脫水化或脫氫化處理的氧化物半導體膜 403 的氧的引入。

較佳的是，使設置在電晶體中的氧化物半導體膜為如下膜，即氧化物半導體包括其氧含量超過氧化物半導體處於結晶狀態時的化學計量組成的氧含量的區域。此時，氧含量超過氧化物半導體的化學計量組成。或者，氧含量超過單晶時的氧含量。有時氧存在於氧化物半導體的晶格之間。

藉由去除氧化物半導體中的氫或水分來使其儘量不包含雜質而高度純化，並藉由對其供應氧來填補氧缺損，可以形成 i 型（本質）的氧化物半導體或無限趨近於 i 型（本質）的氧化物半導體。由此，可以使氧化物半導體的費米能階（ E_f ）成爲與本質費米能階（ E_i ）相同的程度。由此，藉由將該氧化物半導體膜用於電晶體，可以降低因氧缺損而產生的電晶體的臨界電壓 V_{th} 的偏差、臨界電壓的漂移 ΔV_{th} 。

接著，在閘極電極層 401、閘極絕緣膜 402 及氧化物半導體膜 403 上形成成爲源極電極層和汲極電極層（包括由與此相同的層形成的佈線）的導電膜 445（參照圖 1B）。

導電膜 445 使用能夠承受在後面進行的加熱處理的材料來形成。作爲用於源極電極層及汲極電極層的導電膜 445，例如可以使用含有選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素的金屬膜或以上述元素爲成分的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）等。此外，還可以採用在 Al、Cu 等的金屬膜的下側和上側的一者或兩者層疊 Ti、Mo、W 等高熔點金屬膜或它們的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）的結構。另外，作爲用於源極電極層及汲極電極層的導電膜 445，也可以使用導電金屬氧化物。作爲導電金屬氧化物，可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、銦錫氧化物（ $In_2O_3-SnO_2$ ，簡單地稱爲 ITO）、銦鋅氧化物

($\text{In}_2\text{O}_3\text{-ZnO}$) 或使它們的金屬氧化物材料包含氧化矽的材料。

藉由光微影製程在導電膜 445 上形成光阻掩罩 448a、448b，並且選擇性地進行蝕刻，該蝕刻使用包含鹵素的氣體 447，來形成源極電極層 405a 及汲極電極層 405b（參照圖 1C）。在形成源極電極層 405a 及汲極電極層 405b 之後去除光阻掩罩 448a、448b。

作為形成光阻掩罩 448a、448b 時的曝光，可以使用紫外線、KrF 雷射或 ArF 雷射。在後面形成的電晶體 440 的通道長度 L 取決於在氧化物半導體膜 403 上相鄰的源極電極層 405a 的下端部與汲極電極層 405b 的下端部之間的時間寬度。另外，當進行曝光以使通道長度 L 短於 25nm 時，較佳為使用波長極短即幾 nm 至幾十 nm 的超紫外線（Extreme Ultraviolet）進行形成光阻掩罩 448a、448b 時的曝光。利用超紫外線的曝光的解析度高且聚焦深度大。因此，也可以將後面形成的電晶體的通道長度 L 設定為 10nm 以上且 1000nm 以下，這樣可以實現電路的工作速度的高速化。

此外，為了縮減用於光微影製程的光掩模數及製程數，也可以使用藉由透過的光成為多種強度的曝光掩模的多色調掩模形成的光阻掩罩進行蝕刻製程。由於使用多色調掩模形成的光阻掩罩成為具有多種厚度的形狀，且藉由進行蝕刻進一步改變形狀，因此可以用於加工為不同圖案的多個蝕刻製程。由此，可以使用一個多色調掩模形成至

少對應於兩種以上的不同圖案的光阻掩罩。從而，可以減少光掩模數，並且還可以減少與其對應的光微影製程數，所以能夠實現製程的簡化。

在本實施方式中，使用包含鹵素的氣體 447 進行導電膜 445 的蝕刻。作為包含鹵素的氣體 447 可以使用含有氯的氣體，例如可以使用含有氯 (Cl_2)、三氯化硼 (BCl_3)、四氯化矽 (SiCl_4)、四氯化碳 (CCl_4) 等的氣體。另外，作為包含鹵素的氣體 447 可以使用含有氟的氣體，例如可以使用含有四氟化碳 (CF_4)、六氟化硫 (SF_6)、三氟化氮 (NF_3)、三氟甲烷 (CHF_3) 等的氣體。另外，可以使用對上述氣體添加有氦 (He) 或氬 (Ar) 等的稀有氣體的氣體等。

作為蝕刻方法，可以使用平行平板型 RIE (Reactive Ion Etching, 反應離子蝕刻) 法或 ICP 蝕刻法。適當地調節蝕刻條件 (施加到線圈型電極的電力量、施加到基板一側的電極的電力量、基板一側的電極溫度等)，以便能夠蝕刻為所希望的加工形狀。

在本實施方式中，作為導電膜 445 使用藉由濺射法形成的 100nm 厚的鈦膜、400nm 厚的鋁膜及 100nm 厚的鈦膜的疊層。藉由利用乾蝕刻法對作為導電膜 445 的鈦膜、鋁膜及鈦膜的疊層進行蝕刻，形成源極電極層 405a 及汲極電極層 405b。

在本實施方式中，在以第一蝕刻條件對上層的鈦膜及鋁膜的兩層進行蝕刻之後，以第二蝕刻條件對下層的鈦膜

進行蝕刻。注意，第一蝕刻條件為：利用蝕刻氣體（ $\text{BCl}_3 : \text{Cl}_2 = 750\text{sccm} : 150\text{sccm}$ ）；偏壓功率為 1500W；ICP 電源功率為 0W；壓力為 2.0Pa。第二蝕刻條件為：利用蝕刻氣體（ $\text{BCl}_3 : \text{Cl}_2 = 700\text{sccm} : 100\text{sccm}$ ）；偏壓功率為 750W；ICP 電源功率為 0W；壓力為 2.0Pa。

在形成源極電極層 405a 及汲極電極層 405b 的蝕刻製程中，蝕刻材料（蝕刻氣體或蝕刻溶液）的殘留物殘留在氧化物半導體膜表面及其附近。上述殘留物會導致洩漏電流等電晶體的電特性的劣化或變動。另外，有如下擔憂：包含在蝕刻材料中的元素混入到氧化物半導體膜 403 中，或者附著到氧化物半導體膜 403 上，從而對電晶體的特性有故障影響。

殘留物包括蝕刻材料（蝕刻氣體或蝕刻溶液）、被進行加工的導電膜 445、包含在暴露於蝕刻材料的氧化物半導體膜 403 中的元素以及該元素的化合物。例如，在形成源極電極層及汲極電極層的蝕刻製程中適當地使用包含鹵素的氣體，此時，殘留物包含鹵素類雜質（鹵素或鹵化物）。

作為殘留物，例如可以舉出氯、氟、硼、磷、鋁、鐵或碳等。另外，殘留物有時也包括導電膜 445、包含在暴露於蝕刻材料的氧化物半導體膜 403 中的金屬元素（例如，銻、鎳或鋅）、金屬元素的鹵化物以及金屬元素的氧化物等。另外，殘留物有時也包括包含在光阻掩罩 448a、448b 中的元素。

在本實施方式中，在形成源極電極層 405a 及汲極電極層 405b 的蝕刻製程中使用包含鹵素的氣體 447，由此所殘留的殘留物是鹵素（本實施方式中的氟）類雜質（鹵素或鹵化物）。另外，當如本實施方式那樣作為包含鹵素的氣體 447 還使用硼時，所殘留的殘留物還包含硼或含有硼的化合物。另外，當作為蝕刻材料使用將磷酸、醋酸及硝酸混合而成的溶液時，殘留物包含磷等。

因此，在形成源極電極層 405a 及汲極電極層 405b 之後，進行去除源極電極層 405a 與汲極電極層 405b 之間的氧化物半導體膜 403 表面及其附近的殘留物的製程（參照圖 1D）。殘留物去除製程可以藉由使用水或鹼性溶液的處理或者電漿處理進行。例如，可以適當地採用使用水或 TMAH 溶液的處理或者使用氧、一氧化二氮或稀有氣體（典型為氬）的電漿處理等。另外，也可以進行使用稀釋氫氟酸的處理。另外，去除殘留物的製程有如下效果：去除附著到氧化物半導體膜 403 表面的殘留物（在本實施方式中，主要是指鹵素或鹵化物）。

另外，較佳的是，當進行導電膜 445 的蝕刻製程及殘留物去除製程時，使蝕刻條件最適化以防止氧化物半導體膜 403 被蝕刻而被分離。但是，很難獲得僅對導電膜 445 進行蝕刻而完全不對氧化物半導體膜 403 進行蝕刻的條件，當對導電膜 445 進行蝕刻時，也有時氧化物半導體膜 403 的只有一部分被蝕刻，而氧化物半導體膜 403 成為具有槽部（凹部）的氧化物半導體膜。

藉由上述製程，可以製造本實施方式的電晶體 440。

在本實施方式中，在源極電極層 405a、汲極電極層 405b 上形成與氧化物半導體膜 403 接觸的成爲保護絕緣膜的絕緣膜 407（參照圖 1E）。

作爲絕緣膜 407，至少將其厚度形成爲 1nm 以上，並可以適當地採用濺射法等的不使水、氫等雜質混入到絕緣膜 407 的方法來形成。當絕緣膜 407 包含氫時，有如下憂慮：因該氫侵入到氧化物半導體膜 403 或該氫抽出氧化物半導體膜中的氧而發生氧化物半導體膜 403 的背通道的低電阻化（n 型化），而形成寄生通道。因此，爲了使絕緣膜 407 成爲儘量不包含氫的膜，在成膜方法中不使用氫是十分重要的。

作爲絕緣膜 407，典型地可以使用氧化矽膜、氧氮化矽膜、氧化鋁膜、氧氮化鋁膜、氧化鉛膜、氧化鎵膜、氮化矽膜、氮化鋁膜、氮氧化矽膜或氮氧化鋁膜等無機絕緣膜的單層或疊層。

當作爲脫水化或脫氫化處理進行加熱製程時，較佳爲對氧化物半導體膜 403 供應氧。藉由對氧化物半導體膜 403 供應氧，可以填補膜中的氧缺損。

在本實施方式中，將絕緣膜 407 用作供應源而進行向氧化物半導體膜 403 的氧供應，因此示出作爲絕緣膜 407 使用包含氧的氧化物絕緣膜（例如，氧化矽膜、氧氮化矽膜）的例子。當將絕緣膜 407 用作氧的供應源時，藉由絕緣膜 407 採用包含大量（過剩）的氧的膜（較佳爲包括與

結晶狀態時的化學計量組成相比氧含量過剩的區域的膜)，可以將氧絕緣膜 407 適當地用作氧的供應源。

在本實施方式中，作為絕緣膜 407，藉由濺射法形成 300nm 厚的氧化矽膜。將成膜時的基板溫度設定為室溫以上且 300℃ 以下，即可。在本實施方式中設定為 100℃。可以在稀有氣體（典型的是氬）氛圍下、氧氣氛圍下或稀有氣體和氧的混合氛圍下，藉由濺射法形成氧化矽膜。此外，作為靶材可以使用氧化矽靶材或矽靶材。例如，可以在包含氧的氛圍下使用矽靶材並藉由濺射法來形成氧化矽膜。

與形成氧化物半導體膜 403 時同樣，為了去除殘留在絕緣膜 407 的沉積室內的水分，較佳為使用吸附型的真空泵（低溫泵等）。可以降低在使用低溫泵排氣的沉積室中形成的絕緣膜 407 所包含的雜質的濃度。此外，作為用來去除殘留在絕緣膜 407 的沉積室內的水分的排氣裝置，也可以採用配備有冷阱的渦輪分子泵。

作為當形成絕緣膜 407 時使用的濺射氣體，較佳為使用去除了氬、水等雜質的高純度氣體。

接著，在其一部分（通道形成區）接觸於絕緣膜 407 的狀態下，對氧化物半導體膜 403 進行加熱製程。

將加熱製程的溫度設定為 250℃ 以上且 700℃ 以下、400℃ 以上且 700℃ 以下或者低於基板的應變點。例如，將基板放進加熱處理裝置的一種的電爐中，且在氮氣氛圍下以 250℃ 對氧化物半導體膜進行 1 小時的加熱製程。

該加熱製程可以使用與進行脫水化或脫氫化處理的加熱製程相同的加熱方法及加熱裝置。

在減壓、氮、氧、超乾燥空氣（使用 CRDS (cavity ring-down laser spectroscopy：光腔衰蕩光譜法) 方式的露點儀來測定時的水分含量為 20ppm (露點換算為 -55°C) 以下，較佳為 1ppm 以下，更佳為 10ppb 以下的空氣)、或者稀有氣體 (氫、氦等) 的氛圍下進行加熱製程，即可。但是，上述氮、氧、超乾燥空氣、稀有氣體等的氛圍較佳為不包含水、氫等。此外，較佳為將引入到加熱處理裝置中的氮、氧、稀有氣體的純度設定為 6N (99.9999%) 以上，較佳為設定為 7N (99.99999%) 以上 (即，將雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下)。

此外，因為在氧化物半導體膜 403 和包含氧的絕緣膜 407 接觸的狀態下進行加熱製程，所以可以從包含氧的絕緣膜 407 將由於雜質的排除製程而同時減少的構成氧化物半導體膜 403 的主要成分材料之一的氧供給到氧化物半導體膜 403。

另外，還可以在絕緣膜 407 上設置高緻密度的無機絕緣膜。例如，利用濺射法在絕緣膜 407 上形成氧化鋁膜。藉由提高氧化鋁膜的緻密度 (膜密度為 $3.2\text{g}/\text{cm}^3$ 以上，較佳為 $3.6\text{g}/\text{cm}^3$ 以上)，可以對電晶體 440 賦予穩定的電特性。膜密度可以利用盧瑟福背散射分析 (RBS, Rutherford Backscattering Spectrometry) 或 X 射線反射

(XRR , X-Ray reflection) 等測定。

可用於設置在電晶體 440 上的保護絕緣膜的氧化鋁膜具有高遮斷效果 (阻擋效果) ，即，不使氫、水分等雜質及氧這兩者透過膜的效果。

因此，氧化鋁膜用作一種保護膜，該保護膜防止在製程中及製程後導致電特性變動的氫、水分等雜質混入到氧化物半導體膜 403 並且防止從氧化物半導體膜 403 釋放氧化物半導體的主要構成材料的氧。

此外，爲了降低起因於電晶體 440 的表面凹凸，也可以形成平坦化絕緣膜。作爲平坦化絕緣膜，可以使用聚醯亞胺、丙烯酸樹脂、苯並環丁烯類樹脂等的有機材料。此外，除了上述有機材料之外，還可以使用低介電常數材料 (low-k 材料) 等。另外，也可以層疊多個由上述材料形成的絕緣膜來形成平坦化絕緣膜。

例如，作爲平坦化絕緣膜可以形成 1500nm 厚的丙烯酸樹脂膜。丙烯酸樹脂膜可以利用塗布法塗布丙烯酸樹脂之後進行燒結 (例如在氮氛圍下以 250℃ 進行 1 小時的燒結) 來形成。

可以在形成平坦化絕緣膜之後進行加熱處理。例如，在氮氛圍下以 250℃ 進行 1 小時的加熱處理。

如此，可以在形成電晶體 440 之後進行加熱處理。另外，加熱處理可以多次進行。

如上所述，由於藉由進行去除殘留物的製程可以防止氧化物半導體膜 403 表面及其附近被殘留物污染，所以可

以在具有底閘極結構的反交錯電晶體的電晶體 440 的半導體裝置中將氧化物半導體膜 403 表面的起因於蝕刻製程的雜質（典型為鹵素（例如氯、氟）、硼、磷、鋁、鐵或碳）的面密度設定為 $1 \times 10^{13} \text{atoms/cm}^2$ 以下（較佳為設定為 $1 \times 10^{12} \text{atoms/cm}^2$ 以下）。另外，可以將氧化物半導體膜 403 表面的起因於蝕刻製程的雜質（典型為鹵素（例如氯、氟）、硼、磷、鋁、鐵或碳）的濃度設定為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下（較佳為設定為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下）。

另外，起因於蝕刻製程的雜質（典型為鹵素（例如氯、氟）、硼、磷、鋁、鐵或碳）的濃度可以利用 SIMS（Secondary Ion Mass Spectrometry：二次離子質譜測定技術）等方法估計。

由此，可以提供包括使用氧化物半導體膜 403 的具有穩定電特性的電晶體 440 且可靠性高的半導體裝置。另外，可以藉由提高可靠性高的半導體裝置的良率來提高生產率。

實施方式 2

在本實施方式中，參照圖 2A 至圖 2E 說明半導體裝置及半導體裝置的製造方法的其他方式。與上述實施方式相同的部分或者具有與上述實施方式類似的功能的部分可以用上述實施方式類似的方法形成。與上述實施方式相同或類似的製程可以用上述實施方式類似的方法進行。因此，省略其反復說明。此外，省略相同部分的詳細說明。

圖 2E 所示的電晶體 430 是底閘極結構的電晶體之一，該電晶體也被稱為反交錯電晶體。另外，圖 2A 至圖 2E 是電晶體 430 的通道長度方向的剖面圖。

如圖 2E 所示，包括電晶體 430 的半導體裝置在具有絕緣表面的基板 400 上具有閘極電極層 401、閘極絕緣膜 402、氧化物半導體膜 403、源極電極層 405a 及汲極電極層 405b。另外，設置有覆蓋電晶體 430 的絕緣膜 407。

圖 2A 至圖 2E 示出具有電晶體 430 的半導體裝置的製造方法的一個例子。

在基板 400 上形成導電膜 441（參照圖 2A）。導電膜 441 可以使用鉬、鈦、鉭、鎢、鋁、銅、鉻、鈦、銦等的金屬材料或以這些材料為主要成分的合金材料形成。此外，作為導電膜 441，可以使用以摻雜有磷等雜質元素的多晶矽膜為代表的半導體膜、鎳矽化物等矽化物膜。導電膜 441 既可以是單層結構，又可以是疊層結構。

另外，作為導電膜 441 的材料可以使用包含氧化鎢的銦氧化物、包含氧化鈦的銦氧化物、銦錫氧化物、包含氧化鈦的銦錫氧化物、添加有氧化矽的銦錫氧化物、銦鋅氧化物或包含氧化鎢的銦鋅氧化物等導電材料。此外，也可以採用上述導電材料與上述金屬材料的疊層結構。

在本實施方式中，作為導電膜 441 藉由濺射法形成 100nm 厚的鎢膜。

利用光微影製程在導電膜 441 上形成光阻掩罩 442，對該光阻掩罩 442 選擇性地進行蝕刻來形成閘極電極層

401 (參照圖 2B)。在形成閘極電極層 401 之後，去除光阻掩罩 442。導電膜 441 的蝕刻可以採用乾蝕刻和濕蝕刻中的一者或兩者。

在本實施方式中，使用包含鹵素的氣體 443 進行導電膜 441 的蝕刻。作為包含鹵素的氣體 443 可以使用含有氯的氣體，例如可以使用含有氯 (Cl_2)、三氯化硼 (BCl_3)、四氯化矽 (SiCl_4)、四氯化碳 (CCl_4) 等的氣體。另外，作為包含鹵素的氣體 443 可以使用含有氟的氣體，例如可以使用含有四氟化碳 (CF_4)、六氟化硫 (SF_6)、三氟化氮 (NF_3)、三氟甲烷 (CHF_3) 等的氣體。另外，可以使用對上述氣體添加有氦 (He) 或氬 (Ar) 等的稀有氣體的氣體等。

作為蝕刻方法，可以使用平行平板型 RIE 法或 ICP 蝕刻法。適當地調節蝕刻條件 (施加到線圈型電極的電力量、施加到基板一側的電極的電力量、基板一側的電極溫度等)，以便能夠蝕刻為所希望的加工形狀。

在本實施方式中，利用乾蝕刻對導電膜 441 進行蝕刻製程，並採用如下條件：作為包含鹵素的氣體 443 使用包含四氟化碳、氯及氧的氣體 ($\text{CF}_4:\text{Cl}_2:\text{O}_2=25\text{sccm}:25\text{sccm}:10\text{sccm}$)；偏置功率為 150W；ICP 電源功率為 500W；以及壓力為 1.0Pa。

在形成閘極電極層 401 的蝕刻製程中，蝕刻材料 (蝕刻氣體或蝕刻溶液) 的殘留物殘留在閘極電極層 401 表面及其附近。閘極電極層表面的包含在上述殘留物中的雜質

會導致閘極絕緣膜 402 對電壓的耐受性的劣化（耐壓下降），從而在閘極電極層 401 與源極電極層 405a 或汲極電極層 405b 之間產生洩漏電流。由此，導致電晶體的電特性的變動及劣化。

殘留物包括蝕刻材料（蝕刻氣體或蝕刻溶液）、包含在被進行加工的導電膜 441 中的元素以及該元素的化合物。例如，在形成閘極電極層 401 的蝕刻製程中適當地使用包含鹵素的氣體，此時，殘留物包含鹵素類雜質（鹵素或鹵化物）。

作為殘留物，例如可以舉出氯、氟、硼、磷、鋁、鐵或碳等。另外，殘留物有時也包括包含在導電膜 441 中的金屬元素、金屬元素的鹵化物以及金屬元素的氧化物等。另外，殘留物有時也包括包含在光阻掩罩 442 中的元素。

在本實施方式中，在形成閘極電極層 401 的蝕刻製程中使用包含鹵素的氣體 443，由此所殘留的殘留物是鹵素（本實施方式中的氯）類雜質（鹵素或鹵化物）。另外，當作為蝕刻材料使用將磷酸、醋酸及硝酸混合而成的溶液時，殘留物包含磷等。

因此，在形成閘極電極層 401 之後，進行去除閘極電極層 401 表面及其附近的殘留物的製程（參照圖 2C）。殘留物去除製程可以藉由使用水或鹼性溶液的處理或者電漿處理進行。例如，可以適當地採用使用水或 TMAH 溶液的處理或者使用氧、一氧化二氮或稀有氣體（典型為氬）的電漿處理等。另外，也可以進行使用稀釋氫氟酸的處

理。

接著，在閘極電極層 401 上形成閘極絕緣膜 402。在本實施方式中，藉由高密度電漿 CVD 法形成 200nm 厚的氧氮化矽膜。

在閘極絕緣膜 402 上形成氧化物半導體膜 403（參照圖 2D）。在本實施方式中，作為氧化物半導體膜 403 藉由利用裝有 AC 電源的濺射裝置的濺射法形成 35nm 厚的 In-Ga-Zn 類氧化物膜（IGZO 膜）。在本實施方式中，使用原子數比為 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ （ $1/3:1/3:1/3$ ）的 In-Ga-Zn 類氧化物靶材。另外，成膜條件如下：氧及氬氛圍下（氧流量比率為 50%）；壓力為 0.6Pa；電源功率為 5kW；基板溫度為 170°C。該成膜條件下的沈積速度為 16nm/min。

也可以對氧化物半導體膜 403 進行用來去除過剩的氫（包括水或羥基）（脫水化或脫氫化）的加熱處理。在本實施方式中，將基板引入到加熱處理裝置之一的電爐中，在氬氛圍下以 450°C 對氧化物半導體膜 403 進行 1 小時的加熱處理，並且在氮及氧氛圍下以 450°C 對其進行 1 小時的加熱處理。

接著，在閘極電極層 401、閘極絕緣膜 402 及氧化物半導體膜 403 上形成導電膜，並對該導電膜進行蝕刻來形成源極電極層 405a 及汲極電極層 405b。作為導電膜的蝕刻，可以使用乾蝕刻和濕蝕刻中的一者或兩者。

在本實施方式中，藉由濺射法層疊 100nm 厚的鈦膜、400nm 厚的鋁膜及 100nm 厚的鈦膜，並藉由乾蝕刻法對鈦

膜、鋁膜及鈦膜的疊層進行蝕刻來形成源極電極層 405a 及汲極電極層 405b。

藉由上述製程，製造本實施方式的電晶體 430。

在本實施方式中，在源極電極層 405a、汲極電極層 405b 上形成與氧化物半導體膜 403 接觸的成爲保護絕緣膜的絕緣膜 407（參照圖 2E）。例如，藉由 CVD 法形成 400nm 厚的氧氮化矽膜。另外，也可以在形成保護絕緣膜之後進行加熱處理。例如，在氮氛圍下以 300℃ 進行 1 小時的加熱處理。

此外，爲了降低起因於電晶體 430 的表面凹凸，也可以形成平坦化絕緣膜。

例如，作爲平坦化絕緣膜可以在保護絕緣膜上形成 1500nm 厚的丙烯酸樹脂膜。丙烯酸樹脂膜可以利用塗布法塗布丙烯酸樹脂之後進行燒結（例如在氮氛圍下以 250℃ 進行 1 小時的燒結）來形成。

可以在形成平坦化絕緣膜之後進行加熱處理。例如，在氮氛圍下以 250℃ 進行 1 小時的加熱處理。

如上所述，由於可以防止閘極電極層 401 表面及其附近被殘留物污染，所以可以在具有底閘極結構的反交錯電晶體的電晶體 420 的半導體裝置中將閘極電極層 401 表面的起因於蝕刻製程的雜質（典型爲鹵素（例如氯、氟）、硼、磷、鋁、鐵或碳）的面密度設定爲 $1 \times 10^{13} \text{atoms/cm}^2$ 以下（較佳爲設定爲 $1 \times 10^{12} \text{atoms/cm}^2$ 以下）。另外，可以將閘極電極層 401 表面的起因於蝕刻製程的雜質（典型

為鹵素（例如氯、氟）、硼、磷、鋁、鐵或碳）的濃度設定為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下（較佳為設定為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下）。

因此，可以提供包括使用氧化物半導體膜 403 的具有穩定電特性的電晶體 430 且可靠性高的半導體裝置。另外，可以藉由提高可靠性高的半導體裝置的良率來提高生產率。

實施方式 3

在本實施方式中，參照圖 3A 至圖 3F 說明半導體裝置及半導體裝置的製造方法的其他方式。與上述實施方式相同的部分或者具有與上述實施方式類似的功能的部分可以用上述實施方式類似的方法形成。與上述實施方式相同或類似的製程可以用上述實施方式類似的方法進行。因此，省略其反復說明。此外，省略相同部分的詳細說明。

圖 3F 所示的電晶體 420 是底閘極結構的電晶體之一，該電晶體也被稱為反交錯電晶體。另外，圖 3A 至圖 3F 是電晶體 420 的通道長度方向的剖面圖。

如圖 3F 所示，包括電晶體 420 的半導體裝置在具有絕緣表面的基板 400 上具有閘極電極層 401、閘極絕緣膜 402、氧化物半導體膜 403、源極電極層 405a 及汲極電極層 405b。另外，設置有覆蓋電晶體 420 的絕緣膜 407。

圖 3A 至圖 3F 示出具有電晶體 420 的半導體裝置的製造方法的一個例子。

在具有絕緣表面的基板 400 上形成導電膜。導電膜可以使用鉬、鈦、鉭、鎢、鋁、銅、鉻、鈹、銦等的金屬材料或以這些材料為主要成分的合金材料形成。此外，作為導電膜，可以使用以摻雜有磷等雜質元素的多晶矽膜為代表的半導體膜、鎳矽化物等矽化物膜。導電膜既可以是單層結構，又可以是疊層結構。

另外，作為導電膜的材料可以使用包含氧化鎢的銦氧化物、包含氧化鈦的銦氧化物、銦錫氧化物、包含氧化鈦的銦錫氧化物、添加有氧化矽的銦錫氧化物、銦鋅氧化物或包含氧化鎢的銦鋅氧化物等導電材料。此外，也可以採用上述導電材料與上述金屬材料的疊層結構。

在本實施方式中，作為導電膜藉由濺射法形成 100nm 厚的鎢膜。

利用光微影製程在導電膜上形成光阻掩罩，對該光阻掩罩選擇性地進行蝕刻來形成閘極電極層 401（參照圖 3A）。在形成閘極電極層 401 之後，去除光阻掩罩。導電膜的蝕刻可以採用乾蝕刻和濕蝕刻中的一者或兩者。

在本實施方式中，使用包含鹵素的氣體進行導電膜的蝕刻。作為包含鹵素的氣體可以使用含有氯的氣體，例如可以使用含有氯（ Cl_2 ）、三氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）、四氯化碳（ CCl_4 ）等的氣體。另外，作為包含鹵素的氣體可以使用含有氟的氣體，例如可以使用含有四氟化碳（ CF_4 ）、六氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、三氟甲烷（ CHF_3 ）等的氣體。另外，可以使用對上述氣體

添加有氦 (He) 或氬 (Ar) 等的稀有氣體的氣體等。

作為蝕刻方法，可以使用平行平板型 RIE 法或 ICP 蝕刻法。適當地調節蝕刻條件（施加到線圈型電極的電力量、施加到基板一側的電極的電力量、基板一側的電極溫度等），以便能夠蝕刻為所希望的加工形狀。

在本實施方式中，利用乾蝕刻對導電膜進行蝕刻製程，並採用如下蝕刻條件：作為包含鹵素的氣體使用包含四氟化碳、氯及氧的氣體（ $CF_4:Cl_2:O_2=25\text{sccm}:25\text{sccm}:10\text{sccm}$ ）；偏置功率為 150W；ICP 電源功率為 500W；以及壓力為 1.0Pa。

在形成閘極電極層 401 的蝕刻製程中，蝕刻材料（蝕刻氣體或蝕刻溶液）的殘留物殘留在閘極電極層 401 表面及其附近。閘極電極層表面的包含在上述殘留物中的雜質會導致閘極絕緣膜 402 的耐壓下降，從而在閘極電極層 401 與源極電極層 405a 或汲極電極層 405b 之間產生洩漏電流。由此，導致電晶體的電特性的變動及劣化。

殘留物包括蝕刻材料（蝕刻氣體或蝕刻溶液）、包含在被進行加工的導電膜中的元素以及該元素的化合物。例如，在形成閘極電極層 401 的蝕刻製程中適當地使用包含鹵素的氣體，此時，殘留物包含鹵素類雜質（鹵素或鹵化物）。

作為殘留物，例如可以舉出氟、氯、硼、磷、鋁、鐵或碳等。另外，殘留物有時也包括包含在導電膜中的金屬元素、金屬元素的鹵化物以及金屬元素的氧化物等。另

外，殘留物有時也包括包含在光阻掩罩中的元素。

在本實施方式中，在形成閘極電極層 401 的蝕刻製程中使用包含鹵素的氣體，由此所殘留的殘留物是鹵素（本實施方式中的氯）類雜質（鹵素或鹵化物）。另外，當作爲蝕刻材料使用將磷酸、醋酸及硝酸混合而成的溶液時，殘留物包含磷等。

因此，在形成閘極電極層 401 之後，進行去除閘極電極層 401 表面及其附近的殘留物的製程（參照圖 3B）。殘留物去除製程可以藉由使用水或鹼性溶液的處理或者電漿處理進行。例如，可以適當地採用使用水或 TMAH 溶液的處理或者使用氧、一氧化二氮或稀有氣體（典型爲氬）的電漿處理等。另外，也可以進行使用稀釋氫氟酸的處理。

接著，在閘極電極層 401 上形成閘極絕緣膜 402。在本實施方式中，藉由高密度電漿 CVD 法形成 200nm 厚的氧氮化矽膜。

在閘極絕緣膜 402 上形成氧化物半導體膜 403（參照圖 3C）。在本實施方式中，作爲氧化物半導體膜 403 藉由利用裝有 AC 電源的濺射裝置的濺射法形成 35nm 厚的 In-Ga-Zn 類氧化物膜（IGZO 膜）。在本實施方式中，使用原子數比爲 In:Ga:Zn=1:1:1（1/3:1/3:1/3）的 In-Ga-Zn 類氧化物靶材。另外，成膜條件如下：氧及氬氛圍下（氧流量比率爲 50%）；壓力爲 0.6Pa；電源功率爲 5kW；基板溫度爲 170℃。該成膜條件下的沈積速度爲 16nm/min。

也可以對氧化物半導體膜 403 進行用來去除過剩的氫（包括水或羥基）（脫水化或脫氫化）的加熱處理。在本實施方式中，將基板引入到加熱處理裝置之一的電爐中，在氮氛圍下以 450°C 對氧化物半導體膜 403 進行 1 小時的加熱處理，並且在包含氮及氧的氛圍下以 450°C 對其進行 1 小時的加熱處理。

接著，在閘極電極層 401、閘極絕緣膜 402 及氧化物半導體膜 403 上形成成爲源極電極層及汲極電極層的導電膜。

作爲該導電膜，使用能夠承受在後面進行的加熱處理的材料。作爲用於源極電極層及汲極電極層的導電膜，例如可以使用含有選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素的金屬膜或以上述元素爲成分的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）等。此外，還可以採用在 Al、Cu 等的金屬膜的下側和上側的一者或兩者層疊 Ti、Mo、W 等高熔點金屬膜或它們的金屬氮化物膜（氮化鈦膜、氮化鉬膜、氮化鎢膜）的結構。另外，作爲用於源極電極層及汲極電極層的導電膜，也可以使用導電金屬氧化物。作爲導電金屬氧化物，可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、銦錫氧化物（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，簡單地稱爲 ITO）、銦鋅氧化物（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或使它們的金屬氧化物材料包含氧化矽的材料。

藉由光微影製程在導電膜上形成光阻掩罩，並且選擇性地進行蝕刻，來形成源極電極層 405a 及汲極電極層

405b (參照圖 3D)。在形成源極電極層 405a 及汲極電極層 405b 之後去除光阻掩罩。

在本實施方式中，使用包含鹵素的氣體進行導電膜的蝕刻。作為包含鹵素的氣體可以使用含有氯的氣體，例如可以使用含有氯 (Cl_2)、三氯化硼 (BCl_3)、四氯化矽 (SiCl_4)、四氯化碳 (CCl_4) 等的氣體。另外，作為包含鹵素的氣體可以使用含有氟的氣體，例如可以使用含有四氟化碳 (CF_4)、六氟化硫 (SF_6)、三氟化氮 (NF_3)、三氟甲烷 (CHF_3) 等的氣體。另外，可以使用對上述氣體添加有氦 (He) 或氬 (Ar) 等的稀有氣體的氣體等。

作為蝕刻方法，可以使用平行平板型 RIE 法或 ICP 蝕刻法。適當地調節蝕刻條件 (施加到線圈型電極的電力量、施加到基板一側的電極的電力量、基板一側的電極溫度等)，以便能夠蝕刻為所希望的加工形狀。

在本實施方式中，作為導電膜使用藉由濺射法形成的 100nm 厚的鈦膜、400nm 厚的鋁膜及 100nm 厚的鈦膜的疊層。作為導電膜的蝕刻，利用乾蝕刻法對鈦膜、鋁膜及鈦膜的疊層進行蝕刻來形成源極電極層 405a 及汲極電極層 405b。

在本實施方式中，在以第一蝕刻條件對上層的鈦膜及鋁膜的兩層進行蝕刻之後，以第二蝕刻條件對下層的鈦膜進行蝕刻。注意，第一蝕刻條件為：利用蝕刻氣體 ($\text{BCl}_3 : \text{Cl}_2 = 750\text{sccm} : 150\text{sccm}$)；偏壓功率為 1500W；ICP 電源功率為 0W；壓力為 2.0Pa。第二蝕刻條件為：利

用蝕刻氣體（ $\text{BCl}_3 : \text{Cl}_2 = 700\text{sccm} : 100\text{sccm}$ ）；偏壓功率為 750W；ICP 電源功率為 0W；壓力為 2.0Pa。

在形成源極電極層 405a 及汲極電極層 405b 的蝕刻製程中，蝕刻材料（蝕刻氣體或蝕刻溶液）的殘留物殘留在氧化物半導體膜表面及其附近。上述殘留物會導致洩漏電流等電晶體的電特性的劣化或變動。另外，有如下擔憂：包含在蝕刻材料中的元素混入到氧化物半導體膜 403 中，或者附著到氧化物半導體膜 403 上，從而對電晶體的特性有故障影響。

殘留物包括蝕刻材料（蝕刻氣體或蝕刻溶液）、被進行加工的導電膜、包含在暴露於蝕刻材料的氧化物半導體膜 403 中的元素以及該元素的化合物。例如，在形成源極電極層及汲極電極層的蝕刻製程中適當地使用包含鹵素的氣體，此時，殘留物包含鹵素類雜質（鹵素或鹵化物）。

作為殘留物，例如可以舉出氯、氟、硼、磷、鋁、鐵或碳等。另外，殘留物有時也包括導電膜、包含在暴露於蝕刻材料的氧化物半導體膜 403 中的金屬元素（例如，銻、鎳或鋅）、金屬元素的鹵化物以及金屬元素的氧化物等。另外，殘留物有時也包括包含在光阻掩罩中的元素。

在本實施方式中，在形成源極電極層 405a 及汲極電極層 405b 的蝕刻製程中使用包含鹵素的氣體，由此所殘留的殘留物是鹵素（本實施方式中的氯）類雜質（鹵素或鹵化物）。另外，當如本實施方式那樣作為包含鹵素的氣體還使用硼時，所殘留的殘留物還包含硼或含有硼的化合

物。另外，當作爲蝕刻材料使用將磷酸、醋酸及硝酸混合而成的溶液時，殘留物包含磷等。

因此，在形成源極電極層 405a 及汲極電極層 405b 之後，進行去除源極電極層 405a 與汲極電極層 405b 之間的氧化物半導體膜 403 表面及其附近的殘留物的製程（參照圖 3E）。殘留物去除製程可以藉由使用水或鹼性溶液的處理或者電漿處理進行。例如，可以適當地採用使用水或 TMAH 溶液的處理或者使用氧、一氧化二氮或稀有氣體（典型爲氬）的電漿處理等。另外，也可以進行使用稀釋氫氟酸的處理。另外，去除殘留物的製程有如下效果：去除附著到氧化物半導體膜 403 表面的殘留物（在本實施方式中，主要是指鹵素或鹵化物）。

藉由上述製程，製造本實施方式的電晶體 420。

在本實施方式中，在源極電極層 405a、汲極電極層 405b 上形成與氧化物半導體膜 403 接觸的成爲保護絕緣膜的絕緣膜 407（參照圖 3F）。例如，藉由 CVD 法形成 400nm 厚的氧氮化矽膜。另外，也可以在形成保護絕緣膜之後進行加熱處理。例如，在氮氛圍下以 300℃ 進行 1 小時的加熱處理。

此外，爲了降低起因於電晶體 430 的表面凹凸，也可以形成平坦化絕緣膜。

例如，作爲平坦化絕緣膜可以在保護絕緣膜上形成 1500nm 厚的丙烯酸樹脂膜。丙烯酸樹脂膜可以利用塗布法塗布丙烯酸樹脂之後進行燒結（例如在氮氛圍下以 250

℃ 進行 1 小時的燒結) 來形成。

可以在形成平坦化絕緣膜之後進行加熱處理。例如，在氮氛圍下以 250℃ 進行 1 小時的加熱處理。

如上所述，由於可以防止閘極電極層 401 表面、氧化物半導體膜 403 表面及其附近被殘留物污染，所以可以在具有底閘極結構的反交錯電晶體的電晶體 420 的半導體裝置中將氧化物半導體膜 403 表面的起因於蝕刻製程的雜質（典型為鹵素（例如氯、氟）、硼、磷、鋁、鐵或碳）的面密度設定為 $1 \times 10^{13} \text{ atoms/cm}^2$ 以下（較佳為設定為 $1 \times 10^{12} \text{ atoms/cm}^2$ 以下）。另外，將閘極電極層 401 表面的起因於蝕刻製程的雜質（典型為鹵素（例如氯、氟）、硼、磷、鋁、鐵或碳）的面密度設定為 $1 \times 10^{13} \text{ atoms/cm}^2$ 以下（較佳為設定為 $1 \times 10^{12} \text{ atoms/cm}^2$ 以下）。

另外，可以將氧化物半導體膜 403 表面的起因於蝕刻製程的雜質（典型為鹵素（例如氯、氟）、硼、磷、鋁、鐵或碳）的濃度設定為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下（較佳為設定為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下）。可以將閘極電極層 401 表面的起因於蝕刻製程的雜質（典型為鹵素（例如氯、氟）、硼、磷、鋁、鐵或碳）的濃度設定為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下（較佳為設定為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下）。

因此，可以提供包括使用氧化物半導體膜 403 的具有穩定電特性的電晶體 420 且可靠性高的半導體裝置。另外，可以藉由提高可靠性高的半導體裝置的良率來提高生產率。

實施方式 4

藉由使用實施方式 1 至 3 中任一個所示的電晶體可以製造具有顯示功能的半導體裝置（也稱為顯示裝置）。此外，藉由將包括電晶體的驅動電路的一部分或全部與像素部一體地形成在相同的基板上，可以形成系統整合型面板（system-on-panel）。

在圖 4A 中，以圍繞設置在第一基板 4001 上的像素部 4002 的方式設置密封材料 4005，使用第二基板 4006 進行密封。在圖 4A 中，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上的掃描線驅動電路 4004、信號線驅動電路 4003。此外，供應到另行形成的信號線驅動電路 4003、掃描線驅動電路 4004 或者像素部 4002 的各種信號及電位從 FPC（Flexible printed circuit：撓性印刷電路）4018a、4018b 供應。

在圖 4B 和圖 4C 中，以圍繞設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002、掃描線驅動電路 4004 與顯示元件一起由第一基板 4001、密封材料 4005 以及第二基板 4006 密封。在圖 4B 和圖 4C 中，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有使用單晶半導體膜或多晶半導體膜形成在另行

準備的基板上的信號線驅動電路 4003。在圖 4B 和圖 4C 中，供應到另行形成的信號線驅動電路 4003、掃描線驅動電路 4004 或者像素部 4002 的各種信號及電位從 FPC4018 供應。

此外，圖 4B 和圖 4C 示出另行形成信號線驅動電路 4003 並且將該信號線驅動電路 4003 安裝到第一基板 4001 的實例，但是不侷限於該結構。既可以另行形成掃描線驅動電路並進行安裝，又可以僅另行形成信號線驅動電路的一部分或者掃描線驅動電路的一部分並進行安裝。

另外，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG (Chip On Glass, 玻璃上晶片) 方法、打線接合方法或者 TAB (Tape Automated Bonding, 卷帶式自動接合) 方法等。圖 4A 是藉由 COG 方法安裝信號線驅動電路 4003、掃描線驅動電路 4004 的例子，圖 4B 是藉由 COG 方法安裝信號線驅動電路 4003 的例子，而圖 4C 是藉由 TAB 方法安裝信號線驅動電路 4003 的例子。

此外，顯示裝置包括顯示元件為密封狀態的面板和在該面板中安裝有包括控制器的 IC 等狀態的模組。

注意，本說明書中的顯示裝置是指影像顯示裝置、顯示裝置或光源（包括照明設備）。

另外，顯示裝置還包括：安裝有諸如 FPC、TAB 膠帶或 TCP 的連接器的模組；在 TAB 膠帶或 TCP 的端部設置有印刷線路板的模組；或者藉由 COG 方式將 IC（積體電路）直接安裝到顯示元件的模組。

此外，設置在第一基板上的像素部及掃描線驅動電路具有多個電晶體，可以應用實施方式 1 至 3 中任一個所示的電晶體。

作為設置在顯示裝置中的顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）。發光元件將由電流或電壓控制亮度的元件包括在其範疇內，明確而言，包括無機 EL（Electro Luminescence，電致發光）、有機 EL 等。此外，也可以應用電子墨水等由於電作用而改變對比度的顯示媒介。

另外，參照圖 4A 至圖 6B 對半導體裝置的一個方式進行說明。圖 6A 和圖 6B 相當於沿著圖 4B 的線 M-N 的剖面圖。

如圖 4A、圖 4B、圖 4C、圖 6A 及圖 6B 所示，半導體裝置包括連接端子電極 4015 及端子電極 4016，連接端子電極 4015 及端子電極 4016 藉由各向異性導電膜 4019 電連接到 FPC4018（FPC4018a、FPC4018b）所具有的端子。

連接端子電極 4015 由與第一電極層 4030 相同的導電膜形成，並且，端子電極 4016 由與電晶體 4010、電晶體 4011 的閘極電極層相同的導電膜形成。

此外，設置在第一基板 4001 上的像素部 4002、掃描線驅動電路 4004 具有多個電晶體，在圖 6A 及圖 6B 中例示像素部 4002 所包括的電晶體 4010、掃描線驅動電路 4004 所包括的電晶體 4011。在圖 6A 中，在電晶體

4010、電晶體 4011 上設置有絕緣膜 4020，在圖 6B 中還設置有絕緣膜 4021。

作為電晶體 4010、電晶體 4011，可以使用實施方式 1 至 3 中任一個所示的電晶體。在本實施方式中示出應用電晶體的例子，該電晶體使用與實施方式 1 所示的電晶體 440 相同的結構及製造方法而得到。

在與實施方式 1 所示的電晶體 440 同樣的結構及製造方法的電晶體 4010、電晶體 4011 的製造中，在形成源極電極層及汲極電極層之後，進行去除源極電極層與汲極電極層之間的氧化物半導體膜表面及其附近的殘留物的製程。殘留物去除製程可以藉由使用水或鹼性溶液的處理或者電漿處理進行。例如，可以適當地採用使用水或 TMAH 溶液的處理或者使用氧、一氧化二氮或稀有氣體（典型為氬）的電漿處理等。另外，也可以進行使用稀釋氫氟酸的處理。

另外，如實施方式 2 所示，也可以在形成閘極電極層之後進行去除閘極電極層表面及其附近的起因於蝕刻製程的殘留物的製程。另外，如實施方式 3 所示，也可以在形成閘極電極層之後進行去除閘極電極層表面及其附近的殘留物的製程，在形成源極電極層及汲極電極層之後進行去除氧化物半導體膜表面及其附近的殘留物的製程。

由於可以防止氧化物半導體膜表面及其附近被殘留物污染，所以可以在電晶體 4010、電晶體 4011 中將氧化物半導體膜表面的起因於蝕刻製程的雜質（典型為鹵素（例

如 氯、 氟)、 硼、 磷、 鋁、 鐵 或 碳) 的 面 密 度 設 定 爲 $1 \times 10^{13} \text{ atoms/cm}^2$ 以 下 (較 佳 爲 設 定 爲 $1 \times 10^{12} \text{ atoms/cm}^2$ 以 下)。 另 外， 可 以 將 氧 化 物 半 導 體 膜 表 面 的 起 因 於 蝕 刻 製 程 的 雜 質 (典 型 爲 鹵 素 (例 如 氯、 氟)、 硼、 磷、 鋁、 鐵 或 碳) 的 濃 度 設 定 爲 $5 \times 10^{18} \text{ atoms/cm}^3$ 以 下 (較 佳 爲 設 定 爲 $1 \times 10^{18} \text{ atoms/cm}^3$ 以 下)。

因 此， 作 爲 圖 4A 至 圖 4C 及 圖 6A 和 圖 6B 所 示 的 本 實 施 方 式 的 使 用 氧 化 物 半 導 體 膜 且 具 有 穩 定 的 電 特 性 的 電 晶 體 4010、 電 晶 體 4011 的 半 導 體 裝 置， 可 以 提 供 可 靠 性 高 的 電 晶 體。 另 外， 可 以 藉 由 提 高 可 靠 性 高 的 半 導 體 裝 置 的 良 率 來 提 高 生 產 率。

此 外， 也 可 以 在 與 驅 動 電 路 用 電 晶 體 4011 的 氧 化 物 半 導 體 膜 的 通 道 形 成 區 重 疊 的 位 置 還 設 置 導 電 層。 藉 由 將 導 電 層 設 置 在 與 氧 化 物 半 導 體 膜 的 通 道 形 成 區 重 疊 的 位 置， 可 以 進 一 步 降 低 偏 壓 溫 度 (BT) 試 驗 前 後 的 電 晶 體 4011 的 臨 界 電 壓 的 變 化 量。 此 外， 導 電 層 的 電 位 既 可 以 與 電 晶 體 4011 的 閘 極 電 極 層 的 電 位 相 同， 又 可 以 不 同， 並 且， 該 導 電 層 還 可 以 用 作 第 二 閘 極 電 極 層。 此 外， 導 電 層 的 電 位 也 可 以 爲 GND 或 0V， 或 者 該 導 電 層 還 可 以 處 於 浮 動 狀 態。

此 外， 該 導 電 層 還 具 有 遮 蔽 外 部 的 電 場 的 功 能， 即 不 使 外 部 的 電 場 作 用 到 內 部 (包 括 電 晶 體 的 電 路 部) 的 功 能 (尤 其 是， 遮 蔽 靜 電 的 靜 電 遮 蔽 功 能)。 利 用 導 電 層 的 遮 蔽 功 能， 可 以 防 止 由 於 靜 電 等 外 部 的 電 場 的 影 響 而 使 電 晶

體的電特性變動。

設置在像素部 4002 中的電晶體 4010 電連接到顯示元件，而構成顯示面板。顯示元件只要能夠進行顯示就沒有特別的限制，而可以使用各種各樣的顯示元件。

圖 6A 示出作為顯示元件使用液晶元件的液晶顯示裝置的例子。在圖 6A 中，作為顯示元件的液晶元件 4013 包括第一電極層 4030、第二電極層 4031 以及液晶層 4008。另外，以夾持液晶層 4008 的方式設置有用作配向膜的絕緣膜 4032、絕緣膜 4033。第二電極層 4031 設置在第二基板 4006 一側，第一電極層 4030 和第二電極層 4031 夾著液晶層 4008 而層疊。

此外，間隔物 4035 是藉由對絕緣膜選擇性地進行蝕刻而獲得的柱狀間隔物，並且它是為控制液晶層 4008 的膜厚（液晶盒間隙（cell gap））而設置的。另外，也可以使用球狀間隔物。

當作為顯示元件使用液晶元件時，可以使用熱致液晶、低分子液晶、高分子液晶、高分子分散型液晶、鐵電液晶、反鐵電液晶等。上述液晶材料（液晶組成物）根據條件而呈現膽固醇相、近晶相、立方相、手征向列相、均質相等。

另外，也可以作為液晶層 4008 使用不使用配向膜的呈現藍相的液晶組成物。此時，液晶層 4008 與第一電極層 4030 及第二電極層 4031 接觸。藍相是液晶相的一種，是指當使膽固醇相液晶的溫度上升時即將從膽固醇相轉變

到均質相之前出現的相。藍相可以使用混合液晶及手性試劑的液晶組成物呈現。此外，爲了擴大呈現藍相的溫度範圍，對呈現藍相的液晶組成物添加聚合性單體及聚合引發劑等，進行高分子穩定化的處理來可以形成液晶層。由於呈現藍相的液晶組成物的回應時間短，並且其具有光學各向同性，所以不需要配向處理，且視角依賴性小。另外，由於不需要設置配向膜而不需要摩擦處理，因此可以防止由於摩擦處理而引起的靜電破壞，並可以降低製程中的液晶顯示裝置的故障、破損。從而，可以提高液晶顯示裝置的生產率。在使用氧化物半導體膜的電晶體中，電晶體的電特性因靜電的影響而有可能顯著地變動而越出設計範圍。因此，將呈現藍相的液晶組成物用於具有使用氧化物半導體膜的電晶體的液晶顯示裝置是更有效的。

此外，液晶材料的固有電阻爲 $1 \times 10^9 \Omega \cdot \text{cm}$ 以上，較佳爲 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上，更佳爲 $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上。另外，本說明書中的固有電阻的值爲在 20°C 測量的值。

考慮到配置在像素部中的電晶體的汲極電流等而設定設置在液晶顯示裝置中的儲存電容器的大小使得能夠在所定的期間中保持電荷。可以考慮到電晶體的截止電流等設定儲存電容器的大小。藉由使用具有本說明書所公開的氧化物半導體膜的電晶體，設置具有各像素中的液晶電容的 $1/3$ 以下，較佳爲 $1/5$ 以下的電容大小的儲存電容器，就足夠了。

使用本說明書所公開的氧化物半導體膜的電晶體可以

降低截止狀態下的電流值（截止電流值）。因此，可以延長影像信號等電信號的保持時間，在電源的導通狀態下也可以延長寫入間隔。因此，可以降低更新工作的頻率，所以可以達到抑制耗電量的效果。

此外，使用本說明書所公開的氧化物半導體膜的電晶體可以得到較高的場效應遷移率，所以能夠進行高速驅動。例如，藉由將這種能夠進行高速驅動的電晶體用於液晶顯示裝置，可以在同一基板上形成像素部的開關電晶體及用於驅動電路部的驅動電晶體。也就是說，因為作為驅動電路不需要另行使用由矽晶片等形成的半導體裝置，所以可以縮減半導體裝置的部件數。另外，在像素部中也藉由使用能夠進行高速驅動的電晶體，可以提供高品質的影像。

液晶顯示裝置可以採用 TN（Twisted Nematic，扭曲向列）模式、IPS（In-Plane-Switching，平面內轉換）模式、FFS（Fringe Field Switching，邊緣電場轉換）模式、ASM（Axially Symmetric aligned Micro-cell，軸對稱排列微單元）模式、OCB（Optical Compensated Birefringence，光學補償彎曲）模式、FLC（Ferroelectric Liquid Crystal，鐵電性液晶）模式、AFLC（Anti Ferroelectric Liquid Crystal，反鐵電性液晶）模式等。

此外，也可以使用常黑型液晶顯示裝置，例如採用垂直配向（VA）模式的透過型液晶顯示裝置。作為垂直配向模式，列舉幾個例子，例如可以使用 MVA（Multi-

Domain Vertical Alignment：多象限垂直配向）模式、PVA（Patterned Vertical Alignment：垂直配向構型）模式、ASV（Advanced Super View）模式等。另外，也可以用於VA型液晶顯示裝置。VA型液晶顯示裝置是控制液晶顯示面板的液晶分子的排列的一種方式。VA型液晶顯示裝置是在不被施加電壓時液晶分子朝向垂直於面板的方向的方式。此外，也可以使用將像素（pixel）分成幾個區域（子像素）且使分子分別倒向不同方向的被稱為多疇化或多域設計的方法。

此外，在顯示裝置中，適當地設置黑矩陣（遮光層）、偏振構件、相位差構件、抗反射構件等的光學構件（光學基板）等。例如，也可以使用利用偏振基板以及相位差基板的圓偏振。此外，作為光源，也可以使用背光、側光燈等。

此外，作為像素部中的顯示方式，可以採用逐行掃描方式或隔行掃描方式等。此外，作為當進行彩色顯示時在像素中控制的顏色因素，不侷限於RGB（R表示紅色，G表示綠色，B表示藍色）這三種顏色。例如，也可以採用RGBW（W表示白色）或對RGB追加黃色（yellow）、青色（cyan）、洋紅色（magenta）等中的一種顏色以上的顏色。另外，也可以按每個顏色因素的點使其顯示區的大小不同。但是，所公開的發明不侷限於彩色顯示的顯示裝置，而也可以應用於單色顯示的顯示裝置。

此外，作為顯示裝置所包括的顯示元件，可以應用利

用電致發光的發光元件。利用電致發光的發光元件根據發光材料是有機化合物還是無機化合物被區分，一般地，前者被稱為有機 EL 元件，而後者被稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子及電洞分別從一對電極注入到包括具有發光性的有機化合物的層，以使電流流過。並且，藉由這些載流子（電子及電洞）重新結合，具有發光性的有機化合物形成激發態，當從該激發態回到基態時發光。由於這種機制，這種發光元件被稱為電流激發型發光元件。本實施方式示出作為發光元件使用有機 EL 元件的例子。

無機 EL 元件根據其元件結構而分類為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件具有發光層，其中發光材料的粒子分散在黏合劑中，並且其發光機制是利用施體能階和受體能階的施體-受體重新結合型發光。薄膜型無機 EL 元件具有一種結構，其中，發光層夾在介電層之間，並且該夾著發光層的介電層由電極夾住，其發光機制是利用金屬離子的內殼層電子躍遷的定域型發光（localized type light emission）。另外，這裏作為發光元件使用有機 EL 元件進行說明。

為了取出發光，使發光元件的一對電極中的至少一個具有透光性即可。並且，在基板上形成電晶體及發光元件，作為發光元件，有：從與基板相反一側的表面取出發光的頂部發射；從基板一側的表面取出發光的底部發射；以及從基板一側及與基板相反一側的表面取出發光的雙面

發射結構的發光元件，可以應用上述任一種發射結構的發光元件。

圖 5A、圖 5B 及圖 6B 示出作為顯示元件使用發光元件的發光裝置的例子。

圖 5A 是發光裝置的平面圖，圖 5B 是沿著圖 5A 中的鎖鏈線 V1-W1、V2-W2 及 V3-W3 切斷的剖面。另外，在圖 5A 的平面圖中，未圖示電致發光層 542 及第二電極層 543。

圖 5A 和圖 5B 所示的發光裝置在基板 500 上具有電晶體 510、電容元件 520 及佈線層交叉部 530，其中電晶體 510 與發光元件 540 電連接。另外，圖 5A 和圖 5B 示出經過基板 500 提出發光元件 540 所發射的光的下面發射型結構的發光裝置。

作為電晶體 510，可以使用實施方式 1 至實施方式 3 中任一個所示的電晶體。在本實施方式中示出使用與實施方式 1 所示的電晶體 440 相同的結構及製造方法的電晶體的例子。

電晶體 510 包含閘極電極層 511a、511b、閘極絕緣膜 502、氧化物半導體膜 512 以及用作源極電極層或汲極電極層的導電層 513a、513b。

在與實施方式 1 所示的電晶體 440 同樣的結構及製造方法的電晶體 510 的製造中，在形成用作源極電極層及汲極電極層的導電層 513a、513b 之後，進行去除用作源極電極層及汲極電極層的導電層 513a、513b 之間的氧化物

半導體膜 512 表面及其附近的殘留物的製程。殘留物去除製程可以藉由使用水或鹼性溶液的處理或者電漿處理進行。例如，可以適當地採用使用水或 TMAH 溶液的處理或者使用氧、一氧化二氮或稀有氣體（典型為氬）的電漿處理等。另外，也可以進行使用稀釋氫氟酸的處理。

另外，如實施方式 2 所示，也可以在形成閘極電極層 511a、511b 之後進行去除閘極電極層 511a、511b 表面及其附近的起因於蝕刻製程的殘留物的製程。另外，如實施方式 3 所示，也可以在形成閘極電極層 511a、511b 之後進行去除閘極電極層 511a、511b 表面及其附近的殘留物的製程，在形成導電層 513a、513b 之後進行去除氧化物半導體膜 512 表面及其附近的殘留物的製程。

由於可以防止氧化物半導體膜 512 表面及其附近被殘留物污染，所以可以在電晶體 510 中將氧化物半導體膜 512 表面的起因於蝕刻製程的雜質（典型為鹵素（例如氯、氟）、硼、磷、鋁、鐵或碳）的面密度設定為 1×10^{13} atoms/cm² 以下（較佳為設定為 1×10^{12} atoms/cm² 以下）。另外，可以將氧化物半導體膜 512 表面的起因於蝕刻製程的雜質（典型為鹵素（例如氯、氟）、硼、磷、鋁、鐵或碳）的濃度設定為 5×10^{18} atoms/cm³ 以下（較佳為設定為 1×10^{18} atoms/cm³ 以下）。

因此，作為圖 5A 和圖 5B 所示的本實施方式的使用氧化物半導體膜 512 且具有穩定的電特性的電晶體 510 的半導體裝置，可以提供可靠性高的半導體裝置。另外，可以

藉由提高可靠性高的半導體裝置的良率來提高生產率。

電容元件 520 包含導電層 521a、521b、閘極絕緣膜 502、氧化物半導體膜 522 及導電層 523，其中由導電層 521a、521b 及導電層 523 夾持閘極絕緣膜 502 及氧化物半導體膜 522。

佈線層交叉部 530 是閘極電極層 511a、511b 與導電層 533 的交叉部，閘極電極層 511a、511b 與導電層 533 隔著閘極絕緣膜 502 交叉。

在本實施方式中，作為閘極電極層 511a 及導電層 521a 使用 30nm 厚的鈦膜，作為閘極電極層 511b 及導電層 521b 使用 200nm 厚的銅薄膜。由此，閘極電極層為鈦膜與銅薄膜的疊層結構。

氧化物半導體膜 512、522 使用 25nm 厚的 IGZO 膜。

在電晶體 510、電容元件 520 及佈線層交叉部 530 上形成有層間絕緣膜 504，並且在層間絕緣膜 504 上的與發光元件 540 重疊的區域中設置有濾色片層 505。在層間絕緣膜 504 及濾色片層 505 上設置有用作平坦化絕緣膜的絕緣膜 506。

在絕緣膜 506 上設置有包含依次疊層第一電極層 541、電致發光層 542 及第二電極層 543 的疊層結構的發光元件 540。在到達導電層 513a 的形成在絕緣膜 506 及層間絕緣膜 504 中的開口中第一電極層 541 與導電層 513a 接觸，由此實現發光元件 540 與電晶體 510 的電連接。另外，以覆蓋第一電極層 541 的一部分及該開口的方式設置

有隔壁 507。

層間絕緣膜 504 可以使用利用電漿 CVD 法形成的 200nm 以上且 600nm 以下厚的氧氮化矽膜。另外，絕緣膜 506 可以使用 1500nm 厚的光敏丙烯酸樹脂膜，隔壁 507 可以使用 1500nm 厚的光敏聚醯亞胺膜。

作為濾色片層 505，例如可以使用彩色的透光樹脂。作為彩色的透光樹脂，可以使用感光或非感光有機樹脂。較佳為使用感光有機樹脂層，因為可以縮減光阻掩罩的數量來簡化製程。

彩色是指除了黑、灰、白等的無彩色之外的顏色，濾色片層使用只透過被著色的彩色光的材料來形成。至於彩色，可以使用紅色、綠色、藍色等。另外，還可以使用青色 (cyan)、洋紅色 (magenta)、黃色 (yellow) 等。只透過被著色的彩色光意味著濾色片層中的透過光在彩色光的波長中具有峰值。濾色層片考慮所包含的著色材料的濃度與光的透過率的關係以適當地控制最適合的膜厚度即可。例如，可以濾色片層 505 的膜厚度為 1500nm 以上且 2000nm 以下。

在圖 6B 所示的發光裝置中，作為顯示元件的發光元件 4513 電連接到設置在像素部 4002 中的電晶體 4010。另外，發光元件 4513 的結構是第一電極層 4030、電致發光層 4511、第二電極層 4031 的疊層結構，但是，不侷限於所示結構。根據從發光元件 4513 取出的光的方向等，可以適當地改變發光元件 4513 的結構。

隔壁 4510、507 使用有機絕緣材料或無機絕緣材料形成。尤其是，較佳為使用感光樹脂材料，在第一電極層 4030、541 上形成開口部，並且將該開口部的側壁形成為具有連續曲率的傾斜面。

電致發光層 4511、542 可以使用一個層構成，也可以使用多個層的疊層構成。

為了防止氧、氫、水分、二氧化碳等侵入到發光元件 4513、540 中，也可以在第二電極層 4031、543 及隔壁 4510、507 上形成保護膜。作為保護膜，可以形成氮化矽膜、氮氧化矽膜、DLC 膜等。

也可以使用蒸鍍法形成覆蓋發光元件 4513、540 的含有機化合物的層，以防止氧、氫、水分、二氧化碳等侵入到發光元件 4513、540 中。

此外，在由第一基板 4001、第二基板 4006 以及密封材料 4005 密封的空間中設置有填充材料 4514 並被密封。如此，為了不暴露於外部氣體，較佳為使用氣密性高且脫氣少的保護薄膜（黏合薄膜、紫外線固化樹脂薄膜等）、覆蓋材料進行封裝（封入）。

作為填充材料 4514，除了氮或氫等惰性氣體以外，也可以使用紫外線固化樹脂、熱固性樹脂，可以使用 PVC（聚氯乙烯）、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）或 EVA（乙烯-醋酸乙烯酯）。例如，作為填充材料使用氮，即可。

另外，如果需要，則也可以在發光元件的射出表面上

適當地設置諸如偏光板、或者圓偏光板（包括橢圓偏光板）、相位差板（ $\lambda/4$ 板， $\lambda/2$ 板）、濾色片等的光學薄膜。此外，也可以在偏光板或者圓偏光板上設置防反射膜。例如，可以進行抗眩光處理，該處理是利用表面的凹凸來擴散反射光而可以降低眩光的處理。

此外，作為顯示裝置，也可以提供驅動電子墨水的電子紙。電子紙也稱為電泳顯示裝置（電泳顯示器），並具有如下優勢：與紙同樣的易讀性；其耗電量比其他顯示裝置的耗電量低；形狀薄且輕。

作為電泳顯示裝置，可以想到各種各樣的形式，但是它是包括具有正電荷的第一粒子和具有負電荷的第二粒子的多個微膠囊分散在溶劑或溶質中，並且，藉由對微膠囊施加電場，使微膠囊中的粒子彼此移動到相對方向，以只顯示集合在一側的粒子的顏色的裝置。另外，第一粒子或第二粒子包括染料，當沒有電場時不移動。此外，第一粒子的顏色和第二粒子的顏色不同（包括無色）。

這樣，電泳顯示裝置是利用介電常數高的物質移動到高電場區域，即所謂的介電泳效應（dielectrophoretic effect）的顯示器。

分散有上述微囊的溶劑被稱為電子墨水，並且該電子墨水可以印刷到玻璃、塑膠、布、紙等的表面上。另外，還可以藉由使用濾色片、具有色素的粒子來進行彩色顯示。

此外，作為微囊中的第一粒子及第二粒子，使用選自

導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電性材料、電致發光材料、電致變色材料、磁泳材料中的一種材料或這些材料的複合材料即可。

此外，作為電子紙，也可以應用使用旋轉球（twisting ball）顯示方式的顯示裝置。旋轉球顯示方式是如下方法，即將分別塗為白色和黑色的球形粒子配置在作為用於顯示元件的電極層的第一電極層與第二電極層之間，使第一電極層與第二電極層之間產生電位差來控制球形粒子的方向，以進行顯示。

另外，在圖 4A 至圖 6B 中，作為第一基板 4001、500、第二基板 4006，除了玻璃基板以外，也可以使用撓性的基板。例如，可以使用具有透光性的塑膠基板等。作為塑膠，可以使用 FRP（Fiberglass-Reinforced Plastics；玻璃纖維強化塑膠）板、PVF（聚氟乙烯）薄膜、聚酯薄膜或丙烯酸樹脂薄膜。此外，若不需要透光性，則也可以使用鋁或不鏽鋼等的金屬基板（金屬薄膜）。例如，也可以使用具有由 PVF 薄膜或聚酯薄膜夾住鋁箔的結構的薄片。

在本實施方式中，作為絕緣膜 4020 使用氧化鋁膜。絕緣膜 4020 可以藉由濺射法或電漿 CVD 法形成。

在氧化物半導體膜上作為絕緣膜 4020 設置的氧化鋁膜具有高遮斷效果（阻擋效果），即不使氫、水分等雜質及氧這兩者透過膜的效果。

因此，氧化鋁膜用作保護膜，而防止在製程中及製造

之後成爲變動的主要原因的氫、水分等雜質混入到氧化物半導體膜，並防止從氧化物半導體膜釋放作爲構成氧化物半導體的主要成分材料的氧。

另外，作爲用作平坦化絕緣膜的絕緣膜 4021、506，可以使用丙烯酸樹脂、聚醯亞胺、苯並環丁烯類樹脂、聚醯胺樹脂、環氧樹脂等具有耐熱性的有機材料。此外，除了上述有機材料以外，也可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等。另外，也可以藉由層疊多個由這些材料形成的絕緣膜來形成絕緣膜。

對絕緣膜 4021、506 的形成方法沒有特別的限制，可以根據其材料利用濺射法、SOG 法、旋塗法、浸漬法、噴塗法、液滴噴射法（噴墨法等）、印刷法（絲網印刷、膠版印刷等）、刮刀、輥塗機、幕式塗布機、刮刀式塗布機等來形成絕緣膜 4021、506。

顯示裝置藉由使來自光源或顯示元件的光透過來進行顯示。因此，設置在光透過的像素部中的基板、絕緣膜、導電膜等薄膜全都對可見光的波長區域的光具有透光性。

關於對顯示元件施加電壓的第一電極層及第二電極層（也稱爲像素電極層、共用電極層、反電極層等），可以根據取出光的方向、設置電極層的地方以及電極層的圖案結構選擇透光性、反射性。

作爲第一電極層 4030、541、第二電極層 4031、543，可以使用含有氧化鎢的銦氧化物、含有氧化鎢的銦

鋅氧化物、含有氧化鈦的銦氧化物、含有氧化鈦的銦錫氧化物、銦錫氧化物（以下表示為 ITO）、銦鋅氧化物、添加有氧化矽的銦錫氧化物、石墨烯等具有透光性的導電材料。

此外，第一電極層 4030、541、第二電極層 4031、543 可以使用鎢（W）、鉬（Mo）、鋯（Zr）、鈪（Hf）、釩（V）、鈮（Nb）、鉭（Ta）、鉻（Cr）、鈷（Co）、鎳（Ni）、鈦（Ti）、鉑（Pt）、鋁（Al）、銅（Cu）、銀（Ag）等金屬、其合金或其金屬氮化物中的一種或多種來形成。

在本實施方式中，圖 5A 和圖 5B 所示的發光裝置具有下面發射型結構，所以第一電極層 541 具有透光性，而第二電極層 543 具有反射性。因此，當將金屬膜用於第一電極層 541 時，較佳為將金屬膜形成得薄，以並使其具有透光性。另外，當將具有透光性的導電膜用於第二電極層 543 時，較佳為將具有反射性的導電膜層疊在其上。

此外，第一電極層 4030、541、第二電極層 4031、543 可以使用包括導電高分子（也稱為導電聚合體）的導電組成物來形成。作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者由苯胺、吡咯和噻吩中的兩種以上構成的共聚物或其衍生物等。

此外，由於電晶體容易被靜電等破壞，所以較佳為設

置用來保護驅動電路的保護電路。保護電路較佳為使用非線性元件構成。

如上所述，藉由應用實施方式 1 至 3 中任一個所示的電晶體，可以提供具有各種各樣的功能的半導體裝置。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施方式 5

藉由使用實施方式 1 至 3 中任一個所示的電晶體，可以製造具有讀取目標物的資訊的影像感測器功能的半導體裝置。

圖 7A 示出具有影像感測器功能的半導體裝置的一個例子。圖 7A 是光電感測器的等效電路，而圖 7B 是示出光電感測器的一部分的剖面圖。

光電二極體 602 的一個電極電連接到光電二極體重設信號線 658，而光電二極體 602 的另一個電極電連接到電晶體 640 的閘極。電晶體 640 的源極和汲極中的一個電連接到光電感測器參考信號線 672，而電晶體 640 的源極和汲極中的另一個電連接到電晶體 656 的源極和汲極中的一個。電晶體 656 的閘極電連接到閘極信號線 659，電晶體 656 的源極和汲極中的另一個電連接到光電感測器輸出信號線 671。

注意，在本說明書的電路圖中，為了使使用氧化物半導體膜的電晶體一目了然，將使用氧化物半導體膜的電晶

體的符號表示為“OS”。在圖 7A 中，電晶體 640 和電晶體 656 可以應用實施方式 1 至 3 中任一個所示的電晶體，是使用氧化物半導體膜的電晶體。在本實施方式中示出應用電晶體的例子，該電晶體使用與實施方式 1 所示的電晶體 440 相同的結構及製造方法而得到。

圖 7B 是示出光電感測器中的光電二極體 602 和電晶體 640 的剖面圖，其中在具有絕緣表面的基板 601（TFT 基板）上設置有用作感測器的光電二極體 602 和電晶體 640。藉由使用黏合層 608，在光電二極體 602 和電晶體 640 上設置有基板 613。

在電晶體 640 上設置有絕緣膜 631、層間絕緣膜 633 以及層間絕緣膜 634。光電二極體 602 設置在層間絕緣膜 633 上，並且光電二極體 602 具有如下結構：在形成於層間絕緣膜 633 上的電極層 641a、641b 和設置在層間絕緣膜 634 上的電極層 642 之間從層間絕緣膜 633 一側按順序層疊有第一半導體膜 606a、第二半導體膜 606b 及第三半導體膜 606c。

電極層 641b 與形成在層間絕緣膜 634 中的導電層 643 電連接，並且電極層 642 藉由電極層 641a 與導電層 645 電連接。導電層 645 與電晶體 640 的閘極電極層電連接，並且光電二極體 602 與電晶體 640 電連接。

在此，例示一種 pin 型光電二極體，其中層疊用作第一半導體膜 606a 的具有 p 型導電型的半導體膜、用作第二半導體膜 606b 的高電阻的半導體膜（i 型半導體膜）、

用作第三半導體膜 606c 的具有 n 型導電型的半導體膜。

第一半導體膜 606a 是 p 型半導體膜，而可以由包含賦予 p 型的雜質元素的非晶矽膜形成。使用包含屬於週期表中的第 13 族的雜質元素（例如，硼（B））的半導體材料氣體藉由電漿 CVD 法來形成第一半導體膜 606a。作為半導體材料氣體，可以使用矽烷（ SiH_4 ）。另外，可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等。另外，也可以使用如下方法：在形成不包含雜質元素的非晶矽膜之後，使用擴散法或離子植入法將雜質元素引入到該非晶矽膜。較佳為在使用離子植入法等引入雜質元素之後進行加熱等來使雜質元素擴散。在此情況下，作為形成非晶矽膜的方法，可以使用 LPCVD 法、氣相生長法或濺射法等。較佳為將第一半導體膜 606a 的厚度設定為 10nm 以上且 50nm 以下。

第二半導體膜 606b 是 i 型半導體膜（本質半導體膜），而可以由非晶矽膜形成。為了形成第二半導體膜 606b，藉由電漿 CVD 法使用半導體材料氣體來形成非晶矽膜。作為半導體材料氣體，可以使用矽烷（ SiH_4 ）。或者，也可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 或 SiF_4 等。也可以藉由 LPCVD 法、氣相生長法、濺射法等形成第二半導體膜 606b。較佳為將第二半導體膜 606b 的厚度設定為 200nm 以上且 1000nm 以下。

第三半導體膜 606c 是 n 型半導體膜，而可以由包含賦予 n 型的雜質元素的非晶矽膜形成。使用包含屬於週期

表中的第 15 族的雜質元素（例如，磷（P））的半導體材料氣體藉由電漿 CVD 法形成第三半導體膜 606c。作為半導體材料氣體，可以使用矽烷（ SiH_4 ）。或者，也可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 或 SiF_4 等。另外，也可以使用如下方法：在形成不包含雜質元素的非晶矽膜之後，使用擴散法或離子植入法將雜質元素引入到該非晶矽膜。較佳為在使用離子植入法等引入雜質元素之後進行加熱等來使雜質元素擴散。在此情況下，作為形成非晶矽膜的方法，可以使用 LPCVD 法、氣相生長法或濺射法等。較佳為將第三半導體膜 606c 的厚度設定為 20nm 以上且 200nm 以下。

此外，第一半導體膜 606a、第二半導體膜 606b 以及第三半導體膜 606c 也可以不使用非晶半導體形成，而使用多晶半導體或微晶半導體（Semi Amorphous Semiconductor：SAS）形成。

此外，由於光電效應生成的電洞的遷移率低於電子的遷移率，因此當 p 型半導體膜側的表面用作光接收面時，pin 型光電二極體具有較好的特性。這裏示出將光電二極體 602 從形成有 pin 型光電二極體的基板 601 的面接收的光轉換為電信號的例子。此外，來自其導電型與用作光接收面的半導體膜一側相反的半導體膜一側的光是干擾光，因此，電極層較佳為使用具有遮光性的導電膜。另外，也可以將 n 型半導體膜側的表面用作光接收面。

藉由使用絕緣材料且根據材料使用濺射法、電漿 CVD

法、SOG 法、旋塗法、浸漬法、噴塗法、液滴噴射法（噴墨法等）、印刷法（絲網印刷、膠版印刷等）等，來可以形成絕緣膜 631、層間絕緣膜 633 及層間絕緣膜 634。

作為絕緣膜 631，可以使用無機絕緣材料，諸如氧化矽層、氧氮化矽層、氧化鋁層、氧氮化鋁層等氧化物絕緣膜、氮化矽層、氮氧化矽層、氮化鋁層、氮氧化鋁層等氮化物絕緣膜的單層或疊層。

在本實施方式中，作為絕緣膜 631 使用氧化鋁膜。絕緣膜 631 可以藉由濺射法或電漿 CVD 法形成。

在氧化物半導體膜上作為絕緣膜 631 設置的氧化鋁膜具有高遮斷效果（阻擋效果），即不使氫、水分等雜質及氧的兩者透過膜的效果。

因此，氧化鋁膜用作保護膜，而防止在製程中及製造之後成為變動原因的氫、水分等雜質混入到氧化物半導體膜，並防止從氧化物半導體膜釋放作為構成氧化物半導體的主要成分材料的氧。

作為層間絕緣膜 633、層間絕緣膜 634，較佳為採用作減少表面凹凸的平坦化絕緣膜的絕緣膜。作為層間絕緣膜 633、層間絕緣膜 634，例如可以使用聚醯亞胺、丙烯酸樹脂、苯並環丁烯類樹脂、聚醯胺或環氧樹脂等具有耐熱性的有機絕緣材料。除了上述有機絕緣材料之外，也可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等的單層或疊層。

藉由檢測入射到光電二極體 602 的光，可以讀取檢測目標的資訊。另外，在讀取檢測目標的資訊時，可以使用背光等的光源。

在與實施方式 1 所示的電晶體 440 同樣的結構及製造方法的電晶體 640 的製造中，在形成源極電極層及汲極電極層之後，進行去除源極電極層與汲極電極層之間的氧化物半導體膜表面及其附近的殘留物的製程。殘留物去除製程可以藉由使用水或鹼性溶液的處理或者電漿處理進行。例如，可以適當地採用使用水或 TMAH 溶液的處理或者使用氧、一氧化二氮或稀有氣體（典型為氬）的電漿處理等。另外，也可以進行使用稀釋氫氟酸的處理。

另外，如實施方式 2 所示，也可以在形成閘極電極層之後進行去除閘極電極層表面及其附近的起因於蝕刻製程的殘留物的製程。另外，如實施方式 3 所示，也可以在形成閘極電極層之後進行去除閘極電極層表面及其附近的殘留物的製程，在形成源極電極層及汲極電極層之後進行去除氧化物半導體膜表面及其附近的殘留物的製程。

由於可以防止氧化物半導體膜表面及其附近被殘留物污染，所以可以在電晶體 640 中將氧化物半導體膜表面的起因於蝕刻製程的雜質（典型為鹵素（例如氯、氟）、硼、磷、鋁、鐵或碳）的面密度設定為 $1 \times 10^{13} \text{ atoms/cm}^2$ 以下（較佳為設定為 $1 \times 10^{12} \text{ atoms/cm}^2$ 以下）。另外，可以將氧化物半導體膜表面的起因於蝕刻製程的雜質（典型為鹵素（例如氯、氟）、硼、磷、鋁、鐵或碳）的濃度設

定為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下（較佳為設定為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下）。

因此，作為本實施方式的使用氧化物半導體膜且具有穩定的電特性的電晶體 640 的半導體裝置，可以提供可靠性高的電晶體。另外，可以藉由提高可靠性高的半導體裝置的良率來提高生產率。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而使用。

實施方式 6

可以將本說明書所公開的半導體裝置應用於多種電子裝置（包括遊戲機）。作為電子裝置，可以舉出電視機（也稱為電視或電視接收機）、用於電腦等的顯示器、數位相機、數位攝像機、數位相框、行動電話機、可攜式遊戲機、移動資訊終端、音頻再生裝置、遊戲機（彈子機、投幣機等）、外殼遊戲機等。圖 8A 至圖 8C 示出這些電子裝置的具體例子。

圖 8A 示出具有顯示部的桌子 9000。在桌子 9000 中，外殼 9001 組裝有顯示部 9003，利用顯示部 9003 可以顯示影像。另外，在此示出利用四個腿部 9002 支撐外殼 9001 的結構。另外，外殼 9001 具有用來供應電力的電源供應線 9005。

將實施方式 1 至實施方式 5 中的任一所示的半導體裝置可以應用於顯示部 9003，由此可以對電子裝置賦予高可

靠性。

顯示部 9003 具有觸屏輸入功能。當用指頭等接觸顯示於桌子 9000 的顯示部 9003 中的顯示按鈕 9004 時，可以進行屏面操作或資訊輸入。並且當使桌子具有能夠與其他家電產品進行通訊的功能或能夠控制其他家電產品的功能時，可以將顯示部 9003 用作藉由屏面操作控制其他家電產品的控制裝置。例如，藉由使用實施方式 5 所示的具有影像感測器功能的半導體裝置，可以使顯示部 9003 具有觸屏輸入功能。

另外，利用設置於外殼 9001 的鉸鏈也可以將顯示部 9003 的屏面以垂直於地板的方式立起來，從而也可以將桌子 9000 用作電視機。雖然如果在小房間裏設置大屏面的電視機則自由使用的空間變小，然而，如果在桌子內安裝有顯示部則可以有效地利用房間的空間。

圖 8B 示出電視機 9100。在電視機 9100 中，外殼 9101 組裝有顯示部 9103。利用顯示部 9103 可以顯示影像。此外，在此示出利用支架 9105 支撐外殼 9101 的結構。

可以藉由利用外殼 9101 所具備的操作開關、另外提供的遙控器 9110 進行電視機 9100 的操作。藉由利用遙控器 9110 所具備的操作鍵 9109，可以進行頻道及音量的操作，並可以對在顯示部 9103 上顯示的影像進行操作。此外，也可以採用在遙控器 9110 中設置顯示從該遙控器 9110 輸出的資訊的顯示部 9107 的結構。

圖 8B 所示的電視機 9100 具備接收機及數據機等。電視機 9100 可以利用接收機接收一般的電視廣播。再者，電視機 9100 藉由數據機連接到有線或無線方式的通信網路，也可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間或在接收者之間等）的資訊通信。

將實施方式 1 至實施方式 5 中的任一所示的半導體裝置可以應用於顯示部 9103、9107，由此可以對電視機及遙控器賦予高可靠性。

圖 8C 示出電腦，該電腦包括主體 9201、外殼 9202、顯示部 9203、鍵盤 9204、外部連接埠 9205、指向裝置 9206 等。

將實施方式 1 至實施方式 5 中的任一所示的半導體裝置可以應用於顯示部 9203，由此可以提供高可靠性電腦。

圖 9A 和圖 9B 是能夠進行折疊的平板終端。圖 9A 示出打開的狀態。平板終端包含外殼 9630、顯示部 9631a、顯示部 9631b、顯示模式切換開關 9034、電源開關 9035、省電模式切換開關 9036、卡子 9033 以及操作開關 9038。

將實施方式 1 至實施方式 5 中的任一所示的半導體裝置可以應用於顯示部 9631a 及顯示部 9631b，由此可以對平板終端賦予高可靠性。

在顯示部 9631a 中，可以將其一部分用作觸摸屏的區域 9632a，並且可以藉由接觸所顯示的操作鍵 9638 來輸入資料。此外，作為一個例子，顯示部 9631a 的一半隻具有顯示的功能，並且另一半具有觸摸屏的功能，但是不侷限

於該結構。也可以採用顯示部 9631a 的整個區域具有觸摸屏的功能的結構。例如，可以使顯示部 9631a 的全面顯示鍵盤按鈕來將其用作觸摸屏，並且將顯示部 9631b 用作顯示畫面。

此外，在顯示部 9631b 中與顯示部 9631a 同樣，也可以將其一部分用作觸摸屏的區域 9632b。此外，藉由使用指頭或觸控筆等接觸觸摸屏上的鍵盤顯示切換按鈕 9639 的位置上，可以在顯示部 9631b 上顯示鍵盤按鈕。

此外，也可以對觸摸屏的區域 9632a 和觸摸屏的區域 9632b 同時進行觸摸輸入。

另外，顯示模式切換開關 9034 能夠進行豎屏顯示和橫屏顯示等顯示的方向的切換以及黑白顯示和彩色顯示的切換等。根據藉由平板終端所內置的光感測器所檢測的使用時的外光的光量，省電模式切換開關 9036 可以使顯示的亮度設定為最適合的亮度。平板終端除了光感測器以外還可以內置陀螺儀和加速度感測器等檢測傾斜度的感測器等的其他檢測裝置。

此外，圖 9A 示出顯示部 9631b 的顯示面積與顯示部 9631a 的顯示面積相同的例子，但是不侷限於此，既以一方的尺寸和另一方的尺寸不同又可以它們的顯示品質有差異。例如可以使用顯示部 9631a 和 9631b 中的一方能夠進行比另一方更高精細度的顯示的顯示面板。

圖 9B 示出合上的狀態，並且平板終端包括外殼 9630、太陽能電池 9633、充放電控制電路 9634、電池

9635 以及 DCDC 轉換器 9636。此外，在圖 9B 中，作為充放電控制電路 9634 的一個例子示出具有電池 9635 和 DCDC 轉換器 9636 的結構。

此外，平板終端能夠進行折疊，因此不使用時可以合上外殼 9630。因此，可以保護顯示部 9631a 和顯示部 9631b，而可以提供一種具有良好的耐久性且從長期使用的觀點來看具有良好的可靠性的平板終端。

此外，圖 9A 和圖 9B 所示的平板終端還可以具有如下功能：顯示各種各樣的資訊（靜態影像、動態影像、文字影像等）；將日曆、日期或時刻等顯示在顯示部上；對顯示在顯示部上的資訊進行操作或編輯的觸摸輸入；藉由各種各樣的軟體（程式）控制處理等。

藉由利用安裝在平板終端的表面上的太陽能電池 9633，可以將電力供應到觸摸屏、顯示部或影像信號處理部等。注意，由於可以將太陽能電池 9633 設置在外殼 9630 的一面或雙面，所以可以高效地對電池 9635 進行充電。另外，當作為電池 9635 使用鋰離子電池時，有可以實現小型化等的優點。

另外，參照圖 9C 所示的方塊圖對圖 9B 所示的充放電控制電路 9634 的結構和工作進行說明。圖 9C 示出太陽能電池 9633、電池 9635、DCDC 轉換器 9636、轉換器 9637、開關 SW1 至 SW3 以及顯示部 9631，電池 9635、DCDC 轉換器 9636、轉換器 9637、開關 SW1 至 SW3 對應圖 9B 所示的充放電控制電路 9634。

首先，說明在利用外光使太陽能電池 9633 發電時的工作的例子。使用 DCDC 轉換器 9636 對太陽能電池所產生的電力進行升壓或降壓以使它成爲用來對電池 9635 進行充電的電壓。並且，當利用來自太陽能電池 9633 的電力使顯示部 9631 工作時使開關 SW1 導通，並且，利用轉換器 9637 將其升壓或降壓到顯示部 9631 所需要的電壓。另外，可以採用當不進行顯示部 9631 中的顯示時，使開關 SW1 截止且使開關 SW2 導通來對電池 9635 進行充電的結構。

注意，作爲發電單元的一個例子示出太陽能電池 9633，但是不侷限於此，也可以使用壓電元件（piezoelectric element）或熱電轉換元件（珀耳帖元件（Peltier element））等其他發電單元進行電池 9635 的充電。例如，也可以使用以無線（不接觸）的方式能夠收發電力來進行充電的無線電力傳輸模組或組合其他充電方法進行充電。

本實施方式所示的結構或方法等可以與其他的實施方式所示的結構或方法等適當地組合而實施。

實施例 1

在本實施例中，示出對金屬膜表面及氧化物半導體膜表面進行殘留物去除製程的結果。

作爲樣本的氧化物半導體膜，藉由使用 In:Ga:Zn=3:1:2[原子數比]的氧化物靶材的濺射法，在矽基板上形成

厚度為 50nm 的 IGZO 膜。成膜條件為如下：氫氣及氧氣（氫：氧 = 30sccm:15sccm）氛圍；壓力為 0.4Pa；電源功率為 0.5kW；以及基板溫度為 200°C。

接著，利用乾蝕刻法對氧化物半導體膜進行蝕刻處理（蝕刻條件：蝕刻氣體（ $\text{BCl}_3:\text{Cl}_2=60\text{sccm}:20\text{sccm}$ ）；ICP 電源功率為 450W；偏置功率為 100W；以及壓力為 1.9Pa）來製造樣本 A-1。

在進行蝕刻處理之後還進行水處理，來製造樣本 A-2。

藉由對水處理之後的 IGZO 膜進行使用氧的電漿處理（條件：氣體（ $\text{O}_2=300\text{sccm}$ ）；電源功率為 1800W；壓力為 66.5Pa；以及 3 分鐘），來製造樣本 B-1。藉由對水處理之後的 IGZO 膜進行使用一氧化二氮的電漿處理（條件：氣體（ $\text{N}_2\text{O}=200\text{sccm}$ ）；電源功率為 100W；電源頻率為 27MHz；壓力為 40Pa；基板溫度為 350°C；以及 25 分鐘），來製造樣本 B-2。藉由對水處理之後的 IGZO 膜進行使用 TMAH 溶液的處理（條件：50°C；以及 60 秒鐘），來製造樣本 B-3。藉由對水處理之後的 IGZO 膜進行使用過氧化氫氨水（ $\text{H}_2\text{O}:\text{氨}:\text{過氧化氫水}=2:2:5$ ）的處理（條件：室溫；以及 10 秒鐘），來製造樣本 B-4。藉由對水處理之後的 IGZO 膜進行使用氧的電漿處理（條件：氣體（ $\text{O}_2=200\text{sccm}$ ）；電源功率為 100W；電源頻率為 27MHz；壓力為 40Pa；基板溫度為 350°C；以及 2 分鐘），來製造樣本 B-5。注意，樣本 B-1 與樣本 B-5 是處

理條件彼此不同的使用氧的電漿處理。

表 1 及表 2 示出藉由全反射 X 射線螢光 (Total Reflection X-ray Fluorescence) 分析測量 A-1、A-2、B-1 至 B-5 的樣本的膜表面的氮的面密度的結果。

[表 1]

樣本名	測量膜	處理	氮的面密度 (atoms/cm ²)	
			成膜後	處理後
A-1	IGZO	乾蝕刻處理	5.3E+11	8.1E+13
A-2	IGZO	乾蝕刻處理+水處理	8.8E+11	5.9E+12

[表 2]

樣本名	測量膜	殘留物去除製程	氮的面密度 (atoms/cm ²)		
			成膜後	乾蝕刻處理+水處理後	殘留物去除製程後
B-1	IGZO	O ₂ 電漿處理	8.8E+11	5.9E+12	1.3E+12
B-2	IGZO	N ₂ O 電漿處理	5.4E+11	5.2E+12	9.1E+11
B-3	IGZO	TMAH 溶液處理	2.1E+11	4.9E+12	2.5E+11
B-4	IGZO	過氧化氫氨水處理	2.8E+11	4.6E+12	4.4E+11
B-5	IGZO	O ₂ 電漿處理	4.7E+11	3.7E+12	1.2E+12

從表 1 及表 2 可以確認到：在進行乾蝕刻之後不進行殘留物去除製程的 A-1 中，IGZO 膜的表面的氮的面密度大幅度增加，但是在進行乾蝕刻之後進行水處理的 A-2 中，減輕 IGZO 膜表面的氮的面密度的增加。

再者，從表 1 及表 2 可以確認到：在作為殘留物去除製程分別進行使用一氧化二氮的電漿處理、使用 TMAH 溶

液的處理、使用過氧化氫氨水的處理或使用氧的電漿處理的 B-1 至 B-5 中，在進行殘留物去除製程之後，IGZO 膜表面的氯的面密度低於 $1 \times 10^{13} \text{ atoms/cm}^2$ ，從而進一步去除氯而抑制氯的面密度的增加。

接著，作為樣本的金屬膜，利用濺射法在玻璃基板上形成厚度為 200nm 的鎢 (W) 膜 (成膜條件：在氬 (80sccm) 氛圍下；壓力為 0.8Pa；電源功率為 1kW；以及基板溫度為 230°C)。

接著，利用乾蝕刻法對鎢膜進行大約 50nm 厚的蝕刻處理 (蝕刻條件：蝕刻氣體 ($\text{CF}_4:\text{Cl}_2:\text{O}_2=25\text{sccm}:25\text{sccm}:10\text{sccm}$)；ICP 電源功率為 500W；偏置功率為 100W；以及壓力為 1.0Pa)。

在進行蝕刻處理之後進行水處理。

藉由對水處理之後的鎢膜進行使用氧的電漿處理 (條件：氣體 ($\text{O}_2=300\text{sccm}$)；電源功率為 1800W；壓力為 66.5Pa；以及 3 分鐘)，來製造樣本 C-1。藉由對水處理之後的鎢膜進行使用一氧化二氮的電漿處理 (條件：氣體 ($\text{N}_2\text{O}=200\text{sccm}$)；電源功率為 100W；電源頻率為 27MHz；壓力為 40Pa；基板溫度為 350°C；以及 25 分鐘)，來製造樣本 C-2。藉由對水處理之後的鎢膜進行使用 TMAH 溶液的處理 (條件：50°C；以及 60 秒鐘)，來製造樣本 C-3。藉由對水處理之後的鎢膜進行使用過氧化氫氨水 ($\text{H}_2\text{O}:\text{氨}:\text{過氧化氫水}=2:2:5$) 的處理 (條件：室溫；以及 10 秒鐘)，來製造樣本 C-4。藉由對水處

理之後的鎢膜進行使用氧的電漿處理（條件：氣體（ $O_2=200\text{sccm}$ ）；電源功率為 100W ；電源頻率為 27MHz ；壓力為 40Pa ；基板溫度為 350°C ；以及 2 分鐘），來製造樣本 C-5。注意，樣本 C-1 與樣本 C-5 是處理條件彼此不同的使用氧的電漿處理。

表 3 示出藉由全反射 X 射線螢光分析測量 C-1 至 C-5 的樣本的膜表面的氮的面密度的結果。

[表-3]

樣本名	測量膜	殘留物去除製程	氮的面密度 (atoms/cm^2)		
			成膜後	乾蝕刻處理+水處理後	殘留物去除製程後
C-1	W	O_2 電漿處理	$4.0\text{E}+11$	$5.2\text{E}+12$	$1.3\text{E}+12$
C-2	W	N_2O 電漿處理	$6.8\text{E}+11$	$5.7\text{E}+12$	$6.5\text{E}+11$
C-3	W	TMAH 溶液處理	$5.2\text{E}+11$	$4.3\text{E}+12$	$2.2\text{E}+12$
C-4	W	過氧化氫氨水處理	$6.8\text{E}+11$	$5.2\text{E}+12$	$2.3\text{E}+12$
C-5	W	O_2 電漿處理	$6.9\text{E}+11$	$5.2\text{E}+12$	$1.0\text{E}+12$

從表 3 可以確認到：在進行乾蝕刻、水處理之後作為殘留物去除製程分別進行使用一氧化二氮的電漿處理、使用 TMAH 溶液的處理、使用過氧化氫氨水的處理或使用氧的電漿處理的 C-1 至 C-5 中，在進行殘留物去除製程之後，鎢膜表面的氮的面密度低於 $1 \times 10^{13} \text{atoms}/\text{cm}^2$ ，從而去除氮而抑制氮的面密度的增加。

從上述結果可以確認到：水處理、使用一氧化二氮的電漿處理、使用 TMAH 溶液的處理、使用過氧化氫氨水的

處理或使用氧的電漿處理等的殘留物去除製程有可以降低起因於蝕刻製程的膜表面的雜質濃度的效果。

【圖式簡單說明】

在圖式中：

圖 1A 至圖 1E 是說明半導體裝置及半導體裝置的製造方法的一個方式的剖面圖；

圖 2A 至圖 2E 是說明半導體裝置及半導體裝置的製造方法的一個方式的剖面圖；

圖 3A 至圖 3F 是說明半導體裝置及半導體裝置的製造方法的一個方式的剖面圖；

圖 4A 至圖 4C 是說明半導體裝置的一個方式的平面圖；

圖 5A 和圖 5B 是說明半導體裝置的一個方式的平面圖及剖面圖；

圖 6A 和圖 6B 是示出半導體裝置的一個方式的剖面圖；

圖 7A 和圖 7B 是示出半導體裝置的一個方式的電路圖及剖面圖；

圖 8A 至圖 8C 是示出電子裝置的圖；

圖 9A 至圖 9C 是示出電子裝置的圖。

【主要元件符號說明】

400：基板

- 401 : 閘極電極層
- 402 : 閘極絕緣膜
- 403 : 氧化物半導體膜
- 405a : 源極電極層
- 405b : 汲極電極層
- 407 : 絕緣膜
- 420 : 電晶體
- 430 : 電晶體
- 440 : 電晶體
- 441 : 導電膜
- 442 : 光阻掩罩
- 443 : 氣體
- 445 : 導電膜
- 447 : 氣體
- 448a : 光阻掩罩
- 448b : 光阻掩罩
- 500 : 基板
- 502 : 閘極絕緣膜
- 504 : 層間絕緣膜
- 505 : 濾色片層
- 506 : 絕緣膜
- 507 : 隔壁
- 510 : 電晶體
- 511a : 閘極電極層

- 511b : 閘極電極層
- 512 : 氧化物半導體膜
- 513a : 導電層
- 513b : 導電層
- 520 : 電容元件
- 521a : 導電層
- 521b : 導電層
- 522 : 氧化物半導體膜
- 523 : 導電層
- 530 : 佈線層交叉部
- 533 : 導電層
- 540 : 發光元件
- 541 : 電極層
- 542 : 電致發光層
- 543 : 電極層
- 601 : 基板
- 602 : 光電二極體
- 606a : 半導體膜
- 606b : 半導體膜
- 606c : 半導體膜
- 608 : 黏合層
- 613 : 基板
- 631 : 絕緣膜
- 633 : 層間絕緣膜

- 634 : 層間絕緣膜
- 640 : 電晶體
- 641a : 電極層
- 641b : 電極層
- 642 : 電極層
- 643 : 導電層
- 645 : 導電層
- 656 : 電晶體
- ~~658 : 光電二極體重設信號線~~
- 659 : 閘極信號線
- 671 : 光電感測器輸出信號線
- 672 : 光電感測器參考信號線
- 4001 : 基板
- 4002 : 像素部
- 4003 : 信號線驅動電路
- 4004 : 掃描線驅動電路
- 4005 : 密封材料
- 4006 : 基板
- 4008 : 液晶層
- 4010 : 電晶體
- 4011 : 電晶體
- 4013 : 液晶元件
- 4015 : 連接端子電極
- 4016 : 端子電極

- 4018 : FPC
- 4019 : 各向異性導電膜
- 4020 : 絕緣膜
- 4021 : 絕緣膜
- 4024 : 絕緣膜
- 4030 : 電極層
- 4031 : 電極層
- 4032 : 絕緣膜
- 4033 : 絕緣膜
- 4035 : 間隔物
- 4040 : 電晶體
- 4510 : 隔壁
- 4511 : 電致發光層
- 4513 : 發光元件
- 4514 : 填充材料
- 9000 : 桌子
- 9001 : 外殼
- 9002 : 腿部
- 9003 : 顯示部
- 9004 : 顯示按鈕
- 9005 : 電源供應線
- 9033 : 卡子
- 9034 : 開關
- 9035 : 電源開關

- 9036 : 開關
- 9038 : 操作開關
- 9100 : 電視機
- 9101 : 外殼
- 9103 : 顯示部
- 9105 : 支架
- 9107 : 顯示部
- 9109 : 操作鍵
- 9110 : 遙控器
- 9201 : 主體
- 9202 : 外殼
- 9203 : 顯示部
- 9204 : 鍵盤
- 9205 : 外部連接埠
- 9206 : 指向裝置
- 9630 : 外殼
- 9631 : 顯示部
- 9631a : 顯示部
- 9631b : 顯示部
- 9632a : 區域
- 9632b : 區域
- 9633 : 太陽能電池
- 9634 : 充放電控制電路
- 9635 : 電池

9636 : DCDC 轉換器

9637 : 轉換器

9638 : 操作鍵

9639 : 按鈕

照例
未修正

空白頁

七、申請專利範圍：

1. 一種半導體裝置，包括：

包括絕緣表面的基板；

該絕緣表面上的閘極電極層；

該閘極電極層上的閘極絕緣膜；

該閘極絕緣膜上的氧化物半導體膜；

該氧化物半導體膜上的源極電極層及汲極電極層；以

及

接觸於與該閘極電極層重疊的該氧化物半導體膜的區域的絕緣膜，該絕緣膜覆蓋該源極電極層及該汲極電極層，

其中，殘留物殘留在該氧化物半導體膜的表面上，該表面與該絕緣膜接觸，

並且，該表面的該殘留物的面密度為 1×10^{13} atoms/cm² 以下。

2. 一種半導體裝置，包括：

包括絕緣表面的基板；

該絕緣表面上的閘極電極層；

該閘極電極層上的閘極絕緣膜；

該閘極絕緣膜上的氧化物半導體膜；

該氧化物半導體膜上的源極電極層及汲極電極層；以

及

接觸於與該閘極電極層重疊的該氧化物半導體膜的區域的絕緣膜，該絕緣膜覆蓋該源極電極層及該汲極電極

105年4月21日修正替換頁

層，

其中，殘留物殘留在該閘極電極層的表面上，

並且，該表面的該殘留物的面密度為 $1 \times 10^{13} \text{ atoms/cm}^2$ 以下。

3. 一種半導體裝置，包括：

包括絕緣表面的基板；

該絕緣表面上的閘極電極層；

該閘極電極層上的閘極絕緣膜；

該閘極絕緣膜上的氧化物半導體膜；

該氧化物半導體膜上的源極電極層及汲極電極層；以及

接觸於與該閘極電極層重疊的該氧化物半導體膜的區域的絕緣膜，該絕緣膜覆蓋該源極電極層及該汲極電極層，

其中，殘留物殘留在該氧化物半導體膜的表面上及該閘極電極層的表面上，該氧化物半導體膜的該表面與該絕緣膜接觸，

該氧化物半導體膜的該表面的該殘留物的面密度為 $1 \times 10^{13} \text{ atoms/cm}^2$ 以下，

並且，該閘極電極層的該表面的該殘留物的面密度為 $1 \times 10^{13} \text{ atoms/cm}^2$ 以下。

4. 根據申請專利範圍第 1~3 項中任一項之半導體裝置，其中該殘留物是氮、氟、硼、磷、鋁、鐵或碳。

5. 根據申請專利範圍第 1~3 項中任一項之半導體裝

置，其中該氧化物半導體膜具有結晶-非晶混合相結構。

6. 根據申請專利範圍第 1~3 項中任一項之半導體裝置，其中該閘極電極層包含鉬、鈦、鉭、鎢、鋁、銅、鉻、釷以及銦中的至少一個。

7. 根據申請專利範圍第 1~3 項中任一項之半導體裝置，其中該閘極電極層包括包含氧化鎢的銦氧化物、包含氧化鈦的銦氧化物、銦錫氧化物、包含氧化鈦的銦錫氧化物、添加有氧化矽的銦錫氧化物、銦鋅氧化物或包含氧化鎢的銦鋅氧化物。

8. 根據申請專利範圍第 1~3 項中任一項之半導體裝置，其中與該閘極絕緣膜接觸的該閘極電極層包括包含氮的 In-Ga-Zn 類氧化物膜、包含氮的 In-Sn 類氧化物膜、包含氮的 In-Ga 類氧化物膜、包含氮的 In-Zn 類氧化物膜、包含氮的氧化錫膜、包含氮的氧化銦膜、InN 或 SnN。

9. 根據申請專利範圍第 1~3 項中任一項之半導體裝置，其中該半導體裝置是電光裝置、半導體電路或電子裝置。

10. 根據申請專利範圍第 1~3 項中任一項之半導體裝置，其中該源極電極層及該汲極電極層係電連接到該氧化物半導體膜。

11. 一種用於製造半導體裝置的方法，包括以下步驟：

在絕緣表面上形成閘極電極；

在該閘極電極上形成閘極絕緣膜；

在該閘極絕緣膜上形成氧化物半導體膜；

在該氧化物半導體膜上形成導電膜；

藉由使用包含鹵素的氣體蝕刻該導電膜，形成源極電極及汲極電極；以及

在形成該源極電極及該汲極電極的該步驟之後，去除該氧化物半導體膜上的殘留物。

12. 一種用於製造半導體裝置的方法，包括以下步驟：

在絕緣表面上形成導電膜；

藉由使用包含鹵素的氣體蝕刻該導電膜，形成閘極電極；

去除該閘極電極上的殘留物；

在去除該閘極電極上的該殘留物的該步驟之後，在該閘極電極上形成閘極絕緣膜；

在該閘極絕緣膜上形成氧化物半導體膜；以及

在該氧化物半導體膜上形成源極電極及汲極電極。

13. 一種用於製造半導體裝置的方法，包括以下步驟：

在絕緣表面上形成第一導電膜；

藉由使用包含鹵素的氣體蝕刻該第一導電膜，形成閘極電極；

去除該閘極電極上的殘留物；

在去除該閘極電極上的該殘留物的該步驟之後，在該閘極電極上形成閘極絕緣膜；

在該閘極絕緣膜上形成氧化物半導體膜；

在該氧化物半導體膜上形成第二導電膜；

藉由使用包含鹵素的氣體蝕刻該第二導電膜，形成源極電極及汲極電極；以及

在形成該源極電極及該汲極電極的該步驟之後，去除該氧化物半導體膜上的殘留物。

14. 根據申請專利範圍第 11~13 項中任一項之用於製造半導體裝置的方法，其中去除該殘留物的該步驟係由電漿處理完成。

15. 根據申請專利範圍第 11~13 項中任一項之用於製造半導體裝置的方法，其中去除該殘留物的該步驟係由使用溶液之處理完成。

16. 根據申請專利範圍第 11~13 項中任一項之用於製造半導體裝置的方法，其中該殘留物包含氮、氟、硼、磷、鋁、鐵及碳中的至少一個。

17. 根據申請專利範圍第 11~13 項中任一項之用於製造半導體裝置的方法，其中該氧化物半導體膜包含銻。

18. 根據申請專利範圍第 11~13 項中任一項之用於製造半導體裝置的方法，其中該閘極電極包含鉬、鈦、鉭、鎢、鋁、銅、鉻、釷以及鈳中的至少一個。

19. 一種半導體裝置，包括：

包括絕緣表面的基板；

該絕緣表面上的閘極電極層；

該閘極電極層上的閘極絕緣膜；

該閘極絕緣膜上的氧化物半導體膜；

該氧化物半導體膜上的源極電極層及汲極電極層；以
及

與該閘極電極層重疊的該氧化物半導體膜的區域上並
與其接觸的絕緣膜，

其中，硼存在於該氧化物半導體膜的表面上，該表面
與該絕緣膜接觸，

並且，該硼的濃度為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下。

20. 根據申請專利範圍第 19 項之半導體裝置，其中該
硼的該濃度為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下。

21. 一種半導體裝置，包括：

包括絕緣表面的基板；

該絕緣表面上的閘極電極層；

該閘極電極層上的閘極絕緣膜；

該閘極絕緣膜上的氧化物半導體膜；

該氧化物半導體膜上的源極電極層及汲極電極層；以
及

與該閘極電極層重疊的該氧化物半導體膜的區域上並
與其接觸的絕緣膜，

其中，鋁存在於該氧化物半導體膜的表面上，該表面
與該絕緣膜接觸，

並且，該鋁的濃度為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下。

22. 根據申請專利範圍第 21 項之半導體裝置，其中該
鋁的該濃度為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下。

23. 根據申請專利範圍第 19~22 項中任一項之半導體裝置，其中該氧化物半導體膜的側面係與該源極電極層及該汲極電極層中的一個接觸，

並且，該絕緣膜係位於該源極電極層及該汲極電極層上。

圖 1A

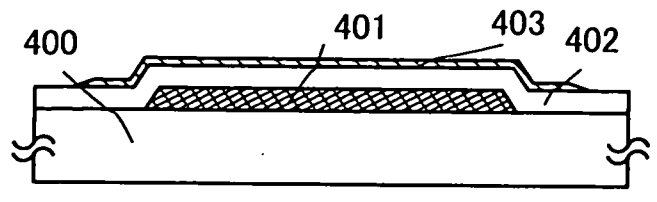


圖 1B

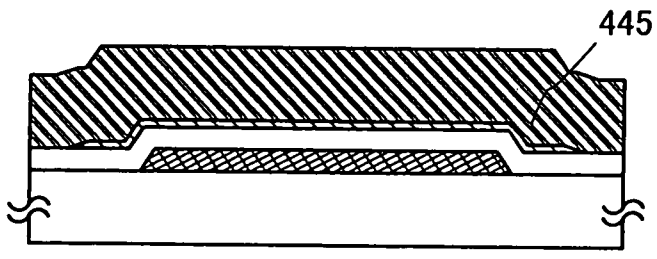


圖 1C

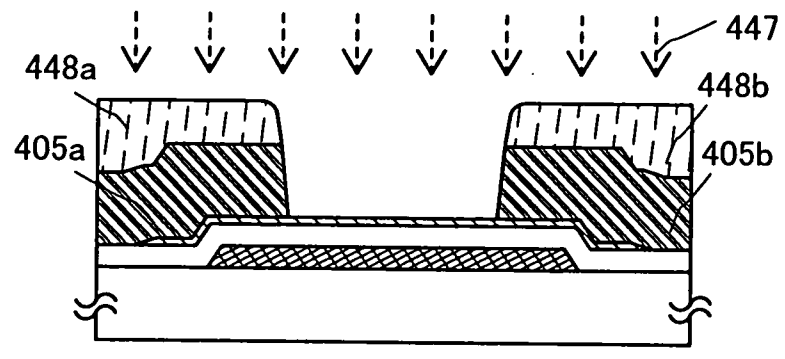


圖 1D

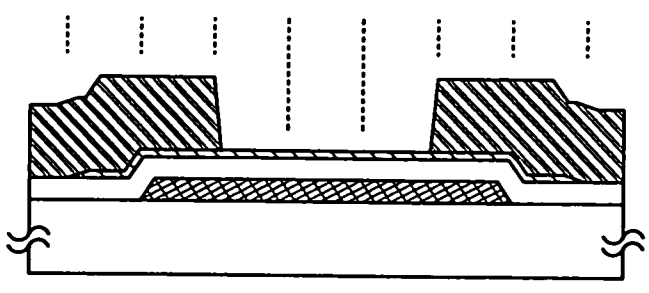


圖 1E

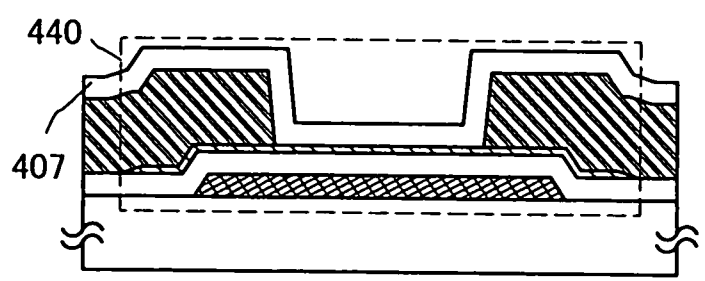


圖 2A

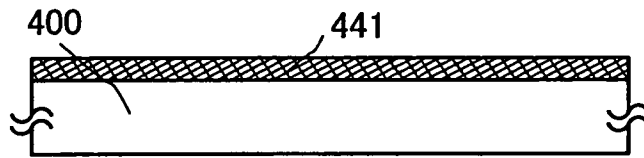


圖 2B

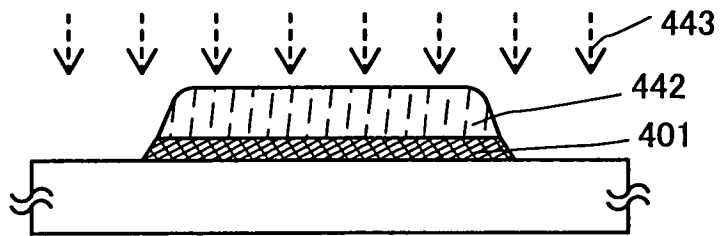


圖 2C

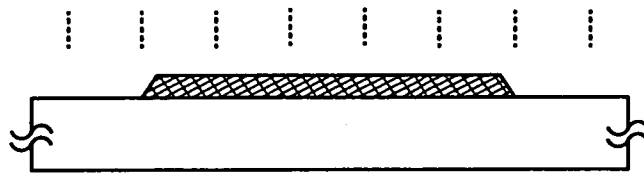


圖 2D

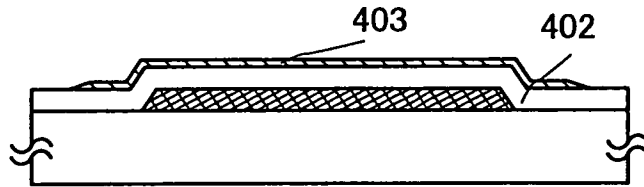


圖 2E

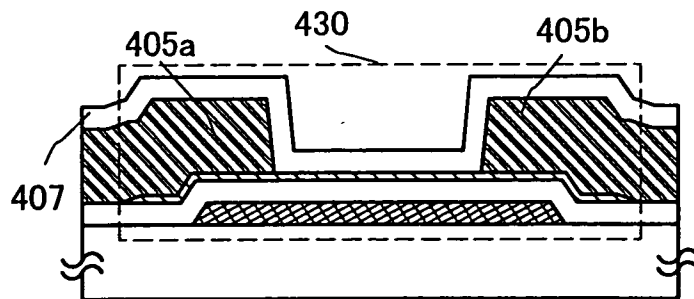


圖 3A

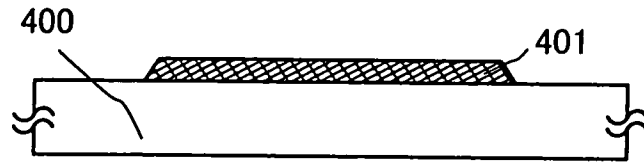


圖 3B

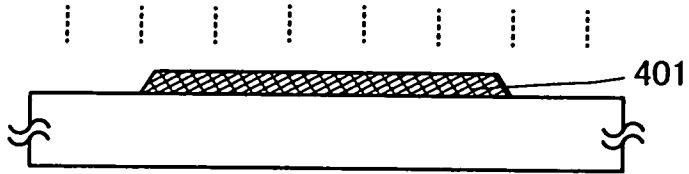


圖 3C

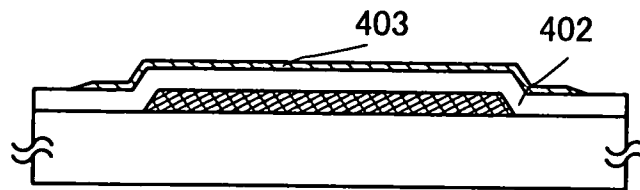


圖 3D

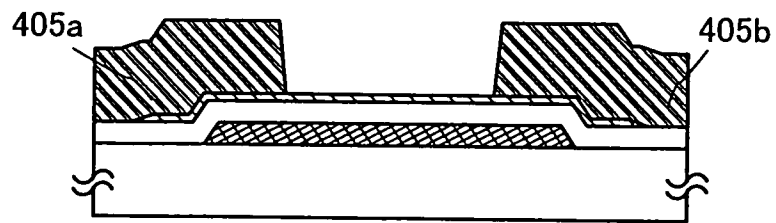


圖 3E

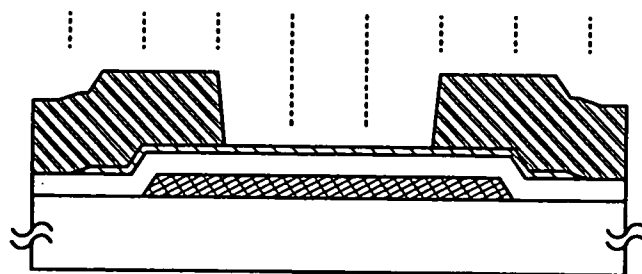


圖 3F

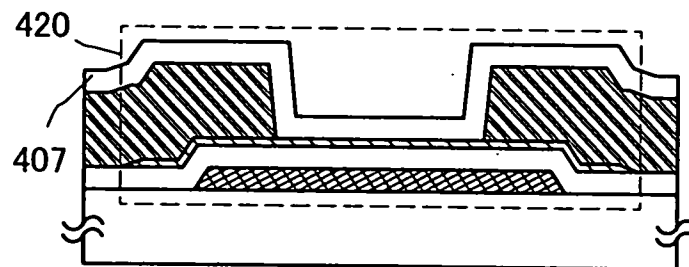


圖 4A

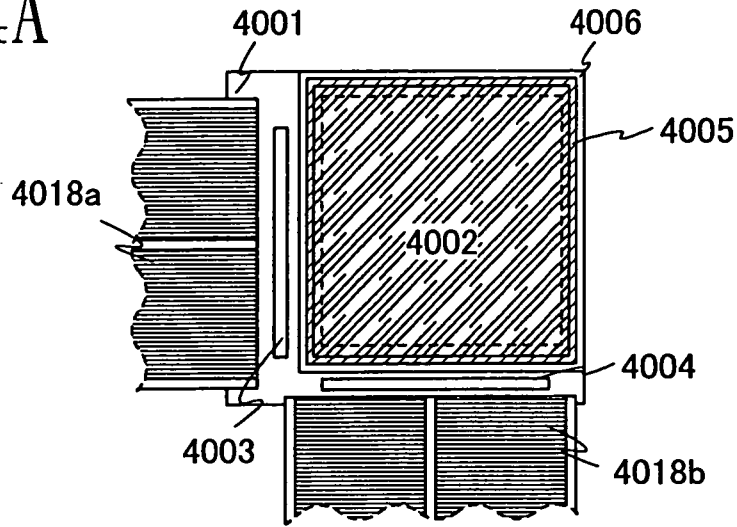


圖 4B

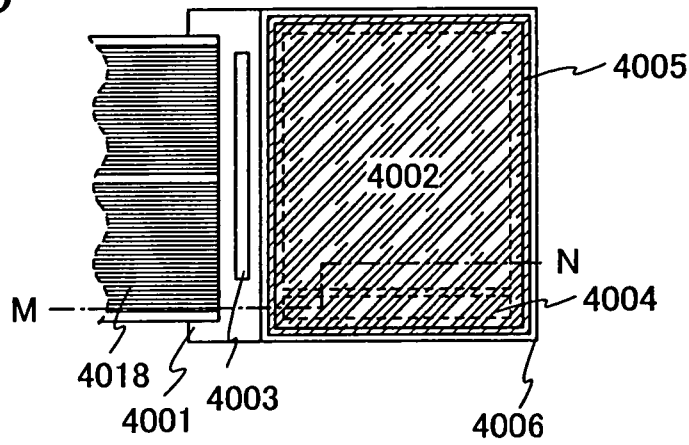


圖 4C

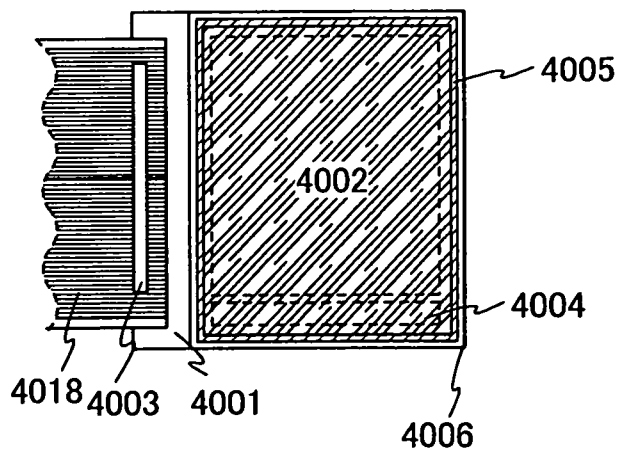


圖5A

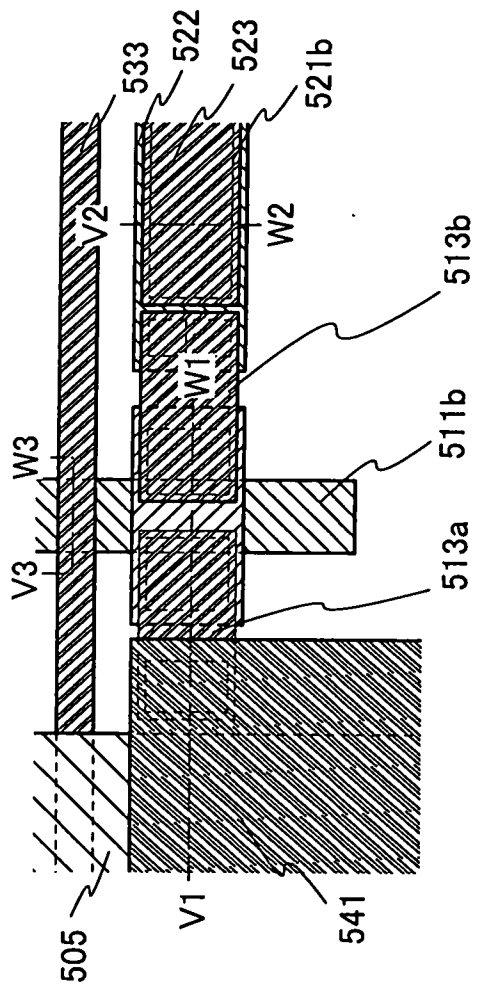


圖5B

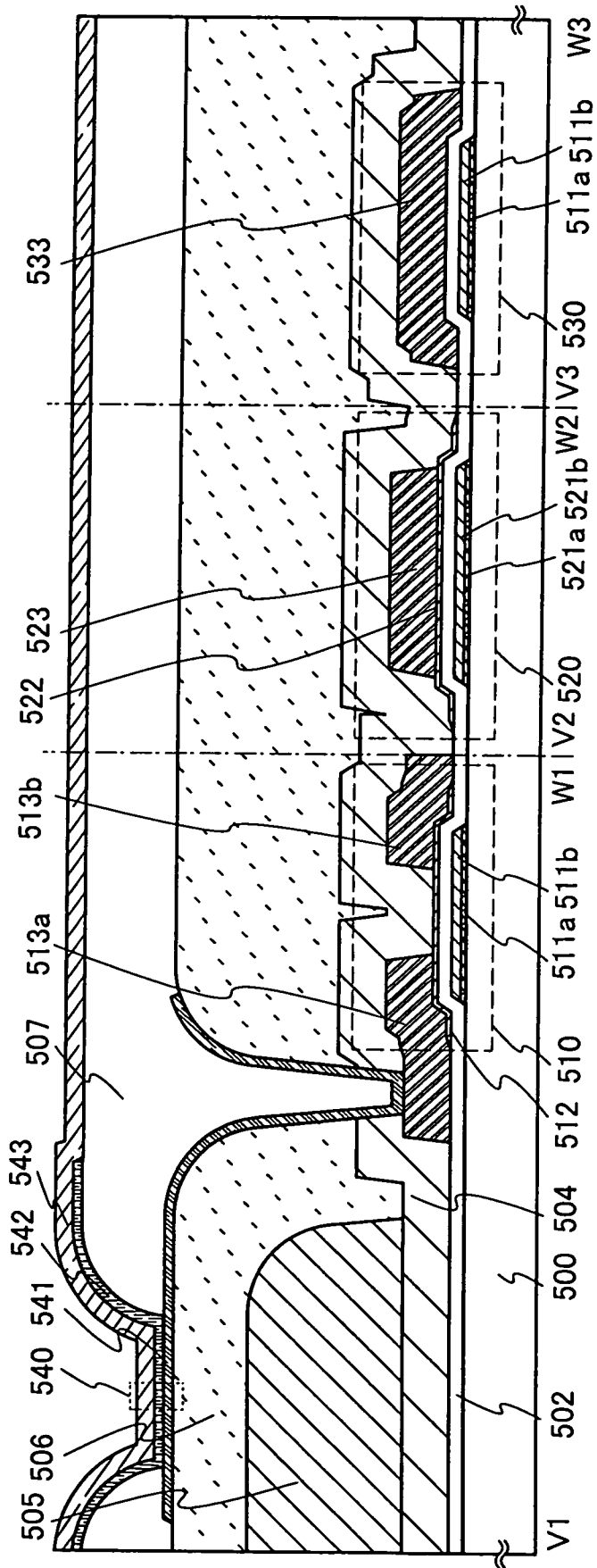


圖 6A

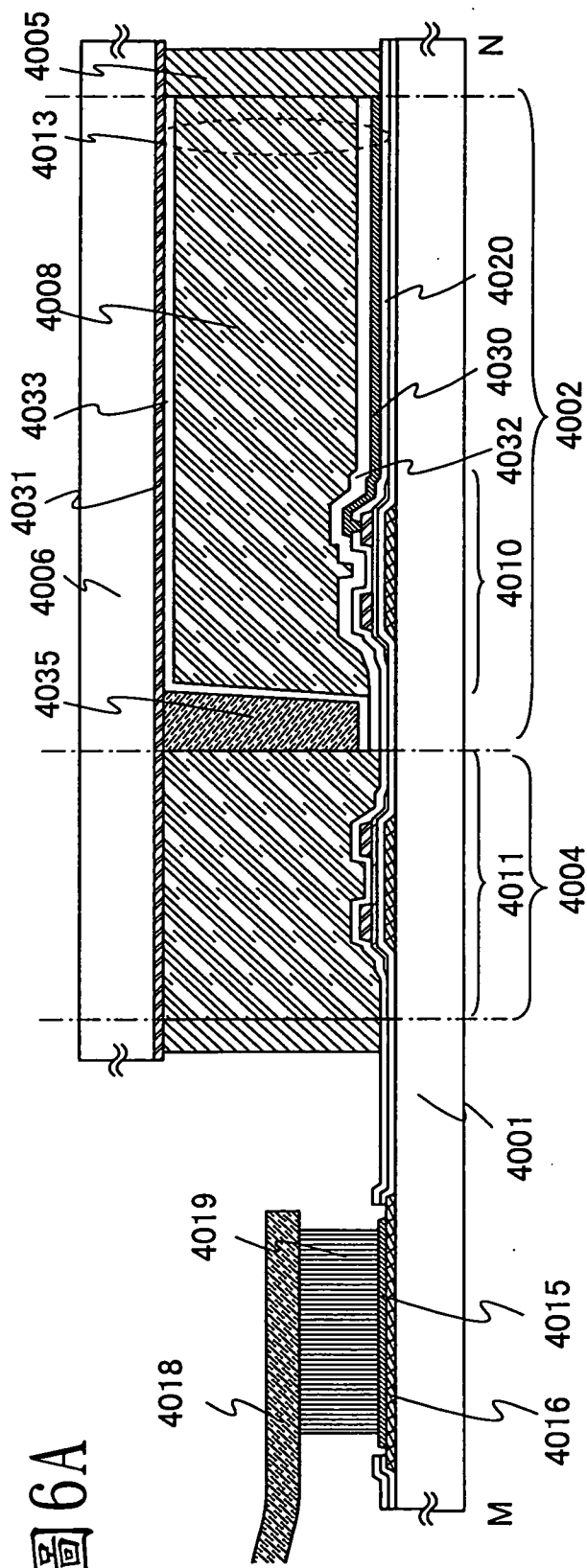


圖 6B

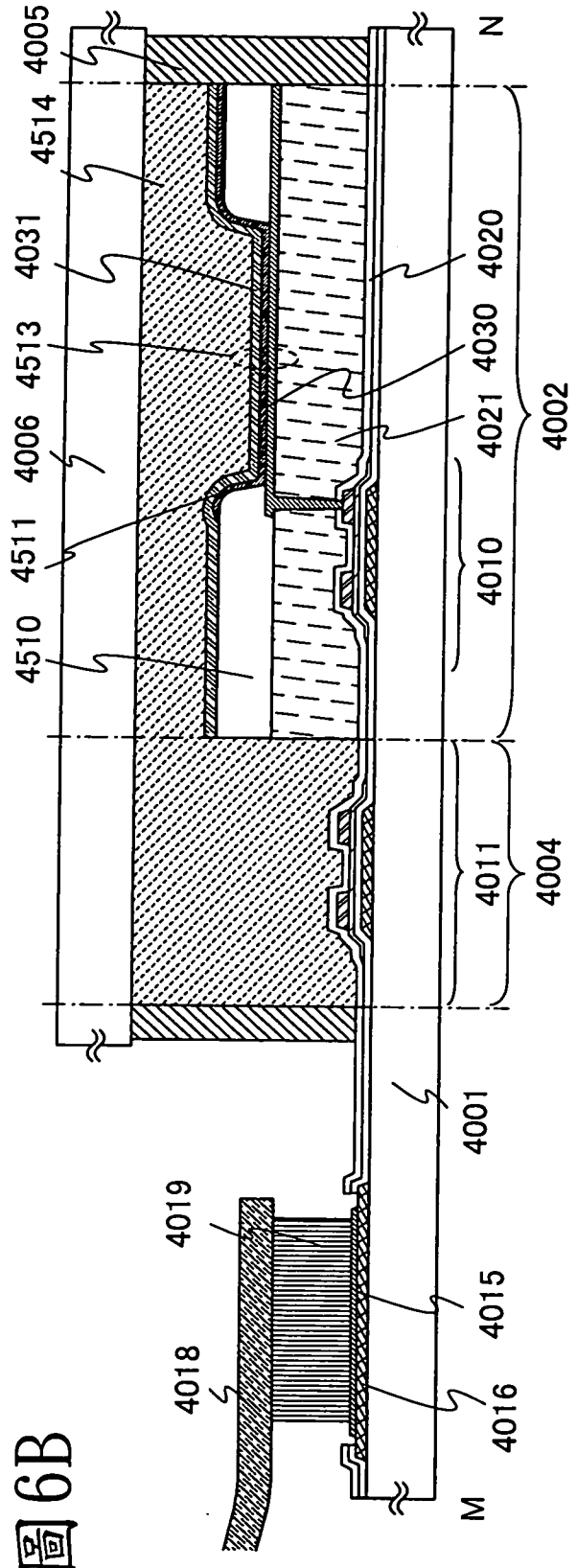


圖 7A

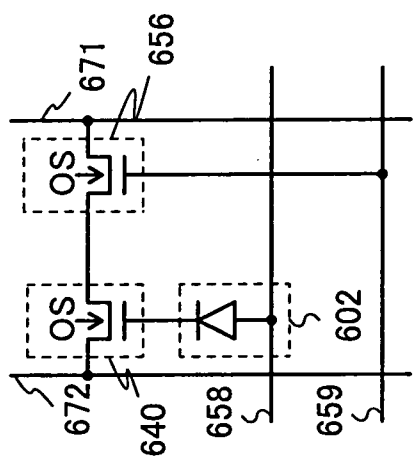


圖 7B

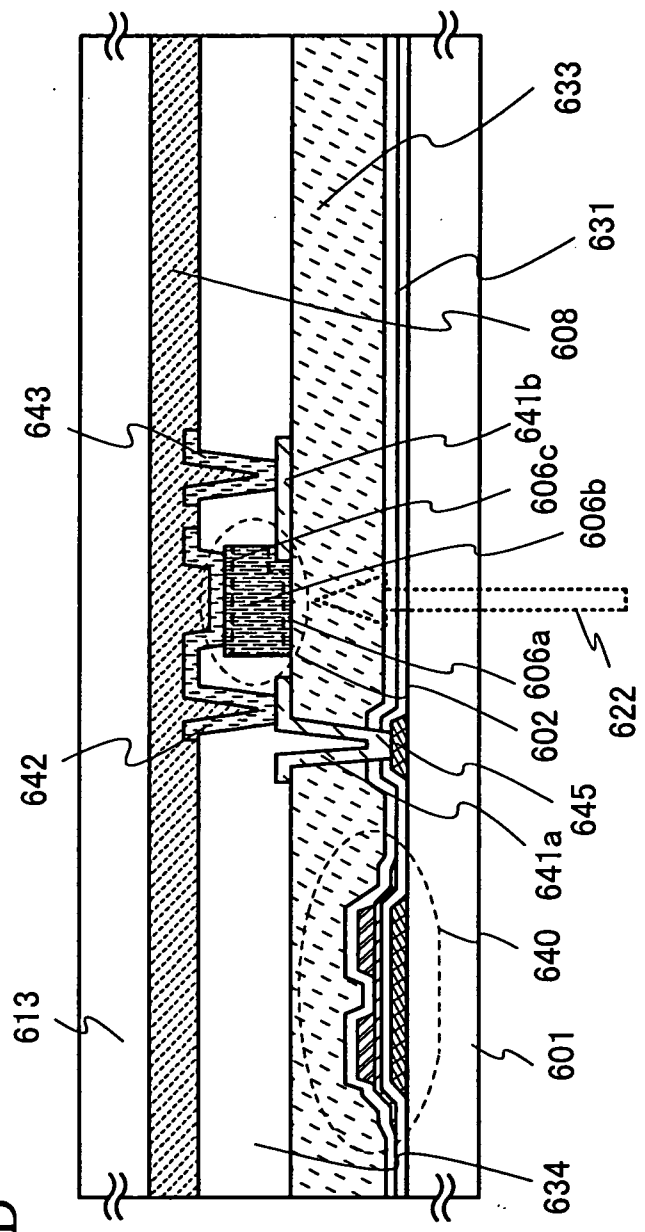


圖 8A

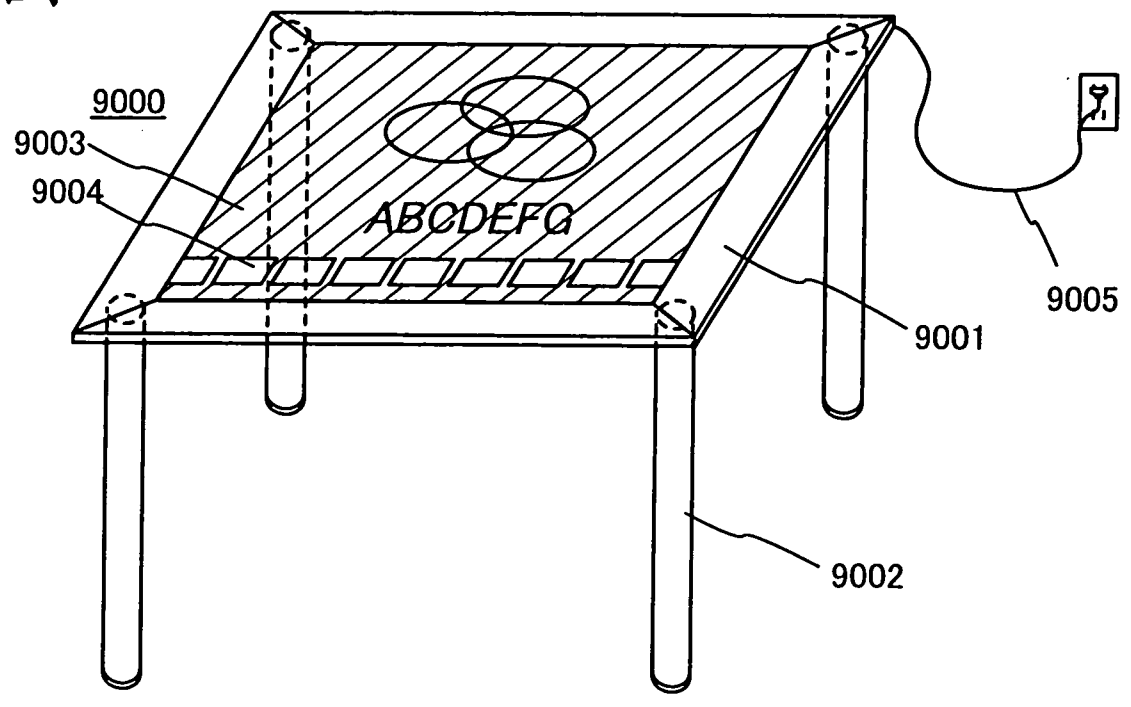


圖 8B

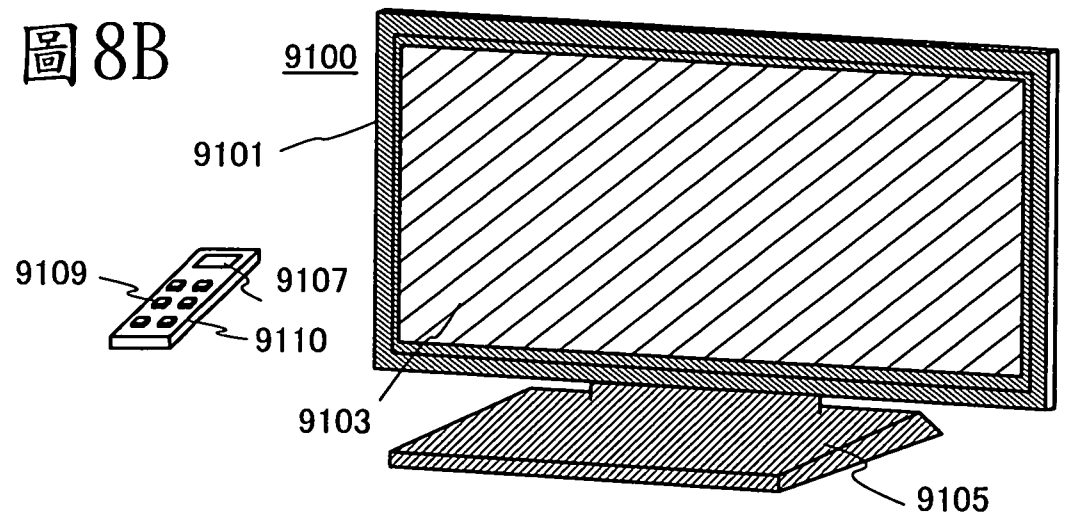


圖 8C

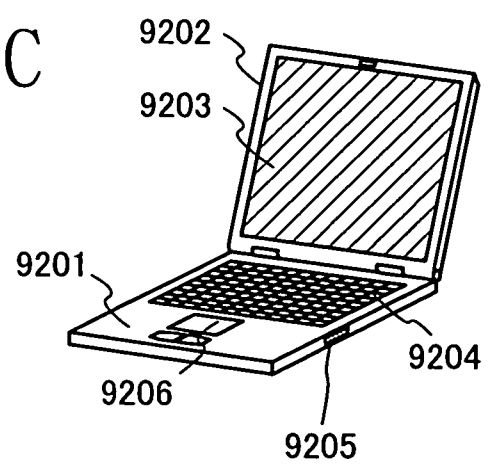


圖 9A

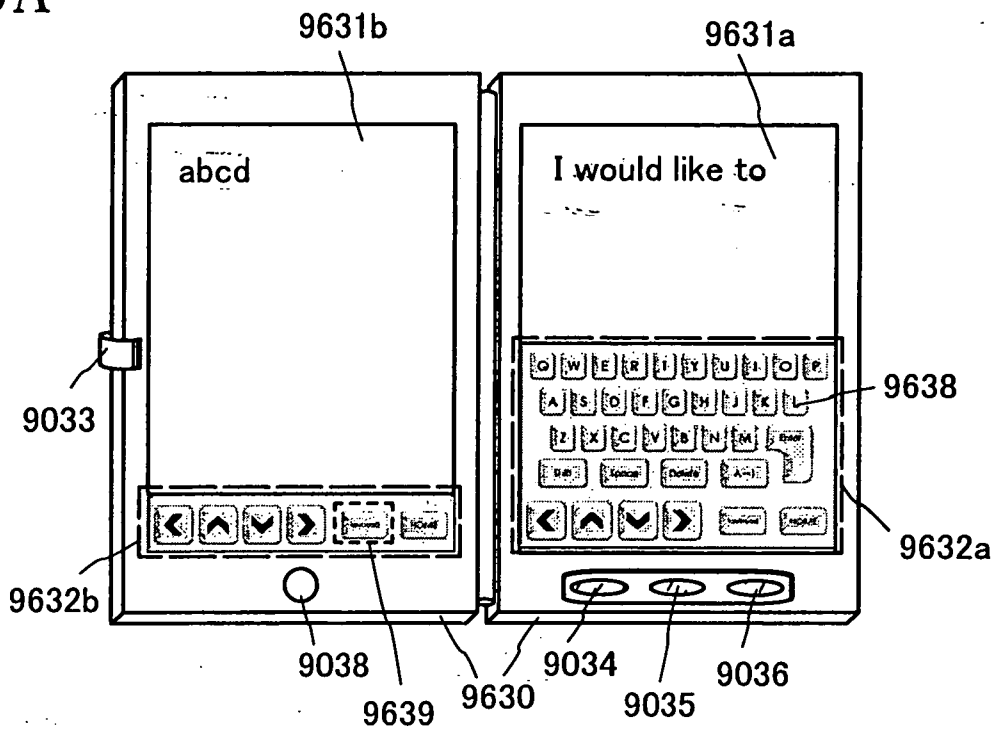


圖 9B

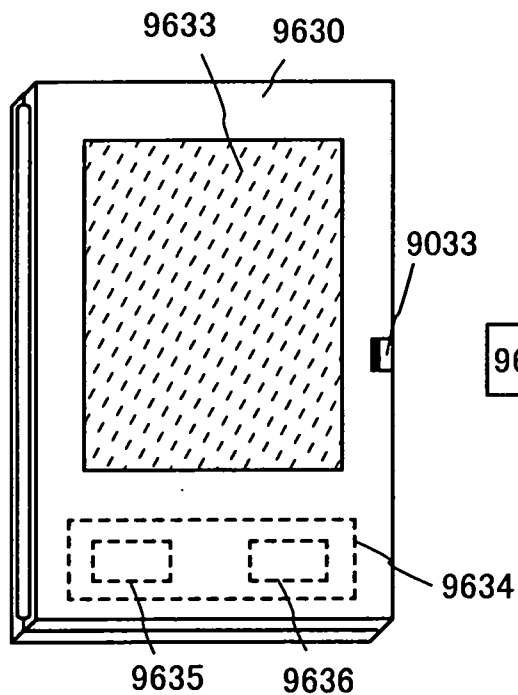


圖 9C

