

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4928683号
(P4928683)

(45) 発行日 平成24年5月9日(2012.5.9)

(24) 登録日 平成24年2月17日(2012.2.17)

(51) Int.Cl. F 1
G 0 6 F 13/28 (2006.01) G 0 6 F 13/28 3 1 0 P

請求項の数 11 (全 17 頁)

(21) 出願番号	特願2001-201337 (P2001-201337)	(73) 特許権者	594154428 エイアールエム リミテッド
(22) 出願日	平成13年7月2日(2001.7.2)		イギリス国 シービー1 9エヌジェイ
(65) 公開番号	特開2002-55941 (P2002-55941A)		ケンブリッジ, チェリー ヒントン, フル
(43) 公開日	平成14年2月20日(2002.2.20)		バーン ロード 110
審査請求日	平成19年8月16日(2007.8.16)	(74) 代理人	100066692 弁理士 浅村 皓
(31) 優先権主張番号	0017531.5	(74) 代理人	100072040 弁理士 浅村 肇
(32) 優先日	平成12年7月17日(2000.7.17)	(74) 代理人	100094673 弁理士 林 拓三
(33) 優先権主張国	英国 (GB)	(74) 代理人	100107467 弁理士 員見 正文

最終頁に続く

(54) 【発明の名称】 データ処理装置

(57) 【特許請求の範囲】

【請求項1】

プロセッサを含む第一マスタ論理ユニットを複数個のスレーブ論理ユニットと接続して前記第一マスタ論理ユニットが前記スレーブ論理ユニットのいずれか一つに第一転送請求を発行することを可能にする第一バスと、

前記第一バスに接続されていない第二マスタ論理ユニットを前記複数個のスレーブ論理ユニットのサブセットと接続して前記第二マスタ論理ユニットが前記サブセット内の前記スレーブ論理ユニットのいずれか一つに第二転送請求を発行することを可能にする第二バスであって、前記複数個のスレーブ論理ユニットの少なくとも一つは前記サブセットに含まれず前記第二マスタ論理ユニットからアクセスできない、前記第二バスと、

前記サブセット内の各スレーブ論理ユニットと関連し且つ切り換え論理を含むスレーブインターフェイス機構であって、前記第一バスと前記第二バスのいずれか一方を前記対応するスレーブ論理ユニットに接続して前記第一転送請求と前記第二転送請求のいずれか一方が前記対応するスレーブ論理ユニットに経路設定されることを可能にするスレーブインターフェイス機構、

を有することを特徴とするデータ処理装置。

【請求項2】

前記スレーブインターフェイス機構は、スレーブ論理ユニットが前記第一及び第二転送請求の内の一方を既に処理しつつあり他方の請求が前記スレーブ論理ユニットに発行された場合、所定の条件を適用して前記第一及び第二転送請求の前記対応する前記スレーブ論理

ユニットへの前記経路設定を制御するアービトレーション制御ユニットを備えることを特徴とする請求項 1 記載のデータ処理装置。

【請求項 3】

前記第一及び第二転送請求はバースト転送請求であり、各バースト転送請求は複数個の順次転送請求により後続される一個の非順次転送請求を備え、更に前記アービトレーション制御ユニットにより適用される前記所定条件は、前記マスタ論理ユニットの内の一個からの一個の非順次転送請求の発行に際して、前記スレーブインターフェイス機構は前記非順次転送請求の前記スレーブ論理ユニットへの経路設定を前記スレーブ論理ユニットにより既に処理されつつある任意のバースト転送請求の処理が完了するまで延期することである、請求項 2 記載のデータ処理装置。

10

【請求項 4】

前記スレーブ論理ユニットは現行の転送請求が処理されたことを確認する確認応答信号を発行し、各マスタ論理ユニットは前記確認応答信号の受信を待って引き続き転送請求を発行し、前記アービトレーション制御ユニットは前記延期された非順次転送請求を発行した前記マスタ論理ユニットへの前記確認応答信号の出力を差し控えて、前記スレーブ論理ユニットが前記非順次転送請求を受信可能になるまで前記マスタ論理ユニットが前記非順次転送請求をアサートし続けることを保証する、ことを特徴とする請求項 3 記載のデータ処理装置。

【請求項 5】

前記第一及び第二転送請求はバースト転送請求であり、各バースト転送請求は複数個の順次転送請求により後続される一個の非順次転送請求を備え、更に前記アービトレーション制御ユニットにより適用される前記所定条件は、前記マスタ論理ユニットの内の一個からの一個の非順次転送請求の発行に際して、前記スレーブインターフェイス機構は前記スレーブ論理ユニットにより既に処理されつつある任意のバースト転送請求の処理完了を待つことなく前記非順次転送請求を前記スレーブ論理ユニットへ経路設定するというものである、請求項 2 記載のデータ処理装置。

20

【請求項 6】

各マスタ論理ユニットは、各転送請求の一部として転送請求のタイプを指示する制御信号を発行し、前記アービトレーション制御ユニットは前記制御信号が前記対応するスレーブ論理ユニットに出力される以前に前記制御信号を操作して一個のバースト転送請求が複数個のより短い長さのバースト転送請求に分割されることを可能にする、ことを特徴とする請求項 5 記載のデータ処理装置。

30

【請求項 7】

前記所定条件は各マスタ論理ユニットに対する相対的優先権を特定し、更にこの優先権情報は前記アービトレーション制御ユニットにより使用されて、前記マスタ論理ユニットの内の一個からの一個の非順次転送請求の発行に際して前記スレーブ論理ユニットにより既に処理されつつあるバースト転送請求に割り込みを掛けるか否かを決定する、ことを特徴とする請求項 5 記載のデータ処理装置。

【請求項 8】

前記所定条件は一個のバースト転送請求の最大長を特定し、前記マスタ論理ユニットの内の一個からの一個の非順次転送請求の発行に際して前記スレーブ論理ユニットにより既に処理されつつある一個のバースト転送請求が前記最大長に到達している場合には、前記スレーブインターフェイス機構は前記スレーブ論理ユニットにより既に処理されつつある前記バースト転送請求の処理完了を待つことなく前記非順次転送請求を前記スレーブ論理ユニットへ経路設定する、ことを特徴とする請求項 5 記載のデータ処理装置。

40

【請求項 9】

前記スレーブインターフェイス機構はバッファを備え、前記バッファは前記マスタ論理ユニットの一個から前記対応するスレーブ論理ユニットへ発行されたある一個の転送請求を他の転送請求が前記スレーブ論理ユニットにより既に処理されつつある場合に一時的に格納する、ことを特徴とする請求項 1 記載のデータ処理装置。

50

【請求項 10】

前記スレーブインターフェイス機構はバッファを備え、前記バッファは前記マスタ論理ユニットの一個から前記対応するスレーブ論理ユニットへ発行されたある一個の転送請求を他の転送請求が前記スレーブ論理ユニットにより既に処理されつつある場合に一時的に格納し、更に前記非順次転送請求は第一クロックサイクルにおいて発行される第一部分と第二クロックサイクルにおいて発行される第二部分を備え、前記バッファは前記非順次転送請求の前記第一部分を格納し、前記アービトレーション制御ユニットは前記第二クロックサイクルにおいて前記延期された非順次転送請求を発行した前記マスタ論理ユニットへの前記確認応答信号の出力を差し控えて、前記スレーブ論理ユニットが前記非順次転送請求を受信可能になるまで前記マスタ論理ユニットが前記非順次転送請求の前記第二部分をアサートし続けることを保証する、ことを特徴とする請求項 4 記載のデータ処理装置。

10

【請求項 11】

請求項 1 記載のデータ処理装置用のスレーブインターフェイス機構であって、前記第一バスへの接続用の第一接続と、前記第二バスへの接続用の第二接続と、前記対応するスレーブ論理ユニットが前記スレーブインターフェイス機構に接続されることを可能にする第三接続、を含み、前記第一バス又は前記第二バスのいずれか一方を前記対応するスレーブ論理ユニットに接続して前記第一転送請求又は前記第二転送請求のいずれか一方が前記対応するスレーブ論理ユニットに経路設定されることを可能にする切り換え論理を備える、ことを特徴とするスレーブインターフェイス機構。

【発明の詳細な説明】

20

【0001】**【発明の属する技術分野】**

本発明は、データ処理装置及び、複数個のマスタ論理ユニットによる一個のスレーブ論理ユニットへのアクセス制御用スレーブインターフェイス機構、に関する。

【0002】**【従来の技術】**

一般的にはデータ処理装置は一本のバスを介して相互接続された複数個の論理ユニットを有し、データは該バスを介して該論理ユニット間を転送される。こうした転送を実行する為に、第一論理ユニットが第二論理ユニットに向けたデータ転送請求をバス上に出力する。次に、第二論理ユニットはバスから該転送請求を検索、取得し、転送請求を処理する為の適切な動作を実行する。転送請求を送信するように設計された論理ユニットは「マスタ」論理ユニットと呼ばれる。一方、こうした転送請求の受信手になるように設計された論理ユニットは「スレーブ」論理ユニットと呼ばれる。

30

【0003】

こうしたデータ処理装置は図 1 に図示されており、ここで、該データ処理装置はマイクロコントローラチップ型式であると考えて良い。該チップは主システムバス 200 に接続された複数個のマスタ論理ユニットを有する。即ち、テストコントローラ（以後、テストインターフェイスコントローラ（TIC）と呼ぶ）100、中央処理ユニット（CPU）110、及び直接メモリアクセス（DMA）コントローラ 120、である。一般にバス信号は該バスに接続された該複数個のマスタ論理ユニットにより共有されるという事実により、任意の特定時点でマスタ論理ユニットの内の一個のみがシステムバスへのアクセスを許容される。従って、該様々なマスタ論理ユニットによるシステムバスへのアクセスを制御する為に、アービタ 130 が設置される。ある一個のマスタ論理ユニットがシステムバス 200 へのアクセスを所望する場合、それはバス請求信号を該アービタ 130 に発行する。しかしながら、任意の特定時点でアービタが一個以上のバス請求信号を受信した場合には、アービタは所定の優先条件を適用してどのマスタ論理ユニットがシステムバス 200 へのアクセスを獲得すべきかを決定する。バスへのアクセスを請求する全てのマスタ論理ユニットの中で最大の優先権を有するマスタ論理ユニットに対して、アービタ 130 はアクセスを許容する。

40

【0004】

50

図1の例では、主システムバス200に接続された六個のスレーブ論理ユニットが存在し得る。即ち、外部SRAM又はROMへのインターフェイスとして動作するスタティックメモリアンターフェイス(SMI)140、内部ROMメモリ150、内部RAMメモリ160、外部SDRAMへのインターフェイスとして動作するSDRAMコントローラ190、及び2個の周辺バスサブシステム170、180、である。該第一周辺バスサブシステム170はDMAを必要としない周辺装置に装備され、一方、該第二周辺バスサブシステム180はDMAを必要とする周辺装置に装備される。一般に各周辺バスサブシステムはブリッジを介してメインバス200に接続された一本の周辺バスから構成され、該個々の周辺装置は該周辺バスと接続される、ことが関連技術に習熟している人には理解されよう。周辺バスと接続された個々の周辺装置はスレーブ論理ユニットとなるが、該周辺バスサブシステムの総体はメインバス200に接続された単一のスレーブ論理ユニットと論理的には考え得る、ことも関連技術に習熟している人には理解されよう。

10

【0005】

【発明が解決しようとする課題】

図1におけるアプローチの一つの特徴は、このアプローチにより全マスタ論理ユニットがシステム内の全スレーブ論理ユニットに単一のバスを介してアクセス可能になる、ことである。しかしながらこの簡潔な融通性を実現する為に、図1のアーキテクチャは該アービタを使用して以下の条件を強制する。即ち、ある一個のマスタ論理ユニットが該バスへのアクセスを許容された場合、バスへのアクセスを請求している他のマスタ論理ユニットはこの現行マスタ論理ユニットがその転送を終了するまで待機せねばならない。この条件は該データ処理装置の処理速度に対する制限因子になる、ことが理解されよう。

20

【0006】

【課題を解決するための手段】

第一態様において、第一マスタ論理ユニットを複数個のスレーブ論理ユニットと接続して該第一マスタ論理ユニットが該スレーブ論理ユニットのいずれか一つに第一転送請求を発行することを可能にする為の第一バスと、第二マスタ論理ユニットを該複数個のスレーブ論理ユニットのサブセットと接続して該第二マスタ論理ユニットが該サブセット内のスレーブ論理ユニットのいずれか一つに第二転送請求を発行することを可能にする為の第二バスと、該サブセット内の各スレーブ論理ユニットと関連し且つ切り換え論理を含むスレーブインターフェイス機構を備えるデータ処理装置であって、該切り換え論理は該第一バスと該第二バスのいずれか一方を該対応するスレーブ論理ユニットに接続して該第一転送請求と該第二転送請求のいずれか一方が該対応するスレーブ論理ユニットに経路設定されることを可能にする、ことを特徴とするデータ処理装置、を本発明は提供する。

30

【0007】

ある幾つかのマスタ論理ユニットは利用可能なスレーブ論理ユニットのあるサブセットにアクセスするのみで充分であり、従って全マスタ論理ユニットがシステム内の全スレーブ論理ユニットにアクセス可能になる必要はない、ことが本発明に従って多くの実用的実装において実現された。この事実は、先述した図1の例に関して例示し得る。

【0008】

通常動作中に主システムバス200を用いる二個のマスタ論理ユニット、即ちCPU110及びDMAコントローラ120、が存在することが関連技術に習熟している人には理解されよう。通常動作中に、DMAコントローラ120は外部SDRAMと該DMA可能周辺装置間でデータを転送し得て、その為にスレーブ論理ユニット180、190を使用する。CPU110は一般的には、その命令とデータを主に内部メモリ(RAM/ROM)及び外部SRAMから取り出す。いずれの場合も、CPUはスレーブ論理ユニット140、150、及び160へのアクセスを必要とする。CPUは又、スレーブ論理ユニット190を介して外部SDRAMからのデータにアクセスすることも可能である。更に実際CPU110は、内部レジスタにアクセスしスレーブ論理ユニット180を介してDMA可能周辺装置上で割り込み処理を遂行する必要がある。

40

【0009】

50

従って、CPU110はスレーブ論理ユニット180、190にアクセスする必要があり得るが、他方CPU110はその時間の多くをスレーブ論理ユニット140、150、160、及び恐らく170へのアクセスに費やす可能性が高い、ことが理解される。一方、DMAコントローラ120は、通常動作中にはスレーブ論理ユニット180、190へのアクセスを所望するのみである。アービタ130は、任意の特定時点で唯一のマスタ論理ユニットに主システムバス200へのアクセスを許容することにより、スレーブ論理ユニットへのアクセス間に衝突が発生しないことを保証する。しかしながら、この条件は該データ処理装置の総体的効率をまさしく制限してしまう、なぜならば一回に処理され得る転送請求は唯一個であるからである。従って、異なるマスタ論理ユニットが異なるスレーブ論理ユニットへのアクセスを所望する場合でさえ、実際にはアクセス間の衝突問題は発生しない。

10

【0010】

従って本発明に従い、全マスタ論理ユニットを全スレーブ論理ユニットと接続する為の単一バスを設置するよりむしろ、マスタ論理ユニットの少なくとも一個を複数のスレーブ論理ユニットのサブセットと接続する為の付加的バスを設置する。すると、該第一バスは、複数のスレーブ論理ユニットを任意の複数のマスタ論理ユニットと接続する為に使用される。ここに、該任意の複数のマスタ論理ユニットは、該第二バスに接続された該スレーブ論理ユニットのサブセット以上のスレーブ論理ユニットへのアクセスを請求する。他方、該第二バスは好適には、該スレーブ論理ユニットのサブセットを任意の複数のマスタ論理ユニットと接続する為に使用される。ここに、該任意の複数のマスタ論理ユニットは、該スレーブ論理ユニットのサブセットへのアクセスを請求するのみである。

20

【0011】

この構成は、スレーブ論理ユニットのサブセットが第一又は第二バスのいずれか一方に接続され得ることを要求する。従って、該サブセット内の各スレーブ論理ユニットと関連し且つ第一又は第二バスのいずれか一方を対応するスレーブ論理ユニットに接続する切り換え論理を含むスレーブインターフェイス機構、を本発明は提供する。このアプローチにより、第一及び第二バス上の両マスタ論理ユニットからの転送請求は、必要に応じて且つ必要な時に該対応するスレーブ論理ユニットに経路設定され得る。このアプローチの顕著な利点は、一個以上のマスタ論理ユニットがスレーブ論理ユニットのサブセットへのアクセスを請求するのみである実装において、並行転送が遂行可能である点である。その理由は、こうしたマスタ論理ユニットは該サブセット内のスレーブ論理ユニットにアクセスするが、他方、他のマスタ論理ユニットは他のスレーブ論理ユニットにアクセスし得る、からである。

30

【0012】

マスタ論理ユニットの少なくとも一個を第一バスではなく代わりに第二バスに接続する際に生ずる一つの問題は、様々なマスタ論理ユニット間の該アービトレーションがより複雑になる、ことである。第一バス上のマスタ論理ユニットに接続された任意のアービタは第二バスに接続された任意のマスタ論理ユニットを制御し得ない、ことは明らかであろう。同様に、第二バス上の一個以上のマスタ論理ユニットに接続された任意のアービタは、第一バス上のマスタ論理ユニットによるスレーブ論理ユニットへのアクセスを制御し得ない、ことは明らかであろう。第一バス上のアービタが第二バス上の任意のアービタと交信して衝突アクセスの発生を防止する、という機構の構築は複雑な問題であることが理解されよう。しかしながら、好適実施例では、この問題は各スレーブインターフェイス機構にアービトレーション制御ユニットを設置することにより解決される。該アービトレーション制御ユニットは、所定の条件を適用して第一及び第二転送請求の対応するスレーブ論理ユニットへの経路設定を制御する。この場合、該対応するスレーブ論理ユニットは第一及び第二転送請求の内的一方を既に処理しつつあり、他方の転送請求は該スレーブ論理ユニットに対して発行された瞬間である、という状況である。このアービトレーション制御ユニットの設置により、該衝突アクセス問題に対する有効にして単純な解決が提供される。この設置なくしては、全てのマスタ論理ユニットが単一のアービタによって制御されていな

40

50

いこの結果として、衝突問題が生じているであろう。

【 0 0 1 3 】

好適実施例において、第一及び第二転送請求はバースト転送請求であり、各バースト転送請求は複数個の順次転送請求により後続される一個の非順次転送請求を含む。更に、該アービトレーション制御ユニットにより適用される該所定条件は、以下の方式のものである。即ち、該マスタ論理ユニットの一個からのある非順次転送請求の発行に際して、スレーブインターフェイス機構はその非順次転送請求のスレーブ論理ユニットへの経路設定を延期し、この延期は該スレーブ論理ユニットにより既に処理されつつある任意のバースト転送請求の処理が完了するまで継続される。非順次転送請求はそのアドレスが先行転送と関係しない請求であり、一方、順次転送請求はそのアドレスが先行転送のアドレスに対する所定の増加関係に従う請求である、ことが関連技術に習熟している人には理解されよう。好適実施例では、各マスタ論理ユニットは、その転送請求の一部として転送が順次か非順次かを識別する制御信号を発行する。

10

【 0 0 1 4 】

非順次転送請求のスレーブ論理ユニットへの経路設定の延期は転送請求に関連して使用されるプロトコルに応じて複数個の方式があり得る、ことが理解されよう。しかしながら好適実施例では、スレーブ論理ユニットは現行の転送請求が処理されたことを確認する確認応答信号を発行し、各マスタ論理ユニットは該確認応答信号を受信してから次転送請求を発行する。更に、アービトレーション制御ユニットは、延期された非順次転送請求を発行したマスタ論理ユニットへの確認応答信号の出力を差し控えて、該スレーブ論理ユニットが該非順次転送請求を受信可能になるまで該マスタ論理ユニットが非順次転送請求をアサートし続けることを保証する。

20

【 0 0 1 5 】

第一転送請求の処理が次第一転送請求が処理される以前に完了するアービトレーションに対する上記のアプローチは、受動的なアービトレーションアプローチと考え得る。その理由は、様々なマスタ論理ユニット間の相対的優先権を考慮に入れることは何ら試みられておらず代わりに転送請求は先入れ先処理ベースで処理されている、からである。それにもかかわらず、この受動的なアービトレーションアプローチはスレーブインターフェイス機構の複雑性を軽減するものであり、一バーストの転送により生成される最大待ち時間 (l a t e n c y) が許容可能である状況且つ / 又 (例えば、 S D R A M コントローラにおけるように) スレーブの処理性能がバースト転送により最大化される状況、においては完全に満足すべきものであろう。

30

【 0 0 1 6 】

しかしながら代替的实施例において、より能動的なアービトレーションアプローチが採用され得て、バースト転送請求間でのアービトレーションを遂行する。特に一実施例において、アービトレーション制御ユニットにより適用される所定条件は、以下の方式のものである。即ち、マスタ論理ユニットの一個からのある非順次転送請求の発行に際して、該スレーブ論理ユニットにより既に処理されつつある任意のバースト転送請求の処理完了を待つことなく、スレーブインターフェイス機構はその非順次転送請求のスレーブ論理ユニットへの経路設定を実行する。

40

【 0 0 1 7 】

再び、こうしたアービトレーションアプローチが実装される方式はこうした転送請求に使用されるプロトコルに応じて変化する、ことが理解されよう。しかしながら好適実施例では、各マスタ論理ユニットは、各転送請求の一部として転送請求のタイプを指示する制御信号を発行する。更に、アービトレーション制御ユニットは、該制御信号が対応するスレーブ論理ユニットに出力される以前に該制御信号を操作して、一個のバースト転送請求が複数個のより短い長さのバースト転送請求に分割されることを可能にする。

【 0 0 1 8 】

ある実施例では、該所定条件は各マスタ論理ユニットに対する相対的優先権を特定する。更に、この優先権情報はアービトレーション制御ユニットにより使用されて、マスタ論理

50

ユニットの一個からのある非順次転送請求の発行に際して、該スレーブ論理ユニットにより既に処理されつつあるバースト転送請求に割り込みを掛けるか否か、を決定する。

【0019】

代替的又は追加的に、以下の方式で、該所定条件は一個のバースト転送請求の最大長を特定し得る。即ち、マスタ論理ユニットの一個からのある非順次転送請求の発行に際して、該スレーブ論理ユニットにより既に処理されつつある一個のバースト転送請求が該最大長に到達している場合には、該スレーブ論理ユニットにより既に処理されつつある該バースト転送請求の処理完了を待つことなく、スレーブインターフェイス機構はその非順次転送請求のスレーブ論理ユニットへの経路設定を実行する。最大長は適切な長さ、たとえば、1つの転送請求又は複数の転送請求である事が理解されるであろう。

10

【0020】

該最大長バースト転送請求の待ち時間が重大な問題になる場合、又は該接続されたスレーブでの処理性能がより短いバースト転送請求アクセスの実行により逆に妨害されない場合に、上記の能動的アービトレーションアプローチはより適切である、ことが理解されよう。

【0021】

上記のアービトレーション技術は採用され得る唯一のアービトレーション技術ではなく、実際、実装に応じて任意の適切なアービトレーションアプローチが採用され得る、ことも関連技術に習熟している人には理解されよう。

【0022】

好適実施例では、スレーブインターフェイス機構はバッファを含む。該バッファは、該マスタ論理ユニットの一個から該対応するスレーブ論理ユニットへ発行されるある転送請求を、他の転送請求が該スレーブ論理ユニットにより既に処理されつつある場合に、一時的に格納する。

20

【0023】

スレーブインターフェイス機構内でのバッファの利用は様々な状況において有用である、ことが証明される。例えば好適実施例では、一個の転送請求は、第一クロックサイクルにおいて発行される第一部分と第二クロックサイクルにおいて発行される第二部分、を含む。延期された非順次転送請求を発行したマスタ論理ユニットへの確認応答信号出力をアービトレーション制御ユニットが差し控える先述の受動的アービトレーションアプローチを考えると、該バッファは該非順次転送請求の第一部分を格納する。一方、アービトレーション制御ユニットは第二クロックサイクルにおいて、延期された非順次転送請求を発行したマスタ論理ユニットへの確認応答信号の出力を差し控える。これにより実際、以下のことが保証される。即ち、非順次転送請求の第一部分は、再発行される必要がない。一方、第二部分は、該スレーブ論理ユニットが該非順次転送請求を受信可能になるまでアサートされ続ける。

30

【0024】

第二局面において、本発明の該第一局面に従うデータ処理装置用のスレーブインターフェイス機構、を本発明は提供する。該スレーブインターフェイス機構は、該第一バスとの接続用の第一接続と、該第二バスとの接続用の第二接続と、該対応するスレーブ論理ユニットが該スレーブインターフェイス機構に接続されることを可能にする第三接続、を含む。該第一バスと該第二バスのいずれか一方を該対応するスレーブ論理ユニットに接続して該第一転送請求と該第二転送請求のいずれか一方が該対応するスレーブ論理ユニットに経路設定されることを可能にする切り換え論理、を該スレーブインターフェイス機構は含む。

40

【0025】

【実施例】

添付図面に図示された本発明の好適実施例を参照して、本発明を以下に単に例示として説明する。

図2は、本発明の好適実施例に従うデータ処理装置のブロック図である。本データ処理装置は、前述した図1のデータ処理装置と同一のマスタ論理ユニットとスレーブ論理ユニッ

50

トを有する。従って、図解の為、前述した図1の構成要素と同一の構成要素には同一の参照番号を付す。

【0026】

前述のように、ある幾つかのマスタ論理ユニットはしばしば、データ処理装置により提供される全スレーブ論理ユニットのあるサブセットにアクセスするのみで充分である、ことが実現された。例えば、図1に関して前述したように、DMAコントローラ120は外部SDRAMとDMA可能周辺装置間でデータを転送するというその通常動作の実行を可能にする為に、周辺バスサブシステム180とSDRAMコントローラ190を使用するだけで良い。

【0027】

従って本発明の好適実施例に従い、好適実施例のデータ処理装置においては、DMAコントローラ120をシステム内の全スレーブ論理ユニットに接続するよりむしろ、DMAコントローラ120を周辺バスサブシステム180とSDRAMコントローラ190にのみ接続する。該第一メインバス200の他にこの接続の実装の為に第二メインバス210が設置され、DMAコントローラ120は第二メインバス210にのみ接続される。

【0028】

周辺バスサブシステム180とSDRAMコントローラ190は、第一メインバス200に接続された複数個のマスタ論理ユニットと第二メインバス210に接続されたDMAコントローラ120の双方からアクセス可能である必要がある。この結果、周辺バスサブシステム180とSDRAMコントローラ190が第一及び第二メインバス200、210と接続可能である必要性が存在する。この条件の実装の為に、スレーブインターフェイス機構220がこれら二個のスレーブ論理ユニットの各々用に設置されて、二個のメインバス200、210とこれら二個の対応するスレーブ論理ユニットとの間のインターフェイスとして機能する。図2において、該スレーブインターフェイス機構220は二方向多重化装置モジュールとして図示されている。その基本的機能は、必要に応じて第一メインバス200又は第二メインバス210のいずれか一方を該対応するスレーブ論理ユニットに接続して、対応するスレーブ論理ユニットへのアクセスを必要とするどのマスタ論理ユニットもが転送請求を該スレーブ論理ユニットに経路設定することを可能にする、ことである。好適実施例では、スレーブインターフェイス機構220はデフォルト位置を有する。即ち、例えば、第一メインバス200上の一個のマスタ論理ユニットから転送請求が発行されない限り、第二メインバス210は該スレーブ論理ユニットに接続し得る。

【0029】

このアーキテクチャの主な利点の一つは、例えば図2の矢印230、240、及び250により指示されているように、並行転送が遂行可能であることである。これらの矢印により表示されているように、CPU110は命令をROMから取り出し、一方、DMAコントローラ120はSDRAMコントローラ190を介して外部SDRAMからの周辺提供データを処理しつつある。幾つかのマスタ論理ユニットがデータ処理装置により提供される全スレーブ論理ユニットのあるサブセットにアクセスするのみで良い状況においては、このアプローチは図1のアーキテクチャを凌駕する顕著な実行性能上の利点をもたらす、ことが理解されよう。

【0030】

図2から判断すると、二個のメインバスのみを設置すべきであるという必然性はなく、その代わりに該スレーブ論理ユニットのある異なるサブセットにアクセスするのみで良い一個の更なるマスタ論理ユニットを特定し得るならば、一個の更なるメインバスを設置し得る、ことが理解されよう。該一個の更なるメインバスは、該一個の更なるマスタ論理ユニットをスレーブ論理ユニットの該対応するサブセットに接続する。該サブセット内の各スレーブ論理ユニットは又、関係するメインバス間の切り換えを必要に応じて遂行するスレーブインターフェイス機構220、に接続されている。

【0031】

実際、特定されるこれらの個別のサブセットは完全に独立している必要はなく、その代わ

10

20

30

40

50

りに一個以上のスレーブ論理ユニットが二個以上のサブセット内に含まれ得る、ことが理解されよう。その場合は、任意のそうしたスレーブ論理ユニットに接続されているスレーブインターフェイス機構 220 は、該スレーブ論理ユニットに接続可能の必要のあるバスの数に応じて、単に二方向多重化機能よりむしろ n 方向多重化機能を提供する必要がある、ことが理解されよう。

【0032】

更に、任意の特定のメインバスに接続され得るマスタ論理ユニットの数に制限はない、ことが理解されよう。図 2 では、第一メインバス 200 に接続されている二個のマスタ論理ユニット 100、110 と第二メインバス 210 に接続されている唯一個のマスタ論理ユニット 120、が存在する。しかしながら、異なる数のマスタ論理ユニットが第一メインバス又は第二メインバスに接続され得る、と考え得る。従って例えば、複数個のマスタ論理ユニットは、その各々が該サブセット内のスレーブ論理ユニット 180、190 へのアクセスを必要とするのみならば、第二メインバス 210 に接続され得る。一般的には、一個以上のマスタ論理ユニットが第二メインバス 210 に接続されているならば、アービタが設置されて第二メインバスに接続されている様々なマスタ論理ユニット間のアービトレーションを実行することになる。次に該アービタは標準的な方式で動作して、第二メインバスに接続されている該マスタ論理ユニットにより発行された様々なバス請求信号間のアービトレーションを実行する。

10

【0033】

関連技術に習熟している人には明白であろうが、図 2 に図示されているスレーブインターフェイス機構 220 の顕著な利点は、該スレーブインターフェイス機構が規格モジュールとして開発可能であり、従って個別サブセット内で特定されるスレーブ論理ユニットの数に応じて必要な回数だけ設計においてインスタシエート可能である、ことである。これにより、回路設計者は該データ処理装置を製作する方式において多大な柔軟性を獲得する。該規格モジュールは相互連結され得て二個以上のメインバスを一個の特定のスレーブ論理ユニットに接続可能にする、ことも理解されよう。

20

【0034】

本発明の好適実施例に従う該スレーブインターフェイス機構とその機能を、図 3 を参照してより詳細に説明する。まず、図 3 と後述する図 4 における信号の呼称規約に関して説明する。H1xxx 信号は、例として図 2 の CPU 110 と仮定するマスタ 1 により発行及び受信される信号に該当する。H2xxx 信号は、例として図 2 の DMA コントローラ 120 と仮定するマスタ 2 により発行及び受信される信号に該当する。Hxxx 信号は、スレーブ論理ユニットにより発行及び受信される信号に該当する。

30

【0035】

図 3 から分るように、スレーブインターフェイス機構 220 は、経路 305 上で CPU 110 からのアドレス及び制御信号を受信し、経路 345 上で CPU 110 からのデータを書き込む。同様に、スレーブインターフェイス機構 220 は、経路 315 上で DMA コントローラ 120 からのアドレス及び制御信号を受信し、経路 355 上で DMA コントローラ 120 からのデータを書き込む。好適実施例では、該制御信号は、転送のタイプを識別する HTRANS 信号の形式を取る。

40

【0036】

図 3 から明らかなように、経路 305 及び 315 上で受信されるアドレス及び制御信号は多重化装置 330 と多重化装置 340 の双方とアービトレーション制御ブロック 300 まで搬送される。アービトレーション制御ブロック 300 により適用される所定条件に応じて、アービトレーション制御ブロック 300 は多重化制御信号を経路 335 上で多重化装置 330、340 まで発行して、どのマスタのアドレス及び制御信号が各多重化装置 330、340 により出力されるかを制御する。

【0037】

前述のように、同一のメインバスに接続されている異なるマスタ論理ユニット間のアービトレーションを実行する責務は、スレーブインターフェイス機構よりむしろアービタ 13

50

0により依然として遂行される。従って該アービタは、任意バス上の特定のマスタからバス請求信号を受信し且つ対応するバスへのアクセスが許容された場合に個々のマスタに許容信号を発行する責務を有する。一個のマスタ論理ユニット120のみが第二メインバス210に接続されている図2の例では、アービタは実際には必要なくその代りに、アービタから一般的には該許容信号を受信するであろうマスタ論理ユニット120の関係入力が恒久的にアサートされる。具体的には、DMAコントローラ120が第二メインバス210へのアクセスを恒久的に許容されるという形態で、該関係入力が恒久的にアサートされる。

【0038】

どのマスタ論理ユニットがそれが接続されているバスへのアクセスを獲得するべきかを決定する基本的責務は、依然としてアービタ130により担当される。従って、スレーブインターフェイス機構は、各マスタ論理ユニットにより発行されたバス請求信号を考慮する必要がない。その代りに、一個の該メインバス上の一個のマスタ論理ユニットから転送請求が発行され一方他のメインバス上のマスタ論理ユニットからの他の転送請求が該スレーブ論理ユニットにより既に処理されつつある場合、スレーブインターフェイス機構は単にその対応するスレーブ論理ユニットへのアクセスのアービトレーションを処理するのみで充分である。

【0039】

好適実施例では、こうしたアービトレーションを実行する二つの代替的方式をスレーブインターフェイス機構に対して考える。第一アプローチは、アービトレーションがバースト転送間のみで遂行される受動的アービトレーションアプローチである。このアービトレーション技術は、一バーストの転送により生成される最大待ち時間が許容可能であるシステム且つ/又(例えば、SDRAMコントローラにおけるように)スレーブの処理性能がバースト転送により最大化されるシステム、上で好適である。該アプローチは以下のように説明され得る。

【0040】

ある非順次転送請求が該マスタ論理ユニットの一個から開始された時点で常に他のどのマスタ論理ユニットも該スレーブ論理ユニットにアクセス途中でないならば、スレーブインターフェイス機構はその信号をスレーブ論理ユニット上に多重化する。従って図3においてこの場合には、マスタ論理ユニットの内一個のみがアドレス及び制御データを出力し、多重化装置330、340の入力の内一個のみが入力された該アドレス及び制御データを受信する。従って、アービトレーション制御ユニット300は多重化制御信号を経路335上に発行して、多重化装置330に有効なアドレス及び制御データを出力させる。一方、多重化装置340は、他の該入力上のデータ即ち無効データ、の出力を指示される。この受動的アービトレーション構成においては、ブロック400内の回路は必要がなく、その代りに多重化装置330、340の出力が多重化装置370の入力に直接提供される(多重化装置340の場合は、これはその目的を後述するレジスタ380を介して遂行される)。多重化装置370は又アービトレーション制御ユニット300からの経路335上の多重化制御信号を受信し、それによりアービトレーション制御ユニット300は多重化装置370に多重化装置330からのその入力をスレーブ論理ユニットへ出力させる。

【0041】

ある非順次転送請求が該マスタ論理ユニットの一個から開始された時点で他のマスタ論理ユニットが該スレーブ論理ユニットに既にアクセス途中であるならば、図3から明らかなように、該非順次転送請求を開始した該マスタ論理ユニット(以後、延期マスタ論理ユニットと呼ぶ)からのアドレス及び制御データは多重化装置340によりレジスタ380まで出力される。しかしながら今回は、多重化装置370はこのアドレス及び制御データを該スレーブ論理ユニットまで出力しない。このシナリオでは、アービトレーション制御ユニット300は該延期マスタ論理ユニットへ発行すべき確認応答信号をデアサート(deassert)する。これは、延期マスタ論理ユニットに非順次転送請求をアサートさせ続けさせる効果、を有する。スレーブ論理ユニットが現行のバースト転送請求の処理を

10

20

30

40

50

完了するや否や、該延期された非順次転送請求は処理の為にスレーブ論理ユニットに搬送され得る。従って、該確認応答信号はアービトレーション制御ブロック300により再アサートされて、延期マスタ論理ユニットが延期された非順次転送請求のアサート停止を遂行することを可能にする。

【0042】

このシナリオの方式を、図3の頭半分の箇所の説明する。好適実施例では、各転送請求は該二つのクロックサイクルにおいて発行される。該第一クロックサイクルにおいて該アドレス及び制御データが発行され、該第二クロックサイクルにおいて該対応するデータが（書き込みの場合はマスタから、読み取りの場合はスレーブから）発行される。スレーブ論理ユニットは、転送請求が処理された場合第二クロックサイクル中で、以後HREADY信号と呼ばれる確認応答信号を発行する。次にこのHREADY信号は該マスタ論理ユニットに返信されて、マスタ論理ユニットは続いて次転送請求を発行可能であり次クロックサイクル中にそのアドレス、制御、及びデータ信号を搬送可能であることを確認する。図3から分るように、経路375上をスレーブ論理ユニットから返信されたHREADY信号は、多重化装置310、320まで搬送される。多重化装置310、320は又、経路405上でアービトレーション制御ブロック300から更なる入力を受信する。次にアービトレーション制御ブロック300は制御信号を経路415上で多重化装置310、320まで発行可能であり、該二個の入力のどちらを各多重化装置が出力すべきかを決定する。

10

【0043】

従って、CPU110（マスタ1）があるバースト転送請求を開始した時点でDMAコントローラ120（マスタ2）が既にバースト転送書き込み請求の途中にあるならば、経路315上で受信されるDMAコントローラ120のアドレス及び制御データは多重化装置330、370を介してスレーブ論理ユニットまで経路設定される。一方、経路355上で受信されるDMAコントローラ120の書き込みデータは、多重化装置390を介してスレーブ論理ユニットまで経路設定される。該バースト内の任意の個別転送請求用の該書き込みデータは、該対応するアドレス及び制御データに対して一クロックサイクル後に提供される。スレーブ論理ユニットが書き込みデータを受信する毎に、同一クロックサイクルにおいてスレーブ論理ユニットは該HREADY信号を経路375上でアサートする。アービトレーション制御ユニット300は多重化装置320にHREADY信号を経路395上で直接DMAコントローラ120まで出力させることにより、DMAコントローラ120が該バースト転送を継続することを可能にする。

20

30

【0044】

CPU110が（非順次転送請求で開始した）そのバースト転送請求を発行した時、このバースト転送請求は経路305上で受信され多重化装置340を介してレジスタ380まで経路設定される。この段階でレジスタ380は、CPU110により発行された該非順次転送請求のアドレス及び制御データをバッファに格納する。次クロックサイクル中に、CPU110は該非順次転送請求の対応データを発行し、又、一般的には順次転送請求である次転送請求のアドレス及び制御データを発行する。しかしながらこのクロックサイクル中に、アービトレーション制御ブロック300は多重化装置310に指示して、経路405上でアービトレーション制御ブロック300により出力される該信号を経路415上で選択させる。これは、HREADY信号のデアサートされたバージョンである。従って、このHREADY信号のデアサートバージョンは経路385上を出力されてCPU110まで返信され、次クロックサイクル中にCPU110が新規信号をメインバス200上へ発動することを防止する。実際、アサートされたHREADY信号を受信した後で初めて、CPU110は該サイクル中に新規信号をメインバス上へ発動可能である。

40

【0045】

DMAコントローラからの該バースト転送請求の処理が完了するや否や、CPUの該非順次転送請求のアドレス及び制御データは、レジスタ380から多重化装置370を介してスレーブ論理ユニットまで出力される。アービトレーション制御ブロック300は、適切

50

な多重化制御信号を経路335上で多重化装置370に送信する。次クロックサイクル中に、該非順次転送請求用の該書き込みデータは多重化装置390を介してスレーブ論理ユニットまで出力される。同時に、アービトレーション制御ブロック300は多重化装置310に指示して、アサートされたHREADY信号を経路385上でCPU110まで出力させる。これによりCPU110は、次クロックサイクルで新規信号を該メインバス上へ発動することが可能になる。従ってCPU110は、そのバースト転送の継続が自在となる。

【0046】

読み取り請求は、一般に読み取りデータが対応するアドレス及び制御データの発行に従いそのクロックサイクルで経路365上を返信される、上述の書き込み請求の場合と同様の方式で遂行される。再び、読み取りデータが返信される毎にHREADY信号がアサートされて、対応するマスタ論理ユニットが次転送請求を継続することを可能にする。次にアービトレーション制御ブロック300はHREADY信号を完全に同様の方式で操作して、他の転送請求が該スレーブ論理ユニットにより既に処理されつつある場合に、マスタ論理ユニットの一個からのある非順次転送読み取り請求を延期する。

10

【0047】

上述の受動的なアービトレーションアプローチに対する代替的方式は、より能動的なアービトレーションアプローチの提供である。該能動的なアービトレーションアプローチでは、スレーブインターフェイス機構はあるバースト転送請求の処理完了を待つことなく、異なるマスタ論理ユニットの転送請求間における切り換えが可能である。しかしながら、この切り換えを可能ならしめる為には、アービトレーション制御ブロック300はマスタ論理ユニットから受信した制御信号を変更する能力を有する必要がある。この能力は、図3のボックス400内の論理素子により提供され得る。

20

【0048】

好適実施例では上述のように、各マスタ論理ユニットは転送請求を発行する際に、該転送請求のタイプ、例えば非順次、順次、又はアイドル（アイドルとは、現実には無転送を意味する）というタイプ、を指示する制御信号（以後、HTRANS信号と呼ぶ）を発行する。一個のバースト転送請求は一個の非順次転送請求で開始され、複数個の順次転送請求により後続される。更に引き続く非順次転送請求又はアイドル転送請求の発行は、そのバースト転送請求の終結を示す。

30

【0049】

好適実施例ではこうした能動的アービトレーションを可能ならしめる為に、経路325上のアービトレーション制御ブロック300により制御されるレジスタ及び制御モデファイアブロック350、を設置する。経路325上のアービトレーション制御ブロック300により指示された時、レジスタ及び制御モデファイアブロック350は、多重化装置330により出力されたアドレス情報と多重化装置330から出力されたHTRANS信号の変更バージョン、を格納し得る。

【0050】

一例として、DMAコントローラ120（マスタ2）がある非順次転送請求を発行した時点でCPU110（マスタ1）があるバースト転送請求の途中にあるならば、経路315上のDMAコントローラ120からのH2ADDR及びH2TRANS信号は多重化装置340を介してレジスタ380まで経路設定される。次サイクルにおいて、アービトレーション制御ブロック300は多重化装置320に指示してHREADY信号のデアサートバージョンを経路395上でDMAコントローラ120まで出力させて、該転送請求の処理がまだ完了していないことを示す。

40

【0051】

該能動的アービトレーション構成をDMAコントローラ120がCPU110よりもスレーブ論理ユニットへのアクセスを許容されるべき構成であると仮定すると、現行のCPU110による転送請求が終結した時点で、経路385上でCPU110に出力されているH1READYアサート信号により表示されているように、アービトレーション制御プロ

50

ック300は、現在多重化装置330から出力されているH1ADDR及びH1TRANS信号は格納されるべきであるがH1TRANS信号は非順次転送請求を表示する為に変更されるべきである、ことを経路325上のレジスタ及び制御モデファイア350に対して同時に報告する。この報告はこの段階で遂行される必要がある。その理由は、このクロックサイクルの終了と共に、これらの特定のH1ADDR及びH1TRANS信号はCPU110による出力を停止される、からである。

【0052】

次サイクルにおいて、アービトレーション制御ブロック300は経路385上のH1READY信号出力をデアサートさせて、該現行の転送請求の処理が完了していないことをCPU110に報告する（即ち、レジスタ及び制御モデファイア350に格納されたH1ADDR及びH1TRANS（変更）信号に対応する転送請求）。

10

【0053】

一方、DMAコントローラ120の非順次転送請求用のアドレス及び制御データは多重化装置360、370を介してスレーブ論理ユニットまで出力される。次サイクルで該非順次転送請求の処理が完了し、従ってH2READYアサート信号が経路395上でDMAコントローラ120まで出力される。DMAコントローラ120は今やスレーブ論理ユニットへのアクセスを有しているので、レジスタ380に格納された該最初の転送請求に引き続くその転送請求のアドレス及び制御信号は多重化装置330、370を介してスレーブ論理ユニットまで経路設定される。

【0054】

20

DMAコントローラ120のバースト転送請求の処理が完了した時点で、CPU110は再びスレーブ論理ユニットへのアクセスを獲得する。第一サイクルで、レジスタ及び制御モデファイア350に格納されたH1ADDR及び変更H1TRANS信号は、多重化装置360、370を介してスレーブ論理ユニットまで出力される。一方、引き続くクロックサイクルで、CPU110の引き続く転送請求用のアドレス及び制御信号は、多重化装置330、370を介してスレーブ論理ユニットまで直接に経路設定される。

【0055】

該最大長バースト転送請求の待ち時間が重大な問題になる場合、又は該接続されたスレーブでの処理性能がより短いバースト転送請求アクセスの実行により妨害されない場合に、上記の能動的アービトレーションアプローチは適切である。能動的アービトレーションアプローチは、長いバースト転送請求が必要に応じてより短いバースト転送請求に分割されることを可能にする。実際、このアプローチを用いて、バースト転送請求を一連の単一転送請求に分割可能である。

30

【0056】

様々なマスタ論理ユニット間の相対的優先権は固定されておらずその代わりにシステムアーキテクチャに応じて設定され得て、アービトレーション制御ブロック300による適切なアービトレーションを提供する。更に前述のように、マスタ論理ユニットに割り当てられた相対的優先権の他に、能動的アービトレーションを制御する為に最大長バースト転送請求の定義を使用し得る。

【0057】

40

図3の該論理ユニットを詳細に説明してきたが、次に図4を参照して、受動的アービトレーションアプローチの場合の様々な信号のタイミング例に関して説明する。

【0058】

図4の例から分るように、マスタ1は最初にスレーブ論理ユニットへのアクセスを有しており、二個の順次転送請求により後続される一個の非順次転送請求から構成される一個のバースト転送請求を発行しつつある。時刻T1で、書き込みデータD10がスレーブ論理ユニットへ転送されているので、該非順次転送請求の処理が完了している。該スレーブ論理ユニットは、H1READY信号としてマスタ1に搬送されているHREADY信号を発行している。同様に、時刻T2、T3で各々、アドレスA11、A12の該二個の順次転送請求の処理が完了していて、対応データD11、D12がスレーブ論理ユニットによ

50

り受信され、H R E A D Y 信号が該 H 1 R E A D Y 信号を介してマスタ 1 に確認応答されている。

【 0 0 5 9 】

しかしながら、マスタ 1 からの該バースト転送請求が発行されつつある間に、マスタ 2 は一個のバースト転送請求を開始している。特に時刻 T 1 で、一個の非順次転送請求がマスタ 2 により発行されている。マスタ 2 からのこの非順次転送請求は直接スレーブ論理ユニットに出力され得ず、且つ該スレーブ論理ユニットはマスタ 1 からの該バースト転送請求を既に処理しつつあるので、H 2 T R A N S 及び H 2 A D D R 信号は時刻 T 1 でレジスタ 3 8 0 に格納される。更に時刻 T 2 までに、アービトレーション制御ブロック 3 0 0 は多重化装置 3 2 0 に経路 3 9 5 上の出力として H 2 R E A D Y 信号をデアサートさせる。これにより、マスタ 2 は次クロックサイクル中に書き込みデータ D 2 0 と次順次転送請求用のアドレス及び制御データの出力を継続する。H 2 R E A D Y 信号は時刻 T 3 でデアサートされ続けているので、マスタ 2 も又該信号を次クロックサイクルにアサートし続ける。

10

【 0 0 6 0 】

図 4 から分るように、マスタ 1 からの該バースト転送請求用の全アドレス及び制御データがスレーブ論理ユニットへ一旦転送されれば、レジスタ 3 8 0 に格納されたアドレス及び制御データは時刻 T 3 でスレーブ論理ユニットへ出力され、対応する書き込みデータは時刻 T 4 でスレーブ論理ユニットへ出力される。従って時刻 T 4 で、H 2 R E A D Y 信号は再アサートされ得て、マスタ 2 がその順次転送請求を継続することを可能にする。従って、時刻 T 4、T 5、及び T 6 で発行されている転送請求は、マスタ 2 から発行された転送請求である。

20

【 0 0 6 1 】

図 4 から分るように、マスタ 1 は次に時刻 T 4 で非順次転送請求を発行して、更なるバースト転送請求を開始する。しかしながらこの時点でスレーブ論理ユニットはマスタ 2 からの該バースト転送請求の処理に多忙であるので、時刻 T 4 でマスタ 1 から発行されたアドレス及び制御データはレジスタ 3 8 0 にバッファリングされる。更に、マスタ 2 に関して前述した方式と同様の方式で、アービトレーション制御ブロック 3 0 0 は H 1 R E A D Y 信号を時刻 T 5、T 6 でデアサートさせて、マスタ 1 に書き込みデータ D 1 3 と次順次アクセス用のアドレス及び制御データをアサートし続けさせる。すると、レジスタ 3 8 0 にバッファリングされている該アドレス及び制御データは、時刻 T 6 でスレーブ論理ユニットへ搬送される。その理由は、この時点でマスタ 2 からの該バースト転送請求の処理は完了している、からである。この結果、書き込みデータ D 1 3 は時刻 T 7 でスレーブ論理ユニットへ提供される。従って、時刻 T 7 までに H 1 R E A D Y 信号はアービトレーション制御ブロック 3 0 0 により再アサートされて、マスタ 1 からの該バースト転送請求の残余を発行させる。

30

【 0 0 6 2 】

関連性のない複数個の転送請求の並行処理が可能であるという点で、本発明の好適実施例によるデータ処理装置は該データ処理装置の大幅な効率向上を可能ならしめる、ことが上記の説明から理解されよう。特に、第一マスタ論理ユニットは、第一メインバスを介して第一スレーブ論理ユニットにアクセスする。一方、第二マスタ論理ユニットは、第二メインバスを介して第二（の異なる）スレーブ論理ユニットにアクセスする。しかしながら更に、第一マスタ論理ユニットは又、第一メインバスを介して該第二スレーブ論理ユニットに必要なに応じて且つ必要な時にアクセス可能である。更に、スレーブインターフェイス機構が設置されて、該二個のバス間の効率的な切り換え機能と、二個以上のマスタ論理ユニットが同一のスレーブ論理ユニットへのアクセスを請求する状況を必要に応じて且つ必要な時に処理するアービトレーション機能、を提供する。

40

【 0 0 6 3 】

【 発明の効果 】

本明細書では特定の実施例が説明されたが、本発明は該実施例には限定されず且つ該実施例に対する多くの変更と追加が本発明の請求範囲内で遂行し得る、ことが理解されよう。

50

例えば、本発明の請求範囲から乖離することなくその独立請求範囲の特徴を用いて、以下の従属請求範囲の特徴の様々な組み合わせを実装し得る。

【図面の簡単な説明】

【図1】一本のバスを介して複数個のマスタ論理ユニットを複数個のスレーブ論理ユニットと接続する、データ処理装置で使用される既知アーキテクチャ、を示すブロック図。

【図2】本発明の好適実施例に従うデータ処理装置のブロック図。

【図3】本発明の好適実施例に従うスレーブインターフェイス機構の構成を示すブロック図。

【図4】本発明の好適実施例に従う該スレーブインターフェイス機構により受信及び発行される幾つかの信号の相対的タイミングを示すタイミング図。

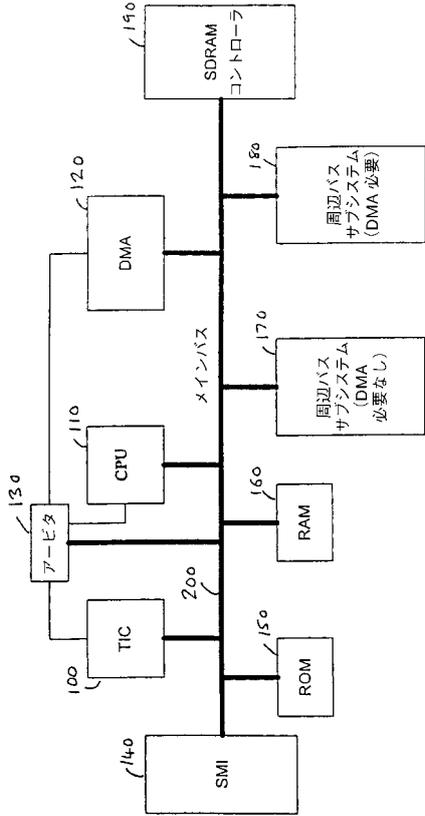
10

【符号の説明】

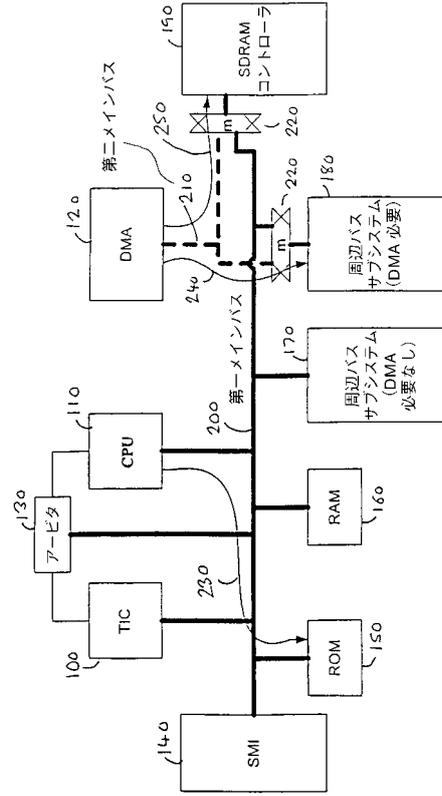
100 TIC
 110 CPU
 120 DMA
 130 アービタ
 140 SMI
 150 ROM
 160 RAM
 170 周辺バスサブシステム(DMA必要なし)
 180 周辺バスサブシステム(DMA必要)
 190 SDRAMコントローラ
 200 第一メインバス
 210 第二メインバス
 220 m(二方向多重化装置モジュール)
 300 アービトレーション制御
 350 レジスタ及び制御モデファイア
 380 AHBレジスタ

20

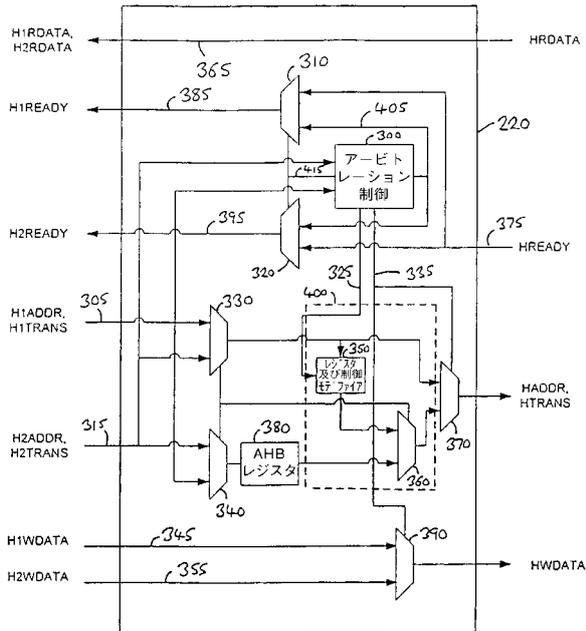
【図1】



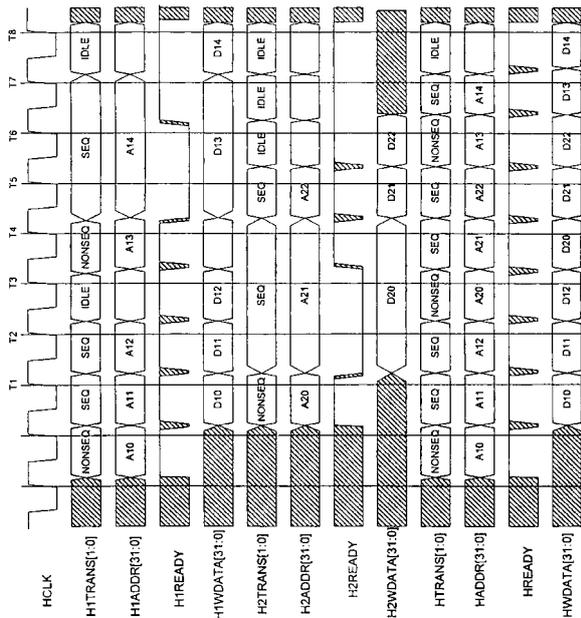
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 マーチン マーチン サン ジュアン
イギリス国 ケンブリッジ、アルプマール ウェイ 17

審査官 鈴木 理絵子

(56)参考文献 特開昭60-201463(JP,A)
特開昭57-039439(JP,A)
特開2000-132500(JP,A)
特開平02-219157(JP,A)

(58)調査した分野(Int.Cl., DB名)
G06F 13/20-13/378