



(12) 发明专利申请

(10) 申请公布号 CN 114629755 A

(43) 申请公布日 2022.06.14

(21) 申请号 202210526083.2

(22) 申请日 2022.05.16

(71) 申请人 睿迪纳(南京)电子科技有限公司
地址 210000 江苏省南京市浦口区桥林街
道步月路29号12幢-504

(72) 发明人 林敏

(74) 专利代理机构 南京瑞华腾知识产权代理事
务所(普通合伙) 32368
专利代理师 胡海

(51) Int.Cl.

H04L 25/49 (2006.01)

H04B 14/02 (2006.01)

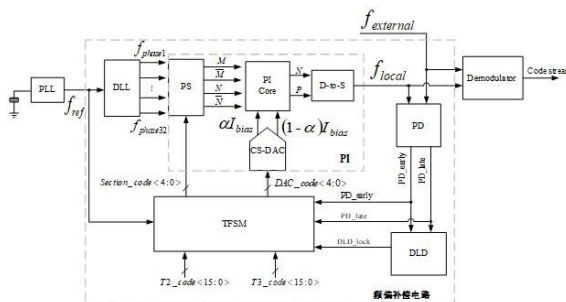
权利要求书3页 说明书9页 附图5页

(54) 发明名称

一种调制方法、解调方法及其频偏补偿和高速解调电路

(57) 摘要

本发明提出了一种调制方法、解调方法及其频偏补偿和高速解调电路,该电路包括:锁相环,用于产生参考时钟;第一延迟锁定环,用于产生同频等相差时钟;相位插值器,用于获得本地时钟;相位检测器,根据上升沿相位关系,输出PD_early信号和PD_late信号;数字锁定探测器,其对PD_early信号和PD_late信号进行采样并统计,判定动态是否锁定;顶层状态机,其用于输出DAC输入信号和PI插值区间指示信号,以使环路形成负反馈;解调器,其通过本地时钟对接收数据进行采样,实现数据解调。本发明减小了频带资源的消耗,实现了符号同步和高速数据解调,及本地时钟的高精度调节步长,减小了本地时钟和接收数据相位误差。



1. 一种调制方法,适用于在高频谱效率条件下,产生高速码片内M-PPM符号,所述码片内M-PPM符号包括符号帧头和符号帧体,其特征在于,包括:

在第一时段和第二时段内,将发射端时钟脉冲作为码片内M-PPM符号的符号帧头,所述符号帧头的脉冲在每个符号周期中的起始位置保持不变,并将其作为接收端同步信息提取的时钟信号;

在第三时段,将发射端输入的调制信息作为码片内M-PPM符号的符号帧体,所述符号帧体的脉冲在每个符号周期中的起始位置随调制信息的比特位相应变化。

2. 根据权利要求1所述调制方法,其特征在于,所述码片内M-PPM符号为一个完整的码片,且其符号脉冲宽度设定为小于符号周期;

在所述码片内M-PPM符号($M=2^m$)中,由m位二进制数据组成的符号数据映射到N个时隙组成的时间段上,将一个时隙的时间长度记为 T_{slot} ,m位二进制数组成的符号的时间长度记为 T_{snew} ,即符号周期,则每个时隙的时长为 $T_{slot} = \frac{T_{snew}}{N}$,符号脉冲宽度为 $(N - M + 1)$ 个时隙宽度;

将m位二进制数据记为 $S_{new} = (s_1, s_2, \dots, s_m)$,脉冲的起始位置位于符号周期中的第 L_{new} 个时隙处,则 L_{new} 与 S_{new} 之间的关系可表示成 $L_{new} = 2^0 s_1 + 2^1 s_2 + \dots + 2^{m-1} s_m + 1$;

PPM符号调制的符号速率为 $Rate_symbol = 1 / (N * T_{slot})$,PPM符号调制的比特速率为 $Rate_bit = \log_2 M / (N * T_{slot})$ 。

3. 一种频偏补偿和高速解调电路,其特征在于,包括:

锁相环,其用于产生参考时钟;

第一延迟锁定环,其接收并根据所述参考时钟产生多个同频等相差时钟;

相位插值器,其接收并根据同频等相差时钟、DAC输入信号和PI插值区间指示信号获得本地时钟,所述本地时钟实时追踪数据帧的相位以保持对齐;

所述数据帧为由权利要求1或2所述调制方法处理后的码片内M-PPM符号;

相位检测器,其接收并根据本地时钟和数据帧的上升沿相位关系,输出PD_early信号和PD_late信号;

数字锁定探测器,其对所述PD_early信号和PD_late信号进行采样,分别统计PD_early信号和PD_late信号为1的个数,然后将两者做差求绝对值,根据所述绝对值与阈值大小关系判定动态是否锁定;

顶层状态机,其根据锁定标志位、PD_early信号、PD_late信号和参考时钟,向所述相位插值器输出DAC输入信号和PI插值区间指示信号,以使环路形成负反馈;

解调器,其用于在动态锁定后,通过本地时钟对接收到的数据进行采样,实现数据解调。

4. 根据权利要求3所述的频偏补偿和高速解调电路,其特征在于,所述相位插值器包括:

相位选择器,其根据所述PI插值区间指示信号从多个同频等相差时钟中选出两对差分时钟,作为相位插值核的输入信号;

电流舵式数模转换器,其根据所述DAC输入信号分配电流权重并输出;

相位插值核,其根据电流权重对所述差分时钟的相位进行调整并输出;
双转单电路,其用于将调整后的差分时钟转换为单端信号,即本地时钟。

5. 根据权利要求3所述的频偏补偿和高速解调电路,其特征在于,所述顶层状态机,包括:

T2计数器,其根据锁定标志位启动计数,若计数值大于T2_code值,则停止计数输出T2_reach信号;

相位控制模块,其根据锁定标志位和T2_reach信号的跳变情况,统计PD_early信号和PD_late信号为1的数量并求出两者的差值,记为T2_acc_code值,所述T2_acc_code值为本地时钟与数据帧的符号帧头同步产生的相位变化量;

除法器,其将所述T2_acc_code值作为除数,将所述T2_code值作为被除数,获得Divider_reach标志位;

T3计数器,其根据所述Divider_reach标志位启动计数,若计数值大于T3_code值,则停止计数输出T3_reach信号,以重置T2计数器和相位控制模块;

多路选择器,其根据所述Divider_reach标志位,选择来自所述相位检测器的PD_early信号和PD_late信号或T3计数器的T3_early信号和T3_late信号进行输出。

6. 根据权利要求3所述的频偏补偿和高速解调电路,其特征在于,所述解调器,包括:

第二延迟锁定环,其根据完成频偏补偿的本地时钟产生多相时钟,抽取其中奇数项时钟作为触发器的采样时钟;

触发器,其用于接收数据帧,并根据所述采样时钟对数据帧进行采样,获得采样值;

解码器,其根据本地时钟的上升沿,对采样值进行解码,输出一串2进制码流。

7. 根据权利要求3所述的频偏补偿和高速解调电路,其特征在于,所述第一延迟锁定环通过延迟线产生32个同频等相差时钟,相邻所述同频等相差时钟之间形成一个相位区间,则共有32个相位区间,分别定义为Section1、Section2、...、Section32;

在每个所述相位区间内,将其分成包含32个步长的DAC输入信号,若PD_early信号为1且PD_late信号为0,则所述DAC输入信号值朝逆时针方向变化;若PD_early信号为0且PD_late信号为1,则所述DAC输入信号值朝顺时针方向变化。

8. 一种频偏补偿和高速解调方法,其特征在于,包括如下步骤:

获取参考时钟,并根据所述参考时钟产生多个同频等相差时钟;

根据PI插值区间指示信号从多个同频等相差时钟中选出两对差分时钟;

根据DAC输入信号分配电流权重,并根据所述电流权重对差分时钟的相位进行调整并输出;

将调整后的差分时钟转换为单端信号,即本地时钟;

根据本地时钟和数据帧的上升沿相位关系,输出PD_early信号和PD_late信号;所述数据帧为由权利要求1或2所述调制方法处理后的码片内M-PPM符号;

对PD_early信号和PD_late信号进行采样,分别统计PD_early信号和PD_late信号为1的个数,然后将两者做差求绝对值,根据所述绝对值与阈值大小关系判定动态是否锁定;

根据锁定标志位、PD_early信号、PD_late信号和参考时钟,输出DAC输入信号和PI插值区间指示信号,以使环路形成负反馈;

在动态锁定后,通过本地时钟对接收到的数据进行采样,实现数据解调。

9. 根据权利要求8所述的频偏补偿和高速解调方法,其特征在于,所述根据锁定标志位、PD_early信号、PD_late信号和参考时钟,输出DAC输入信号和PI插值区间指示信号,包括:

根据锁定标志位启动计数,若计数值大于T2_code值,则停止计数输出T2_reach信号;

根据锁定标志位和T2_reach信号的跳变情况,统计PD_early信号和PD_late信号为1的数量并求出两者的差值,记为T2_acc_code值,所述T2_acc_code值为本地时钟与数据帧的符号帧头同步产生的相位变化量;

将所述T2_acc_code值作为除数,将所述T2_code值作为被除数,获得获得Divider_reach标志位;

根据所述Divider_reach标志位启动计数,若计数值大于T3_code值,则停止计数输出T3_reach信号,以重置T2计数器和相位控制模块;

根据所述Divider_reach标志位,选择来自所述相位检测器的PD_early信号和PD_late信号或T3计数器的T3_early信号和T3_late信号进行输出。

一种调制方法、解调方法及其频偏补偿和高速解调电路

技术领域

[0001] 本发明涉及无线通信以及集成电路领域,具体而言,涉及一种调制方法、解调方法及其频偏补偿和高速解调电路。

背景技术

[0002] 脉冲位置调制(Pulse Position Modulation, PPM)凭借其功率效率高,抗干扰能力强等优点,在无线通信及有线光通信系统中得到广泛应用。在传统的PPM中,一个符号周期划分成多个码片,符号脉冲的宽度等于码片宽度,脉冲位置的变化体现为脉冲整体出现在不同的码片位置,但是脉冲位置在码片内不发生变化,因此我们可以把传统的PPM符号称为码片间PPM(Inter-Chip PPM)符号。

[0003] 在PPM中,由n位二进制数据组成的源数据映射为 2^n 个码片组成的时间段上,假设一位二进制数的时间长度为 T_p ,则n位二进制组成的数据的时间长度为 $T_s = nT_p$,所以每个码片的时长为 $T_p = \frac{T_s}{2^n}$ 。假设n位二进制数据 $S = (k_1, k_2, \dots, k_n)$,脉冲信号位于第L个码片处,可得脉冲信号位置与二进制数的映射关系为 $L = 2^0 k_1 + 2^1 k_2 + \dots + 2^{n-1} k_n + 1$ 。若以2位二进制数所映射的4-PPM为例,当 $S = (0, 0)$,则 $L = 1$;当 $S = (1, 0)$,则 $L = 2$;当 $S = (0, 1)$,则 $L = 3$;当 $S = (1, 1)$,则 $L = 4$ 。具体映射关系如图1所示。

[0004] 此外,调制信号在信道中传输时,会受到多径效应及多普勒频移效应的干扰,同时发射端和接收端的时间基准信号存在频率偏差,会导致接收端的误码率变高。因此,调制信号需要进行同步,并消除发射和接收端的频偏。现有的同步以消除频偏方案均为数字方案:其一,可以通过在基带信号的频谱中插入导频信号,然后在接收端获取该定时信号的方式实现位同步;其二,可以通过数字锁相环,产生一个高频时钟,其时钟周期的最小等于本地时钟的最小调节步长,因此其频率往往为PPM符号的数十至数百倍。该数字同步方案中,会有一个反馈环路,其中鉴相器通过比较PPM符号和本地时钟的相位,然后逐步调整本地时钟相位,使二者相位对齐,最终完成位同步。

[0005] 关于上述传统的PPM方法存在的问题:由于一个M-PPM符号(其中 $M = 2^n$)中,脉冲宽度只有一个码片宽度,所以其占有的很宽的频带资源,尤其当数据源的2进制数据位数越多(即n越大时)时,其占有的频带资源就越大。

[0006] 关于传统数字频偏补偿存在的问题:上述的数字方案一:插入导频的方法需要额外占用频带资源,并且该方法,虽能实现位同步,但是没法解决传输路径中所引起的频率偏移问题。上述的数字方案二:该方法需要锁相环产生更高频的时钟,这将面临很大功耗代价;并且本地时钟的最小调节步长受限于数字锁相环的频率;此外,该方法也无法运用于高速的PPM符号调制。

发明内容

[0007] 鉴于上述问题,本发明提供了一种新型频偏补偿和高速解调电路及方法,解决了传统的PPM方法由于其脉冲过窄,存在其所占频率资源过多的问题;除此之外,已调数据在传送至接收端后,由于发射端与接收端的时钟存在频率偏移,解调时接收端的误码率性能会严重下降的问题;以及传统的数字同步方案面临传输速率低、调节步长小、所需功耗高等问题。

[0008] 为解决上述技术问题,本发明采用的技术方案是:

第一方面,本发明提供了一种调制方法,适用于在高频谱效率条件下,产生高速码片内M-PPM符号,所述码片内M-PPM符号包括符号帧头和符号帧体,包括:在第一时段和第二时段内,将发射端时钟脉冲作为码片内M-PPM符号的符号帧头,所述符号帧头的脉冲在每个符号周期中的起始位置保持不变,并将其作为接收端同步信息提取的时钟信号;在第三时段,将发射端输入的调制信息作为码片内M-PPM符号的符号帧体,所述符号帧体的脉冲在每个符号周期中的起始位置随调制信息的比特位相应变化。

[0009] 作为优选方案,所述码片内M-PPM符号为一个完整的码片,且其符号脉冲宽度设定为小于符号周期;在所述码片内M-PPM符号($M=2^m$)中,由m位二进制数据组成的符号数据映射到N个时隙组成的时间段上,将一个时隙的时间长度记为 T_{slot} ,m位二进制数组成的符号的时间长度记为 T_{snew} ,即符号周期,则每个时隙的时长为 $T_{slot} = \frac{T_{snew}}{N}$,符号脉冲宽度为(N-M+1)个时隙宽度;将m位二进制数据记为 $S_{new} = (S_1, S_2, \dots, S_m)$,脉冲的起始位置位于符号周期中的第 L_{new} 个时隙处,则 L_{new} 与 S_{new} 之间的关系可表示成 $L_{new} = 2^0 S_1 + 2^1 S_2 + \dots + 2^{m-1} S_m + 1$;PPM符号调制的符号速率为 $Rate_symbol = 1 / (N * T_{slot})$,PPM符号调制的比特速率为 $Rate_bit = \log_2 M / (N * T_{slot})$ 。

[0010] 第二方面,本发明提供了一种频偏补偿和高速解调电路,包括:锁相环,其用于产生参考时钟;第一延迟锁定环,其接收并根据所述参考时钟产生多个同频等相差时钟;相位插值器,其接收并根据同频等相差时钟、DAC输入信号和PI插值区间指示信号获得本地时钟,所述本地时钟实时追踪数据帧的相位以保持对齐;所述数据帧为由上述调制方法处理后的码片内M-PPM符号;相位检测器,其接收并根据本地时钟和数据帧的上升沿相位关系,输出PD_early信号和PD_late信号;数字锁定探测器,其对所述PD_early信号和PD_late信号进行采样,分别统计PD_early信号和PD_late信号为1的个数,然后将两者做差求绝对值,根据所述绝对值与阈值大小关系判定动态是否锁定;顶层状态机,其根据锁定标志位、PD_early信号、PD_late信号和参考时钟,向所述相位插值器输出DAC输入信号和PI插值区间指示信号,以使环路形成负反馈;解调器,其用于在动态锁定后,通过本地时钟对接收到的数据进行采样,实现数据解调。

[0011] 作为优选方案,所述相位插值器包括:相位选择器,其根据所述PI插值区间指示信号从多个同频等相差时钟中选出两对差分时钟,作为相位插值核的输入信号;电流舵式数模转换器,其根据所述DAC输入信号分配电流权重并输出;相位插值核,其根据电流权重对所述差分时钟的相位进行调整并输出;双转单电路,其用于将调整后的差分时钟转换为单

端信号,即本地时钟。

[0012] 作为优选方案,所述顶层状态机,包括:T2计数器,其根据锁定标志位启动计数,若计数值大于T2_code值,则停止计数输出T2_reach信号;相位控制模块,其根据锁定标志位和T2_reach信号的跳变情况,统计PD_early信号和PD_late信号为1的数量并求出两者的差值,记为T2_acc_code值,所述T2_acc_code值为本地时钟与数据帧的符号帧头同步产生的相位变化量;除法器,其将所述T2_acc_code值作为除数,将所述T2_code值作为被除数,获得Divider_reach标志位;T3计数器,其根据所述Divider_reach标志位启动计数,若计数值大于T3_code值,则停止计数输出T3_reach信号,以重置T2计数器和相位控制模块;多路选择器,其根据所述Divider_reach标志位,选择来自所述相位检测器的PD_early信号和PD_late信号或T3计数器的T3_early信号和T3_late信号进行输出。

[0013] 作为优选方案,所述解调器,包括:第二延迟锁定环,其根据完成频偏补偿的本地时钟产生多相时钟,抽取其中奇数项时钟作为触发器的采样时钟;触发器,其用于接收数据帧,并根据所述采样时钟对数据帧进行采样,获得采样值;解码器,其根据本地时钟的上升沿,对采样值进行解码,输出一串2进制码流。

[0014] 第三方面,本发明提供了一种频偏补偿和高速解调方法,包括如下步骤:获取参考时钟,并根据所述参考时钟产生多个同频等相差时钟;根据PI插值区间指示信号从多个同频等相差时钟中选出两对差分时钟;根据DAC输入信号分配电流权重,并根据所述电流权重对差分时钟的相位进行调整并输出;将调整后的差分时钟转换为单端信号,即本地时钟;根据本地时钟和数据帧的上升沿相位关系,输出PD_early信号和PD_late信号;所述数据帧为由上述调制方法处理后的码片内M-PPM符号;对PD_early信号和PD_late信号进行采样,分别统计PD_early信号和PD_late信号为1的个数,然后将两者做差求绝对值,根据所述绝对值与阈值大小关系判定动态是否锁定;根据锁定标志位、PD_early信号、PD_late信号和参考时钟,输出DAC输入信号和PI插值区间指示信号,以使环路形成负反馈;在动态锁定后,通过本地时钟对接收到的数据进行采样,实现数据解调。

[0015] 作为优选方案,所述根据锁定标志位、PD_early信号、PD_late信号和参考时钟,输出DAC输入信号和PI插值区间指示信号,包括:根据锁定标志位启动计数,若计数值大于T2_code值,则停止计数输出T2_reach信号;根据锁定标志位和T2_reach信号的跳变情况,统计PD_early信号和PD_late信号为1的数量并求出两者的差值,记为T2_acc_code值,所述T2_acc_code值为本地时钟与数据帧的符号帧头同步产生的相位变化量;将所述T2_acc_code值作为除数,将所述T2_code值作为被除数,获得获得Divider_reach标志位;根据所述Divider_reach标志位启动计数,若计数值大于T3_code值,则停止计数输出T3_reach信号,以重置T2计数器和相位控制模块;根据所述Divider_reach标志位,选择来自所述相位检测器的PD_early信号和PD_late信号或T3计数器的T3_early信号和T3_late信号进行输出。

[0016] 与现有技术相比,本发明的有益效果包括:

(1)提出了一种新型码片内M-PPM符号,减小了频带资源的消耗。

[0017] (2)依据新型码片内M-PPM符号,提出了一种数据帧结构,并设计了一种模拟域的新型频偏补偿方法与电路,实现了符号同步和高速数据解调。

[0018] (3)在频偏补偿电路中,采用DLL和PI相结合,实现了本地时钟的高精度调节步长,以减小本地时钟和接收数据的相位误差。

[0019] (4)在频偏补偿的方法中,为防止在区间跳变时,PI中电流舵数模转换器的码字全部翻转所产生的电流毛刺,本发明将相邻区间中的码字变化方向反向,使得码字在全插值范围内能够连续变化,从而避免了电流毛刺所引起的输出相位突变。

附图说明

[0020] 参照附图来说明本发明的公开内容。应当了解,附图仅仅用于说明目的,而并非意在对本发明的保护范围构成限制。在附图中,相同的附图标记用于指代相同的部件。其中:

图1为传统码片间PPM符号(以4-PPM为例)的源数据与调制波形的映射关系图;

图2为本发明实施例新型码片内M-PPM符号(以4-PPM为例)的源数据与调制波形的映射关系图;

图3为本发明实施例新型频偏补偿和高速解调电路的架构图;

图4为本发明实施例帧结构及Intra-Chip 4-PPM符号的结构示意图;

图5为本发明实施例顶层状态机的架构图;

图6为本发明实施例频偏补偿时序图;

图7为本发明实施例区间及DAC码字跳变原理示意图;

图8为本发明实施例解调器的架构图;

图9为本发明实施例解调器中各信号的时序图。

具体实施方式

[0021] 容易理解,根据本发明的技术方案,在不变更本发明实质精神下,本领域的一般技术人员可以提出可相互替换的多种结构方式以及实现方式。因此,以下具体实施方式以及附图仅是对本发明的技术方案的示例性说明,而不应当视为本发明的全部或者视为对本发明技术方案的限定或限制。

[0022] 参见图2,本发明提出了一种新型PPM符号,该PPM符号不再将其周期划分为多个码片,而是视作一个完整的码片,同时将符号脉冲宽度设定为小于符号周期,这样符号脉冲可以通过在一个符号周期内的起始位置的变化来表征输入数据的调制信息。因为该调制方法的脉冲位置变化体现在一个符号周期内(也就是一个符号周期内),因此可以称作码片内M-PPM(Intra-Chip M-PPM)符号。

[0023] 在码片内M-PPM符号($M=2^m$)中,由m位二进制数据组成的符号数据映射到N个时隙组成的时间段上,将一个时隙的时间长度记为 T_{slot} ,m位二进制数组成的符号的时间长度记为 T_{snew} ,即符号周期,则每个时隙的时长为 $T_{slot} = \frac{T_{snew}}{N}$,符号脉冲宽度为(N-M+1)个时隙宽度;将m位二进制数据记为 $S_{new} = (S_1, S_2, \dots, S_m)$,脉冲的起始位置位于符号周期中的第 L_{new} 个时隙处,则 L_{new} 与 S_{new} 之间的关系可表示成 $L_{new} = 2^0 S_1 + 2^1 S_2 + \dots + 2^{m-1} S_m + 1$;PPM符号调制的符号速率为 $Rate_symbol = 1 / (N * T_{slot})$,PPM符号调制的比特速率为 $Rate_bit = \log_2 M / (N * T_{slot})$ 。

[0024] 若以2位二进制数所映射的码片内4-PPM为例,源数据和调制波形的映射关系如图

2所示。

[0025] 上述调制方法特别适用于高速PPM符号调制系统,并且在频谱效率和功耗效率方面都相对于传统的Inter-Chip PPM,有着明显的优势。本发明设计的PPM电路与系统,特别适用于符号速率大于10MHz,甚至高达数百MHz和GHz的高速PPM符号调制解调系统,下文以500MHz符号速率为例展开具体的说明。

[0026] 参见图3,本发明提出了一种新型频偏补偿和高速解调电路,整个电路由以下几个部分组成:锁相环(Phase Locked Loop, PLL)、第一延迟锁定环(Delay Locked Loop, DLL)、相位插值器(Phase Interpolator, PI)、相位检测器(Phase Detector, PD)、数字锁定探测器(Digital Lock Detector, DLD)、顶层状态机(Top Finite State Machine, TFMSM)、解调器(Demodulator)等。其中相位插值器又由相位选择器(Phase Selector, PS)、相位插值核(PI Core)、电流舵式数模转换器(Current Steer Digital-to-Analog Converter, CS-DAC)和双转单电路(Differential to Single-ended, D-to-S)构成。

[0027] 针对于上述的新型频偏补偿和解调电路而言,整个环路的基本工作原理如下:由PLL产生的参考时钟 f_{ref} 输入至DLL中,DLL会产生32个同频等相差的时钟,分别为 f_{phase1} 、 f_{phase2} 、 \dots 、 $f_{phase32}$ 。根据TFMSM的返回值Section_code<4:0>,即PI插值区间指示信号,PS从32个同频等相差的时钟中选出两对相邻的差分时钟,作为PI Core的输入信号,同时CS-DAC根据TFMSM的返回值DAC_code<4:0>,即DAC输入信号,分配电流权重。PI Core根据电流权重对差分时钟的相位进行调整并输出,D-to-S将调整后的差分时钟转换为单端信号,即本地时钟 f_{local} 。

[0028] PD依据本地时钟 f_{local} 和数据帧 $f_{external}$ 上升沿的相位关系,在输出端产生高低电平。若 f_{local} 超前 $f_{external}$,则输出PD_early为1且PD_late为0;反之,若 f_{local} 滞后 $f_{external}$,则输出PD_early为0,PD_late为1。TFMSM会根据PD的输出值,产生相应的DAC_code<4:0>,使得整个环路构成负反馈。当该DAC_code<4:0>要溢出时,TFMSM会改变Section_code<4:0>,使得 f_{local} 的相位能够连续变化,并且在负反馈环路的作用下 f_{local} 会实时追踪 $f_{external}$ 的相位,保持对齐。

[0029] 由于频偏的存在,所以环路是一个动态变化的过程,本发明通过DLD来衡量环路是否动态锁定。在多个参考时钟周期内,每一次上升沿来临时,DLD会对PD的输出进行采样,并分别统计PD_early和PD_late为1的个数,然后将两者做差,其绝对值若小于设定的阈值,即判定动态锁定。当动态锁定之后,解调器会通过本地时钟对接收到的数据进行采样,实现数据解调。

[0030] 参见图4,为数据帧结构及Intra-Chip 4-PPM符号的结构示意图。一帧数据由帧头和帧体构成,用 $f_{external}$ 表示。帧体的长度远远大于帧头。这种帧结构结合本发明提出的新型码片内M-PPM符号,其具体工作过程如下:在帧头位置,即 $T_1 + T_2$ 时段,是包含发射端时钟信息的帧头符号,其特点是帧头符号脉冲在每个符号周期中的起始位置始终保持不变;在帧体位置,即 T_3 时段,是发射端调制后的新型码片内4-PPM符号信息。

[0031] 本发明设计的PPM电路与系统,是针对符号速率为500MHz的高速PPM符号调制解调系统。在传统的Inter-Chip 4-PPM符号中,只有一个宽度为500 ps的码片为高电平,其占据了约2 GHz带宽。采用本文提出的Intra-Chip 4-PPM符号进行改进,将一个符号周期(符号周期)分成16个时隙,每个时隙125 ps,使其13个时隙都为高电平,其只占据约615 MHz的带宽。Intra-Chip 4-PPM符号与2位二进制数的映射关系,如图4右上角所示。

[0032] 参见图5,上述顶层状态机包括T2计数器(T2_Counter)、相位控制模块(Phase_Control)、除法器(Divider)、T3计数器(T3_Counter)和多路选择器(MUX)。

[0033] 其中,上述T2计数器根据锁定标志位启动计数,若计数值大于T2_code值,则停止计数输出T2_reach信号;相位控制模块根据锁定标志位和T2_reach信号的跳变情况,统计PD_early信号和PD_late信号为1的数量并求出两者的差值,记为T2_acc_code值,T2_acc_code值为本地时钟与数据帧的符号帧头同步产生的相位变化量;除法器将T2_acc_code值作为除数,将T2_code值作为被除数,获得Divider_reach标志位;T3计数器根据获得Divider_reach标志位启动计数,若计数值大于T3_code值,则停止计数输出T3_reach信号,以重置T2计数器和相位控制模块;多路选择器根据Divider_reach标志位,选择来自所述相位检测器的PD_early信号和PD_late信号或T3计数器的T3_early信号和T3_late信号进行输出。

[0034] 图5中展示了 T_1 至 T_3 时段TFSM的具体实现原理,其中T2_code<15:0>和T3_code<15:0>均是可编程的16位2进制码,前者定义了 T_2' 时段的持续时间,后者定义了 T_3 时段的持续时间。

[0035] 参见图6,在 T_1 末尾时刻,DLD锁定,DLD_lock(锁定标志位)变为1,此信号会送给T2_Counter,并做其使能信号,启动计数,通过计数来控制 T_2' 时长,若计数值大于T2_code<15:0>,则该计数器停止计数且T2_reach输出为1,并将此信号输入至Phase_Control以及Divider。Phase_Control会根据DLD_lock和T2_reach这两个指示信号的跳变情况,统计 T_2' 时段内Early和Late为1的数量,并求出二者的差值,用T2_acc_code<15:0>表示;该差值等于DAC_code<4:0>的变化量,而该变化量即为本地时钟在 T_2' 时间段内为了与数据帧的符号帧头同步而产生的相位变化量,因此,提取了该时段由频偏所引起的相移量。

[0036] 在 T_2' 末尾时刻,T2_acc_code<15:0>的值会输入到Divider,并作为除数。Divider的另一端输入为T2_code<15:0>,表示被除数。Divider的除法功能是通过移位实现的,对于16位的2进制输入,需要16个输入参考时钟,才能完成除法功能。完成后,Divider_reach变为1,Divider工作时段对应图6中的 ΔT_2 部分。Divider将其输出的商和余数(均为16位2进制数)送给T3_Counter。除法器的商和余数表示:为使PI中DAC_code<4:0>变化一次,所需的参考时钟周期数。通常情况上,周期数为大于1的小数。此外,本地时钟与接收数据的频偏可能为正也可能为负,所以在 T_2' 时段会通过TFSM来判断频偏极性,并产生标志位Pole_flag,同样也送给T3_Counter。至此, T_2' 时段结束。

[0037] 当Divider_reach变为1后,送给Phase_Control的Early和Late信号,不是由PD产生,而是由T3_Counter所产生。若Pole_flag值为1,则T3_Counter的Early输出是脉宽为一个参考时钟周期的脉冲信号,Late输出恒为0;若Pole_flag值为0,则反之。两个脉冲信号的间隔,表示多久需进行一次瞬时相位补偿,其间隔为Divider的商或商加1乘以参考时钟周期。两者出现的权重,取决于余数与除数的比值。

[0038] 此外,当进入 T_3 时段,T3_Counter开始计数,当计数值超过T3_code<15:0>时,计数停止,并且T3_reach变为1,该信号同时会重置T2_Counter和Phase_Control。至此, T_3 时段结束,完成了一帧数据与本地时钟的频偏补偿。当下一帧数据来临时,又会重复 T_1 至 T_3 的过程。

[0039] 具体的,本发明的频偏补偿时序分为以下三个步骤:

步骤一,在 T_1 起始时刻,接收机收到的是来自发送端的数据帧的符号帧头,该帧头包含的脉冲在一个Intra-Chip 4-PPM符号中的起始位置是固定不变的,即为数据帧信号。该信号与本地时钟不仅存在频偏,而且存在初始相位差。所以在这一段时间内,TFSM会根据这两个信号的相位信息,实时调整本地时钟的相位,最终在 T_1 末尾时刻,两者相位对齐,DLD产生锁定标志位送给TFSM。

[0040] 步骤二,在 T_2 时段,接收机接收到仍然是来自发送端的数据帧的符号帧头,但此时初始相位差已经通过步骤一完成消除,因此TFSM可以通过记录DAC_code<4:0>和Section_code<4:0>的变化量,得到由频偏所产生的累积相移量,从而提取得到接收数据帧的符号帧头与本地时钟的频偏信息。在这段时间内,反馈环路仍然正常工作,所以两者相位始终保持动态对齐。

[0041] 步骤三,在 T_3 时段,接收机收到的是来自发送端的数据帧体,该帧体的符号数据为脉冲起始位置随调制信息变化的Intra-Chip 4-PPM信号,TFSM会根据在 T_2 时段提取的频偏信息,并通过TFSM和PI来改变本地时钟的瞬时相位,纠正频偏,以确保数据的正确解调。

[0042] 参见图7,在本发明中,本地时钟的相位调整区间有32个。DLL通过延迟线产生了32个时钟,相邻的两项时钟形成一个相位区间, f_{phase1} 与 $f_{phase32}$ 也构成一个区间,定义这些区间为Section1、Section2、...、Section32。在每个区间内,又将其分成32个步长,用DAC_code<4:0>表示。其值变化,取决于当前采样Early和Late值的情况,若Early=1且Late=0,则DAC_code<4:0>朝逆时针方向变化;若Early=0且Late=1,则DAC_code<4:0>朝顺时针方向变化。

[0043] 在区间的交界处,代表DAC_code<4:0>值即将溢出,需要区间切换。以Section13和Section14为例,当Section13中DAC_code<4:0>加至31需要跳转到Section14时,传统做法会将DAC_code<4:0>清零,并重新累加。这意味着,在区间的交界处,存在码字从“11111”直接跳变为“00000”的情况,这对于CS-DAC而言,会引入极大的电流毛刺,从而影响PI的插值结果。针对这一问题,本文在区间跳变时,使得DAC_code<4:0>连续变化,见图7左上部分。

[0044] 参见图8,上述解调器包括第二延迟锁定环、触发器和解码器。第二延迟锁定环根据完成频偏补偿的本地时钟产生多相时钟,抽取其中奇数项时钟作为触发器的采样时钟;

触发器用于接收数据帧,并根据采样时钟对数据帧进行采样,获得采样值;解码器根据本地时钟的上升沿,对采样值进行解码,输出一串2进制码流。

[0045] 在 T_3 时段,系统会消除 f_{local} 和 $f_{external}$ 的频偏,实现本地时钟与数据帧体的符号同步。并且,在这一时段,会利用完成频偏补偿的 f_{local} 对数据帧体进行实时解调。

f_{local} 输入至DLL中,产生32相时钟,两两相差62.5ps;取其中奇数项时钟(

f_{phase1} 、 f_{phase3} 、 \dots 、 $f_{phase31}$),作为每个触发器的采样时钟,则两两相差125 ps;

触发器的另一端输入为Intra-Chip 4-PPM符号。由于符号与本地时钟的相位已经对齐,并且输入至触发器的采样时钟是奇数项,所以每相时钟对符号数据的采样点为符号中每个时隙(共16个时隙)的中间位置;每当 f_{local} 上升沿来临时,解码器会对16个采样值进行解码,最终输出一串2进制码流,完成解调,其各信号时序如图9所示。

[0046] 本发明还提供了一种新型频偏补偿和高速解调方法,包括如下步骤:

(1) 获取参考时钟,并根据参考时钟产生多个同频等相差时钟。

[0047] (2) 根据PI插值区间指示信号从多个同频等相差时钟中选出两对差分时钟。

[0048] (3) 根据DAC输入信号分配电流权重,并根据电流权重对差分时钟的相位进行调整并输出。

[0049] (4) 将调整后的差分时钟转换为单端信号,即本地时钟。

[0050] (5) 根据本地时钟和数据帧的上升沿相位关系,输出PD_early信号和PD_late信号。该数据帧为码片内M-PPM符号。

[0051] (6) 对PD_early信号和PD_late信号进行采样,分别统计PD_early信号和PD_late信号为1的个数,然后将两者做差求绝对值,根据绝对值与阈值大小关系判定动态是否锁定。

[0052] (7) 根据锁定标志位、PD_early信号、PD_late信号和参考时钟,输出DAC输入信号和PI插值区间指示信号,以使环路形成负反馈。

[0053] 具体为:根据锁定标志位启动计数,若计数值大于 $T2_code$ 值,则停止计数输出 $T2_reach$ 信号;根据锁定标志位和 $T2_reach$ 信号的跳变情况,统计PD_early信号和PD_late信号为1的数量并求出两者的差值,记为 $T2_acc_code$ 值, $T2_acc_code$ 值为本地时钟与数据帧的符号帧头同步产生的相位变化量;将 $T2_acc_code$ 值作为除数,将 $T2_code$ 值作为被除数,获得Divider_reach标志位;根据Divider_reach标志位启动计数,若计数值大于 $T3_code$ 值,则停止计数输出 $T3_reach$ 信号,以重置T2计数器和相位控制模块。

[0054] (8) 在动态锁定后,通过本地时钟对接收到的数据进行采样,实现数据解调。

[0055] 综上所述,本发明的有益效果包括:提出了一种新型码片内M-PPM符号,减小了频带资源的消耗;依据新型码片内4-PPM符号,提出了一种数据帧结构,并设计了一种模拟域的新型频偏补偿方法与电路,实现了符号同步和高速数据解调;在频偏补偿电路中,采用DLL和PI相结合,实现了本地时钟的高精度调节步长,以减小本地时钟和接收数据的相位误差;在频偏补偿的方法中,为防止在区间跳变时,PI中电流舵数模转换器的码字全部翻转所产生的电流毛刺,本发明将相邻区间中的码字变化方向反向,使得码字在全插值范围内能够连续变化,从而避免了电流毛刺所引起的输出相位突变。

[0056] 本发明的技术范围不仅仅局限于上述说明中的内容,本领域技术人员可以在不脱离本发明技术思想的前提下,对上述实施例进行多种变形和修改,而这些变形和修改均应当属于本发明的保护范围内。

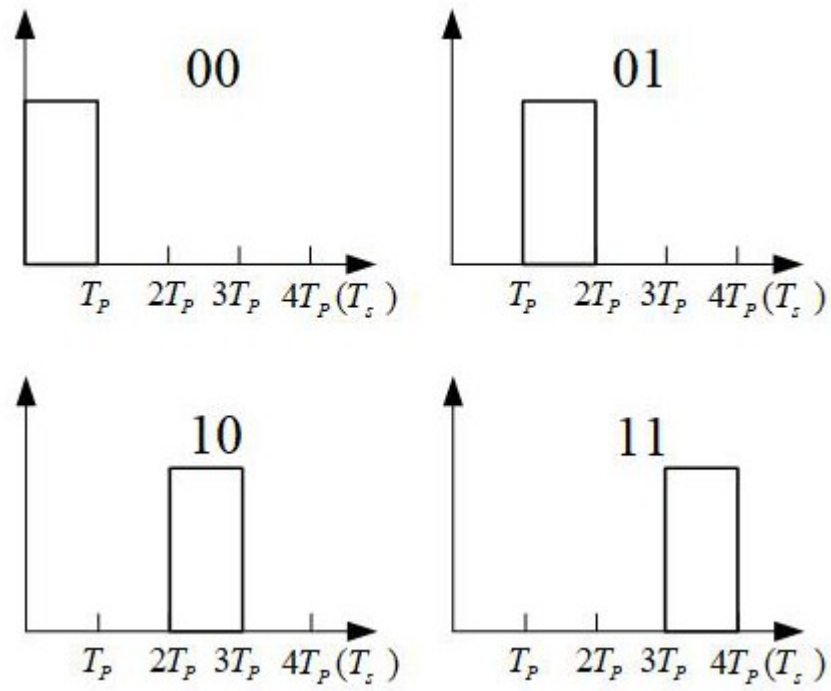


图1

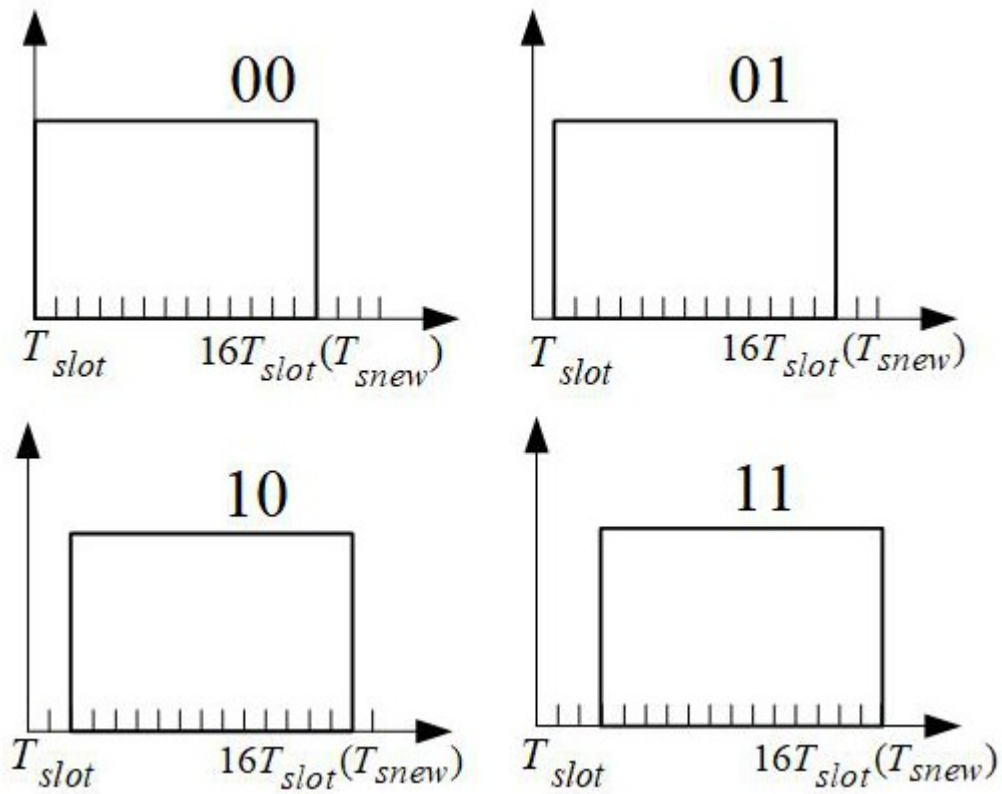


图2

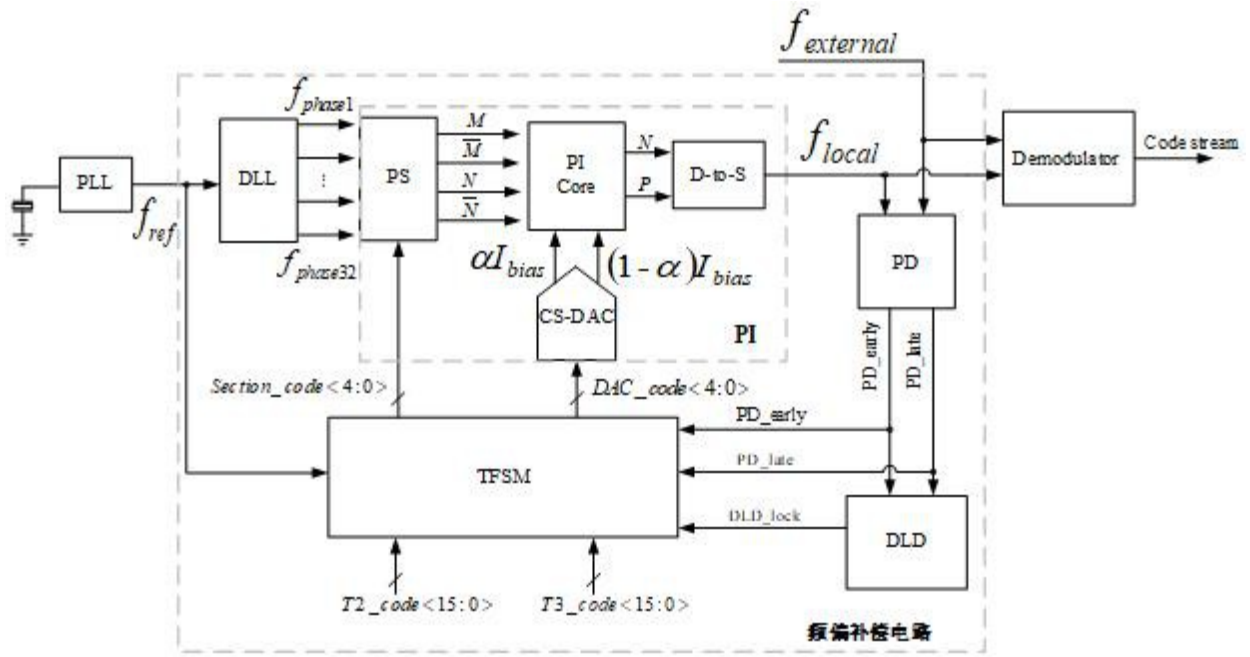


图3

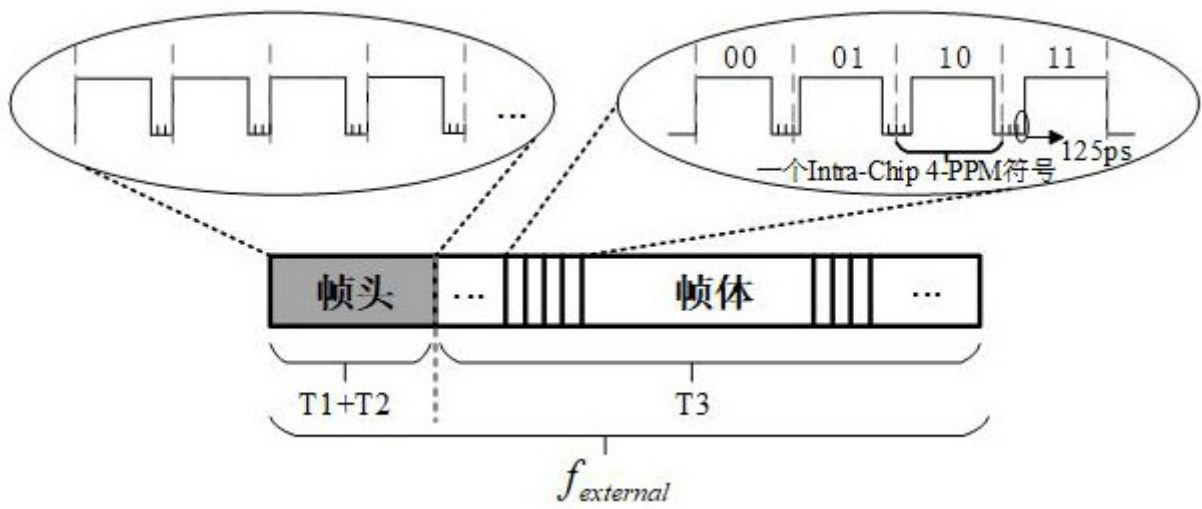


图4

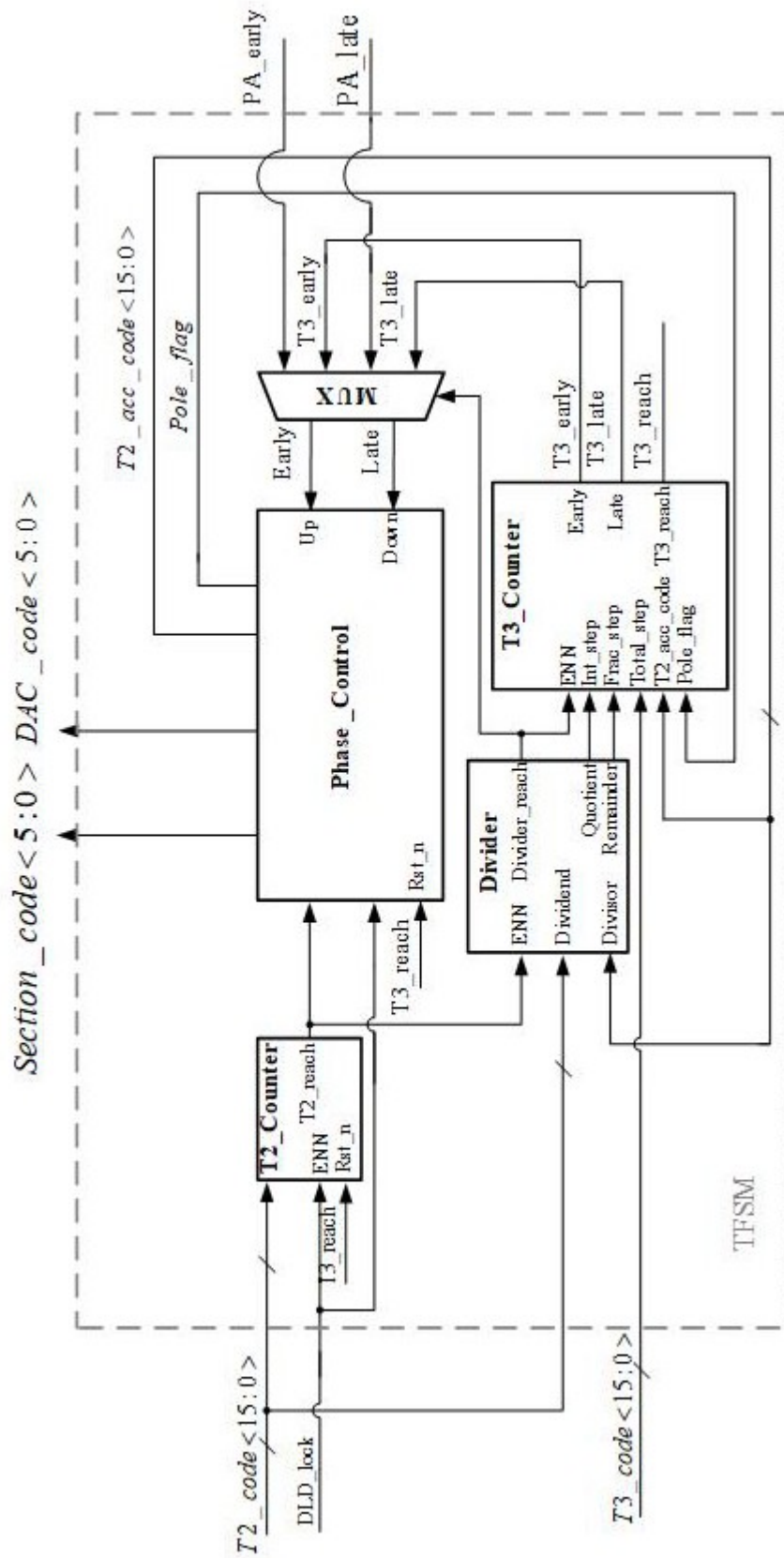


图5

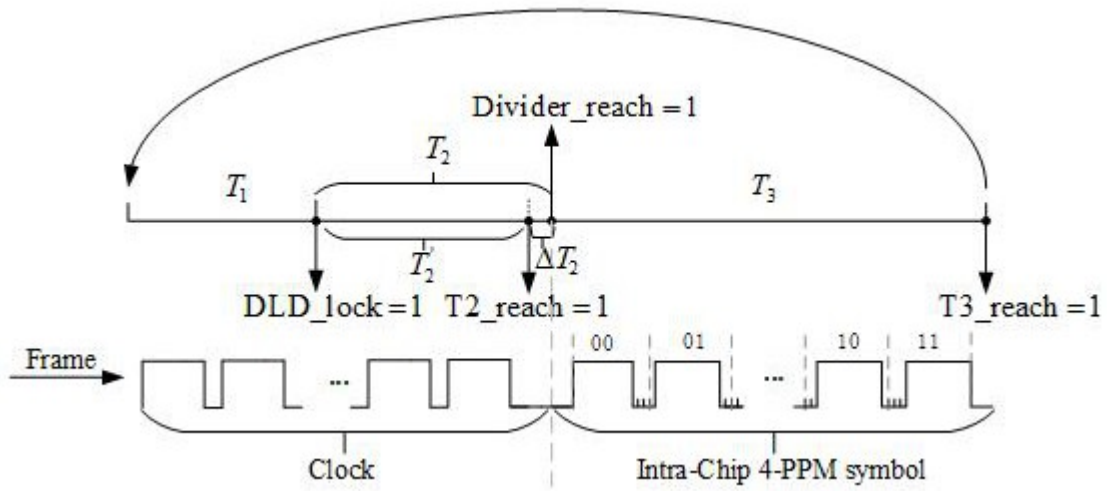


图6

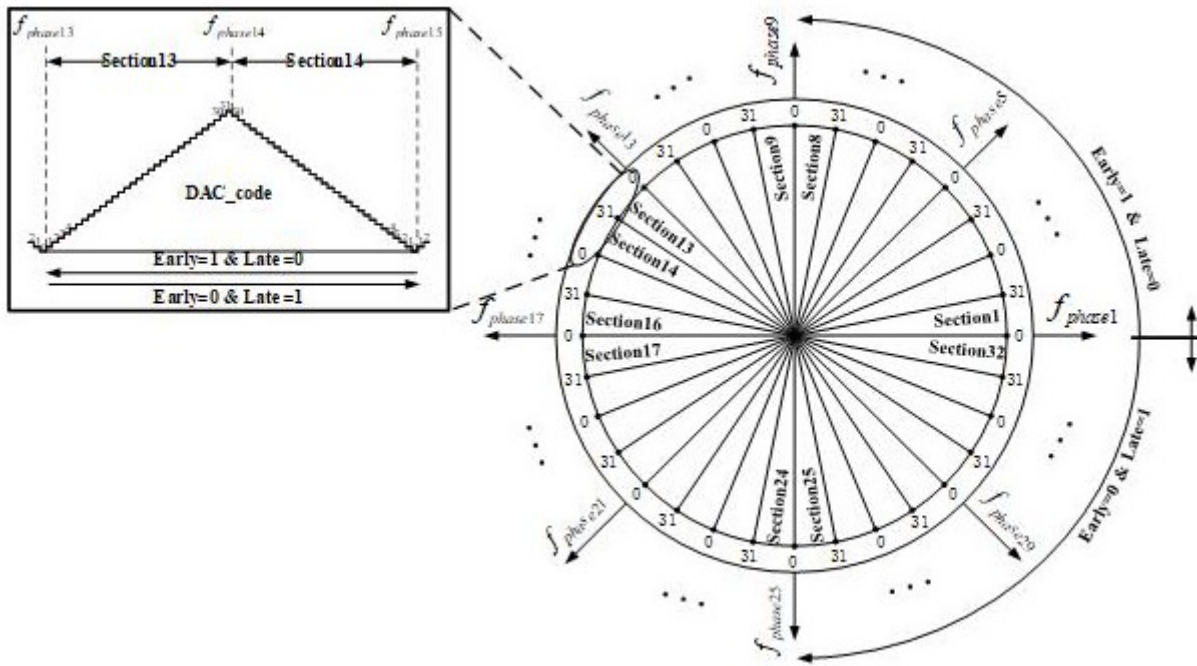


图7

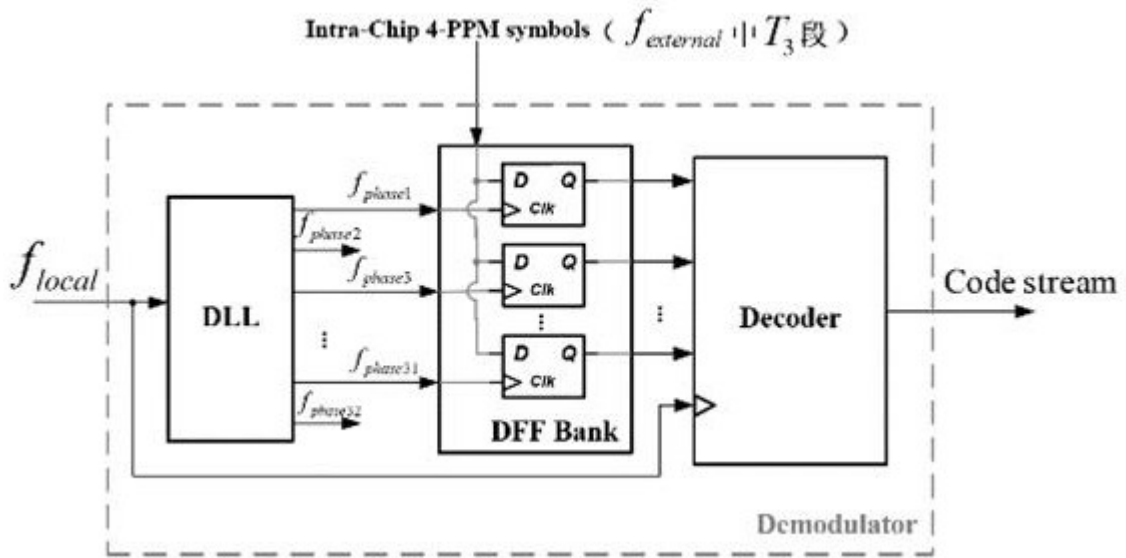


图8

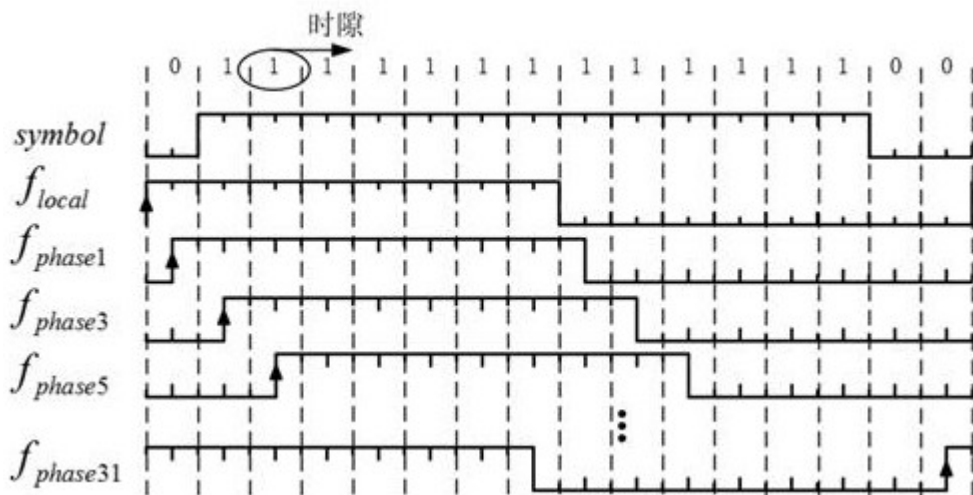


图9