



(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2021 006 492.5**
(22) Anmeldetag: **30.12.2021**
(43) Offenlegungstag: **30.06.2022**

(51) Int Cl.: **H01L 29/78** (2006.01)
H01L 29/167 (2006.01)
H01L 21/74 (2006.01)
H01L 21/336 (2006.01)
H01L 29/06 (2006.01)

(30) Unionspriorität:
17/139,748 **31.12.2020** **US**

(71) Anmelder:
Semiconductor Components Industries, LLC,
Phoenix, AZ, US

(74) Vertreter:
Manitz Finsterwald Patent- und
Rechtsanwaltspartnerschaft mbB, 80336
München, DE

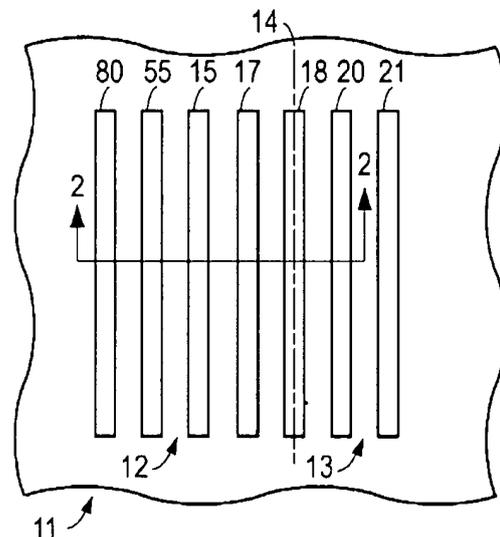
(72) Erfinder:
Chen, Weize, Phoenix, AZ, US; Grisworld, Mark,
Gilbert, AZ, US; Pjencak, Jaroslav, Dolni Becva,
CZ

Rechercheantrag gemäß § 43 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **HALBLEITERVORRICHTUNG UND VERFAHREN DAFÜR**

(57) Zusammenfassung: Eine Ausführungsform einer Halbleitervorrichtung kann einen Transistor mit einem ersten dotierten Bereich und einem zweiten dotierten Bereich einschließen, die sich seitlich unter dem Source, dem Körper und dem Drain des Transistors liegend erstrecken. Der Transistor kann eine Ausführungsform aufweisen, die einen zusätzlichen Vorspannungskontakt einschließt, um ein Vorspannungspotential an den ersten dotierten Bereich und/oder alternativ den zweiten dotierten Bereich anzulegen.



Beschreibung

HINTERGRUND

[0001] Die vorliegende Erfindung bezieht sich allgemein auf Elektronik und insbesondere auf Halbleiter, deren Strukturen sowie Verfahren zum Bilden von Halbleitervorrichtungen.

[0002] In der Vergangenheit nutzte die Halbleiterindustrie verschiedene Verfahren und Strukturen, um Hochspannungstransistoren zu bilden, die eine hohe Durchbruchspannung aufwiesen und eine hohe Schaltrate aufwiesen. Die Hochspannungstransistoren mussten im Allgemeinen Drain-zu-Source-Spannungen standhalten, die bis zu etwa zweihundert Volt (200 V) oder mehr betragen. Es war auch wünschenswert, dass der Hochspannungstransistor einen niedrigen Einschaltwiderstand (R_{dson}) aufwies. In der Regel wurde der Transistor mit verschiedenen dotierten Bereichen gebildet, um den gewünschten Vorgang zu erreichen.

[0003] In einigen Anwendungen wiesen die Transistoren zuweilen Leistungsverluste während Schaltvorgängen auf. Außerdem wollten einige Anwendungen eine höhere Durchbruchspannung. Einige Herstellungsverfahren waren nicht mit etablierten Herstellungsverfahren kompatibel.

[0004] Dementsprechend ist es wünschenswert, einen Hochspannungstransistor mit einer verbesserten Durchbruchspannung zu haben und/oder der während Schaltvorgängen einen reduzierten Leistungsverlust aufweist.

Figurenliste

Fig. 1 veranschaulicht eine vergrößerte Draufsicht eines Abschnitts eines vereinfachten Beispiels einer Ausführungsform einer Halbleitervorrichtung, die einen Hochspannungstransistor gemäß der vorliegenden Erfindung einschließt;

Fig. 2 veranschaulicht einen vergrößerten Querschnittsabschnitt eines Beispiels einer Ausführungsform des Transistors von **Fig. 1** gemäß der vorliegenden Erfindung;

Fig. 3 veranschaulicht eine vergrößerte Querschnittsansicht eines Beispiels einer Ausführungsform des Transistors von **Fig. 1** in einer Phase eines Beispiels einer Ausführungsform eines Verfahrens zum Bilden des Transistors gemäß der vorliegenden Erfindung;

Fig. 4 veranschaulicht einen vergrößerten Querschnittsabschnitt eines Beispiels einer Ausführungsform eines Transistors, der eine Ausführungsform aufweisen kann, die eine alternative Ausführungsform des Transistors

von **Fig. 1** gemäß der vorliegenden Erfindung sein kann;

Fig. 5 veranschaulicht einen vergrößerten Querschnittsabschnitt eines Beispiels einer Ausführungsform eines anderen Transistors, der eine Ausführungsform aufweisen kann, die eine alternative Ausführungsform des Transistors von **Fig. 4** gemäß der vorliegenden Erfindung sein kann, und

Fig. 6 veranschaulicht einen vergrößerten Querschnittsabschnitt eines Beispiels einer Ausführungsform eines Transistors, der eine Ausführungsform aufweisen kann, die eine alternative Ausführungsform der Transistoren von **Fig. 1** oder **Fig. 4** oder **Fig. 5** gemäß der vorliegenden Erfindung sein kann.

[0005] Aus Gründen der Einfachheit und Klarheit der Darstellung(en) sind die Elemente in den Abbildungen nicht notwendigerweise maßstabsgetreu, einige der Elemente können zum Zweck der Veranschaulichung übertrieben dargestellt sein, und die gleichen Bezugszeichen in unterschiedlichen Abbildungen bezeichnen die gleichen Elemente, sofern nicht anders angegeben. Zusätzlich werden Beschreibungen und Details bekannter Schritte und Elemente aus Gründen der Einfachheit der Beschreibung weggelassen. Wie hierin verwendet, bedeutet stromführendes Element oder stromführende Elektrode ein Element einer Vorrichtung, das Strom durch die Vorrichtung leitet, wie eine Source oder ein Drain eines Transistors wie eines MOS-Transistors oder eines Transistors mit hoher Elektronenmobilität (HEMT), oder ein Emitter oder ein Kollektor eines Bipolartransistors, oder eine Kathode oder Anode einer Diode, und Steuerelement oder Steuerelektrode bedeutet ein Element der Vorrichtung, das den Stromfluss durch die Vorrichtung steuert, wie beispielsweise ein Gate eines MOS-Transistors, ein Gate eines HEMT oder eine Basis eines Bipolartransistors. Außerdem kann ein stromführendes Element Strom in einer Richtung durch eine Vorrichtung leiten, wie zum Beispiel in eine Vorrichtung eintretenden Strom, und ein zweites stromführendes Element kann Strom in einer entgegengesetzten Richtung durch die Vorrichtung leiten, wie Strom, der die Vorrichtung verlässt. Obwohl die Vorrichtungen hierin als bestimmte N-Kanal- oder P-Kanal-Vorrichtungen oder als bestimmte N- oder P-dotierte Gebiete erklärt werden, werden Durchschnittsfachleute verstehen, dass gemäß den Ausführungsformen der vorliegenden Erfindung ergänzende Vorrichtungen ebenso möglich sind. Durchschnittsfachleute auf dem Gebiet verstehen, dass sich der Leitfähigkeitstyp auf den Mechanismus bezieht, durch den die Leitung erfolgt, wie etwa durch Leitung von Löchern oder Elektronen, daher steht der Leitfähigkeitstyp in keinem Zusammenhang mit der Dotierungskonzentration, sondern in Zusammenhang mit dem Dotierungstyp, wie z. B.

P- oder N-dotiert. Fachleute werden feststellen, dass die hier verwendeten Bezeichnungen während, solange und bei in Bezugnahme auf die Bedienung der Schaltung keine exakten Begriffe sind, die bedeuten, dass eine Aktion genau mit Beginn einer anderen Aktion stattfindet, sondern es eine kurze, aber gerechtfertigte Verzögerung, wie zum Beispiel eine Übertragungsverzögerung zwischen der anfänglichen Aktion und der Reaktion, die dadurch ausgelöst wird, auftreten kann. Zusätzlich bedeutet der Begriff solange, dass eine bestimmte Aktion mindestens während eines Abschnitts der Dauer einer anfänglichen Handlung stattfindet. Die Verwendung der Begriffe annähernd oder im Wesentlichen bedeutet, dass der Wert eines Elements einen Parameter aufweist, von dem erwartet wird, dass er nahe bei einem angegebenen Wert oder einer Position liegt. Wie in dem Fachgebiet bekannt ist, gibt es jedoch immer geringe Abweichungen, die verhindern, dass die Werte oder Positionen genau so sind, wie sie angegeben sind. Es ist im Fachgebiet wohlbekannt, dass Abweichungen von bis zu etwa zehn Prozent (10 %) (und bis zu zwanzig Prozent (20 %) für einige Elemente, einschließlich Halbleiter-Dotierungskonzentrationen) als angemessene Abweichungen vom genau beschriebenen Idealziel angesehen werden. Die Ausdrücke erste, zweite, dritte und dergleichen in den Ansprüchen oder/und in der detaillierten Beschreibung, wie sie in einem Teil einer Benennung eines Elements verwendet werden, dienen zur Unterscheidung zwischen ähnlichen Elementen und nicht notwendigerweise zur Beschreibung einer Abfolge, weder zeitlich, räumlich, in Rangfolge noch in sonstiger Weise. Es versteht sich, dass die so verwendeten Begriffe unter geeigneten Umständen austauschbar sind und dass die hierin beschriebenen Ausführungsformen in der Lage sind, in anderen Sequenzen als hierin beschrieben oder veranschaulicht zu arbeiten. Eine Bezugnahme auf „eine Ausführungsform“ bedeutet, dass ein in Verbindung mit der Ausführungsform beschriebenes besonderes Merkmal, eine Struktur oder Eigenschaft in mindestens einer Ausführungsform der vorliegenden Erfindung enthalten ist. Somit beziehen sich die Ausdrücke „in einer Ausführungsform“ an verschiedenen Stellen in dieser Patentschrift nicht notwendigerweise auf dieselbe Ausführungsform, aber in einigen Fällen schon. Ferner können die bestimmten Merkmale, Strukturen oder Eigenschaften auf jede geeignete Weise kombiniert werden, wie es für Durchschnittsfachleute in einer oder mehreren Ausführungsformen offensichtlich ist. Zur Klarheit der Zeichnungen sind dotierte Bereiche von Strukturen von Vorrichtungen so dargestellt, dass sie im Allgemeinen geradlinige Ränder und präzise Winkelecken aufweisen. Fachleute verstehen jedoch, dass aufgrund der Diffusion und Aktivierung von Dotierstoffen die Ränder dotierter Bereiche allgemein keine geraden Linien und die Ecken keine präzisen Winkel sein können.

[0006] Zusätzlich veranschaulicht die Beschreibung den Aufbau einer Zelle (wobei die Körperbereiche eine Vielzahl von Zellenbereichen sind) und nicht den Aufbau eines einzelnen Körpers (wobei der Körperbereich aus einem einzelnen Bereich besteht, der in einem länglichen Muster gebildet ist, in einigen Ausführungsformen in einem Serpentinmuster). Es ist jedoch beabsichtigt, dass die Beschreibung sowohl auf eine zellulare Implementierung als auch auf eine einzige Basisimplementierung anwendbar ist.

[0007] Die im Folgenden veranschaulichten und beschriebenen Ausführungsformen können Ausgestaltungen aufweisen und/oder können bei Fehlen eines Elements ausgeführt werden, das hierin nicht ausdrücklich offenbart ist.

DETAILLIERTE BESCHREIBUNG DER ZEICHNUNGEN

[0008] Fig. 1 veranschaulicht eine vergrößerte Draufsicht eines Abschnitts eines vereinfachten Beispiels für eine Ausführungsform einer Halbleitervorrichtung 10, die einen Hochspannungstransistor 11 einschließt. Die Vorrichtung 10 kann in einigen Ausführungsformen andere elektrische Vorrichtungen oder Strukturen einschließen, die in Fig. 1 nicht veranschaulicht sind. Der Transistor 11 kann in einer Ausführungsform als eine Vielzahl von Transistorfingern oder Transistorelementen, wie Transistorelementen 12 und 13, ausgebildet sein, die jeweils als Transistor fungieren. Die Vielzahl von Elementen ist miteinander verbunden, um als ein Transistor zu fungieren.

[0009] Zum Beispiel kann das Transistorelement 12 einen Source-Bereich mit einer Source-Elektrode 15 einschließen, die benachbart zu einem Gate-Bereich ausgebildet ist, der eine Gate-Elektrode 17 aufweist, die von einem Drain-Bereich mit einer Drain-Elektrode 18 beabstandet ist. Der Transistor 11 kann auch einen optionalen Vorspannungskontakt mit einer Vorspannungselektrode 55 einschließen. Der Drain-Bereich und die Drain-Elektrode 18 können von den Elementen 12 und 13 gemeinsam genutzt werden. Das Element 13 kann auch einen Gate-Bereich mit einer Gate-Elektrode 20 und einen Source-Bereich mit einer Source-Elektrode 21 einschließen. In einigen Ausführungsformen kann die Source-Elektrode 21 der Source-Elektrode 15 ähnlich sein und die Gate-Elektrode 20 kann der Gate-Elektrode 17 ähnlich sein.

[0010] Eine axiale Mittellinie 14 stellt das Zentrum der Elemente 12 und 13 dar, so dass der Transistor 11 im Wesentlichen symmetrisch um die Linie 14 sein kann. Fachleute werden erkennen, dass, obwohl der Transistor 11 mit zwei Elementen 12 und 13 veranschaulicht ist, der Transistor 11 ausge-

bildet sein kann, um viele Anzahlen von Elementen wie Element 12 und 13 aufzuweisen. Die Isolationsbereiche oder Isolationsstrukturen 80 können ausgebildet sein, um den Transistor 11 von anderen Abschnitten der Vorrichtung 10 zu isolieren.

[0011] Fig. 2 veranschaulicht einen vergrößerten Querschnittsabschnitt eines Beispiels einer Ausführungsform des Transistors 11 entlang der in **Fig. 1** dargestellten Linie 2-2.

[0012] Fig. 3 veranschaulicht eine vergrößerte Querschnittsansicht eines Beispiels einer Ausführungsform des Transistors 11 in einer Phase eines Beispiels einer Ausführungsform eines Verfahrens zum Bilden eines Transistors 11. Diese Beschreibung bezieht sich mindestens auf **Fig. 2** bis **Fig. 3**.

[0013] Der Transistor 11 kann auf einem Halbleitersubstrat 25 ausgebildet sein. Das Substrat 25 kann eine Ausführungsform aufweisen, die ein Silicium-auf-Isolator (SOI)-Substrat ist oder alternativ ein Siliciumsubstrat sein kann. Eine Ausführungsform kann auch einschließen, dass eine Isolatorschicht oder ein Isolator 26 auf dem Substrat 25 gebildet werden kann, um eine elektrische Isolierung zwischen dem Substrat 25 und den Elementen des Transistors 11 bereitzustellen. Der Isolator 26 kann aus Siliciumdioxid oder Siliciumnitrid oder anderen Isolatormaterialien gebildet sein, die dem Fachmann für Halbleiter gut bekannt sind. In einigen Ausführungsformen kann der Isolator 26 durch eine dotierte vergrabene Schicht ersetzt sein. Eine Ausführungsform kann das Ersetzen von Isolator 26 durch eine vergrabene Schicht des N-Typs einschließen.

[0014] Bezug nehmend auf **Fig. 3** kann eine dotierte Schicht 34 auf dem Isolator 26 gebildet sein. Die Schicht 34 kann eine Ausführungsform mit einer Leitfähigkeit des P-Typs aufweisen. Eine Ausführungsform kann das Verwenden einer modulierten Dotierungsprozedur einschließen, um einen Abschnitt der Schicht 34 zu bilden, wie die Schicht 27, mit einer höheren aktiven Dotierungskonzentration als ein anderer Abschnitt der Schicht 34, wie Schicht 28. Die Schicht 28 kann einen dotierten Bereich bilden, der als Sperrschicht fungieren kann, und die Schicht 27 kann einen dotierten Bereich bilden, der als Anti-Back-Gate-Schicht fungieren kann. Die Schicht 28 kann eine Ausführungsform aufweisen, die ausgebildet ist, um eine aktive Dotierungskonzentration von etwa $2E14$ bis etwa $1E15$ Atomen/cm³ aufzuweisen und die alternativ etwa $5E14$ Atome/cm³ betragen kann. Danach kann ein Abschnitt der Schicht 34 mit einer Leitfähigkeit des entgegengesetzten Typs dotiert werden, um eine Schicht 30 zu bilden, wodurch eine Schicht 29 verbleibt, um die Schichten 27 und 28 einzuschließen. Eine Ausführungsform der Schicht 30 kann mit einer Leitfähigkeit des N-Typs und mit einer aktiven Dotierungskon-

zentration von etwa $9E15$ bis etwa $2E16$ Atomen/cm³ oder alternativ etwa $1E16$ Atome/cm³ ausgebildet sein. Die Schicht 30 kann auf der gesamten Länge der Schicht 29 ausgebildet sein oder alternativ ausgebildet sein, um eine Breite über der Schicht 29 aufzuweisen, die um einen Abstand 31 kürzer ist als die Schicht 29 oder alternativ die Schicht 28. Alternativ kann die Schicht 29 durch Epitaxietechniken auf dem Isolator 26 ausgebildet sein und die Schicht 30 kann auf der Schicht 29 ausgebildet sein.

[0015] Danach kann ein dotierter Bereich 32 auf der Schicht 30 gebildet werden. Eine Ausführungsform von Bereich 32 kann epitaxial auf der Schicht 30 mit einem Dotierstofftyp ausgebildet sein, der dem Dotierungstyp der Schicht 30 entgegengesetzt ist. Alternativ kann der Bereich 32 durch Dotieren einer anderen Schicht gebildet werden, die auf der Schicht 30 ausgebildet werden kann. Der Bereich 32 kann eine Ausführungsform mit einer Leitfähigkeit des P-Typs und einer aktiven Dotierungskonzentration aufweisen, die geringer als die aktive Dotierungskonzentration von Schicht 30 ist. Die aktive Dotierungskonzentration des Bereichs 32 kann etwa $2E15$ bis etwa $5E15$ oder alternativ etwa $2,6E15$ betragen. Anschließend können Isolationsstrukturen 80 gebildet werden. Die Isolationsstrukturen 80 können als tiefe Grabenisolierungsstrukturen ausgebildet sein, die sich von einer Oberfläche 33 des Bereichs 32 eine Strecke in den Bereich 32 hinein erstrecken, um sich mit dem Isolator 26 zu überschneiden. Fachleute werden erkennen, dass Strukturen 80 ausgebildet werden können, indem ein Graben geschaffen wird, der sich zu dem Bereich 32 öffnet, und ein isolierendes Material entlang der Seitenwände der Grabenöffnung gebildet wird. Danach können beliebige Öffnungen in dem isolierenden Material mit anderem Material gefüllt werden, wie zum Beispiel mit Polysilicium. Die Strukturen 80 und der Isolator 26 bilden eine Isolationsstruktur, die den Transistor 11 von beliebigen anderen Abschnitten der Vorrichtung 10 (**Fig. 1**) isoliert.

[0016] Unter erneuter Bezugnahme auf **Fig. 2** können andere Bereiche des Transistors 11 innerhalb des Bereichs 32 gebildet werden. Zum Beispiel können Abschnitte des Bereichs 32 dotiert werden, um die Bereiche zu bilden. Ein Körperbereich 42 des Transistors 11 kann als dotierter Bereich innerhalb des Bereichs 32 ausgebildet sein, und ein Source-Bereich 45 kann in dem Bereich 42 ausgebildet sein. In einigen Ausführungsformen kann der Source-Bereich 45 einen Source-Kontaktbereich 46 und einen angrenzenden und/oder darunterliegenden source-dotierten Bereich einschließen, der in einigen Ausführungsformen eine leichtere aktive Dotierungskonzentration als der Source-Kontaktbereich 46 aufweisen kann. Ein Abschnitt von Bereich 42 kann unter dem Bereich 45 liegen und sich damit überschneiden. Der Körperbereich 42 kann einen

Körperkontaktbereich 43 einschließen, der das Bilden eines niedrigen Widerstandskontakts mit dem Körperbereich 42 erleichtert. In einer Ausführungsform kann ein Körperleiter 44 mit der Elektrode 15 verbunden sein, um eine Verbindung zwischen dem Körperbereich 43 und dem Source-Bereich 45 zu bilden. Ein dotierter Bereich 35 kann darunter ausgebildet sein und den Bereich 42 schneiden und auch die Schicht 30 schneiden. Eine Ausführungsform des Bereichs 35 kann eine Dotierungskonzentration aufweisen, die größer als die der Schicht 28 ist, und auch nicht kleiner als oder alternativ größer als die Dotierungskonzentration der Schicht 30 ist. Die Dotierungskonzentration des Bereichs 35 kann etwa $2E16$ bis $1E17$ Atome/cm³ betragen und alternativ etwa $3E16$ Atome/cm³ betragen. Der Bereich 35 kann in einigen Ausführungsformen das Reduzieren des oberflächenelektrischen Felds (Resurf) unterstützen oder alternativ das Erhöhen der Durchbruchspannung des Transistors 11 und kann als Resurf-Bereich bezeichnet werden.

[0017] Ein Drift-Bereich kann als dotierter Bereich 37 auf der Oberfläche von Bereich 32 ausgebildet sein und sich vertikal in den Bereich 32 hinein erstrecken. Der Bereich 37 kann eine Ausführungsform aufweisen, die sich nicht mit der Schicht 30 schneidet oder sich in diese erstreckt, sondern kann eine Ausführungsform aufweisen, die den Bereich 35 schneiden kann. Eine Ausführungsform des Bereichs 37 kann eine Dotierungskonzentration aufweisen, die größer als die der Schicht 28 ist, und auch nicht kleiner als oder alternativ größer als die Dotierungskonzentration der Schicht 30 ist. Die Dotierungskonzentration des Bereichs 37 kann etwa $5E15$ bis etwa $5E16$ Atome/cm³ betragen und alternativ etwa $2E16$ Atome/cm³ betragen. Ein Drain-Bereich des Transistors 11 kann ein Abschnitt des Bereichs 37 sein, der unter einem Drain-Kontakt oder einem Kontaktbereich 40 liegt. Der Drain-Kontaktbereich 40 kann ein dotierter Bereich sein, der eine hohe aktive Dotierungskonzentration aufweist, um das Bilden einer niederohmigen elektrischen Verbindung zu dem Drain-Bereich zu erleichtern. Zum Beispiel eine niederohmige Verbindung zwischen der Drain-Elektrode 18 und dem Bereich 37. Ein optionaler dotierter Bereich 39 kann unter dem Bereich 40 liegend ausgebildet sein und sich vertikal in den Bereich 37 hinein erstrecken. Zum Beispiel kann der Bereich 39 innerhalb des Bereichs 37 gebildet sein und der Bereich 40 kann innerhalb des Bereichs 39 oder alternativ innerhalb des Bereichs 37 gebildet sein. Der Bereich 39 kann dazu beitragen, die Ladung zu reduzieren, die sich am Drain des Transistors 11 sammelt, wodurch ein Einschaltwiderstand verbessert wird. Der Bereich 35 kann sich erstrecken, um unter einem Abschnitt des Bereichs 37 zu liegen. In einer Ausführungsform liegt der Bereich 35 weder unter dem Drain-Bereich noch den Bereichen 39-40. Da der Drain-Bereich des Transistors 11 mit

den Elementen 12 und 13 gemeinsam genutzt werden kann, kann sich ein anderer und im Wesentlichen ähnlicher Abschnitt von Bereich 37 auch in der entgegengesetzten Richtung von der Linie 14 erstrecken, um das Bilden von Element 13 (**Fig. 1**) zu unterstützen. Zusätzlich kann sich ein Abschnitt des Bereichs 35 auch in die entgegengesetzte Richtung von Bereich 37 erstrecken, um das Bilden von Element 13 zu unterstützen. Ein Vorspannungskontakt oder Vorspannungsbereich 54 kann als ein dotierter Bereich auf der Oberfläche von Bereich 32 ausgebildet und von Bereich 39 beabstandet sein. Ein Kontaktbereich 53 kann innerhalb des Bereichs 54 und mit einer höheren aktiven Dotierungskonzentration ausgebildet sein, um eine niederohmige Verbindung zu den Bereichen 54 und 32 zu bilden. Eine Ausführungsform kann einschließen, dass die Bereiche 42, 43 und 45 seitlich zwischen dem Bereich 54 und dem Drain, oder alternativ Bereich 40, positioniert sind. Eine Ausführungsform des Transistors 11 kann einschließen, dass die Schicht 30 und die Bereiche 35, 42 und 43 ausgebildet sein können, um eine Leitfähigkeit vom N-Typ aufzuweisen, und die Bereiche 32, 37, 39, 40, 45, 46, 53 und 54 können ausgebildet sein, um eine Leitfähigkeit vom P-Typ aufzuweisen.

[0018] Eine Gate-Struktur kann über einem Abschnitt von Bereich 42 liegend und über einem Abschnitt von Bereich 32 liegend ausgebildet sein, der seitlich zwischen den Bereichen 42 und 37 positioniert ist. Die Gate-Struktur kann einen Gate-Isolator 61 einschließen, der über einem Abschnitt von Bereich 42 liegend, der an den Bereich 45 angrenzt, und über dem Abschnitt von Bereich 32 liegend ausgebildet ist, das heißt, zwischen dem Bereich 42 und dem Bereich 37. Fachleute werden erkennen, dass der Isolator 61 viel dünner ist als ein Isolator 48 und Isolator 26. Ein Gate-Leiter 62 kann auf dem Isolator 61 ausgebildet werden. Der Leiter 62 kann über dem Abschnitt von Bereich 42 liegend, der seitlich an den Bereich 45 angrenzt, und über dem Abschnitt von Bereich 32 liegend ausgebildet sein, das heißt, zwischen den Bereichen 37 und 42. Der Abschnitt von Bereich 42, der unter dem Leiter 62 liegt, bildet den Kanalbereich des Transistors 11. Eine Ausführungsform des Isolators 61 und Leiters 62 kann auch ausgebildet sein, um über einem Abschnitt des Bereichs 37 zu liegen, das heißt, angrenzend an den Bereich 32. Isolator 61 und Leiter 62 können aus einer Vielfalt von bekannten Isolatormaterialien bzw. Gate-Leitermaterialien gebildet sein. Der Leiter 62 kann mit der Elektrode 17 verbunden sein.

[0019] Die Isolatoren 48, 49 und 50 können im Bereich 32 ausgebildet sein und über jeweiligen Bereichen 37, 42 und einem Abschnitt von Bereich 32, der sich von dem Bereich 43 in Richtung des Bereichs 54 erstreckt, liegen. Die Isolatoren 48, 49 und 50 können dazu beitragen, Leckströme zwischen Elementen des Transistors 11 zu reduzieren.

Eine Ausführungsform von Isolatoren 48 bis 50 kann unter Verwendung von Flachgrabentechniken gebildet werden. Eine Ausführungsform kann Isolatoren 57, 58 und 59 einschließen, die verwendet werden können, um das Elektrisch-isoliert-Halten einiger der Elektroden zu unterstützen.

[0020] Im Betrieb empfängt der Source-Bereich 45 im Allgemeinen eine hohe Spannung. Zum Beispiel kann die hohe Spannung größer als einhundert Volt (100 V) sein oder kann bis zu zweihundert Volt (200 V) oder mehr betragen. Der Körperbereich 42 oder alternativ Bereich 43 empfangen eine Spannung, die im Wesentlichen der Spannung ähnlich ist, die von dem Bereich 45 empfangen wird. Der Vorspannungsbereich 54 empfängt eine Spannung, die nicht größer als eine von dem Drain empfangene Spannung ist oder alternativ eine Spannung von im Wesentlichen einer festen Bezugsspannung sein kann. Eine Ausführungsform der festen Bezugsspannung kann eine Massebezugsspannung sein. In einer Ausführungsform ist die durch den Vorspannungsbereich 54 empfangene Spannung eine im Wesentlichen konstante Spannung.

[0021] Für den Fall, dass der Transistor 11 deaktiviert ist, empfängt der Gate-Leiter 62 eine Spannung nahe der Spannung von Bereich 45, aber der Drain (zum Beispiel Bereich 40 oder Bereich 37 unter Bereich 40) kann eine Spannung empfangen, die viel kleiner ist. In einigen Ausführungsformen kann der Bereich 40 eine Spannung empfangen, die nahe der Massebezugsspannung liegt. Die Schicht 30 ist mit dem Körperbereich 42 durch den Bereich 35 elektrisch verbunden, somit ist Schicht 30 ausgebildet, um die an den Körperbereich 42 angelegte Spannung zu empfangen. Der Bereich 43 empfängt üblicherweise eine Spannung, die nahe der an den Source-Bereich 45 angelegten Spannung liegt. Diese Spannungsombinationen kehren die Vorspannung des P-N-Übergangs, der zwischen der Schicht 30 und dem Bereich 32 entlang der Grenzfläche mit dem Bereich 32 ausgebildet ist, und des P-N-Übergangs entlang der Grenzfläche des Bereichs 35 zu den Bereichen 32 und 37 um. Die Verarmungsbereiche dieser P-N-Übergänge sind durch die Spannung im Wesentlichen an Trägern verarmt. Die Dotierungskonzentration von Schicht 30 unterstützt das Bilden des Verarmungsbereichs, um Träger in dem Bereich im Wesentlichen abzubauen. Indem zum Beispiel die Schicht 30 stärker dotiert wird als der Bereich 32, wird es möglich, dass sich der Verarmungsbereich in den Bereich 32 hinein ausbreiten kann. Die Verarmungsbereiche senken das elektrische Feld, das sich zwischen dem Source-Bereich 45 und dem Drain-Bereich bildet (zum Beispiel Bereich 40) über die Verarmungsbereiche hinweg, was die Verbesserung der Durchbruchspannung des Transistors 11 unterstützt. Obwohl die Schicht 28 eine schwebende Schicht ist, die nicht direkt mit

einem Potenzial verbunden ist, kann ein Potenzial mit der Schicht 28 gekoppelt sein. Zum Beispiel kann die an die Kontaktelektrode 55 oder den alternativen Bereich 54 angelegte Spannung mit der Schicht 28 über die Schicht 30 gekoppelt werden und die Schicht 28 auf einem Potenzial halten, das zwischen den an die Bereiche 54 und 43 angelegten Potenzialen liegt. In einer Ausführungsform kann das Potenzial auf Schicht 28 (V_{28}) das Potenzial auf Bereich 54 (V_{54}) sein, plus ein Prozentsatz ($X\%$) der Differenz zwischen den Potenzialen auf den Bereichen 54 (V_{54}) und 43 (V_{43}). $V_{28} = V_{54} + (X\% \cdot (V_{43} - V_{54}))$. Eine Ausführungsform kann einschließen, dass der Prozentsatz ($X\%$) zwischen etwa fünf- und zwanzig Prozent (25 %) und etwa fünfundsiebzig Prozent (75 %) liegen kann. Eine Ausführungsform kann etwa fünfzig Prozent (50 %) sein. Wenn zum Beispiel der Bereich 54 nahe null ist und der Bereich 43 etwa zweihundert Volt beträgt, kann die Schicht 28 ein Potenzial von etwa einhundert Volt aufweisen ($X = 50\%$). Eine Ausführungsform kann einschließen, dass die Potenziale auf den Bereichen 54 und 43 während des Betriebs im Wesentlichen fix sind, somit kann das Potenzial auf Schicht 28 im Wesentlichen fix sein.

[0022] Für den Fall, dass der Transistor 11 aktiviert ist, empfängt der Drain eine Spannung, die einige Zehntel Volt weniger als die von Bereich 45 beträgt. Diese kann zum Beispiel etwa 0,1 bis etwa 0,5 Volt betragen. Eine Ausführungsform kann einschließen, dass für den Betrieb im linearen Bereich der Transistorkennlinie der Drain eine Spannung empfängt, die nicht größer als etwa ein Volt weniger als ist als die von Bereich 45. Alternativ kann der Drain für den Betrieb im Sättigungsbereich der Transistorkennlinie etwa zehn Volt weniger als der Bereich 45 empfangen. In einem Ausführungsbeispiel kann die Drain-Spannung für eine Source-Spannung von etwa zweihundert Volt (200 V) zwischen etwa null Volt bis etwa 199,5 oder etwa 199,9 Volt betragen. Der Vorspannungsbereich 54 empfängt die gleiche Spannung wie zuvor, diese niedrigere Spannung wird an den Bereich 32 angelegt, der unter Bereich 54 liegt, aber die Schicht 30 befindet sich auf der höheren Spannung von dem Bereich 43. Somit ist der P-N-Übergang zwischen der Schicht 30 und dem Bereich 32, der unter dem Bereich 54 liegt, an Trägern verarmt. Außerdem ist der Verarmungsbereich des P-N-Übergangs zwischen der Schicht 30 und dem Abschnitt von Bereich 32, der unter dem Bereich 37 liegt, ebenfalls verarmt. Die an den Bereich 54 angelegte Spannung ist über die Schicht 30 mit der Schicht 28 gekoppelt. Somit ist Schicht 28 auf einem Potenzial, das zwischen den Potenzialen liegt, die an die Bereiche 53 und 43 angelegt werden, wie hierin zuvor erläutert. Wie zu sehen ist, hält das Potenzial von dem Vorspannungskontakt die Schicht 28 auf einer im Wesentlichen konstanten Spannung sowohl für den aktivierten als auch für den deaktivierten

ten Zustand des Transistors 11. Eine Ausführungsform kann einschließen, dass sich das Potenzial von Bereich 43 von dem des Source-Bereichs 45 unterscheiden kann. Somit kann in einer Ausführungsform die Spannung oder das Potenzial der Schicht 28 unabhängig von Spannungen sein, die an den Drain oder die Source angelegt werden.

[0023] In einer optionalen Ausführungsform kann die Schicht 30 so ausgebildet sein, dass sie um den Abstand 31 kürzer als die Schicht 28 ist. Der Abstand 31 kann eine Ausführungsform aufweisen, die etwa zwei bis etwa drei (2-3) Mikrometer beträgt. Das Potenzial der Schicht 28 bleibt jedoch auf der im Wesentlichen konstanten Spannung wie hierin zuvor erläutert.

[0024] Der Verarmungsbereich unterstützt das Isolieren von Schicht 28 gegen die Spannungen, die an den Drain angelegt werden. In einigen Anwendungen kann der entlang der Schicht 30 ausgebildete Verarmungsbereich dazu beitragen, den Stromfluss von dem Drain-Bereich durch die Schicht 30 zu dem Substrat 25 zu minimieren. Zum Beispiel kann der Strom parasitärer Wechselstrom sein. Das im Wesentlichen konstante Potenzial von Schicht 28 hilft, die kapazitive Kopplung von Bereich 32 über den Isolator 26 zum Substrat 25 zu minimieren. Das Reduzieren der kapazitiven Kopplung reduziert den Leistungsverlust während des Umschaltens des Transistors 11. Somit unterstützen die Schichten 28 und 30 die Verbesserung der Durchbruchspannung des Transistors 11 und unterstützen das Reduzieren des Leistungsverlusts während des Umschaltens des Transistors 11.

[0025] Fig. 4 veranschaulicht einen vergrößerten Querschnittsabschnitt eines Beispiels einer Ausführungsform eines Transistors 85, der eine Ausführungsform aufweisen kann, die eine alternative Ausführungsform des Transistors 11 von Fig. 2 sein kann. Der Transistor 85 ist im Wesentlichen ähnlich dem Transistor 11, außer dass der Transistor 85 zusätzliche dotierte Bereiche 86 und 88 aufweist. Der Transistor 85 schließt auch eine zusätzliche Gate-Struktur mit einem Gate-Isolator 89 und Gate-Leiter 90 ein, die im Wesentlichen gleich dem Isolator 61 und dem Leiter 62 sind. Der Gate-Leiter 90 ist mit dem Bereich 42 verbunden, wie durch die gestrichelte Linie veranschaulicht. Der Bereich 88 ist ausgebildet, um sich von der Oberfläche 33 in den Bereich 32 hinein zu erstrecken, und weist zumindest einen Abschnitt auf, der unter Bereich 54 liegt. Der Bereich 88 hat den gleichen Leitfähigkeitstyp wie der Bereich 37 und im Wesentlichen die gleiche Dotierungskonzentration. Der Bereich 86 ist mit dem Bereich 42 und angrenzend an den Bereich 43 ausgebildet.

[0026] Im Betrieb fungiert der Bereich 88 ähnlich dem Bereich 37 als Drift-Bereich. Die Spannung über den Bereich 88 variiert seitlich über den Bereich 88, während er verarmt wird. Der Bereich 54 fungiert als Drain-Bereich. Eine Ausführungsform kann einschließen, dass der Bereich 54 auf einem im Wesentlichen fixen Bezugspotential gehalten werden kann. Der Gate-Leiter 90 wird auf dem Potenzial des Bereichs 86 gehalten. Der Bereich 86 ist elektrisch mit den Bereichen 42 und 43 verbunden, wie in allgemeiner Weise durch gestrichelte Linien veranschaulicht. Diese Spannungsconfiguration unterstützt das Halten des Potentials der Schicht 28 auf einer im Wesentlichen konstanten Spannung sowohl für den aktivierten als auch für den deaktivierten Zustand des Transistors 85 und während des Umschaltens des Transistors 85.

[0027] Fig. 5 veranschaulicht einen vergrößerten Querschnittsabschnitt eines Beispiels einer Ausführungsform eines Transistors 92, der eine Ausführungsform aufweisen kann, die eine alternative Ausführungsform des Transistors 85 (Fig. 4) sein kann. Der Transistor 92 ist im Wesentlichen ähnlich dem Transistor 85, außer dass der dotierte Bereich 88 weggelassen ist und der Bereich 50 seitlich erweitert ist, um unter dem Isolator 89 zu liegen oder alternativ die Fläche von dem Isolator 89 in Fig. 4 eingenommen wird. Die Bereiche 86, 42 und 54 bilden einen parasitären PNP-Transistor. Falls die zwischen den Bereichen 86 und 54 angelegte Spannung groß ist, könnte der PNP-Transistor einen Teil der Energie absorbieren.

[0028] Fig. 6 veranschaulicht einen vergrößerten Querschnittsabschnitt eines Beispiels einer Ausführungsform eines Transistors 94, der eine Ausführungsform aufweisen kann, die eine alternative Ausführungsform des Transistors 11 (Fig. 1) oder eines der Transistoren 85 oder 92 sein kann. Der Transistor 94 ist im Wesentlichen der gleich wie Transistor 11, außer dass die Bereiche 53-54 verschoben und zwischen zwei Elementsätzen positioniert wurden, die den Elementen 12 und 13 (Fig. 1) ähnlich sind. Somit werden die Bereiche 53-54 von angrenzend an Strukturen 80 zu einer anderen Position verschoben, die zwischen zwei Sätzen der Elemente liegt. Zum Beispiel zwischen zwei Source-Bereichen oder alternativ zwei Körperbereichen. Fachleute werden verstehen, dass der Gate-Isolator, die Gate-Elektroden und andere Elemente der Klarheit der Zeichnungen halber weggelassen werden und um die alternative Positionierung der Bereiche 53-54 besser zeigen zu können.

[0029] Aus all dem Vorstehenden wird ein Fachmann erkennen, dass eine Halbleitervorrichtung mit einem Transistor Folgendes umfassen kann:

ein Halbleitersubstrat, wie zum Beispiel das Substrat 25;

einen Isolator, wie zum Beispiel den Isolator 26, auf dem Halbleitersubstrat;

einen Source-Bereich, wie zum Beispiel den Bereich 45, eines ersten Leitfähigkeitstyps, wie zum Beispiel des P-Typs, der über dem Isolator liegt;

einen Drift-Bereich, wie zum Beispiel den Bereich 37, des ersten Leitfähigkeitstyps, der über dem Isolator liegt;

einen Drain-Bereich, wie zum Beispiel den Bereich 40, des ersten Leitfähigkeitstyps innerhalb des Drift-Bereichs und über dem Isolator liegend, wobei der Drain-Bereich von dem Source-Bereich um zumindest einen Abschnitt des Drift-Bereichs beabstandet ist;

einen ersten dotierten Bereich, wie zum Beispiel die Schicht 28, des ersten Leitfähigkeitstyps auf dem Isolator mit einer ersten Dotierungskonzentration, wobei der erste dotierte Bereich ausgebildet ist, um sich kontinuierlich über den Isolator zu erstrecken, der unter dem Source-Bereich, dem Drain-Bereich und dem Drift-Bereich liegt;

eine Restriktionsschicht, wie zum Beispiel die Schicht 30, eines zweiten Leitfähigkeitstyps, wie zum Beispiel des N-Typs, auf dem ersten dotierten Bereich und mit einer zweiten Dotierungskonzentration, die größer als die erste Dotierungskonzentration ist, wobei die Restriktionsschicht ausgebildet ist, um sich kontinuierlich über den ersten dotierten Bereich, der unter dem Source-Bereich liegt, den Drain-Bereich und den Drift-Bereich zu erstrecken;

eine Epitaxieschicht, wie zum Beispiel die Schicht 32, des ersten Leitfähigkeitstyps auf der Restriktionsschicht, wobei die Epitaxieschicht eine dritte Dotierungskonzentration aufweist, die kleiner als die zweite Dotierungskonzentration ist und größer als die erste Dotierungskonzentration ist, wobei ein Abschnitt der Epitaxieschicht einen P-N-Übergang mit der Restriktionsschicht bildet;

einen Körperbereich, wie zum Beispiel einen der Bereiche /35/42/43 des zweiten Leitfähigkeitstyps in der Epitaxieschicht, wobei sich der Source-Bereich in dem Körperbereich befindet, wobei der Körperbereich elektrisch mit der Restriktionsschicht gekoppelt ist und wobei die Restriktionsschicht ein Potenzial empfängt, das an den Körperbereich angelegt wird; und

einen Vorspannungskontakt, wie zum Beispiel einen der Bereiche 53/54, einschließlich eines zweiten dotierten Bereichs des ersten Leitfähigkeitstyps, der in der Epitaxieschicht ausgebildet ist, wobei der Vorspannungskontakt elektrisch mit dem ersten dotierten Bereich gekoppelt ist,

wobei ein an den Vorspannungskontakt angelegtes Potenzial an einen Abschnitt des P-N-Übergangs angelegt wird.

[0030] Eine Ausführungsform kann einen Verarmungsbereich entlang der Restriktionsschicht einschließen, die für ein Intervall, in dem der Transistor deaktiviert ist, im Wesentlichen verarmt wird.

[0031] Der Transistor kann eine Ausführungsform aufweisen, die einen Verarmungsbereich entlang der Restriktionsschicht einschließen kann, die im Wesentlichen für ein Intervall verarmt wird, in dem der Transistor aktiviert ist.

[0032] Eine Ausführungsform des Transistors kann einschließen, dass ein Potenzial an dem ersten dotierten Bereich für ein erstes Intervall, in dem der Transistor aktiviert ist, und für ein zweites Intervall, das der Transistor deaktiviert ist, im Wesentlichen konstant sein kann.

[0033] Eine Ausführungsform kann auch einen dritten dotierten Bereich, wie zum Beispiel den Bereich 35, des zweiten Leitfähigkeitstyps in der Epitaxieschicht einschließen, der sich erstrecken, um sowohl an der Restriktionsschicht als auch dem Körperbereich anzuliegen.

[0034] In einer Ausführungsform kann der dritte dotierte Bereich unter dem Körperbereich, dem Source-Bereich und einem Abschnitt des Drift-Bereichs liegen, liegt jedoch nicht unter dem Drain-Bereich.

[0035] Eine Ausführungsform kann einschließen, dass die Restriktionsschicht unter dem Vorspannungskontakt liegt.

[0036] In einer Ausführungsform kann sich ein Abschnitt der Epitaxieschicht zwischen dem Vorspannungskontakt und der Restriktionsschicht erstrecken und an diesen anliegen.

[0037] Eine Ausführungsform kann einschließen, dass die Restriktionsschicht nicht unter dem Vorspannungskontakt liegt.

[0038] Eine weitere Ausführungsform kann einschließen, dass der erste dotierte Bereich unter dem Vorspannungskontakt liegt.

[0039] Der Transistor kann eine Ausführungsform aufweisen, in der die Restriktionsschicht unter dem Vorspannungskontakt liegt.

[0040] Fachleute werden erkennen, dass eine Ausführungsform einer Halbleitervorrichtung mit einem Transistor Folgendes umfassen kann:

einen ersten dotierten Bereich, wie zum Beispiel den Bereich 32, eines ersten Leitfähigkeitstyps, wie zum Beispiel des P-Typs, und eine erste Dotierungskonzentration;

einen Drift-Bereich, wie zum Beispiel den Bereich 37, des ersten Leitfähigkeitstyps innerhalb des ersten dotierten Bereichs und mit einem darin ausgebildeten Drain-Bereich, wie zum Beispiel dem Bereich 40 oder unter dem Bereich 40 liegend, des ersten Leitfähigkeitstyps;

einen Körperbereich, wie zum Beispiel den Bereich 42, eines zweiten Leitfähigkeitstyps, wie zum Beispiel des N-Typs, beabstandet von dem Drift-Bereich;

einen Source-Bereich, wie zum Beispiel den Bereich 45, des ersten Leitfähigkeitstyps innerhalb des Körperbereichs;

einen Kanalbereich, der zwischen dem Source-Bereich und dem Drift-Bereich positioniert ist;

eine restriktive Schicht, wie zum Beispiel die Schicht 30, des zweiten Leitfähigkeitstyps und mit einer zweiten Dotierungskonzentration, die größer als die erste Dotierungskonzentration ist, wobei sich die restriktive Schicht kontinuierlich unter dem Körperbereich, dem Source-Bereich, dem Kanalbereich, dem Drift-Bereich und dem Drain-Bereich liegend erstreckt, wobei die restriktive Schicht elektrisch mit dem Körperbereich verbunden ist, wie zum Beispiel durch den Bereich 35; und

eine Sperrschicht, wie zum Beispiel die Schicht 28, des ersten Leitfähigkeitstyps und mit einer zweiten Dotierungskonzentration, die kleiner als die erste Dotierungskonzentration ist, wobei die Sperrschicht unter der restriktiven Schicht liegt und an der restriktiven Schicht anliegt, wobei ein Potenzial der Sperrschicht im Wesentlichen konstant ist.

[0041] Der Transistor kann eine Ausführungsform aufweisen, die auch einen zweiten dotierten Bereich, wie zum Beispiel den Bereich 35, des zweiten Leitfähigkeitstyps einschließen kann, der auf der restriktiven Schicht ausgebildet ist und sich zum Inkontakt-treten mit dem Körperbereich erstreckt.

[0042] In einer Ausführungsform kann der zweite dotierte Bereich unter dem Körperbereich und zumindest einem Abschnitt des Drift-Bereichs liegen, jedoch nicht unter dem Drain-Bereich liegen.

[0043] In einer Ausführungsform kann zumindest ein Abschnitt der restriktiven Schicht entlang einer Länge der restriktiven Schicht im Wesentlichen an Trägern verarmt werden, wenn der Transistor aktiviert ist.

[0044] Eine Ausführungsform kann einen Vorspannungskontakt einschließen, wie zum Beispiel einen der Bereiche 53/54, die als ein zweiter dotierter Bereich des ersten Leitfähigkeitstyps in dem ersten dotierten Bereich ausgebildet sind.

[0045] Der Transistor kann eine Ausführungsform aufweisen, wobei ein Potenzial der Sperrschicht im Wesentlichen konstant ist, wenn der Transistor aktiviert ist und wenn er deaktiviert ist.

[0046] Fachleute werden erkennen, dass eine Ausführungsform eines Verfahrens zum Bilden einer Halbleitervorrichtung mit einem Transistor Folgendes umfassen kann:

Bereitstellen eines Halbleitersubstrats;

Bilden eines ersten dotierten Bereichs, wie zum Beispiel der Schicht 28, eines ersten Leitfähigkeitstyps, wie zum Beispiel des P-Typs, der über dem Halbleitersubstrat liegt;

Bilden eines zweiten dotierten Bereichs, wie zum Beispiel des Bereichs 30, eines zweiten Leitfähigkeitstyps, wie zum Beispiel des N-Typs, auf dem ersten dotierten Bereich, wobei der zweite dotierte Bereich erste Dotierungskonzentration aufweist;

Bilden eines dritten dotierten Bereichs, wie zum Beispiel der Schicht 32, des ersten Leitfähigkeitstyps auf dem zweiten dotierten Bereich, wobei der dritte dotierte Bereich eine zweite Dotierungskonzentration aufweist, die kleiner als die erste Dotierungskonzentration ist; und

Bilden eines Körperbereichs, eines Source-Bereichs innerhalb des Körperbereichs, eines Drift-Bereichs innerhalb des ersten dotierten Bereichs und eines Drain-Bereichs innerhalb des Drift-Bereichs, wobei sich der erste dotierte Bereich und der zweite dotierte Bereich erstrecken, um kontinuierlich unter dem Source-Bereich, dem Drift-Bereich und dem Drain-Bereich zu liegen, und wobei der zweite dotierte Bereich elektrisch mit dem Körperbereich gekoppelt ist.

[0047] Das Verfahren kann eine Ausführungsform aufweisen, die das Bilden eines Vorspannungskontakts als einen vierten dotierten Bereich, wie zum Beispiel den Bereich 53 oder 54, des ersten Leitfähigkeitstyps innerhalb des dritten dotierten Bereichs einschließen kann, wobei ein Potenzial des ersten dotierten Bereichs sowohl für einen aktivierten als auch für einen deaktivierten Betriebszustand des Transistors im Wesentlichen konstant ist.

[0048] Eine Ausführungsform kann das Bilden des vierten dotierten Bereichs einschließen, um das Potenzial unabhängig von Spannungen zu empfan-

gen, die an den Source-Bereich, den Körperbereich und den Drain-Bereich angelegt werden.

[0049] Angesichts all der oben genannten Ausführungen ist es offensichtlich, dass ein neues Bauelement und ein neuartiges Verfahren offenbart werden. Eingeschlossen, unter anderen Merkmalen, ist das Bilden eines Transistors mit einer Sperrschicht und Restriktionsschicht. Die Sperrschicht wird bei einer im Wesentlichen konstanten Spannung gehalten, was den Leistungsverlust beim Schalten des Transistors reduziert. Die Restriktionsschicht ist mit dem Körperbereich gekoppelt und bildet eine Verarmungszone, die das Verbessern der Durchbruchspannung des Transistors unterstützt.

[0050] Während der Gegenstand der Beschreibung mit bestimmten bevorzugten Ausführungsformen und Ausführungsbeispielen beschrieben wird, stellen die vorstehenden Zeichnungen und Beschreibungen nur typische und nicht einschränkende Ausführungsformen des Gegenstands dar und sind daher nicht als einschränkend für dessen Schutzzumfang anzusehen, da viele Alternativen und Varianten für Fachleute offensichtlich erkennbar sind. Zum Beispiel wurde der Gegenstand für einen bestimmten P-Kanal- oder P-Typ-MOS-Transistor beschrieben, obwohl das Verfahren direkt auf N-Kanal- oder N-Typ-MOS-Transistoren anwendbar ist. Fachleute werden erkennen, dass die Struktur auch auf Dioden sowie Transistoren anwendbar ist.

[0051] Wie die nachfolgenden Ansprüche widerspiegeln, können erfinderische Aspekte in weniger als allen Merkmalen einer einzelnen vorstehend offenbarten Ausführungsform liegen. Somit sind die nachfolgend ausgedrückten Ansprüche hiermit ausdrücklich in diese detaillierte Beschreibung der Zeichnungen aufgenommen, wobei jeder Anspruch für sich allein als eine separate Ausführungsform einer Erfindung steht. Während einige hierin beschriebene Ausführungsformen einige, jedoch nicht andere Merkmale enthalten, die in anderen Ausführungsformen enthalten sind, sollen Kombinationen von Merkmalen unterschiedlicher Ausführungsformen im Umfang der Erfindung liegen und unterschiedliche Ausführungsformen bilden, wie es für Fachleute auf diesem Gebiet selbstverständlich ist.

Patentansprüche

1. Halbleitervorrichtung mit einem Transistor, umfassend:
ein Halbleitersubstrat;
einen Isolator auf dem Halbleitersubstrat;
einen Source-Bereich eines ersten Leitfähigkeitstyps, der über dem Isolator liegt;
einen Drift-Bereich des ersten Leitfähigkeitstyps, der über dem Isolator liegt;

einen Drain-Bereich des ersten Leitfähigkeitstyps innerhalb des Drift-Bereichs, welcher über dem Isolator liegt, wobei der Drain-Bereich von dem Source-Bereich um zumindest einen Abschnitt des Drift-Bereichs beabstandet ist;
einen ersten dotierten Bereich des ersten Leitfähigkeitstyps auf dem Isolator und mit einer ersten Dotierungskonzentration, wobei sich der erste dotierte Bereich kontinuierlich über den Isolator erstreckt, der unter dem Source-Bereich, dem Drain-Bereich und dem Drift-Bereich liegt;
eine Restriktionsschicht eines zweiten Leitfähigkeitstyps auf dem ersten dotierten Bereich und mit einer zweiten Dotierungskonzentration, die größer als die erste Dotierungskonzentration ist, wobei die Restriktionsschicht ausgebildet ist, um sich kontinuierlich über den ersten dotierten Bereich, der unter dem Source-Bereich liegt, den Drain-Bereich und den Drift-Bereich zu erstrecken;
eine Epitaxieschicht des ersten Leitfähigkeitstyps auf der Restriktionsschicht, wobei die Epitaxieschicht eine dritte Dotierungskonzentration aufweist, die kleiner als die zweite Dotierungskonzentration ist und größer als die erste Dotierungskonzentration ist, wobei ein Abschnitt der Epitaxieschicht einen P-N-Übergang mit der Restriktionsschicht bildet;
einen Körperbereich des zweiten Leitfähigkeitstyps in der Epitaxieschicht, wobei sich der Source-Bereich in dem Körperbereich befindet und wobei der Körperbereich elektrisch mit der Restriktionsschicht gekoppelt ist und wobei die Restriktionsschicht ein Potenzial empfängt, das an den Körperbereich angelegt wird; und
einen Vorspannungskontakt einschließlich eines zweiten dotierten Bereichs des ersten Leitfähigkeitstyps, der in der Epitaxieschicht ausgebildet ist, wobei der Vorspannungskontakt elektrisch mit dem ersten dotierten Bereich gekoppelt ist, wobei ein an den Vorspannungskontakt angelegtes Potenzial an einen Abschnitt des P-N-Übergangs angelegt wird.

2. Halbleitervorrichtung nach Anspruch 1, wobei ein Verarmungsbereich entlang der Restriktionsschicht für ein Intervall, in dem der Transistor deaktiviert ist, im Wesentlichen verarmt wird.

3. Halbleitervorrichtung nach Anspruch 1, wobei die Restriktionsschicht nicht unter dem Vorspannungskontakt liegt.

4. Halbleitervorrichtung mit einem Transistor, umfassend:
einen ersten dotierten Bereich eines ersten Leitfähigkeitstyps und einer ersten Dotierungskonzentration;
einen Drift-Bereich des ersten Leitfähigkeitstyps innerhalb des ersten dotierten Bereichs und mit einem darin ausgebildeten Drain-Bereich des ersten Leitfähigkeitstyps;
einen Körperbereich eines zweiten Leitfähigkeits-

typs, der von dem Drift-Bereich beabstandet ist;
 einen Source-Bereich des ersten Leitfähigkeitstyps innerhalb des Körperbereichs;
 einen Kanalbereich, der zwischen dem Source-Bereich und dem Drift-Bereich positioniert ist;
 eine restriktive Schicht des zweiten Leitfähigkeitstyps und mit einer zweiten Dotierungskonzentration, die größer als die erste Dotierungskonzentration ist, wobei sich die restriktive Schicht kontinuierlich unter dem Körperbereich, dem Source-Bereich, dem Kanalbereich, dem Drift-Bereich und dem Drain-Bereich liegend erstreckt, wobei die restriktive Schicht elektrisch mit dem Körperbereich verbunden ist; und
 eine Sperrschicht des ersten Leitfähigkeitstyps und mit einer zweiten Dotierungskonzentration, die kleiner als die erste Dotierungskonzentration ist, wobei die Sperrschicht unter der restriktiven Schicht liegt und an der restriktiven Schicht anliegt, wobei ein Potenzial der Sperrschicht im Wesentlichen konstant ist.

5. Halbleitervorrichtung nach Anspruch 4, ferner einschließlich eines zweiten dotierten Bereichs des zweiten Leitfähigkeitstyps, der auf der restriktiven Schicht ausgebildet ist und sich zum Inkontakttreten mit dem Körperbereich erstreckt.

6. Halbleitervorrichtung nach Anspruch 4, wobei zumindest ein Abschnitt der restriktiven Schicht entlang einer Länge der restriktiven Schicht im Wesentlichen an Trägern verarmt wird, wenn der Transistor aktiviert ist.

7. Halbleitervorrichtung nach Anspruch 4, wobei ein Potenzial der Sperrschicht im Wesentlichen konstant ist, wenn der Transistor aktiviert ist und wenn er deaktiviert ist, im Wesentlichen konstant ist.

8. Verfahren zum Bilden einer Halbleitervorrichtung mit einem Transistor, umfassend:
 Bereitstellen eines Halbleitersubstrats;
 Bilden eines ersten dotierten Bereichs eines ersten Leitfähigkeitstyps, der über dem Halbleitersubstrat liegt;
 Bilden eines zweiten dotierten Bereichs eines zweiten Leitfähigkeitstyps auf dem ersten dotierten Bereich, wobei der zweite dotierte Bereich eine erste Dotierungskonzentration aufweist;
 Bilden eines dritten dotierten Bereichs des ersten Leitfähigkeitstyps auf dem zweiten dotierten Bereich, wobei der dritte dotierte Bereich eine zweite Dotierungskonzentration aufweist, die kleiner als die erste Dotierungskonzentration ist; und
 Bilden eines Körperbereichs, eines Source-Bereichs innerhalb des Körperbereichs, eines Drift-Bereichs innerhalb des Körperbereichs, eines Drain-Bereichs innerhalb des Drift-Bereichs, wobei sich der erste dotierte Bereich und der zweite dotierte Bereich erstrecken, um kontinuierlich unter

dem Source-Bereich, dem Drift-Bereich und dem Drain-Bereich zu liegen, und wobei der zweite dotierte Bereich elektrisch mit dem Körperbereich gekoppelt ist.

9. Verfahren nach Anspruch 8, ferner einschließlich des Bildens eines Vorspannungskontakts als einen vierten dotierten Bereich des ersten Leitfähigkeitstyps innerhalb des dritten dotierten Bereichs, wobei ein Potenzial des ersten dotierten Bereichs sowohl für einen aktivierten als auch für einen deaktivierten Betriebszustand des Transistors im Wesentlichen konstant ist.

10. Verfahren nach Anspruch 9, ferner einschließlich des Bildens des vierten dotierten Bereichs, um das Potenzial unabhängig von Spannungen zu empfangen, die an den Source-Bereich, den Körperbereich und den Drain-Bereich angelegt werden.

Es folgen 3 Seiten Zeichnungen

Anhängende Zeichnungen

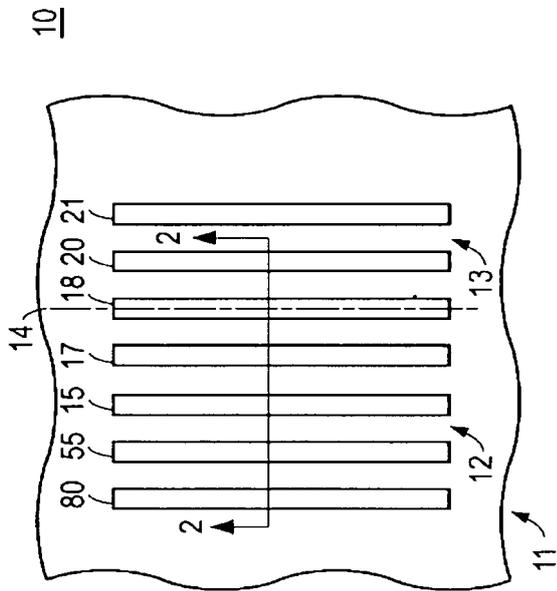


FIG. 1

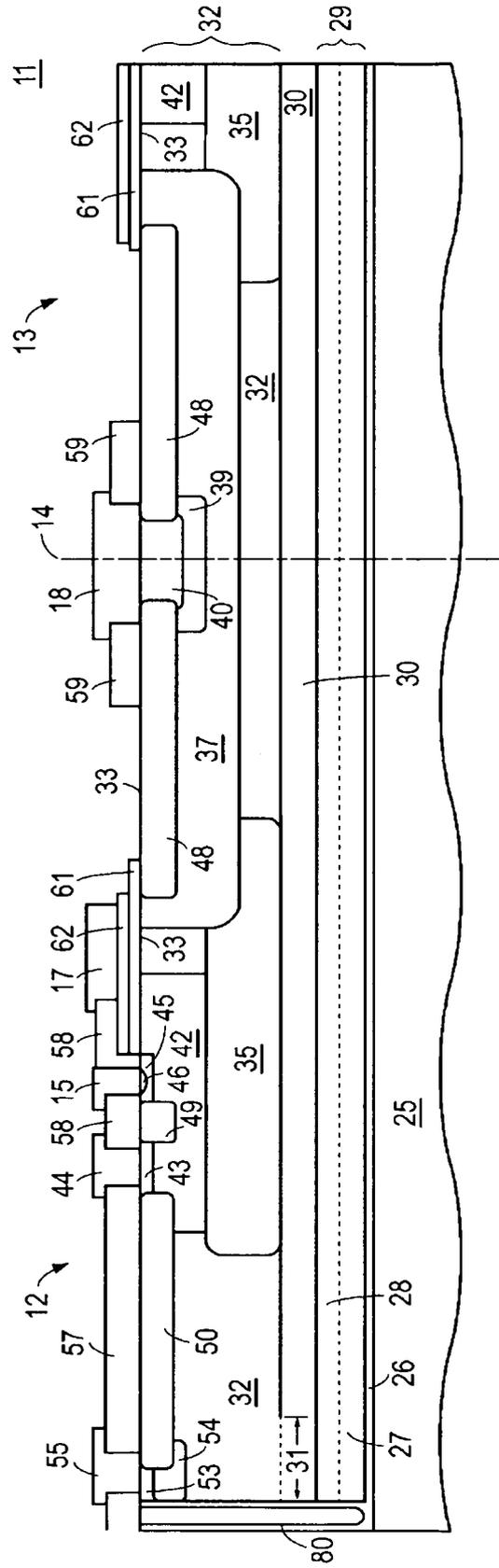


FIG. 2

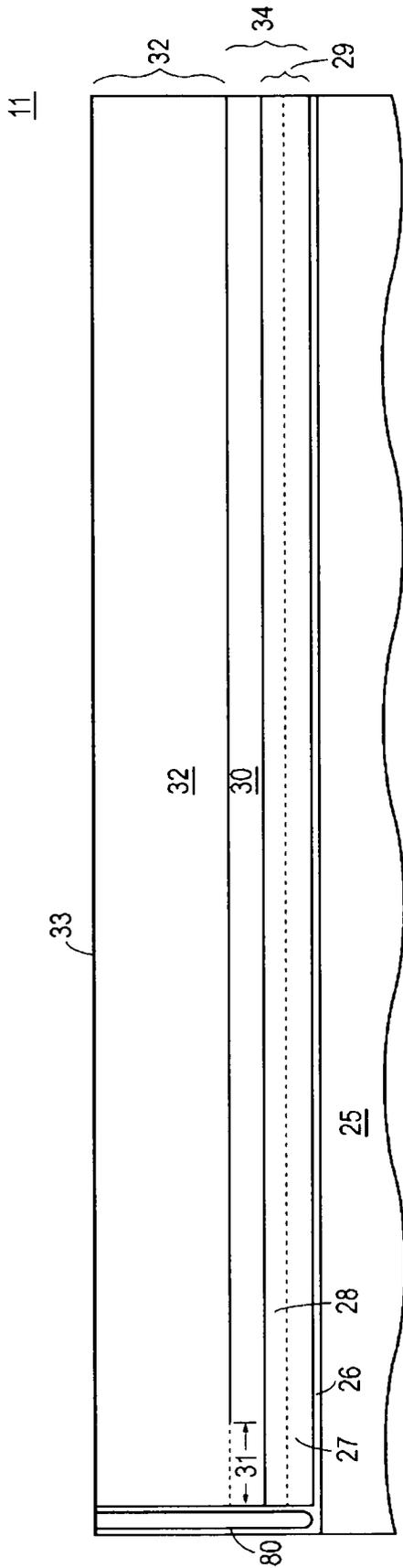


FIG. 3

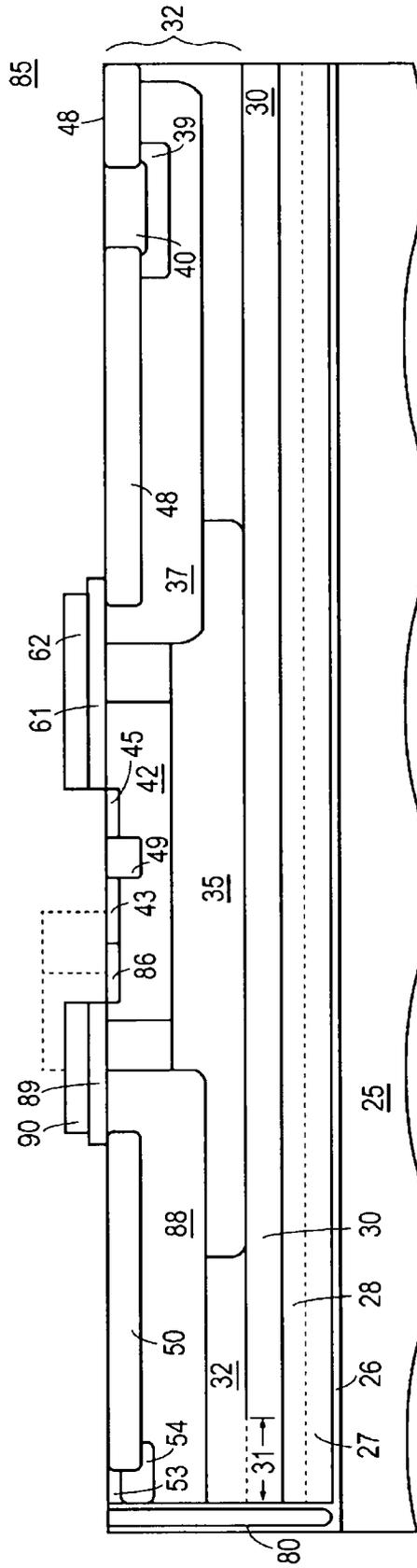


FIG. 4

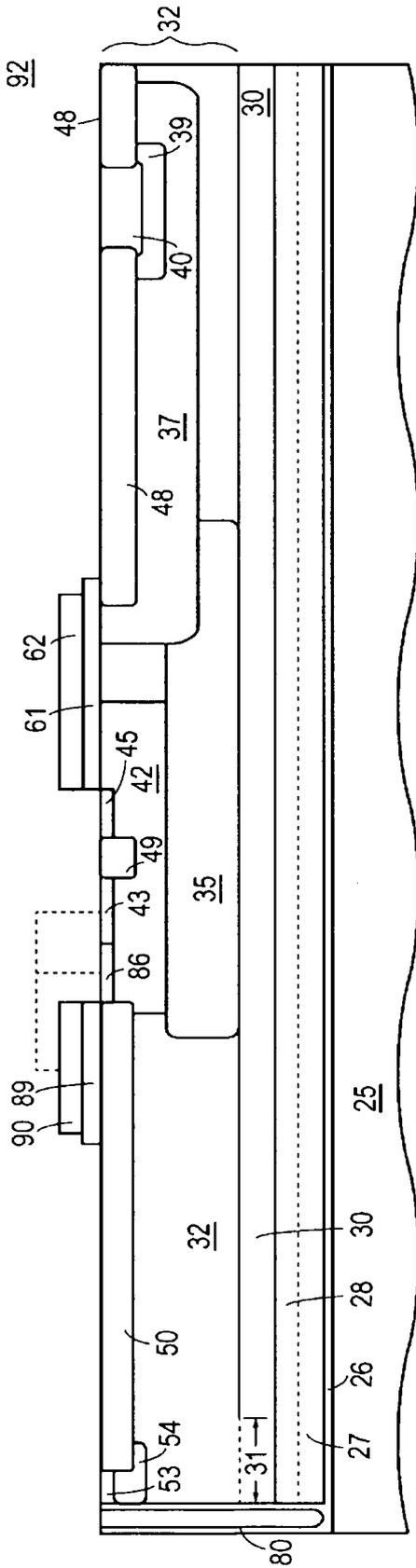


FIG. 5

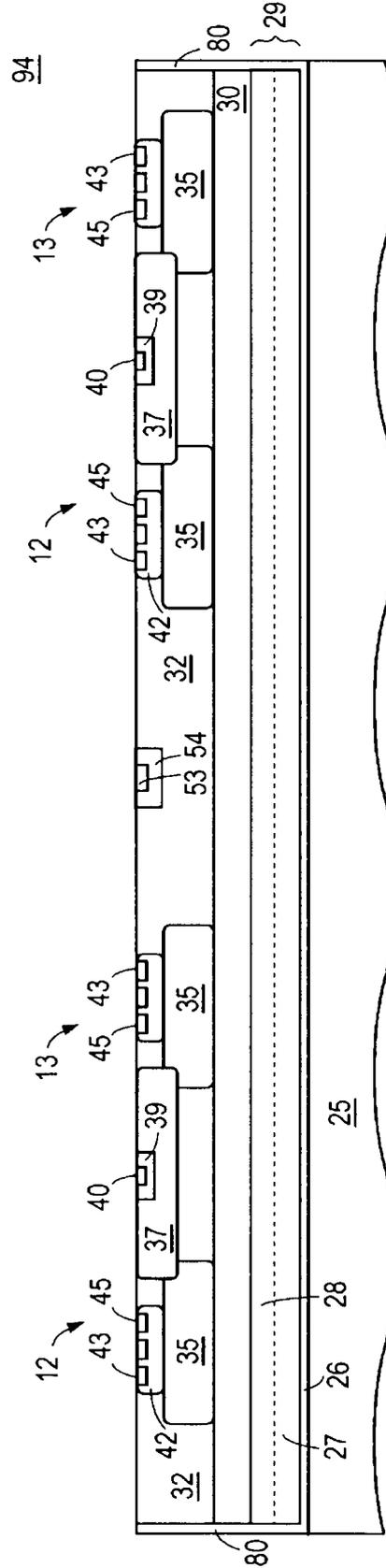


FIG. 6