



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년05월22일
(11) 등록번호 10-1266273
(24) 등록일자 2013년05월15일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0061475

(22) 출원일자 2006년06월30일

심사청구일자 2011년06월29일

(65) 공개번호 10-2008-0002582

(43) 공개일자 2008년01월04일

(56) 선행기술조사문헌

JP2002341382 A

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김용식

경기도 성남시 분당구 장미로 55, 현대아파트 808동 201호 (야탑동, 장미마을)

이왕선

경기도 파주시 번영로 55, 새꽃마을아파트 114동 404호 (금촌동)

(74) 대리인

박장원

전체 청구항 수 : 총 6 항

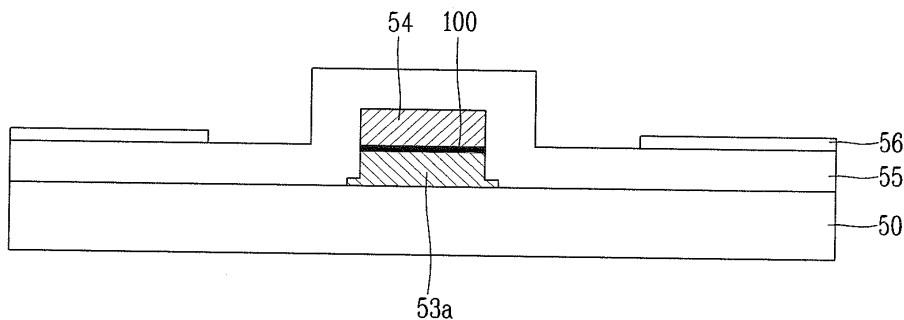
심사관 : 신창우

(54) 발명의 명칭 액정표시소자의 제조방법

(57) 요약

본 발명은 마스크 공정수를 줄일 수 있는 액정표시소자의 제조방법에 관한 것으로, 본 발명은 화소부와 패드부로 구분되는 제 1 기판과 상기 제 1 기판과 합착되는 제 2 기판을 제공하는 단계; 게이트전극이 패터닝된 제 1 기판 상에 게이트절연막, 반도체막, 제 1 도전막을 차례로 적층하는 단계; 하프톤 마스크를 이용하여 트랜지스터의 채널영역에서 그 두께가 상대적으로 얇게 패터닝된 제 1 PR 패턴을 상기 제 1 도전막 상에 형성하는 단계; 상기 제 1 PR 패턴을 이용하여 상기 제 1 도전막을 패터닝하는 단계; 상기 제 1 PR 패턴에 대한 제 1 애싱공정을 진행하여 상기 제 1 도전막의 외측면과 정렬되는 제 2 PR 패턴을 형성하는 단계; 상기 제 2 PR 패턴을 이용하여 상기 반도체막을 패터닝하는 단계; 상기 제 2 PR 패턴을 이용하여 소스/드레인 전극을 형성하는 단계; 상기 제 1 기판 상에 페시베이션막과 화소전극을 형성하는 단계; 및 상기 제 1 기판과 제 2 기판 사이에 액정층을 형성하는 단계를 포함하여 구성된다.

대표도 - 도7c



특허청구의 범위

청구항 1

화소부와 패드부로 구분되는 제 1 기판과, 상기 제 1 기판과 합착되는 제 2 기판을 제공하는 단계;
 상기 제1 기판 상에 게이트전극을 형성하는 단계;
 상기 게이트전극이 형성된 상기 제 1 기판상에 게이트절연막, 반도체막, 제 1 도전막을 차례로 적층하는 단계;
 하프톤 마스크를 이용하며 트랜지스터의 채널영역에서 그 두께가 소스/드레인 전극 영역보다 상대적으로 얇게 패터닝된 제 1 PR 패턴을 상기 제 1 도전막 상에 형성하는 단계;
 상기 제 1 PR 패턴을 이용하여 상기 제 1 도전막을 패터닝하는 단계;
 상기 제 1 PR 패턴에 대한 제1 애싱 공정을 통해 상기 제1 PR 패턴을 식각하여 상기 제 1 도전막의 외측면과 정렬되는 제 2 PR 패턴을 형성하는 단계;
 상기 제 2 PR 패턴을 이용하여 상기 반도체막을 패터닝하여 액티브 패턴을 형성하는 단계;
 상기 제2 PR 패턴에 대한 제2 애싱 공정을 통해 상기 제2 PR 패턴을 식각하여, 상기 액티브 패턴의 채널 영역 상의 상기 제1 도전막을 노출시키는 단계;
 상기 제 2 PR 패턴을 이용하여 노출된 상기 제1 도전막을 식각하여 소스/드레인 전극을 형성하는 단계;
 상기 제2 PR 패턴을 제거하고, 상기 소스/드레인 전극을 포함한 상기 제1 기판상에 페시베이션막을 형성하는 단계;
 상기 페시베이션막을 패터닝하여, 상기 드레인 전극을 노출시키는 단계;
 상기 페시베이션막 상에 상기 드레인 전극과 접속하는 화소전극을 형성하는 단계; 및
 상기 제 1 기판과 제 2 기판 사이에 액정층을 형성하는 단계;를 포함하는 이루어지는 액정표시장치의 제조방법.

청구항 2

제1항에 있어서, 상기 게이트전극이 패터닝된 제 1 기판 상에 게이트절연막, 반도체막, 제 1 도전막을 차례로 적층하는 단계는,
 상기 반도체막과 상기 제 1 도전막 사이에 오믹콘택막을 형성하는 단계를 더 포함하는 것을 특징을 하는 액정표시장치의 제조방법.

청구항 3

제1항에 있어서, 상기 제 1 PR 패턴을 이용하여 상기 제 1 도전막을 패터닝하는 단계는, 습식식각 공정을 사용하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 4

삭제

청구항 5

제2항에 있어서, 상기 제 2 PR 패턴을 이용하여 소스/드레인 전극을 형성하는 단계는,
 상기 제 2 PR 패턴에 대한 상기 제 2 애싱 공정을 진행하여 상기 액티브 패턴의 채널영역 상의 상기 제 1 도전막을 노출시키는 단계;
 상기 채널영역의 상기 제 1 도전막을 제거하는 단계;
 상기 채널영역의 상기 오믹콘택막을 제거하는 단계; 및
 상기 제 2 PR 패턴을 제거하는 단계;를 더 포함하여 이루어지는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 6

제 1 항에 있어서,

상기 게이트전극은 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 중 적어도 어느 하나를 이용하여 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 7

제 1 항에 있어서,

상기 화소전극은 인듐-틴-옥사이드(Indium Tin Oxide; ITO), 인듐-징크-옥사이드(Indium Zinc Oxide; IZO) 중 적어도 어느 하나를 이용하여 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 8

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0015] 본 발명은 액정표시소자의 제조방법에 관한 것으로 특히, 포토리소그래피 공정에 사용되는 슬릿 마스크 slit mask)를 하프톤 마스크(half tone mask)로 변경하여 채널의 균일성을 확보하고, 이를 바탕으로 소스/드레인 전극 형성시 프리-애싱(Pre-ashing) 공정을 추가로 적용할 수 있어, 액티브 테일(active tail)의 절감과 웨이비 노이즈(wavy noise)를 개선한 액정표시소자의 제조방법에 관한 것이다.
- [0016] 표시소자들, 특히 액정표시소자(Liquid Crystal Display Device)와 같은 평판표시장치(Flat Panel Display)에 서는 각각의 화소에 박막 트랜지스터와 같은 능동소자가 구비되어 표시소자를 구동한다.
- [0017] 이러한 방식의 표시소자의 구동방식을 흔히 액티브 매트릭스(Active Matrix) 구동 방식이라 한다. 이러한 액티 브 매트릭스 방식에서는 상기한 능동소자가 매트릭스 형식으로 배열된 각각의 화소에 배치되어 해당 화소를 구 동하게 된다.
- [0018] 도 1은 액티브 매트릭스 방식의 액정표시소자를 나타내는 도면이다. 도면에 도시된 구조의 액정표시소자는 능동 소자로서 박막트랜지스터(Thin Film Transistor : T)를 사용하는 박막트랜지스터 액정표시소자이다.
- [0019] 도면에 도시된 바와 같이, 종횡으로 N×M개의 화소가 배열되는 박막트랜지스터 액정표시소자의 각 화소는 외부 의 구동회로부터 주사신호가 인가되는 게이트라인(13)과 화상신호가 인가되는 데이터라인(19)의 교차영역에 형성된 박막트랜지스터(10)를 포함하고 있다.
- [0020] 박막트랜지스터(10)는 상기 게이트라인(13)과 연결된 게이트 전극(13a)과, 상기 게이트 전극(13a) 위에 형성되 어 게이트 전극(13a)에 주사신호가 인가됨에 따라 활성화되는 액티브 패턴(17)과, 상기 액티브 패턴(17)위에 형 성된 드레인 전극(19a) 및 소스 전극(19b)으로 구성된다.
- [0021] 상기 화소의 표시영역에는 상기 소스전극(19a) 및 드레인 전극(19b)과 연결되어 액티브 패턴(17)이 활성화됨에 따라 상기 소스전극(19a) 및 드레인 전극(19b)을 통해 화상신호가 인가되어 액정(도시되지 않음)을 동작시키는 화소전극(25)이 형성되어 있다.
- [0022] 도 2는 도 1의 II-II선의 단면도로서, 상기 도면을 참조하여 액정표시소자의 절단면 구조에 대해 설명하면 다음 과 같다.
- [0023] 도 2를 참조하면, 박막트랜지스터는 유리와 같은 투명한 물질로 이루어진 제1기판(11) 위에 형성되어 어레이 기 판을 구성한다. 상기 박막트랜지스터는 제1기판(11) 위에 형성된 게이트 전극(13a)과, 상기 게이트 전극(13a)이 형성된 제1기판(11) 전체에 걸쳐 적층된 게이트절연막(5)과, 상기 게이트 절연막(5)위에 형성된 액티브 패턴 (17)과, 상기 액티브 패턴(17) 위에 형성된 드레인전극(19a) 및 소스전극(19b)과, 상기 제1기판(11) 전체에 걸

층 형성된 패시베이션막(passivation layer, 23)으로 구성된다.

[0024] 상기 패시베이션막(23) 상에는 패시베이션막(23)에 형성된 콘택홀(미도시)을 통해 박막트랜지스터의 소스전극(19b)에 접속되는 화소전극(25)이 형성되어 있다.

[0025] 한편, 상기 어레이 기관(11)과 대향하는 컬러필터 기관은 유리와 같은 투명한 물질로 이루어진 제2기관(31)과, 상기 제2기관(31)위에 형성되며 박막트랜지스터가 형성된 영역이나 화소와 화소 사이와 같은 화상비표시영역에 형성되어 상기 화상 비표시영역으로 광이 투과하는 것을 방지하는 블랙매트릭스(33)와, 적, 녹, 청색으로 이루어져 실제 컬러를 구현하는 컬러필터층(35)을 포함하여 구성된다.

[0026] 상기 컬러필터 기관 및 어레이 기관이 합착되면 그 사이에 액정층(41)이 채워져 액정표시소자가 완성된다. 한편, 상기 컬러필터층(35)위에는 상기 화소전극(25)과 더불어 액정층(41)에 전계를 제공하는 공통전극(37)이 더 형성될 수 있다.

[0027] 이러한 액정표시소자는 주로 마스크를 이용한 포토리소그래피(photo-lithography) 공정과 같은 복잡한 공정에 의해 제작되는데, 도 3a 내지 도3g를 참조하여 슬릿마스크 slit mask를 사용하는 통상의 4 마스크 공정에 의한 액정표시소자 제조방법을 살펴본다.

[0028] 먼저, 도 3a를 참조하면, 제 1기관(11) 상의 전체 면에 게이트 전극으로 사용될 금속막을 형성한 후, 그 위에 포토레지스트를 도포하고 포토리소그래피(photolithography)공정을 진행하여 게이트 라인(미도시) 및 상기 게이트 라인에 연결되는 게이트 전극(13a)을 형성한다.

[0029] 이후, 도 3b를 참조하면, 게이트 전극(13a)이 형성된 제1기관(11) 전체에 걸쳐서 게이트 절연막(15)과, 반도체막(17)과 오믹콘택막(통상적으로 n+ 비정질 실리콘 박막이 사용됨, 도3b에는 미도시) 및 도전막(19)을 차례로 형성한다. 여기서 도전막(19)은 후속공정을 통해 소스 전극과 드레인 전극으로 패터닝될 막이다.

[0030] 이어서, 상기 도전막(19)상에 슬릿마스크를 이용한 감광막 패턴(21)을 형성한다. 이때, 상기 감광막 패턴(21)은 슬릿마스크를 이용하여 형성되기 때문에 채널영역의 상부에 형성된 감광막 패턴이 다른 영역에 형성된 감광막 패턴에 비해 얇다.

[0031] 다음으로, 도 3c를 참조하면, 상기 감광막 패턴(21)을 식각마스크로 적용하여 도전막(19), 오믹 콘택막(미도시) 및 반도체막(17)을 차례로 식각하여 액티브 패턴(103)을 형성한다.

[0032] 이어서, 상기 감광막 패턴(21)에 대한 애싱(ashing) 공정을 진행한다. 이때, 상기 애싱 공정에서 상기 감광막 패턴중 상대적으로 얇은 영역, 즉 채널 영역의 감광막 패턴은 제거되므로 도전막(19)이 노출된다.

[0033] 또한, 상기 애싱 공정은 유기물인 감광막을 산화시켜 제거하는 공정으로 감광막 패턴(21)의 일부가 산화로 인해 제거되고 전체적으로 부피가 감소하게 된다. 이때, 채널 영역과 액티브 패턴의 가장자리 부분의 감광막 패턴(21)도 함께 제거된다.

[0034] 이어서, 도 3e를 참조하면, 상기 애싱된 감광막 패턴(21a)을 식각 마스크로 적용하여 채널 영역의 도전막과, 오믹 콘택막을 제거함으로써 소스 전극(19b) 및 드레인 전극(19a)을 형성한다.

[0035] 이어서, 도 3f를 참조하면, 상기 애싱된 감광막 패턴(21a)을 제거한 다음, 상기 소스 및 드레인 전극(19a, 19b)을 포함한 기관 상에 패시베이션막(23)을 형성한다.

[0036] 이어서, 도 3g를 참조하면, 포토리소그래피 공정에 의해 상기 패시베이션막(23)에 상기 소스 전극(19b)을 노출시키는 콘택홀(미도시)을 형성한다. 이후, 상기 소스 전극(19b)과 연결되며 투명 전극물질로 구성된 화소전극(25)을 형성한다.

[0037] 상기와 같은 공정순으로 제조되는 박막트랜지스터는, 게이트 전극 형성시 제 1 마스크, 액티브 패턴 및 소스/드레인 전극 형성시 제 2 마스크, 드레인 전극을 노출시키는 콘택홀 형성시 제 3 마스크, 화소전극 형성시 제 4 마스크를 사용하는 4 마스크 공정에 의해 형성된다.

[0038] 상술한 바와같은 공정이 적용된 종래기술의 문제점을 살펴보면 다음과 같다.

[0039] 먼저, 도 3e에 도시된 바와 같이, 애싱된 감광막 패턴(21a)은 액티브 패턴(17)의 가장자리 영역도 노출시키기 때문에 액티브 패턴(17)의 가장자리에 형성되는 오믹콘택막(미도시) 및 도전막(19)은 제거되어 결과적으로 액티브 패턴(17)이 소스 및 드레인 전극에 비해 돌출되는 액티브 테일(active tail) 현상이 발생한다.

[0040] 이를 도4a 내지 도4b를 참조하여 상세히 설명하면 다음과 같다. 도4a 내지 도4b는 슬릿마스크를 이용한 종래의

공정에서 소스/드레인 전극을 형성하는 공정순서를 데이터 라인측에서 바라본 공정단면도이다.

- [0041] 먼저, 도4a에는 기판(11)상에 반도체막(17)과 오믹콘택막(100), 패터닝된 소스/드레인 전극 형성용 도전물질(19), 패터닝된 포토레지스트(21)가 도시되어 있는데 이를 도3c와 비교하여 설명하면 다음과 같다.
- [0042] 도4a에 도시된 도면은, 도3c에 도시된 도면에서 소스/드레인 전극 형성용 도전물질(19)까지 패터닝된 상태를 데이터 라인 측면에서 바라본 것으로, 포토레지스트(21)를 이용한 습식식각(wet etch)을 적용하여 소스/드레인 형성용 도전물질(19)(예를 들면, 몰리브덴이 포함된 금속)을 패터닝한 상태이다.
- [0043] 도4a에서는 게이트전극은 보이지 않으며, 게이트 절연막은 도시하지 않았다. 또한, 도4a에서는 채널영역의 두께가 상대적으로 얇은 포토레지스트의 모습은 보이지 않는다. 도3c와는 그 절단면이 다르기 때문이다.
- [0044] 그리고 도4a를 참조하면, 포토레지스트(21)보다 패터닝된 소스/드레인 형성용 도전물질(19)이 내측으로 거리 d만큼 더 식각되어 있음을 알 수 있다. 이러한 현상이 후속공정에서 액티브 테일(active tail)이라 불리는 바람직하지 못한 결과를 야기하는데 이에 대해 설명한다.
- [0045] 도4a와 같이 소스/드레인 형성용 도전물질(19)을 패터닝하고, 그 다음 공정으로 포토레지스트(21)를 식각마스크로 사용하여 오믹콘택막(100)과 반도체막(17)에 대한 건식식각(dry etch) 공정이 진행되어 액티브 패턴을 형성한다.
- [0046] 이때, 식각마스크인 포토레지스트(21)의 형상이 도4a에 도시된 바와 같으므로 식각된 액티브 패턴(17)의 외측과 패터닝된 소스/드레인 형성용 도전물질(19)의 외측이 서로 정렬되지 못한다.
- [0047] 즉, 도4b를 참조하면, 액티브 패턴(17)의 가장자리 부분이 완전히 식각되지 못하고 일부 남아있게 되어, 마치 꼬리를 남긴 것 같은 바람직하지 못한 형상을 갖게 된다. 이를 액티브 테일현상이라 부르며, 도4b에 도시된 바와같이 거의 1.7 μm 정도까지 나와 있으며, 이러한 액티브 테일 현상은 화소전극 영역의 감소를 야기하며 이를 보상하기 위해 약 2% 정도의 개구율 손실이 발생하고 있다.
- [0048] 참고로 오믹콘택막(100)은 그 두께가 매우 얇은 비정질 실리콘 박막이므로, 전술한 건식식각 공정에서, 패터닝된 소스/드레인 형성용 도전물질(19)의 외측과 서로 정렬되도록 충분히 식각된다.
- [0049] 참고로 도4b는 페시베이션막(23)과 화소전극(25)까지 형성된 상태를 데이터 라인 측면에서 도시한 단면도이다.
- [0050] 또한, 소스/드레인 전극 형성용 도전물질의 하부에는 반도체막이 항상 존재하기 때문에, 데이터 라인쪽에서는 백라이트(backlight) 광이 게이트 절연막을 통과하여 직접적으로 반도체막과 만나게 된다. 이와같이 게이트 절연막을 통과하여 반도체막과 만나는 백라이트 광은 반도체막을 활성화시켜 웨이비 노이즈 불량을 야기할 수 있다.
- [0051] 웨이비 노이즈란 소스 및 드레인 전극 형성시, 상기 소스 및 드레인 전극에 비해 돌출되는 액티브 패턴이 백라이트 빛을 회절시키거나, 백라이트 빛에 의해 채널 신호가 흔들려 화면에 나타나는 물결문양의 노이즈를 말한다.

발명이 이루고자 하는 기술적 과제

- [0052] 이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 마스크 공정의 증가 없이, 액티브 테일 문제와 웨이비 노이즈(wavy noise) 불량을 해결할 수 있는 액정표시소자 제조방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

- [0053] 상기 목적을 달성하기 위한 본 발명에 따른 액정표시소자 제조방법은, 화소부와 패드부로 구분되는 제 1 기판과 상기 제 1 기판과 합착되는 제 2 기판을 제공하는 단계; 게이트전극이 패터닝된 제 1 기판 상에 게이트절연막, 반도체막, 제 1 도전막을 차례로 적층하는 단계; 하프톤 마스크를 이용하여 트랜지스터의 채널영역에서 그 두께가 상대적으로 얇게 패터닝된 제 1 PR 패턴을 상기 제 1 도전막 상에 형성하는 단계; 상기 제 1 PR 패턴을 이용하여 상기 제 1 도전막을 패터닝하는 단계; 상기 제 1 PR 패턴에 대한 제 1 애싱공정을 진행하여 상기 제 1 도전막의 외측면과 정렬되는 제 2 PR 패턴을 형성하는 단계; 상기 제 2 PR 패턴을 이용하여 상기 반도체막을 패터닝하는 단계; 상기 제 2 PR 패턴을 이용하여 소스/드레인 전극을 형성하는 단계; 상기 제 1 기판 상에 페시베이션막과 화소전극을 형성하는 단계; 및 상기 제 1 기판과 제 2 기판 사이에 액정층을 형성하는 단계를 포함하여

구성되는 것을 특징으로 한다.

- [0054] 이하, 본 발명에 따른 액정표시소자 제조방법에 대해 첨부된 도면을 참조하여 상세히 설명한다.
- [0055] 먼저 도5는 슬릿마스크를 사용하는 포토리소그래피 공정시 박막트랜지스터의 채널영역으로 조사되는 빛의 세기를 나타내는 도면으로, 도5의 a는 슬릿마스크에서 차단영역에 형성된 차단물질(예를 들면, 크롬)이다.
- [0056] 참고로, 슬릿마스크 slit mask는 빛이 100% 투과되는 투과영역, 빛이 0% 초과 ~ 100% 미만으로 투과되는 슬릿영역, 빛이 차단되는 차단영역으로 이루어져 있다.
- [0057] 상기 슬릿영역은 슬릿구조를 가지며, 상기 슬릿구조를 통해 조사되는 노광량은 빛을 모두 투과시키는 투과영역보다 적기 때문에, 포토레지스트막을 도포한 후, 상기 포토레지스트막에 부분적으로 슬릿영역 및 투과영역이 마련된 마스크를 사용하여 노광하게 되면, 슬릿영역에 남아있는 포토레지스트막의 두께와 투과영역에 남아있는 포토레지스트막의 두께가 다르게 형성된다.
- [0058] 즉, 포지티브(positive) 포토레지스트막인 경우에는 슬릿영역을 통해 빛이 조사된 포토레지스트막의 두께가 투과영역에 비해 두껍게 형성되는 반면에, 네거티브 포토레지스트막인 경우에는 투과영역에 남아있는 감광막의 두께가 두껍게 형성된다.
- [0059] 도5를 참고하면, 슬릿마스크를 사용하는 경우에는 노광공정시 채널영역으로 조사되는 광의 세기가 불균일하기 때문에 채널영역의 표면이 균일하지 못하고 울퉁불퉁하여 그 균일성이 저하되는 문제가 있었다. 때문에, 슬릿마스크를 사용하는 경우에는 액티브 패턴을 패터닝하기 전에 프리 애싱 공정을 적용하기 어려웠다.
- [0060] 도6은 본 발명의 일 실시예에 따라 슬릿마스크 대신에 하프톤(half tone) 마스크를 사용하는 포토리소그래피 공정시, 박막트랜지스터의 채널영역으로 조사되는 빛의 세기를 나타내는 도면이다.
- [0061] 참고로, 하프톤 마스크(half tone mask) 역시 슬릿마스크와 유사하게 투과영역, 하프톤 영역, 차단영역으로 이루어져 있다.
- [0062] 상기 하프톤 영역은 그 두께에 따라 빛의 투과량을 조절할 수 있는 금속물질(예를 들면, 몰리브덴 실리사이드:MoSi)이 형성되어 있으며, 상기 하프톤 영역을 통해 조사되는 노광량은 빛을 모두 투과시키는 투과영역보다 적기 때문에, 포토레지스트막을 도포한 후, 상기 포토레지스트막에 하프톤 마스크를 사용하여 노광하게 되면, 하프톤 영역에 남아있는 포토레지스트막의 두께와 투과영역에 남아있는 포토레지스트막의 두께가 다르게 형성된다.
- [0063] 즉, 포지티브(positive) 포토레지스트막인 경우에는 하프톤 영역을 통해 빛이 조사된 포토레지스트막의 두께가 투과영역에 비해 두껍게 형성되는 반면에, 네거티브 포토레지스트막인 경우에는 투과영역에 남아있는 감광막의 두께가 두껍게 형성된다.
- [0064] 도6의 a는 빛을 막는 크롬이며, 도7의 b는 하프톤 영역에 형성된 몰리브덴 실리사이드(MoSi)로서 상기 몰리브덴 실리사이드의 두께를 조절함으로써, 투과량을 제어할 수 있다.
- [0065] 도6을 참조하면, 노광공정시 채널영역에 조사되는 광의 세기가 균일하기 때문에 채널영역의 표면 매끄럽게 형성되어 균일도가 향상된다. 때문에 하프톤 마스크를 사용하는 경우에는 액티브 패턴을 패터닝하기 전에 프리 애싱 공정이 적용가능하게 되었다.
- [0066] 도7a 내지 도7c는 본 발명의 일 실시예에 따라 하프톤 마스크를 사용하고 액티브 패턴을 패터닝하기 전에 프리 애싱 공정을 적용한 공정도면으로, 데이터 라인 측면에서 바라본 단면도이다.
- [0067] 이를 참조하여 본 발명의 특징을 개략적으로 설명한다.
- [0068] 우선 도7a는 소스/드레인 전극 형성용 도전물질(54)을 습식식각 공정으로 패터닝한 상태를 도시한 도면으로, 반도체 기판(50)과, 반도체 기판 상에 형성되며 후속공정을 통해 액티브 패턴으로 패터닝될 반도체막(53), 반도체막 상에 형성되며 소스/드레인 전극과 오믹콘택을 하는 n+ 실리콘 박막(100), 상기 n+ 실리콘 박막을 포함하는 반도체막 상에 형성되며 습식식각된 소스/드레인 전극 형성용 도전물질(54), 소스/드레인 전극 형성용 도전물질(54) 상부에 형성되며 하프톤 마스크를 이용하여 패터닝된 포토레지스트(60)가 도시되어 있다.
- [0069] 우선, 도7a 에 도시된 도면은 도4a 에 도시된 도면과 크게 다르지 않음을 알 수 있다. 즉, 도7a 에서도 포토레지스트(60)보다 패터닝된 소스/드레인 형성용 도전물질(54)이 내측으로 거리 d 만큼 더 식각되어 있다.
- [0070] 다음으로 도7b 를 살펴보면, 도7b 는 반도체막(53)을 패터닝하여 액티브 패턴을 형성하기 전에 프리 애싱(pre

ashing) 공정이 적용된 상태를 도시한 도면이다.

- [0071] 프리 애싱 공정이 적용된 포토레지스트(60)는 프리 애싱 공정을 통해 그 크기가 작아졌으며 또한, 포토레지스트(60)의 외측면과 소스/드레인 형성용 도전물질(54)의 외측면이 서로 정렬되어 있어 후속공정에서 액티브 테일 현상이 발생할 확률이 매우 감소한다.
- [0072] 도7b 와 같이 프리 애싱공정이 진행된 다음으로는, 통상적인 액정표시소자 제조공정이 진행된다. 즉, 프리 애싱 공정이 적용된 포토레지스트(60)를 식각마스크로 하여 n+ 실리콘 박막(100)과 반도체층(53)을 패터닝하여 액티브 패턴(미도시, 도 7c의 액티브 패턴(53a) 참조)을 형성한 후, 박막트랜지스터의 채널영역에 대한 애싱공정을 진행한다.
- [0073] 상기 채널영역에 대한 애싱공정을 진행한 결과는 도3d 에 잘 나타나 있다. 즉, 도3d 에 도시된 바와같이 채널영역에 대한 애싱공정이 진행된 결과 채널영역에 존재하고 있었던 부분노광된 하프톤 포토레지스트가 모두 제거되어 소스/드레인 전극 형성용 도전물질(도3d 의 도면부호 '19')이 노출된다.
- [0074] 다음으로, 채널영역의 소스/드레인 전극 형성용 도전물질(19, 도7b에서는 '54')을 제거하기 위한 건식식각 공정이 진행되며, 다음으로 채널영역의 n+ 실리콘 박막(도3d 에서는 미도시, 도7b에서는 '100')을 제거하는 건식식각 공정이 진행된다.
- [0075] 여기서, 상술한 프리 애싱 공정과 채널영역의 n+ 실리콘 박막(도3d 에서는 미도시, 도7b에서는 '100')을 제거하는 건식식각 공정은 하나의 챔버내에서 일괄진행됨이 바람직하다.
- [0076] 이어서, 잔존한 포토레지스트를 제거하는 PR Strip 공정이 진행하여 소스/드레인 전극을 완성한다. 다음으로 페시베이션막 형성공정, 화소전극 형성공정, 액정층 형성공정 등이 진행되어 액정표시소자가 제작된다.
- [0077] 도7c는 화소전극까지 형성된 상태를 데이터 라인 측면에서 바라본 단면도로서 기관(50)과, 기관 상에 형성된 액티브 패턴(53a), n+ 실리콘 박막(100), 소스/드레인 전극 형성용 도전물질(54), 페시베이션막(55), 화소전극(56)이 도시되어 있다.
- [0078] 도7c를 참조하면 본 발명의 일실시예에 따른 액정표시소자에서는 0.3 ~ 0.5 μ m 정도의 액티브 테일이 발생하고 있어, 종래의 액티브 테일에 비하여 큰 발전이 있었음을 알 수 있다.
- [0079] 상술한 바와같이 본 발명의 일실시예에서는 종래의 슬릿 마스크 대신에 하프톤 마스크를 사용함으로써 박막트랜지스터의 채널영역의 균일성을 확보할 수 있었다. 그리고, 상기 확보된 채널영역의 균일성을 바탕으로 액티브 패턴을 패터닝하기 전에 프리 애싱공정이 적용가능하게 됨으로써 액티브 테일 현상이 발생하는 것을 방지할 수 있었다.
- [0080] 이하에서는 본 발명의 일실시예에 따른 액정표시소자 제조방법을 도8a 내지 도8d를 참조하여 상세히 설명한다.
- [0081] 우선, 도8a 는 초기세정공정이 진행된 다음, 유리와 같은 투명한 반도체 기관(50)상에 게이트 전극으로 사용될 제 1 도전막(미도시)을 형성한 후 제 1 마스크(미도시)를 이용한 패터닝 공정(예를 들면, 습식식각)을 진행하여 게이트전극(51a)과 게이트라인(51)이 형성된 상태를 도시한 도면이다.
- [0082] 상기 제 1 마스크(미도시)는 통상적인 마스크이며, 고가의 슬릿마스크 또는 고가의 하프톤 마스크일 필요는 없다.
- [0083] 상기 제 1 도전막(미도시)은 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 등과 같은 저저항 불투명 도전물질이 사용될 수 있다. 또한, 상기 저저항 도전물질이 두 가지 이상 적층된 다층구조로 상기 제 1 도전막(미도시)을 형성할 수도 있다.
- [0084] 다음으로 도8b는 소스/드레인 전극(54a, 54b)까지 형성된 모습을 보인 도면으로, 하프톤 마스크가 사용되며, 프리 애싱공정이 적용되는 공정단계이다.
- [0085] 이를 상세히 설명한다. 먼저, 게이트 전극(51a)이 패터닝된 반도체 기관(50)상에 게이트 절연막(52)을 형성한다. 게이트 절연막(52)으로는 실리콘질화막(SiNx)이 사용될 수 있다.
- [0086] 이어서, 게이트 절연막(52) 상에 수소화된 비정질 실리콘막(미도시), n+ 비정질 실리콘 박막(미도시), 소스/드레인 형성용 제 2 도전막(미도시)을 차례로 적층형성한다.
- [0087] 여기서, 수소화된 비정질 실리콘막(미도시)은 박막트랜지스터의 활성영역 역할을 하는 막으로 후속공정을 통해

액티브 패턴을 패터닝되며, 트랜지스터의 채널이 형성되는 막이다. 참고로, 수소화된 비정질 실리콘막(미도시)이 액티브 패턴 형성용 반도체막으로 주로 사용되는데, 이는 저온 공정이 가능하여 저가의 절연기판을 사용할 수 있기 때문이다.

[0088] 그리고, n+ 비정질 실리콘 박막(미도시)은 오믹콘택막으로, 소오스전극과 드레인전극은 상기 n+ 비정질 실리콘 박막으로 이루어진 오믹콘택막을 통해 액티브 패턴의 소정영역과 오믹-콘택을 형성한다.

[0089] 소스/드레인 형성용 제 2 도전막(미도시)으로는 몰리브덴(Mo)이 사용된다.

[0090] 이상과 같이 기판(50) 상에 게이트 절연막(52), 수소화된 비정질 실리콘막(미도시), n+ 비정질 실리콘 박막(미도시), 소스/드레인 형성용 제 2 도전막(미도시)이 차례로 적층형성된 후, 하프톤 마스크(미도시)를 사용하여 소스/드레인 전극(54a, 54b)을 형성한다.

[0091] 이때, 하프톤 마스크(미도시)를 이용하여 포토레지스트(미도시)를 패터닝하고, 상기 패터닝된 포토레지스트(미도시)를 이용하여 소스/드레인 형성용 제2 도전막(미도시)을 습식식각하여 패터닝하여 소스/드레인 전극(54a, 54b)을 형성한다. 이때, 상기 소스/드레인 전극(54a, 54b)은 U자형으로 형성될 수도 있어, 채널의 폭을 넓힘에 따라 스위칭속도를 향상시킨다.

[0092] 이때, 도8b 에는 도시되어 있지 않지만, 채널영역에 형성된 포토레지스트는 다른 영역의 포토레지스트보다 그 두께가 얇지만, 채널영역의 균일성을 확보하고 있음은 전술한 바와 같다.

[0093] 이와 같은 소스/드레인 형성용 제2 도전막(미도시)에 대한 패터닝 공정이후, 본 발명의 일실시예에 따른 프리 애싱공정이 진행된다. 상기의 프리 애싱공정을 통하여 액티브 테일 현상이 발생하는 것을 방지할 수 있음은 전술한 바와 같다.

[0094] 다음으로 수소화된 비정질 실리콘막(미도시)을 건식식각하여 패터닝하여 액티브 패턴(53a)을 형성한 후, 애싱 공정을 진행하여 채널영역에 잔존한 포토레지스트를 모두 제거한다.

[0095] 이후, 채널영역에 형성된 소스/드레인 형성용 제 2 도전막(미도시)을 건식식각을 통해 제거하고, 이어서 채널영역에 형성된 n+ 비정질 실리콘 박막(미도시)을 제거하여 채널영역의 액티브 패턴(53a)을 노출시킨다. 이후 잔존한 포토레지스트를 제거하는 PR Strip 공정이 진행되면 소스/드레인 전극(54a, 54b)이 형성된다.

[0096] 이어서 도8c 내지 도8d 에 도시된 바와같이 소자를 습기나 스크래치로부터 보호할 목적으로 전체 구조 상에 페시베이션막(55)이 형성된다.

[0097] 다음으로 도8c에 도시된 바와같이 제 3 마스크(미도시)를 이용한 포토리소그래피 공정을 진행하여 페시베이션막(55)의 소정영역을 관통하여 드레인 전극(54b)을 노출시키는 콘택홀(미도시)을 형성한다.

[0098] 이후, 투명한 도전성 물질(56)을 기판 전면에 증착한 후 제 4 마스크를 이용한 포토리소그래피공정을 이용하여 패터닝함으로써 상기 콘택홀을 통해 드레인 전극(54b)과 전기적으로 접속하는 화소전극(56)을 형성한다.

[0099] 여기서, 화소전극(56)용 투명한 도전성 물질로는 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 투과율이 뛰어난 투명한 도전물질을 포함하여 이루어진다.

[0100] 이후에 액정표시소자를 구성하는 액정층을 형성하는 단계 등, 통상적인 공정을 진행하여 액정표시소자를 제작한다.

발명의 효과

[0101] 상기에서 설명한 바와같은 본 발명에 따른 액정표시소자 제조방법에 의하면 마스크 공정의 증가 없이 채널의 균일성을 확보하고, 이를 바탕으로 소스/드레인 전극 형성시 프리-애싱(Pre-ashing) 공정을 추가로 적용할 수 있어, 액티브 테일(active tail)의 절감과 웨이비 노이즈(wavy noise)를 개선하는 효과가 있다.

도면의 간단한 설명

[0001] 도 1은 일반적인 액정표시소자의 단위화소 구조를 나타내는 평면도.

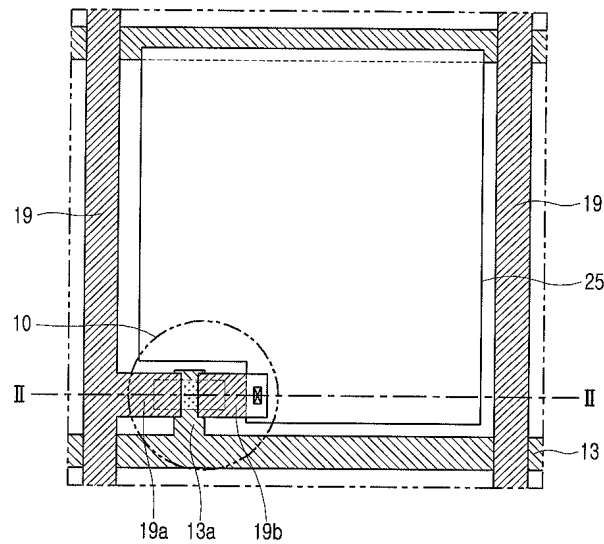
[0002] 도 2는 도 1의 단위화소의 단면도.

[0003] 도 3a 내지 도 3g는 슬릿마스크가 사용되는 4 마스크 공정이 적용된 액정표시소자 제조방법을 나타내는 공정 단면도.

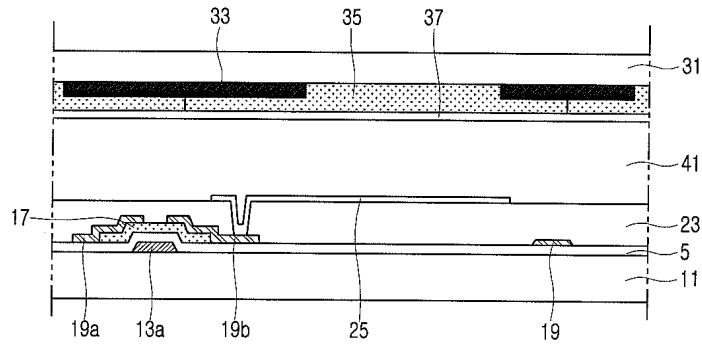
- [0004] 도 4a 내지 도 4b는 슬릿마스크가 사용되며 4 마스크 공정이 적용된 액정표시소자의 일부 제조공정을 데이터 라인측에서 바라본 단면도.
- [0005] 도5는 슬릿 마스크를 사용하는 경우에 채널의 불균일성을 도시한 도면.
- [0006] 도 6은 하프톤 마스크를 사용하는 경우에 채널의 균일성을 도시한 도면.
- [0007] 도 7a 내지 도 7b는 하프톤 마스크가 사용되며 프리 애싱공정이 적용된 액정표시소자의 일부 제조공정을 데이터 라인측에서 바라본 단면도.
- [0008] 도 8a 내지 도 8d는 본 발명의 일실시예에 따른 액정표시소자의 제조방법을 나타내는 공정단면도.
- [0009] *****도면의 주요부분에 대한 부호의 설명*****
- [0010] 11, 50 : 기관 13a, 51 : 게이트전극
- [0011] 15, 52 : 게이트 절연막 17, 53 : 액티브 패턴
- [0012] 19, 54 : 소스/드레인용 도전물질 21 : 포토레지스트
- [0013] 23, 55 : 페시베이션막 25, 56 : 화소전극
- [0014] 100 : n+ 비정질 실리콘 박막

도면

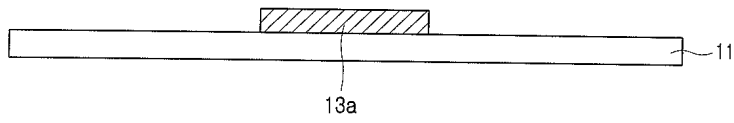
도면1



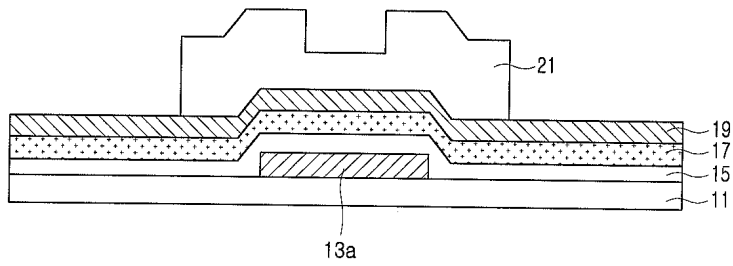
도면2



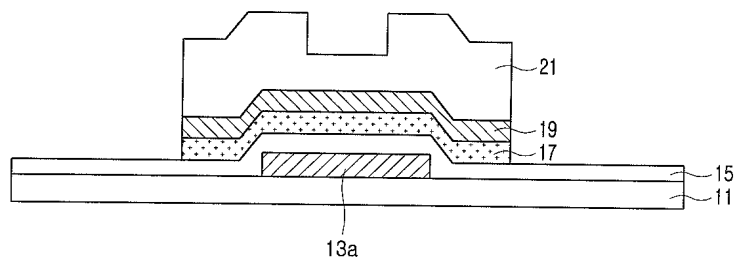
도면3a



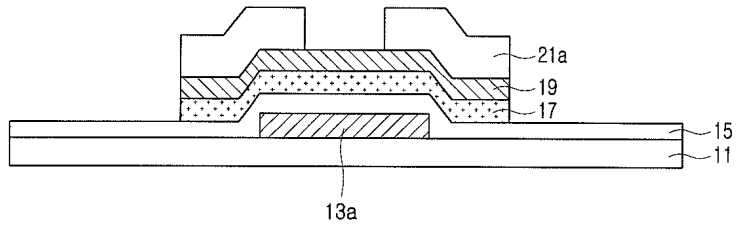
도면3b



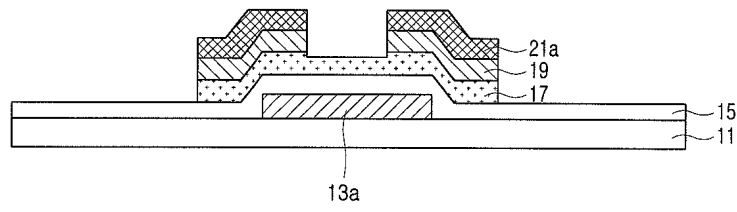
도면3c



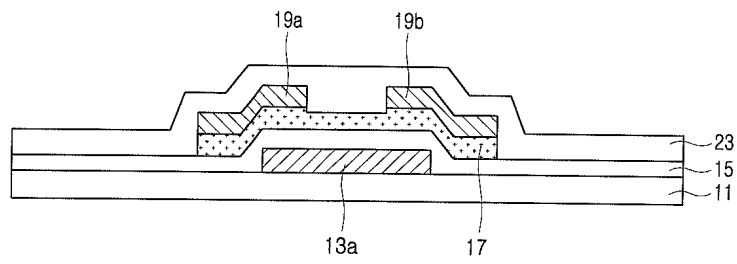
도면3d



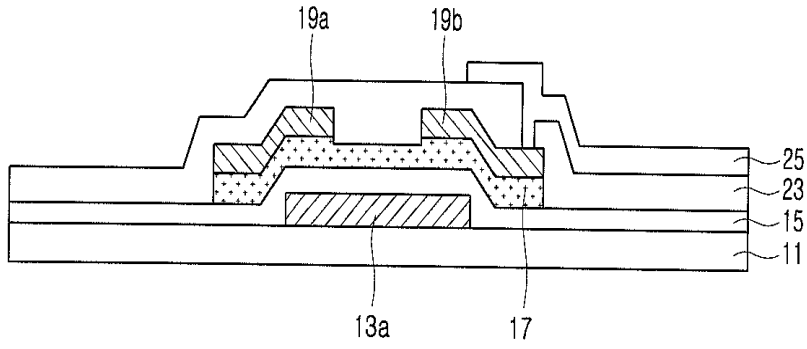
도면3e



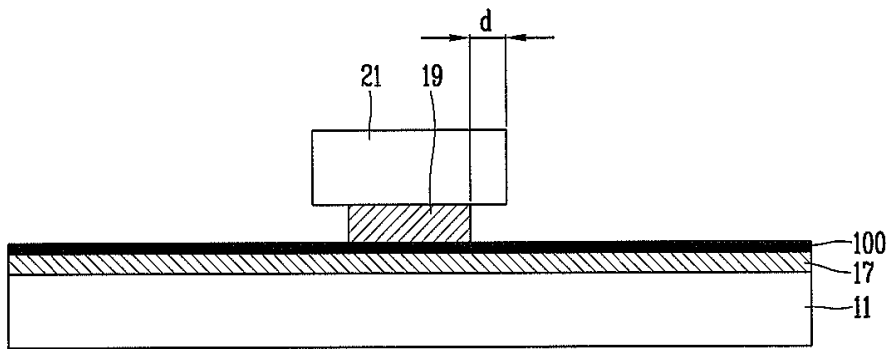
도면3f



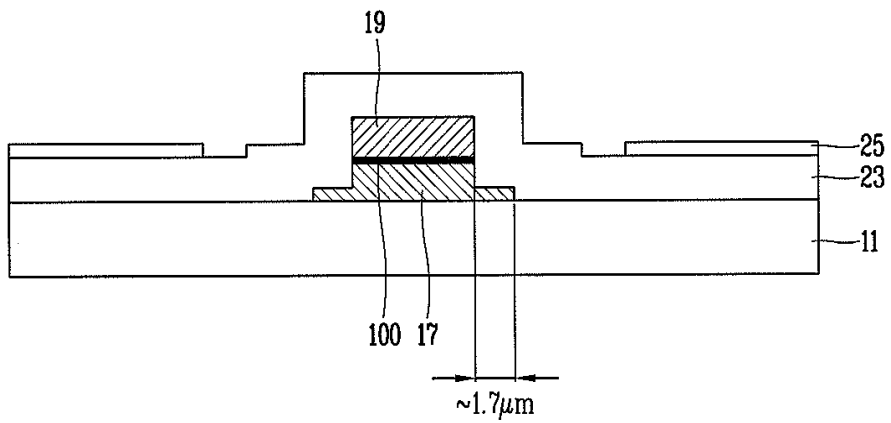
도면3g



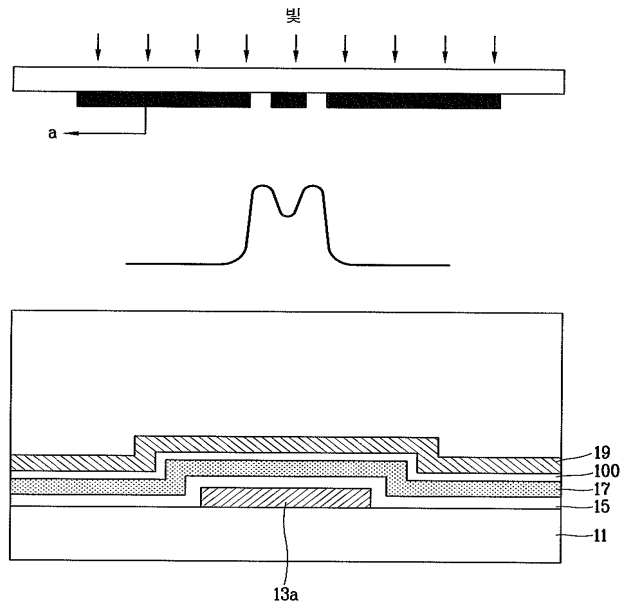
도면4a



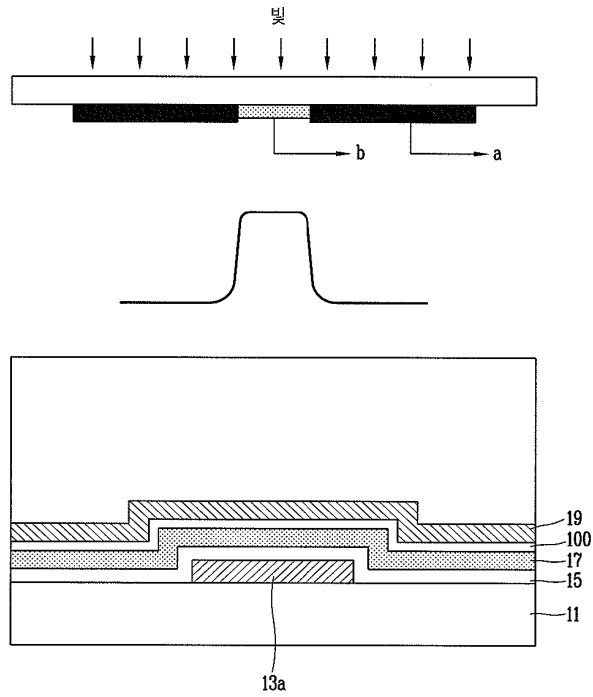
도면4b



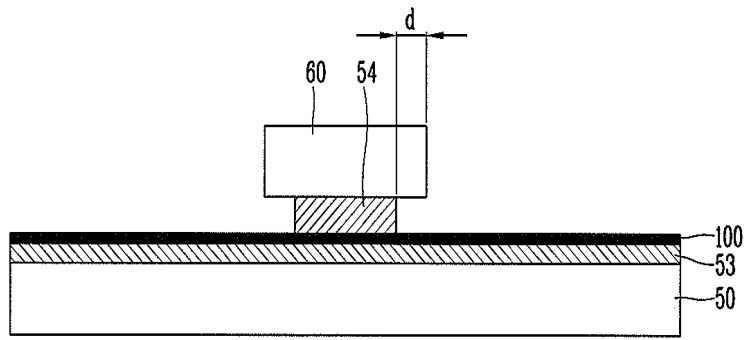
도면5



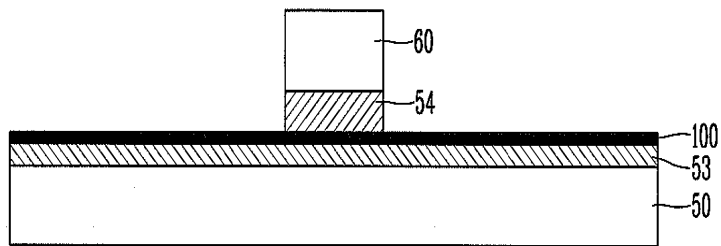
도면6



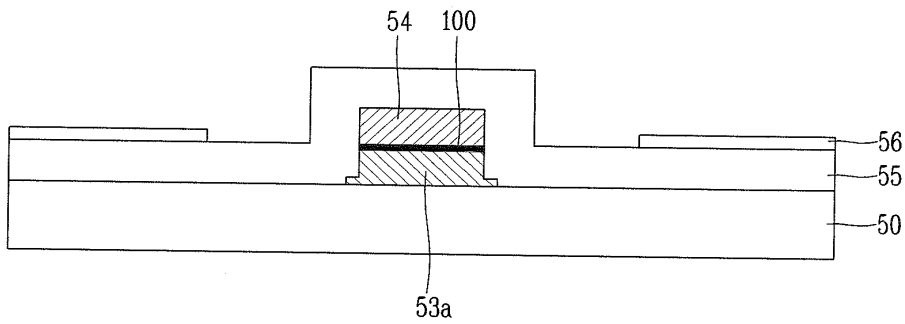
도면7a



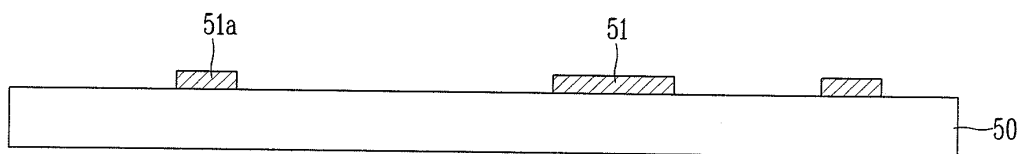
도면7b



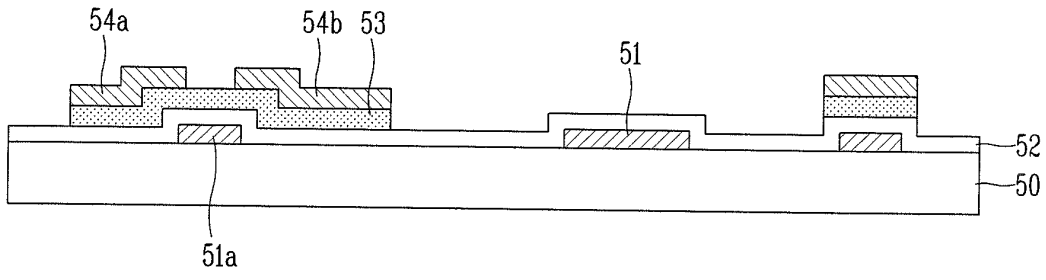
도면7c



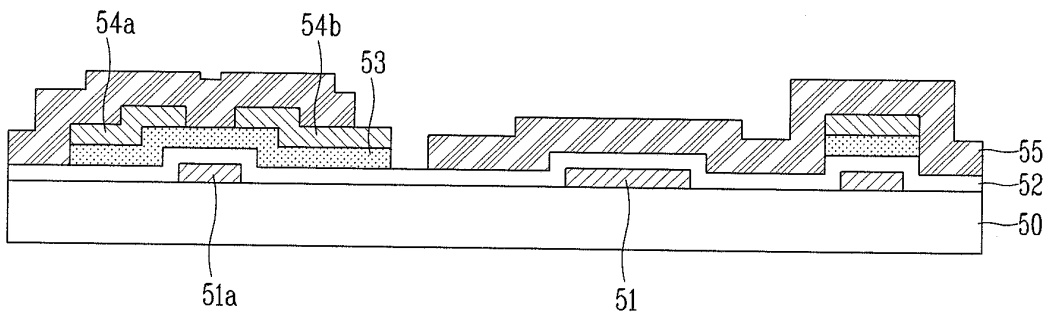
도면8a



도면8b



도면8c



도면8d

