

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁵ H01L 29/94	(11) 공개번호 (43) 공개일자	특 1992-0010974 1992년 06월 27일
(21) 출원번호	특 1991-0018670	
(22) 출원일자	1991년 10월 23일	
(30) 우선권주장	90-314542 1990년 11월 19일 일본(JP)	
(71) 출원인	미쓰비시 덴끼 가부시끼가이샤 시기 모리아 일본국 도오교도 지요다구 마루노우찌 2쵸메 2-3	
(72) 발명자	고나가와 가코 일본국 효고켄 이다미시 미즈하라 4쵸메 1번지 미쓰비시덴끼 가부시끼가이샤 기다이단세이사꾸쇼 나이 고야마 도오루 일본국 효고켄 이다미시 미즈하라 4쵸메 1번지 미쓰비시덴끼 가부시끼가이샤 기다이단세이사꾸쇼 나이 히사부 겐지 일본국 효고켄 이다미시 미즈하라 4쵸메 1번지 미쓰비시덴끼 가부시끼가이샤 기다이단세이사꾸쇼 나이 다무라 가쓰히코 일본국 효고켄 이다미시 미즈하라 4쵸메 1번지 미쓰비시덴끼 가부시끼가이샤 기다이단세이사꾸쇼 나이 나카무라 세나 일본국 효고켄 이다미시 미즈하라 4쵸메 1번지 미쓰비시덴끼 가부시끼가이샤 기다이단세이사꾸쇼 나이	
(74) 대리인	김영길	

심사청구 : 있음

(54) 반도체장치 및 그의 제조방법

요약

내용 없음

대표도

도 1

명세서

[발명의 명칭]

반도체장치 및 그의 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 1실시예에 의한 게이트전극을 구비한 P채널 MOS트랜지스터를 표시한 단면도, 제2도는 제1도에 표시한 게이트전극의 결정구조를 설명하기 위한 확대단면도, 제3A도 내지 제3D도는 제1도에 표시한 P채널 MOS트랜지스터의 제조프로세스를 설명하기 위한 단면도.

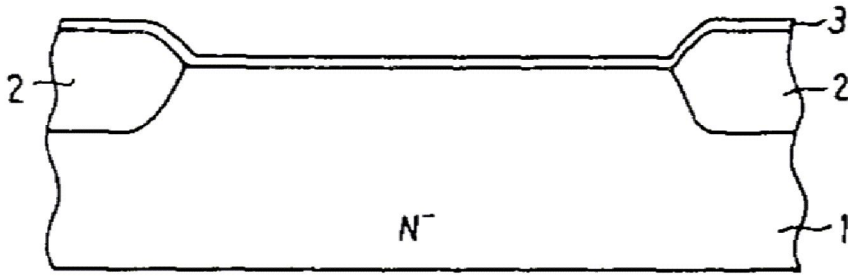
본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

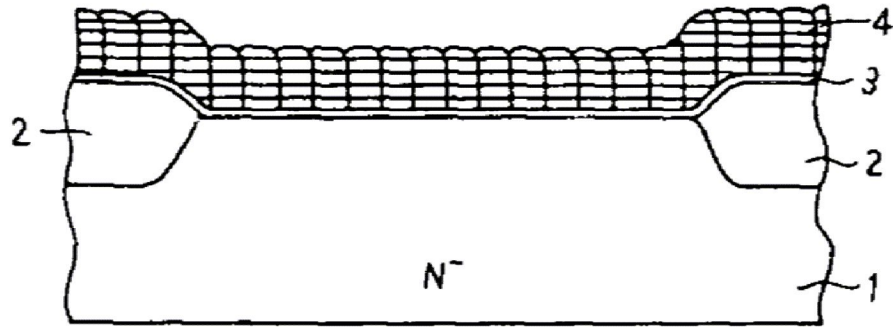
청구항 1

제1도전형의 반도체기판의 상기 제1도전형의 반도체 기판상에 소정의 간격을 두고 형성되어 제2도전형을 가지는 1쌍의 불순물영역과 상기 1쌍의 불순물영역간의 상기 반도체기판상에 절연막을 끼워서 형성되어 그의 결정립의 결정방위가 소정의 방위에 갖추어진 다결정체층을 가지는 게이트전극을 구비하는 반도체

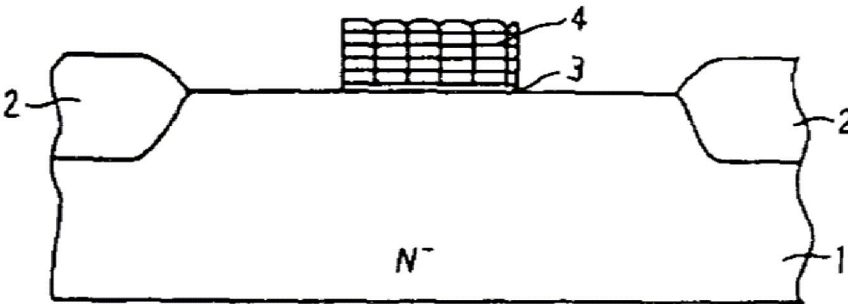
도면3a



도면3b



도면3c



도면3d

