

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年3月21日(21.03.2024)



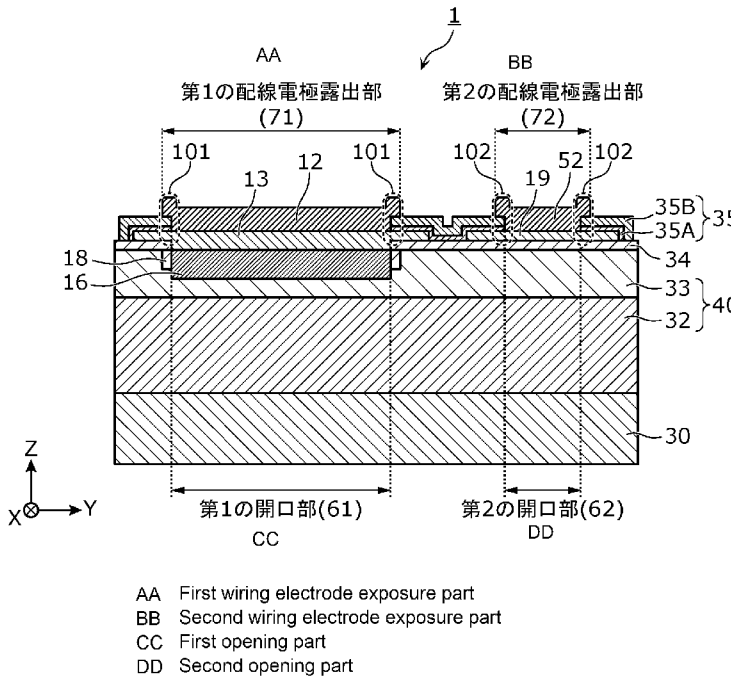
(10) 国際公開番号

WO 2024/058144 A1

- (51) 国際特許分類:
H01L 25/07 (2006.01) H01L 29/78 (2006.01)
H01L 25/18 (2023.01) H05K 3/46 (2006.01)
- (21) 国際出願番号: PCT/JP2023/033097
- (22) 国際出願日: 2023年9月11日(11.09.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
63/407,306 2022年9月16日(16.09.2022) US
- (71) 出願人: ヌ ヴ オ ト ン テ ク ノ ロ ジ ー ジ ャ
パン株式会社 (NUVOTON TECHNOLOGY CORPORATION JAPAN) [JP/JP]; 〒6178520 京
都府長岡京市神足焼町1番地 Kyoto (JP).
- (72) 発明者: 坂本 光章(SAKAMOTO, Mitsuaki). 浜
崎 正生 (HAMASAKI, Masao). 網師本 亮
一(AJIMOTO, Ryouichi). 吉田 弘(YOSHIDA,
Hiroshi). 油井 隆(YUI, Takashi).
- (74) 代理人: 新居 広守, 外 (NIJ, Hiromori et al.);
〒5320011 大阪府大阪市淀川区西中島5丁目
3番10号タナカ・イトーピア新大阪ビル6
階新居国際特許事務所内 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) Title: SEMICONDUCTOR DEVICE AND MOUNTING SUBSTRATE

(54) 発明の名称: 半導体装置および実装基板



(57) Abstract: This chip sized package-type semiconductor device (1), which is able to be face-up mounted, comprises: a semiconductor layer (40); a vertical MOS transistor (10) which is formed within the semiconductor layer (40); a protective film (35); a first wiring electrode (12) which is connected to a source electrode (13) of the vertical MOS transistor (10); and a second wiring electrode (52) which is connected to a gate electrode (19) of the vertical MOS transistor (10). With respect to this chip sized package-type semiconductor device (1), a first outer peripheral structure (101), which protrudes upward



WO 2024/058144 A1

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

from the semiconductor device (1) and is obtained by sequentially stacking the source electrode (13), the protective film (35) and the first wiring electrode (12) in this order, is formed on an outer peripheral portion of the first wiring electrode (12) in a plan view of the semiconductor layer (40); and a second outer peripheral structure (102), which protrudes upward from the semiconductor device (1) and is obtained by sequentially stacking the gate electrode (19), the protective film (35) and the second wiring electrode (52) in this order, is formed on an outer peripheral portion of the second wiring electrode (52) in a plan view of the semiconductor layer (40).

(57) 要約 : フェイスアップ実装が可能なチップサイズパッケージ型の半導体装置 (1) は、半導体層 (40) と、半導体層 (40) 内に形成された縦型MOSトランジスタ (10) と、保護膜 (35) と、縦型MOSトランジスタ (10) のソース電極 (13) に接続された第1の配線電極 (12) と、縦型MOSトランジスタ (10) のゲート電極 (19) に接続された第2の配線電極 (52) とを備え、半導体層 (40) の平面視における第1の配線電極 (12) の外周部分に、ソース電極 (13) と保護膜 (35) と第1の配線電極 (12) とがこの順に積層された、半導体装置 (1) の上方に突出する第1の外周構造 (101) が形成され、半導体層 (40) の平面視における第2の配線電極 (52) の外周部分に、ゲート電極 (19) と保護膜 (35) と第2の配線電極 (52) とがこの順に積層された、半導体装置 (1) の上方に突出する第2の外周構造 (102) が形成される。

明 細 書

発明の名称：半導体装置および実装基板

技術分野

[0001] 本開示は、半導体装置、および、半導体装置を実装する実装基板に関する。

背景技術

[0002] 従来、半導体装置が知られている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2019-169579号公報

発明の概要

発明が解決しようとする課題

[0004] 近年、半導体装置を実装する実装基板の省スペース化を実現するために、半導体装置を実装基板内部に埋め込んで実装する実装方法が提案されている。

[0005] そこで、本開示は、実装基板に埋め込んで実装される実装方法に適した構造を有する半導体装置等を提供することを目的とする。

課題を解決するための手段

[0006] 本開示の一態様に係る半導体装置は、フェイスアップ実装が可能なチップサイズパッケージ型の半導体装置であって、半導体層と、前記半導体層内に形成された縦型MOS（Metal Oxide Semiconductor）トランジスタと、前記縦型MOSトランジスタの上面を被覆する保護膜であって、前記縦型MOSトランジスタのソース電極を前記保護膜の外部に露出させる第1の開口部と、前記縦型MOSトランジスタのゲート電極を前記保護膜の外部に露出させる第2の開口部と、を有する前記保護膜と、銅を主成分とし、前記第1の開口部における前記ソース電極の、前記保護膜の外部への露出部分を隙間なく被覆する、前記ソース電極に接続された第1の

配線電極と、銅を主成分とし、前記第2の開口部における前記ゲート電極の、前記保護膜の外部への露出部分を隙間なく被覆する、前記ゲート電極に接続された第2の配線電極と、を備え、前記半導体層の平面視において、前記半導体装置は矩形であり、前記第1の配線電極の、前記半導体層の平面視における外周部分に、前記ソース電極と前記保護膜と前記第1の配線電極とがこの順で積層された第1の外周構造が形成され、前記第1の外周構造の最上層は、前記第1の配線電極であり、前記第2の配線電極の、前記半導体層の平面視における外周部分に、前記ゲート電極と前記保護膜と前記第2の配線電極とがこの順で積層された第2の外周構造が形成され、前記第2の外周構造の最上層は、前記第2の配線電極であり、前記第1の配線電極の上面である第1の配線電極露出部は、前記半導体装置の外部に露出し、前記第2の配線電極の上面である第2の配線電極露出部は、前記半導体装置の外部に露出し、前記第1の外周構造は、前記第1の配線電極露出部のうちの、前記第1の外周構造に含まれない部分の上面よりも上方に突出し、前記第2の外周構造は、前記第2の配線電極露出部のうちの、前記第2の外周構造に含まれない部分の上面よりも上方に突出し、前記半導体装置の最上方位置は、前記第1の外周構造または／および前記第2の外周構造に存在し、前記半導体層の平面視において、前記第1の配線電極露出部の面積は、前記第1の開口部の面積よりも大きく、前記半導体層の平面視において、前記第2の配線電極露出部の面積は、前記第2の開口部の面積よりも大きく、前記半導体層の平面視における前記半導体層の面積を S [mm²]とし、前記半導体層の下面から前記保護膜の上面までの厚さを h [mm]とすると、 $h/S \geq 0.025$ の関係が成立する。

[0007] 本開示の一態様に係る半導体装置は、フェイスアップ実装が可能なチップサイズパッケージ型の半導体装置であって、半導体層と、前記半導体層内に形成された縦型MOS (Metal Oxide Semiconductor) トランジスタと、前記縦型MOSトランジスタの上面を被覆する保護膜であって、前記縦型MOSトランジスタのソース電極を前記保護膜の外部

に露出させる第1の開口部と、前記縦型MOSトランジスタのゲート電極を前記保護膜の外部に露出させる第2の開口部と、を有する前記保護膜と、銅を主成分とし、前記第1の開口部における前記ソース電極の、前記保護膜の外部への露出部分を隙間なく被覆する、前記ソース電極に接続された第1の配線電極と、銅を主成分とし、前記第2の開口部における前記ゲート電極の、前記保護膜の外部への露出部分を隙間なく被覆する、前記ゲート電極に接続された第2の配線電極と、を備え、前記半導体層の平面視において、前記半導体装置は矩形であり、前記保護膜は、第1の保護膜層と、前記第1の保護膜層よりも上方に位置する第2の保護膜層とを含む複数の保護膜層からなる多層構造であり、前記第1の配線電極の、前記半導体層の平面視における外周部分に、前記ソース電極と前記第1の保護膜層と前記第1の配線電極と前記第2の保護膜層とがこの順で積層された第1の外周構造が形成され、前記第1の外周構造の最上層は、前記第2の保護膜層であり、前記第2の配線電極の、前記半導体層の平面視における外周部分に、前記ゲート電極と前記第1の保護膜層と前記第2の配線電極と前記第2の保護膜層とがこの順で積層された第2の外周構造が形成され、前記第2の外周構造の最上層は、前記第2の保護膜層であり、前記第1の配線電極の上面のうちの、前記第1の外周構造に含まれない部分である第1の配線電極露出部は、前記半導体装置の外部に露出し、前記第2の配線電極の上面のうちの、前記第2の外周構造に含まれない部分である第2の配線電極露出部は、前記半導体装置の外部に露出し、前記第1の外周構造は、前記第1の配線電極露出部の上面よりも上方に突出し、前記第2の外周構造は、前記第2の配線電極露出部の上面よりも上方に突出し、前記半導体装置の最上方位置は、前記第1の外周構造または／および前記第2の外周構造に存在し、前記第1の外周構造における前記第1の配線電極の厚さを第1の厚さとして、前記第1の外周構造における前記第2の保護膜層の厚さを第2の厚さとする、前記第2の厚さは、前記第1の厚さの半分より大きく、かつ、前記第1の厚さ以下であり、前記半導体層の平面視において、前記第1の配線電極露出部の面積は、前記第1の開口部

の面積よりも大きく、前記半導体層の平面視において、前記第2の配線電極露出部の面積は、前記第2の開口部の面積よりも大きい。

[0008] 本開示の一態様に係る実装基板は、第1の配線層と、層間絶縁層と、第2の配線層とがこの順で積層された実装基板であって、前記層間絶縁層内にフェイスアップで実装された上記半導体装置と、前記第2の配線層に形成された第1の配線と、前記第1の配線と前記第1の配線電極の上面とを接続する、前記実装基板に直交する方向に延伸する1以上の第1の接続配線であって、前記第1の配線電極の上面とは、前記第1の配線電極の上面のうち、前記半導体層の平面視において、前記第1の外周構造に重ならない部分において接続する前記1以上の第1の接続配線と、を備える。

[0009] 本開示の一態様に係る実装基板は、第1の配線層と、層間絶縁層と、第2の配線層とがこの順で積層された実装基板であって、前記層間絶縁層内にフェイスアップで実装された、半導体層を有する半導体装置であって、上面に第1の配線電極を有する前記半導体装置と、前記第2の配線層に形成された第1の配線と、前記第1の配線と前記第1の配線電極の上面とを接続する、前記実装基板に直交する方向に延伸する1以上の第1の接続配線とを備え、前記半導体装置は、前記第1の配線電極の、前記半導体層の平面視における外周部分に第1の外周構造が形成され、前記第1の外周構造は、前記第1の配線電極の上面のうちの、前記半導体層の平面視において、前記第1の外周構造に重ならない部分よりも上方に突出し、前記半導体装置の最上方位置は、前記第1の外周構造に存在し、前記第1の配線電極は、少なくとも、前記第1の配線電極の上面のうちの、前記半導体層の平面視において、前記第1の外周構造に重ならない部分において前記半導体装置の外部に露出し、前記1以上の第1の接続配線は、前記第1の配線電極の上面とは、前記半導体装置の前記第1の配線電極の上面のうち、前記半導体層の平面視において、前記第1の外周構造に重ならない部分において接続する。

発明の効果

[0010] 本開示の一態様に係る半導体装置等によると、実装基板に埋め込んで実装

される実装方法に適した構造を有する半導体装置等が提供される。

図面の簡単な説明

[0011] [図1]図 1 は、実施の形態 1 に係る半導体装置の構造の一例を示す平面図である。

[図2]図 2 は、実施の形態 1 に係る半導体装置の構造の一例を示す断面図である。

[図3]図 3 は、実施の形態 1 に係る半導体装置の構造の一例を示す断面図である。

[図4]図 4 は、実施の形態 1 に係る半導体装置の上面の一部を、斜め上方から撮像した撮像画像である。

[図5]図 5 は、実施の形態 1 に係る第 1 の外周構造の構造を示す拡大断面図である。

[図6]図 6 は、実施の形態 1 に係る半導体装置の耐性と、実施の形態 1 に係る半導体装置の形状および S_i 厚との関係を示す模式図である。

[図7]図 7 は、熱処理工程により、実施の形態 1 に係る半導体装置が変形する様子の一例を模式的に示す、実施の形態 1 に係る半導体装置および第 1 の外周構造の断面図である。

[図8]図 8 は、実施の形態 1 に係る半導体装置の構造の一例を示す平面図である。

[図9]図 9 は、実施の形態 1 に係る半導体装置の構造の一例を示す断面図である。

[図10]図 10 は、実施の形態 1 に係る半導体装置の構造の一例を示す平面図である。

[図11]図 11 は、実施の形態 1 に係る半導体装置の構造の一例を示す断面図である。

[図12]図 12 は、実施の形態 1 に係る半導体装置の構造の一例を示す平面図である。

[図13]図 13 は、実施の形態 2 に係る半導体装置の構造の一例を示す平面図

である。

[図14]図14は、実施の形態2に係る半導体装置の構造の一例を示す断面図である。

[図15]図15は、実施の形態2に係る第1の外周構造の構造を示す拡大断面図である。

[図16]図16は、実施の形態3に係る実装基板の構造の一例を示す平面図である。

[図17]図17は、実施の形態3に係る実装基板の構造の一例を示す断面図である。

[図18]図18は、実施の形態3に係る実装基板の構造の一例を示す拡大平面図である。

発明を実施するための形態

[0012] (本開示の一態様を得るに至った経緯)

発明者らは、縦型MOSトランジスタを備える半導体装置の開発を行っている。

[0013] 一方で、近年、半導体装置を実装する実装基板の省スペース化が要望されている。

[0014] この要望に対して、発明者らは、半導体装置を実装基板内部に埋め込んで実装することができれば、実装基板の省スペース化を実現できるのではないかと考えた。

[0015] そこで、発明者らは、この考えに基づいて、実装基板内に樹脂封止されてフェイスアップで実装される、縦型MOSトランジスタを備える半導体装置の開発を行うこととした。

[0016] 発明者らは、この開発を通じて、実装基板に埋め込んで実装される実装方法に適した構造を有する半導体装置が存在することに気が付いた。

[0017] すなわち、発明者らは、半導体装置の上面に、半導体装置を封入する樹脂に食い込む突起を設けることで、この突起が樹脂内における半導体装置の位置を固定するアンカーの役目を果たし、その結果、実装基板における樹脂剥

がれの抑制、および、実装基板内部における半導体装置の位置の安定化を実現できるという知見を得た。

[0018] さらに、発明者らは、半導体装置の上面に突起が存在する場合、半導体装置を封入した後に固化した樹脂の上面にも、半導体装置の上面の突起を反映した突起が形成されることを見出した。そして、発明者らは、この樹脂の上面に形成された突起を、実装基板を加工する際のガイドラインとして利用することで、この突起が存在しない場合に比べて、実装基板をより精度よく加工することが可能になるという知見を得た。

[0019] そこで、発明者らは、これら知見に基づいて、さらに、実験、検討を重ねた。その結果、発明者らは、下記本開示に係る半導体装置等に想到した。

[0020] 本開示の一態様に係る半導体装置は、フェイスアップ実装が可能なチップサイズパッケージ型の半導体装置であって、半導体層と、前記半導体層内に形成された縦型MOS (Metal Oxide Semiconductor) トランジスタと、前記縦型MOSトランジスタの上面を被覆する保護膜であって、前記縦型MOSトランジスタのソース電極を前記保護膜の外部に露出させる第1の開口部と、前記縦型MOSトランジスタのゲート電極を前記保護膜の外部に露出させる第2の開口部と、を有する前記保護膜と、銅を主成分とし、前記第1の開口部における前記ソース電極の、前記保護膜の外部への露出部分を隙間なく被覆する、前記ソース電極に接続された第1の配線電極と、銅を主成分とし、前記第2の開口部における前記ゲート電極の、前記保護膜の外部への露出部分を隙間なく被覆する、前記ゲート電極に接続された第2の配線電極と、を備え、前記半導体層の平面視において、前記半導体装置は矩形であり、前記第1の配線電極の、前記半導体層の平面視における外周部分に、前記ソース電極と前記保護膜と前記第1の配線電極とがこの順で積層された第1の外周構造が形成され、前記第1の外周構造の最上層は、前記第1の配線電極であり、前記第2の配線電極の、前記半導体層の平面視における外周部分に、前記ゲート電極と前記保護膜と前記第2の配線電極とがこの順で積層された第2の外周構造が形成され、前記第2の外周構

造の最上層は、前記第2の配線電極であり、前記第1の配線電極の上面である第1の配線電極露出部は、前記半導体装置の外部に露出し、前記第2の配線電極の上面である第2の配線電極露出部は、前記半導体装置の外部に露出し、前記第1の外周構造は、前記第1の配線電極露出部のうちの、前記第1の外周構造に含まれない部分の上面よりも上方に突出し、前記第2の外周構造は、前記第2の配線電極露出部のうちの、前記第2の外周構造に含まれない部分の上面よりも上方に突出し、前記半導体装置の最上方位置は、前記第1の外周構造または／および前記第2の外周構造に存在し、前記半導体層の平面視において、前記第1の配線電極露出部の面積は、前記第1の開口部の面積よりも大きく、前記半導体層の平面視において、前記第2の配線電極露出部の面積は、前記第2の開口部の面積よりも大きく、前記半導体層の平面視における前記半導体層の面積を S [mm²]とし、前記半導体層の下面から前記保護膜の上面までの厚さを h [mm]とすると、 $h/S \geq 0.025$ の関係が成立する。

- [0021] 上記構成の半導体装置によると、この半導体装置を実装基板内に樹脂封止されてフェイスアップで実装する場合、半導体装置の上面において、第1の外周構造および第2の外周構造が、樹脂に食い込む。
- [0022] このため、樹脂に食い込む第1の外周構造および第2の外周構造が、樹脂内における半導体装置の位置を固定するアンカーの役目を果たし、その結果、実装基板における樹脂剥がれの抑制、および、実装基板内部における半導体装置の位置の安定化が実現される。
- [0023] また、半導体装置を封入した後に固形化した樹脂の上面に、第1の外周構造および第2の外周構造を反映した突起が形成される。
- [0024] このため、樹脂に対して、樹脂の上面から第1の配線電極露出部に到達する穴を空ける加工を行う場合に、樹脂の上面に形成される、第1の外周構造に対応する突起をガイドラインとして、この突起の内側に穴を空ける加工を行うことで、この突起が存在しない場合に比べて、より精度よく、樹脂の上面から第1の配線電極露出部に到達する穴を空ける加工を行うことができる。

- 。
- [0025] さらには、同様に、樹脂に対して、樹脂の上面から第2の配線電極露出部に到達する穴を空ける加工を行う場合に、樹脂の上面に形成される、第2の外周構造に対応する突起をガイドラインとして、この突起の内側に穴を空ける加工を行うことで、この突起が存在しない場合に比べて、より精度よく、樹脂の上面から第2の配線電極露出部に到達する穴を空ける加工を行うことができる。
- [0026] このように、上記構成の半導体装置によると、実装基板に埋め込んで実装される実装方法に適した構造を有する半導体装置が提供される。
- [0027] また、さらに、前記半導体層の下面に接触して形成された金属層を備え、前記金属層の厚さは、前記第1の配線電極の最大の厚さよりも厚く、前記第1の配線電極は、前記半導体層の平面視における外周部分に、前記半導体層の断面視において、前記第1の配線電極の外側に向かって逆テーパ形状となる壁面を有し、前記壁面は、前記保護膜と接触しないとしてもよい。
- [0028] また、前記保護膜は、前記半導体層の平面視における前記第1の開口部の周囲の部分に、前記断面視において、前記第1の開口部に向かってテーパ形状となるテーパ形状領域を有し、前記半導体層の平面視において、前記壁面は、前記テーパ形状領域の内部に位置するとしてもよい。
- [0029] 本開示の一態様に係る半導体装置は、フェイスアップ実装が可能なチップサイズパッケージ型の半導体装置であって、半導体層と、前記半導体層内に形成された縦型MOS (Metal Oxide Semiconductor) トランジスタと、前記縦型MOSトランジスタの上面を被覆する保護膜であって、前記縦型MOSトランジスタのソース電極を前記保護膜の外部に露出させる第1の開口部と、前記縦型MOSトランジスタのゲート電極を前記保護膜の外部に露出させる第2の開口部と、を有する前記保護膜と、銅を主成分とし、前記第1の開口部における前記ソース電極の、前記保護膜の外部への露出部分を隙間なく被覆する、前記ソース電極に接続された第1の配線電極と、銅を主成分とし、前記第2の開口部における前記ゲート電極の

、前記保護膜の外部への露出部分を隙間なく被覆する、前記ゲート電極に接続された第2の配線電極と、を備え、前記半導体層の平面視において、前記半導体装置は矩形であり、前記保護膜は、第1の保護膜層と、前記第1の保護膜層よりも上方に位置する第2の保護膜層とを含む複数の保護膜層からなる多層構造であり、前記第1の配線電極の、前記半導体層の平面視における外周部分に、前記ソース電極と前記第1の保護膜層と前記第1の配線電極と前記第2の保護膜層とがこの順で積層された第1の外周構造が形成され、前記第1の外周構造の最上層は、前記第2の保護膜層であり、前記第2の配線電極の、前記半導体層の平面視における外周部分に、前記ゲート電極と前記第1の保護膜層と前記第2の配線電極と前記第2の保護膜層とがこの順で積層された第2の外周構造が形成され、前記第2の外周構造の最上層は、前記第2の保護膜層であり、前記第1の配線電極の上面のうちの、前記第1の外周構造に含まれない部分である第1の配線電極露出部は、前記半導体装置の外部に露出し、前記第2の配線電極の上面のうちの、前記第2の外周構造に含まれない部分である第2の配線電極露出部は、前記半導体装置の外部に露出し、前記第1の外周構造は、前記第1の配線電極露出部の上面よりも上方に突出し、前記第2の外周構造は、前記第2の配線電極露出部の上面よりも上方に突出し、前記半導体装置の最上方位置は、前記第1の外周構造または／および前記第2の外周構造に存在し、前記第1の外周構造における前記第1の配線電極の厚さを第1の厚さとして、前記第1の外周構造における前記第2の保護膜層の厚さを第2の厚さとする、前記第2の厚さは、前記第1の厚さの半分より大きく、かつ、前記第1の厚さ以下であり、前記半導体層の平面視において、前記第1の配線電極露出部の面積は、前記第1の開口部の面積よりも大きく、前記半導体層の平面視において、前記第2の配線電極露出部の面積は、前記第2の開口部の面積よりも大きい。

[0030] 上記構成の半導体装置によると、この半導体装置を実装基板内に樹脂封止されてフェイスアップで実装する場合、半導体装置の上面において、第1の外周構造および第2の外周構造が、樹脂に食い込む。

- [0031] このため、樹脂に食い込む第1の外周構造および第2の外周構造が、樹脂内における半導体装置の位置を固定するアンカーの役目を果たし、その結果、実装基板における樹脂剥がれの抑制、および、実装基板内部における半導体装置の位置の安定化が実現される。
- [0032] また、半導体装置を封入した後に固形化した樹脂の上面に、第1の外周構造および第2の外周構造を反映した突起が形成される。
- [0033] このため、樹脂に対して、樹脂の上面から第1の配線電極露出部に到達する穴を空ける加工を行う場合に、樹脂の上面に形成される、第1の外周構造に対応する突起をガイドラインとして、この突起の内側に穴を空ける加工を行うことで、この突起が存在しない場合に比べて、より精度よく、樹脂の上面から第1の配線電極露出部に到達する穴を空ける加工を行うことができる。
- [0034] さらには、同様に、樹脂に対して、樹脂の上面から第2の配線電極露出部に到達する穴を空ける加工を行う場合に、樹脂の上面に形成される、第2の外周構造に対応する突起をガイドラインとして、この突起の内側に穴を空ける加工を行うことで、この突起が存在しない場合に比べて、より精度よく、樹脂の上面から第2の配線電極露出部に到達する穴を空ける加工を行うことができる。
- [0035] このように、上記構成の半導体装置によると、実装基板に埋め込んで実装される実装方法に適した構造を有する半導体装置が提供される。
- [0036] また、前記第2の保護膜層のうち、前記半導体層の平面視において前記第1の配線電極と重なる部分の最小の幅は、前記第2の保護膜層のうち、前記半導体層の平面視において前記第1の配線電極または前記第2の配線電極と重ならない部分の厚さよりも大きく、前記第2の保護膜層のうち、前記半導体層の平面視において前記第2の配線電極と重なる部分の最小の幅は、前記第2の保護膜層のうち、前記半導体層の平面視において前記第1の配線電極または前記第2の配線電極と重ならない部分の厚さよりも大きいとしてもよい。

- [0037] また、前記第1の配線電極露出部の上面を基準とする前記第1の外周構造の高さは、前記第1の開口部における前記第1の配線電極の厚さの50%以上であり、前記第2の配線電極露出部の上面を基準とする前記第2の外周構造の高さは、前記第2の開口部における前記第2の配線電極の厚さの50%以上であるとしてもよい。
- [0038] また、前記半導体層の平面視における前記ソース電極の面積をM1とし、前記半導体層の平面視における前記第1の開口部の面積をS1とする場合において、 $S1/M1$ により示される、前記半導体層の平面視における前記ソース電極の面積に対する前記半導体層の平面視における前記第1の開口部の面積の占有率である第1の占有率は、0.5以上1.0未満であるとしてもよい。
- [0039] また、前記第1の占有率は、0.9以上1.0未満であり、前記半導体層の平面視における前記第1の配線電極露出部の面積をP1とする場合において、 $P1/M1$ により示される、前記半導体層の平面視における前記ソース電極の面積に対する前記半導体層の平面視における前記第1の配線電極露出部の面積の占有率である第2の占有率は、0.9以上1.1以下であるとしてもよい。
- [0040] また、前記半導体層の平面視における前記第2の開口部の面積をS2とし、前記半導体層の平面視における前記第2の配線電極露出部の面積をP2とする場合において、 $P2/S2$ により示される、前記半導体層の平面視における前記第2の開口部の面積に対する、前記半導体層の平面視における前記第2の配線電極露出部の面積の占有率である第3の占有率は、1.27以上であるとしてもよい。
- [0041] また、前記半導体層の平面視において、前記第1の配線電極の形状と、前記第2の配線電極の形状とは、中央線を対称軸とする線対称であり、前記中央線は、前記半導体装置を面積において二等分するとしてもよい。
- [0042] 本開示の一態様に係る実装基板は、第1の配線層と、層間絶縁層と、第2の配線層とがこの順で積層された実装基板であって、前記層間絶縁層内にフ

エイスアップで実装された、請求項 1 または請求項 4 に記載の半導体装置と、前記第 2 の配線層に形成された第 1 の配線と、前記第 1 の配線と前記第 1 の配線電極の上面とを接続する、前記実装基板に直交する方向に延伸する 1 以上の第 1 の接続配線であって、前記第 1 の配線電極の上面とは、前記第 1 の配線電極の上面のうち、前記半導体層の平面視において、前記第 1 の外周構造に重ならない部分において接続する前記 1 以上の第 1 の接続配線と、を備える。

[0043] 上記構成の実装基板によると、半導体装置の上面において、第 1 の外周構造および第 2 の外周構造が、層間絶縁層を形成する物質に食い込む。

[0044] このため、層間絶縁層を形成する物質に食い込む第 1 の外周構造および第 2 の外周構造が、層間絶縁層内における半導体装置の位置を固定するアンカーの役目を果たし、その結果、実装基板における層間絶縁層剥がれの抑制、および、実装基板内部における半導体装置の位置の安定化が実現される。

[0045] また、層間絶縁層を形成する物質が例えば樹脂の場合、半導体装置を封入した後に固形化した樹脂の上面に、すなわち、層間絶縁層の上面に、第 1 の外周構造および第 2 の外周構造を反映した突起が形成される。

[0046] このため、層間絶縁層に対して、層間絶縁層の上面から第 1 の配線電極露出部に到達する穴を空ける加工を行う場合に、層間絶縁層の上面に形成される、第 1 の外周構造に対応する突起をガイドラインとして、この突起の内側に穴を空ける加工を行うことで、この突起が存在しない場合に比べて、より精度よく、層間絶縁層の上面から第 1 の配線電極露出部に到達する穴を空ける加工を行うことができる。

[0047] さらには、同様に、層間絶縁層に対して、層間絶縁層の上面から第 2 の配線電極露出部に到達する穴を空ける加工を行う場合に、層間絶縁層の上面に形成される、第 2 の外周構造に対応する突起をガイドラインとして、この突起の内側に穴を空ける加工を行うことで、この突起が存在しない場合に比べて、より精度よく、層間絶縁層の上面から第 2 の配線電極露出部に到達する穴を空ける加工を行うことができる。

- [0048] このように、上記構成の実装基板によると、実装基板に埋め込んで実装される実装方法に適した構造を有する半導体装置を実装する実装基板が提供される。
- [0049] また、さらに、前記第2の配線層に形成された第2の配線と、前記第2の配線と前記第2の配線電極の上面とを接続する、前記実装基板に直交する方向に延伸する第2の接続配線であって、前記第2の配線電極の上面とは、前記第2の配線電極の上面のうち、前記半導体層の平面視において、前記第2の外周構造に重ならない部分において接続する第2の接続配線と、を備え、前記1以上の第1の接続配線のそれぞれの、前記1以上の第1の接続配線のそれぞれが延伸する方向に直交する断面、および、前記第2の接続配線の、前記第2の接続配線が延伸する方向に直交する断面は円形であり、前記1以上の第1の接続配線のうち少なくとも1つの断面は、前記第2の接続配線の断面よりも大きいとしてもよい。
- [0050] 本開示の一態様に係る実装基板は、第1の配線層と、層間絶縁層と、第2の配線層とがこの順で積層された実装基板であって、前記層間絶縁層内にフェイスアップで実装された、半導体層を有する半導体装置であって、上面に第1の配線電極を有する前記半導体装置と、前記第2の配線層に形成された第1の配線と、前記第1の配線と前記第1の配線電極の上面とを接続する、前記実装基板に直交する方向に延伸する1以上の第1の接続配線とを備え、前記半導体装置は、前記第1の配線電極の、前記半導体層の平面視における外周部分に第1の外周構造が形成され、前記第1の外周構造は、前記第1の配線電極の上面のうち、前記半導体層の平面視において、前記第1の外周構造に重ならない部分よりも上方に突出し、前記半導体装置の最上方位置は、前記第1の外周構造に存在し、前記第1の配線電極は、少なくとも、前記第1の配線電極の上面のうち、前記半導体層の平面視において、前記第1の外周構造に重ならない部分において前記半導体装置の外部に露出し、前記1以上の第1の接続配線は、前記第1の配線電極の上面とは、前記半導体装置の前記第1の配線電極の上面のうち、前記半導体層の平面視において、前

記第 1 の外周構造に重ならない部分において接続する。

- [0051] 上記構成の実装基板によると、半導体装置の上面において、第 1 の外周構造が、層間絶縁層を形成する物質に食い込む。
- [0052] このため、層間絶縁層を形成する物質に食い込む第 1 の外周構造が、層間絶縁層内における半導体装置の位置を固定するアンカーの役目を果たし、その結果、実装基板における層間絶縁層剥がれの抑制、および、実装基板内部における半導体装置の位置の安定化が実現される。
- [0053] また、層間絶縁層を形成する物質が例えば樹脂の場合、半導体装置を封入した後に固形化した樹脂の上面に、すなわち、層間絶縁層の上面に、第 1 の外周構造を反映した突起が形成される。
- [0054] このため、層間絶縁層に対して、層間絶縁層の上面から第 1 の配線電極露出部に到達する穴を空ける加工を行う場合に、層間絶縁層の上面に形成される、第 1 の外周構造に対応する突起をガイドラインとして、この突起の内側に穴を空ける加工を行うことで、この突起が存在しない場合に比べて、より精度よく、層間絶縁層の上面から第 1 の配線電極露出部に到達する穴を空ける加工を行うことができる。
- [0055] このように、上記構成の実装基板によると、実装基板に埋め込んで実装される実装方法に適した構造を有する半導体装置を実装する実装基板が提供される。
- [0056] また、前記 1 以上の第 1 の接続配線は、複数であるとしてもよい。
- [0057] また、前記第 1 の配線電極の上面のうちの最も低い位置を基準とする、前記半導体装置の最上方位置までの高さは、前記実装基板に直交する方向における前記 1 以上の第 1 の接続配線の長さの 15% 以上であるとしてもよい。
- [0058] また、前記第 1 の配線電極は、複数であり、前記 1 以上の第 1 の接続配線は、前記複数の第 1 の配線電極のそれぞれと 1 対 1 に対応する複数であり、前記複数の第 1 の接続配線のそれぞれは、当該第 1 の接続配線に 1 対 1 に対応する、前記複数の第 1 の配線電極のうち 1 の第 1 の配線電極により、前記第 1 の配線に接続され、前記複数の第 1 の接続配線のそれぞれの、前記複

数の第1の接続配線のそれぞれが延伸する方向に直交する断面は、互いに等しいとしてもよい。

[0059] また、前記実装基板の平面視において、前記実装基板は、長手方向を有する形状であり、前記半導体装置は、長手方向を有する形状であり、前記実装基板の前記長手方向と、前記半導体装置の前記長手方向とは、互いに直交するとしてもよい。

[0060] また、さらに、前記層間絶縁層よりも上方に配置された電子部品を備え、前記実装基板の平面視において、前記電子部品は、長手方向を有する形状であり、前記半導体装置は、長手方向を有する形状であり、前記電子部品は、少なくとも一部が前記半導体装置と重なり、前記電子部品の前記長手方向と、前記半導体装置の前記長手方向とは、互いに直交するとしてもよい。

[0061] 以下、本開示の一態様に係る半導体装置等の具体例について、図面を参照しながら説明する。ここで示す実施の形態は、いずれも本開示の一具体例を示すものである。したがって、以下の実施の形態で示される数値、形状、構成要素、構成要素の配置および接続形態、ならびに、ステップ（工程）およびステップの順序等は、一例であって本開示を限定する趣旨ではない。また、各図は、模式図であり、必ずしも厳密に図示されたものではない。各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略または簡略化する。

[0062] （実施の形態1）

以下、実施の形態1に係る半導体装置について説明する。この半導体装置は、フェイスアップ実装が可能なチップサイズパッケージ型の半導体装置であって、実装基板に埋め込んで実装される実装方法に適した構造を有する半導体装置である。

[0063] <構造>

以下、実施の形態1に係る半導体装置の構造について説明する。実施の形態1に係る半導体装置は、N（Nは1以上の整数）個の縦型MOS（Metal Oxide Semiconductor）トランジスタが形成され

た、フェイスアップ実装が可能なチップサイズパッケージ (Chip Size Package : CSP) 型の半導体デバイスである。上記N個の縦型MOSトランジスタは、いわゆる、トレンチ型MOSFET (Field Effect Transistor) である。

[0064] 本開示においては、Nは2であるとして説明をするが、Nは必ずしも2に限定される必要はなく、Nは1であってもよいし、3以上であってもよい。

[0065] 図1は、実施の形態1に係る半導体装置1の構造の一例を示す平面図である。図1に示すように、半導体装置1は、半導体装置1の平面視において(すなわち、後述する半導体層40の平面視において) 矩形である。

[0066] 図2、図3は、半導体装置1の構造の一例を示す断面図である。図2は、図1のI-Iにおける切断面を示し、図3は、図1のII-IIにおける切断面を示す。

[0067] 図1～図3に示すように、半導体装置1は、金属層30と、半導体層40と、酸化膜34と、保護膜35と、半導体層40内に形成された第1の縦型MOSトランジスタ10と、半導体層40内に形成された第2の縦型MOSトランジスタ20と、第1の縦型MOSトランジスタ10のソース電極として機能する第1のソース電極13と、第1の縦型MOSトランジスタ10のゲート電極として機能する第1のゲート電極19と、第2の縦型MOSトランジスタ20のソース電極として機能する第2のソース電極23と、第2の縦型MOSトランジスタ20のゲート電極として機能する第2のゲート電極29と、第1のソース電極13に接続された第1の配線電極12と、第1のゲート電極19に接続された第2の配線電極52と、第2のソース電極23に接続された第3の配線電極22と、第2のゲート電極29に接続された第4の配線電極54とを備える。

[0068] 本開示においては、半導体装置1は、金属層30を備えるとして説明をするが、半導体装置1は、必ずしも金属層30を備える構成に限定される必要はない。

[0069] なお、図1において、第1のソース電極13と、第1のゲート電極19と

、第2のソース電極23と、第2のゲート電極29とを、破線によりあたかも視認することが出来るかの如く図示しているが、実際にはこれらの構成要素を半導体装置1の外部から直接視認することはできない。

[0070] 半導体層40は、半導体基板32と低濃度不純物層33とが積層されて構成される。

[0071] ここで、半導体層40の平面視における半導体層40の面積を S [mm²]とし、半導体層40の下面から保護膜35の上面までの厚さを h [mm²]とすると、 $h/S \geq 0.025$ の関係が成立する。

[0072] 半導体基板32は、半導体層40の下面側に配置され、第1導電型の不純物を含むシリコンからなる。

[0073] 低濃度不純物層33は、半導体層40の上面側に配置され、半導体基板32に接触して形成され、半導体基板32の第1導電型の不純物の濃度より低い濃度の第1導電型の不純物を含む。低濃度不純物層33は、例えば、エピタキシャル成長により半導体基板32上に形成されてもよい。

[0074] 酸化膜34は、半導体層40の上面に配置され、低濃度不純物層33に接触して形成される。

[0075] 保護膜35は、第1の縦型MOSトランジスタ10の上面、および、第2の縦型MOSトランジスタ20の上面を被覆する保護膜であって、第1のソース電極13を保護膜35の外部に露出させる第1の開口部61と、第1のゲート電極19を保護膜35の外部に露出させる第2の開口部62と、第2のソース電極23を保護膜35の外部に露出させる第3の開口部63と、第2のゲート電極29を保護膜35の外部に露出させる第4の開口部64とを有する。

[0076] ここで、保護膜35が、第1の縦型MOSトランジスタ10の上面、および、第2の縦型MOSトランジスタ20の上面を被覆するとは、半導体層40の平面視において、開口部を除く半導体装置1のほぼ全面で保護膜35が製膜されている状態のことをいう。ここで、半導体装置1のほぼ全面とは、半導体装置1をウェーハからダイシングして切り出す際のダイシングマージ

ンとして確保されたウェーハの領域のうち、ダイシング後の半導体装置 1 の四辺にわずかに残った外周領域を除く、半導体装置 1 の全面のことをいう。このため、この外周領域では、例外的に酸化膜 3 4 が半導体装置 1 の上面に露出している。

[0077] また、本開示でいう保護膜 3 5 の開口部とは、半導体層 4 0 の平面視において、開口部の外周の全長が保護膜 3 5 で閉じている形状のことをいう。このため、半導体層 4 0 の平面視において、外周の一部が、上記例外的に酸化膜 3 4 が半導体装置 1 の上面に露出している外周領域と重複する形状は、本開示でいう保護膜 3 5 の開口部には該当しない。

[0078] 本開示においては、保護膜 3 5 は、第 1 のソース電極 1 3 を保護膜 3 5 の外部に露出させる開口部として、1 つの第 1 の開口部 6 1 を有するとして説明するが、保護膜 3 5 は、第 1 のソース電極 1 3 を保護膜 3 5 の外部に露出させる開口部として複数の開口部を有するとしてもよい。

[0079] 同様に、本開示においては、保護膜 3 5 は、第 1 のゲート電極 1 9 を保護膜 3 5 の外部に露出させる開口部として、1 つの第 2 の開口部 6 2 を有するとして説明するが、保護膜 3 5 は、第 1 のゲート電極 1 9 を保護膜 3 5 の外部に露出させる開口部として複数の開口部を有するとしてもよい。

[0080] 本開示においては、保護膜 3 5 は、第 2 のソース電極 2 3 を保護膜 3 5 の外部に露出させる開口部として、1 つの第 3 の開口部 6 3 を有するとして説明するが、保護膜 3 5 は、第 2 のソース電極 2 3 を保護膜 3 5 の外部に露出させる開口部として複数の開口部を有するとしてもよい。

[0081] 同様に、本開示においては、保護膜 3 5 は、第 2 のゲート電極 2 9 を保護膜 3 5 の外部に露出させる開口部として、1 つの第 4 の開口部 6 4 を有するとして説明するが、保護膜 3 5 は、第 2 のゲート電極 2 9 を保護膜 3 5 の外部に露出させる開口部として複数の開口部を有するとしてもよい。

[0082] なお、保護膜 3 5 は、単層構造であってもよいし、複数の層が積層された多層構造であってもよい。本開示においては、保護膜 3 5 は、第 1 の保護膜層 3 5 A と、第 1 の保護膜層 3 5 A よりも上方に位置する第 2 の保護膜層 3

5 Bとが積層された多層構造（ここでは、2層構造）であるとして説明する。

- [0083] 第1の保護膜層35Aは、限定されない一例として、窒化珪素で構成されてもよく、例えば、その膜厚は、 $0.3\mu\text{m}$ である。
- [0084] 第2の保護膜層35Bは、限定されない一例として、ポリイミドで構成されてもよく、例えば、その膜厚は、 $8\mu\text{m}$ である。
- [0085] 金属層30は、半導体基板32の下面に接触して形成され、銀、銅、ニッケル、または、これらの合金からなってもよいし、電極として機能することが可能な、導電率の良好な金属材料からなってもよい。なお、金属層30には、金属材料の製造工程において不純物として混入する金属以外の元素が微量に含まれていてもよい。
- [0086] 低濃度不純物層33の、第1の縦型MOSトランジスタ10が形成される領域には、第1導電型と異なる第2導電型の不純物を含む第1のボディ領域18が形成される。第1のボディ領域18には、第1導電型の不純物を含む第1のソース領域14、第1のゲート導体15、および第1のゲート絶縁膜16が形成される。
- [0087] 第1のソース電極13は、酸化膜34の開口を通して、第1のソース領域14および第1のボディ領域18に接続される。
- [0088] 第1のソース電極13は、限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか1つ以上を含む金属材料で構成されてもよい。
- [0089] 第1の配線電極12は、第1のソース電極13に接続され、第1の開口部61における第1のソース電極13の、保護膜35の外部への露出部分を隙間なく被覆する。これにより、第1のソース電極13は、半導体装置1の外部の物質による腐食が抑制される。
- [0090] 第1の配線電極12は、銅を主成分とし、限定されない一例として、メッキにより形成される。第1の配線電極12は、例えば、その厚さは、 $10\mu\text{m}$ である。
- [0091] なお、保護膜35が、第1の開口部61以外にも、第1のソース電極13

を保護膜35の外部に露出させる1以上の開口部を有している場合には、半導体装置1は、それら1以上の開口部のそれぞれについて、第1の配線電極12と同様の配線電極を備えることとなる。

- [0092] 第1のゲート電極19は、第1のゲート導体15と電氣的に接続される。
- [0093] 第1のゲート電極19は、限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか1つ以上を含む金属材料で構成されてもよい。
- [0094] 第2の配線電極52は、第1のゲート電極19に接続され、第2の開口部62における第1のゲート電極19の、保護膜35の外部への露出部分を隙間なく被覆する。これにより、第1のゲート電極19は、半導体装置1の外部の物質による腐食が抑制される。
- [0095] 第2の配線電極52は、銅を主成分とし、限定されない一例として、メッキにより形成される。第2の配線電極52は、例えば、その厚さは、10 μ mである。
- [0096] なお、保護膜35が、第2の開口部62以外にも、第1のゲート電極19を保護膜35の外部に露出させる1以上の開口部を有している場合には、半導体装置1は、それら1以上の開口部のそれぞれについて、第2の配線電極52と同様の配線電極を備えることとなる。
- [0097] 低濃度不純物層33の、第2の縦型MOSトランジスタ20が形成される領域には、第1導電型と異なる第2導電型の不純物を含む第2のボディ領域28が形成される。第2のボディ領域28には、第1導電型の不純物を含む第2のソース領域24、第2のゲート導体25、および第2のゲート絶縁膜26が形成される。
- [0098] 第2のソース電極23は、酸化膜34の開口を通して、第2のソース領域24および第2のボディ領域28に接続される。
- [0099] 第2のソース電極23は、限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか1つ以上を含む金属材料で構成されてもよい。
- [0100] 第3の配線電極22は、第2のソース電極23に接続され、第3の開口部63における第2のソース電極23の、保護膜35の外部への露出部分を隙

間なく被覆する。これにより、第2のソース電極23は、半導体装置1の外部の物質による腐食が抑制される。

[0101] 第3の配線電極22は、銅を主成分とし、限定されない一例として、メッキにより形成される。第3の配線電極22は、例えば、その厚さは、 $10\mu\text{m}$ である。

[0102] なお、保護膜35が、第3の開口部63以外にも、第2のソース電極23を保護膜35の外部に露出させる1以上の開口部を有している場合には、半導体装置1は、それら1以上の開口部のそれぞれについて、第3の配線電極22と同様の配線電極を備えることとなる。

[0103] 第2のゲート電極29は、第2のゲート導体25と電氣的に接続される。

[0104] 第2のゲート電極29は、限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか1つ以上を含む金属材料で構成されてもよい。

[0105] 第4の配線電極54は、第2のゲート電極29に接続され、第4の開口部64における第2のゲート電極29の、保護膜35の外部への露出部分を隙間なく被覆する。これにより、第2のゲート電極29は、半導体装置1の外部の物質による腐食が抑制される。

[0106] 第4の配線電極54は、銅を主成分とし、限定されない一例として、メッキにより形成される。第4の配線電極54は、例えば、その厚さは、 $10\mu\text{m}$ である。

[0107] なお、保護膜35が、第4の開口部64以外にも、第2のゲート電極29を保護膜35の外部に露出させる1以上の開口部を有している場合には、半導体装置1は、それら1以上の開口部のそれぞれについて、第4の配線電極54と同様の配線電極を備えることとなる。

[0108] ここで、第1の配線電極12の最大の厚さ、第2の配線電極52の最大の厚さ、第3の配線電極22の最大の厚さ、および、第4の配線電極54の最大の厚さは、金属層30の厚さよりも薄い。すなわち、金属層30の厚さは、第1の配線電極12の最大の厚さ、第2の配線電極52の最大の厚さ、第3の配線電極22の最大の厚さ、および、第4の配線電極54の最大の厚さ

よりも厚い。

[0109] 半導体装置 1 において、例えば、第 1 導電型を N 型、第 2 導電型を P 型として、第 1 のソース領域 1 4、第 2 のソース領域 2 4、半導体基板 3 2、および、低濃度不純物層 3 3 は N 型半導体であり、かつ、第 1 のボディ領域 1 8、および、第 2 のボディ領域 2 8 は P 型半導体であってもよい。

[0110] また、半導体装置 1 において、例えば、第 1 導電型を P 型、第 2 導電型を N 型として、第 1 のソース領域 1 4、第 2 のソース領域 2 4、半導体基板 3 2、および、低濃度不純物層 3 3 は P 型半導体であり、かつ、第 1 のボディ領域 1 8、および、第 2 のボディ領域 2 8 は N 型半導体であってもよい。

[0111] 本開示においては、第 1 の縦型 MOS トランジスタ 1 0 と第 2 の縦型 MOS トランジスタ 2 0 とが、第 1 導電型を N 型、第 2 導電型を P 型とした、いわゆる N チャネル型トランジスタであるとして説明する。

[0112] また、本開示においては、第 1 の縦型 MOS トランジスタ 1 0 と第 2 の縦型 MOS トランジスタ 2 0 とが同様であり、第 1 のソース電極 1 3 と第 2 のソース電極 2 3 とが同様であり、第 1 のゲート電極 1 9 と第 2 のゲート電極 2 9 とが同様であり、第 1 の配線電極 1 2 と第 3 の配線電極 2 2 とが同様であり、第 2 の配線電極 5 2 と第 4 の配線電極 5 4 とが同様であるとして説明する。

[0113] このため、以下では、第 1 の縦型 MOS トランジスタ 1 0 と第 2 の縦型 MOS トランジスタ 2 0 とについて、これらを代表して第 1 の縦型 MOS トランジスタ 1 0 について説明し、第 1 のソース電極 1 3 と第 2 のソース電極 2 3 とについて、これらを代表して第 1 のソース電極 1 3 について説明し、第 1 のゲート電極 1 9 と第 2 のゲート電極 2 9 とについて、これらを代表して第 1 のゲート電極 1 9 について説明し、第 1 の配線電極 1 2 と第 3 の配線電極 2 2 とについて、これらを代表して第 1 の配線電極 1 2 について説明し、第 2 の配線電極 5 2 と第 4 の配線電極 5 4 とについて、これらを代表して第 2 の配線電極 5 2 について説明する。

[0114] 図 2、図 3 に示すように、第 1 の配線電極 1 2 の上面は、半導体装置 1 の

外部に露出し、第2の配線電極52の上面は、半導体装置1の外部に露出する。

[0115] 本開示において、第1の配線電極12の上面のうち、半導体装置1（実施の形態2においては、後述の半導体装置1A）の外部に露出する部分を第1の配線電極露出部71と定義し、第2の配線電極52の上面のうち、半導体装置1（実施の形態2においては、後述の半導体装置1A）の外部に露出する部分を第2の配線電極露出部72と定義する。

[0116] このため、実施の形態1においては、第1の配線電極露出部71は、第1の配線電極12の上面であり、第2の配線電極露出部72は、第2の配線電極52の上面である。

[0117] すなわち、実施の形態1においては、第1の配線電極12の上面である第1の配線電極露出部71は、半導体装置1の外部に露出し、第2の配線電極52の上面である第2の配線電極露出部72は、半導体装置1の外部に露出する。

[0118] ここで、図1～図3に示すように、半導体層40の平面視において、第1の配線電極露出部71の面積は、第1の開口部61の面積よりも大きく、第2の配線電極露出部72の面積は、第2の開口部62の面積よりも大きい。

[0119] また、図2、図3に示すように、第1の配線電極12の、半導体層40の平面視における外周部分に、第1のソース電極13と保護膜35と第1の配線電極12とがこの順で積層された第1の外周構造101が形成され、第2の配線電極52の、半導体層40の平面視における外周部分に、第1のゲート電極19と保護膜35と第2の配線電極52とがこの順で積層された第2の外周構造102が形成される。

[0120] ここで、第1の外周構造101の最上層は、第1の配線電極12であり、第2の外周構造102の最上層は、第2の配線電極52である。

[0121] 図2、図3に示すように、第1の外周構造101は、第1の配線電極露出部71のうちの、第1の外周構造101に含まれない部分の上面よりも上方に突出し、第2の外周構造102は、第2の配線電極露出部72のうちの、

第2の外周構造102に含まれない部分の上面よりも上方に突出し、半導体装置1の最上方位置は、第1の外周構造101、または／および、第2の外周構造102に存在する。

- [0122] 図4は、半導体装置1の上面のうち、第2の配線電極52近傍の部分、半導体装置1の斜め上方から撮像した撮像画像である。
- [0123] 図4から、第2の配線電極52の、半導体層40の平面視における外周部分に、第2の外周構造102に含まれない部分の上面よりも上方に突出する第2の外周構造102が形成されている様子が見て取れる。
- [0124] 図5は、第1の外周構造101の構造を示す拡大断面図である。
- [0125] 本開示においては、第2の外周構造102は、第1の外周構造101に対して、第1のソース電極13を第1のゲート電極19に読み替えたものと同様であるとして説明する。
- [0126] このため、以下では、第1の外周構造101と第2の外周構造102とについて、図5を用いて説明する。
- [0127] 図5に示すように、第1の配線電極12は、半導体層40の平面視における外周部分に、半導体層40の断面視において、第1の配線電極12の外側に向かって逆テーパ形状となる第1の壁面201であって、保護膜35と接触しない第1の壁面201を有する。
- [0128] また、図5に示すように、保護膜35は、半導体層40の平面視における第1の開口部61の周囲の部分に、半導体層40の断面視において、第1の開口部61に向かってテーパ形状となる第1のテーパ形状領域202を有する。
- [0129] ここで、図5に示すように、半導体層40の平面視において、第1の壁面201は、第1のテーパ形状領域202の内部に位置する。
- [0130] 同様に、第2の配線電極52は、半導体層40の平面視における外周部分に、半導体層40の断面視において、第2の配線電極52の外側に向かって逆テーパ形状となる第2の壁面であって、保護膜35と接触しない第2の壁面を有する。

- [0131] また、同様に、保護膜 35 は、半導体層 40 の平面視における第 2 の開口部 62 の周囲の部分に、半導体層 40 の断面視に置いて、第 2 の開口部 62 に向かってテーパ形状となる第 2 のテーパ形状領域を有する。
- [0132] ここで、同様に、半導体層 40 の平面視において、第 2 の壁面は、第 2 のテーパ形状領域の内部に位置する。
- [0133] <考察>
- 上記構成の半導体装置 1 によると、この半導体装置 1 を実装基板内に樹脂封止されてフェイスアップで実装する場合、半導体装置 1 の上面において、第 1 の外周構造 101 および第 2 の外周構造 102 が、樹脂に食い込む。
- [0134] このため、樹脂に食い込む第 1 の外周構造 101 および第 2 の外周構造 102 が、樹脂内における半導体装置 1 の位置を固定するアンカーの役目を果たし、その結果、実装基板における樹脂剥がれの抑制、および、実装基板内部における半導体装置 1 の位置の安定化が実現される。
- [0135] また、半導体装置 1 を封入した後に固形化した樹脂の上面に、第 1 の外周構造 101 および第 2 の外周構造 102 を反映した突起が形成される。
- [0136] このため、樹脂に対して、樹脂の上面から第 1 の配線電極露出部 71 に到達する穴を空ける加工を行う場合に、樹脂の上面に形成される、第 1 の外周構造 101 に対応する突起をガイドラインとして、この突起の内側に穴を空ける加工を行うことで、この突起が存在しない場合に比べて、より精度よく、樹脂の上面から第 1 の配線電極露出部 71 に到達する穴を空ける加工を行うことができる。
- [0137] さらには、同様に、樹脂に対して、樹脂の上面から第 2 の配線電極露出部 72 に到達する穴を空ける加工を行う場合に、樹脂の上面に形成される、第 2 の外周構造 102 に対応する突起をガイドラインとして、この突起の内側に穴を空ける加工を行うことで、この突起が存在しない場合に比べて、より精度よく、樹脂の上面から第 2 の配線電極露出部 72 に到達する穴を空ける加工を行うことができる。
- [0138] このように、上記構成の半導体装置 1 によると、実装基板に埋め込んで実

装される実装方法に適した構造を有する半導体装置が提供される。

- [0139] 上述した通り、半導体層40の平面視において、第1の配線電極露出部71の面積は、第1の開口部61の面積よりも大きく、第2の配線電極露出部72の面積は、第2の開口部62の面積よりも大きい。
- [0140] これにより、半導体層40の平面視において、第1の配線電極露出部71の面積は、第1の開口部61の面積よりも大きくなり、第2の配線電極露出部72の面積は、第2の開口部62の面積よりも大きくない場合に比べて、樹脂の上面から第1の配線電極露出部71に到達する穴を空ける加工、および、樹脂の上面から第2の配線電極露出部72に到達する穴を空ける加工の自由度を高めることができる。
- [0141] 半導体装置1を実装基板に埋め込んで実装する場合、半導体装置1は、実装基板から応力、衝撃を受けることがある。半導体層40の平面視における半導体装置1の面積（以下、「チップ面積」とも称する）に対する、半導体層40の下面から保護膜35の上面までの厚さ（以下、「Si厚」とも称する）が過度に小さいと、これら実装基板から受ける応力、衝撃に対する半導体装置1の十分な耐性が得られない。
- [0142] 発明者らは、実装基板から受ける応力、衝撃に対する半導体装置1の耐性と、半導体層40の平面視における半導体装置1の形状およびSi厚との関係について、実験、検討を行った。その結果、発明者らは、半導体層40の平面視における半導体装置1の形状が、2 [mm] × 2 [mm] の場合に、Si厚が0.1 mm以上であれば、半導体装置1は、実装基板から受ける応力、衝撃に対する十分な耐性を得られるとの知見を得た。
- [0143] 発明者らは、この知見を基に、さらに、実験、検討を重ね、半導体層40の平面視における半導体装置1の形状を、2 [mm] × 2 [mm] よりも小さくする場合には、チップ面積S [mm²] に比例して、Si厚h [mm] を薄くしても、半導体装置1は、実装基板から受ける応力、衝撃に対する十分な耐性を得られるとの知見、および、半導体層40の平面視における半導体装置1の形状を、2 [mm] × 2 [mm] よりも大きくする場合には、チッ

面積 S [mm^2] に比例して、 S i 厚 h [mm] を厚くすれば、半導体装置 1 は、実装基板から受ける応力、衝撃に対する十分な耐性を得られるとの知見を得た。

[0144] 図 6 は、発明者らが実験、検討を通じて得られた、実装基板から受ける応力、衝撃に対する半導体装置 1 の耐性と、半導体層 40 の平面視における半導体装置 1 の形状および S i 厚との関係を示す模式図である。

[0145] 図 6 に示すように、チップ面積を S [mm^2] とし、 S i 厚を [mm] とすると、 $h/S \geq 0.025$ の関係が成立する範囲において、半導体装置 1 は、実装基板から受ける応力、衝撃に対する十分な耐性を得られる。

[0146] 図 7 は、半導体装置 1 が実装基板内に樹脂封止されてフェイスアップで実装される場合における樹脂封止の際の熱処理工程により、半導体装置 1 が変形する様子の一例を模式的に示す、半導体装置 1 および第 1 の外周構造 101 の断面図である。

[0147] 上述した通り、半導体装置 1 は、裏面側に、第 1 の配線電極 12 の最大の厚さ、第 2 の配線電極 52 の最大の厚さ、第 3 の配線電極 22 の最大の厚さ、および、第 4 の配線電極 54 の最大の厚さよりも厚い金属層 30 を備える。一般に、金属層 30 を構成する金属（例えば、銀、銅、ニッケル、または、これらの合金）は、半導体層 40 を構成する、不純物を含む半導体（例えば、不純物がドーピングされたシリコン）よりも、熱膨張率が大きい。

[0148] このため、図 7 の (b) に図示するように、半導体装置 1 を実装基板内に樹脂封止する際に行う樹脂を硬化させるための熱処理時には半導体装置 1 の温度も上昇するため、半導体装置 1 には、裏面を凸とする反りが生じる。これにより、熱処理時における、第 1 の外周構造 101 の、逆テーパ形状となる第 1 の壁面 201 の傾きは、図 7 の (a) および (b) に図示されるように、熱処理前よりも、半導体装置 1 の上方側に変化することとなる。

[0149] その後、熱処理が終了して、樹脂および半導体装置 1 の温度が冷却されると（常温に回帰すると）、図 7 の (c) に図示するように、半導体装置 1 に生じていた裏面を凸とする反りが緩和される。これにより、冷却後における

、第1の外周構造101の、逆テーパ形状となる第1の壁面201の傾きは、図7の(b)および(c)に図示されるように、熱処理時よりも、半導体装置1の下方側に変化することとなる。

[0150] このように、第1の外周構造101の、逆テーパ形状となる第1の壁面201の傾きは、熱処理が終了して、樹脂および半導体装置1の温度が冷却される過程において、半導体装置1の反りの緩和に伴って、半導体装置1の上方側から下方側へと変化することとなる。この変化により、第1の外周構造101は、逆テーパ形状となる第1の壁面201を有さない構成に比べて、より強固に樹脂へ食い込むこととなる。

[0151] したがって、上記構成の半導体装置1によると、第1の外周構造101は、逆テーパ形状となる第1の壁面201を有することで、第1の壁面201を有さない構成に比べて、樹脂内における半導体装置1の位置をより強固に固定するアンカーの役目を果たし、その結果、実装基板における樹脂剥がれのさらなる抑制、および、実装基板内部における半導体装置1の位置のさらなる安定化が実現される。

[0152] また、同様の理由により、上記構成の半導体装置1によると、第2の外周構造102は、逆テーパ形状となる第2の壁面を有することで、第2の壁面を有さない構成に比べて、樹脂内における半導体装置1の位置をより強固に固定するアンカーの役目を果たし、その結果、実装基板における樹脂剥がれのさらなる抑制、および、実装基板内部における半導体装置1の位置のさらなる安定化が実現される。

[0153] さらには、上述した通り、半導体層40の平面視において、第1の壁面201は、第1のテーパ形状領域202の内部に位置する。

[0154] これにより、上記構成の半導体装置1によると、第1の外周構造101は、第1の壁面201が、第1のテーパ形状領域202の内部に位置しない構成に比べて、より強固に樹脂へと食い込むこととなる。

[0155] したがって、上記構成の半導体装置1によると、第1の外周構造101は、半導体層40の平面視において、第1の壁面201が第1のテーパ形状領

域 202 の内部に位置することで、半導体層 40 の平面視において、第 1 の壁面 201 が第 1 のテーパ形状領域 202 の内部に位置しない構成に比べて、樹脂内における半導体装置 1 の位置をより強固に固定するアンカーの役目を果たし、その結果、実装基板における樹脂剥がれのさらなる抑制、および、実装基板内部における半導体装置 1 の位置のさらなる安定化が実現される。

[0156] また、同様の理由により、上記構成の半導体装置 1 によると、第 2 の外周構造 102 は、半導体層 40 の平面視において、第 2 の壁面が第 2 のテーパ形状領域の内部に位置することで、半導体層 40 の平面視において、第 2 の壁面が第 2 のテーパ形状領域の内部に位置しない構成に比べて、樹脂内における半導体装置 1 の位置をより強固に固定するアンカーの役目を果たし、その結果、実装基板における樹脂剥がれのさらなる抑制、および、実装基板内部における半導体装置 1 の位置のさらなる安定化が実現される。

[0157] ところで、逆テーパ形状となる第 1 の壁面 201 および第 2 の壁面は、半導体層 40 の平面視において、第 1 の配線電極 12 および第 2 の配線電極 52 の外周に沿ってぐるりと逆テーパ形状となってもよいが、外周に沿って一部だけが逆テーパ形状となってもよい。

[0158] 第 1 の壁面 201 および第 2 の壁面を、外周に沿って一部だけを逆テーパ形状とする場合には、半導体装置 1 の反りが最も大きくなる方向と整合する部分に逆テーパ形状を設けることが好ましい。例えば、半導体層 40 の平面視において、半導体装置 1 が長手方向を有する長方形である場合には、長手方向における反りが最も大きな反りとなるので、第 1 の壁面 201 および第 2 の壁面の、半導体装置 1 の長手方向と直交する位置を含む部分に逆テーパ形状が設けられることが好ましい。

[0159] 図 8 は、半導体層 40 の平面視において、第 1 のソース電極 13 の面積を $M1$ 、第 1 の開口部 61 の面積を $S1$ 、第 1 の配線電極露出部 71 の面積を $P1$ とする場合において、 $S1/M1$ により示される、第 1 のソース電極 13 の面積に対する第 1 の開口部 61 の面積の占有率が、0.5 以上 1.0 未

満の場合（以下、「第1の場合」とも称する）における、半導体装置1の平面図である。なお、図8および後述の図10には、第1の配線電極露出部71が図示されていないが、半導体層40の平面視における第1の配線電極露出部71の面積 $P1$ は、図8および後述の図10においては、第1の配線電極12の面積と一致する。

[0160] 図9は、第1の場合における半導体装置1の断面図であって、図8におけるI-I-I-Iにおける切断面を示す。

[0161] 図10は、 $S1/M1$ により示される、第1のソース電極13の面積に対する第1の開口部61の面積の占有率が、0.9以上1.0未満であり、 $P1/M1$ により示される、第1のソース電極13の面積に対する第1の配線電極露出部71の面積の占有率が0.5以上である場合（以下、「第2の場合」とも称する）における、半導体装置1の平面図である。

[0162] 図11は、第2の場合における半導体装置1の断面図であって、図10におけるI-V-I-Vにおける切断面を示す。

[0163] 一般に、はんだ等の接合材を用いてフェイスダウンで実装する半導体装置は、接合材のボイド等による実装不良の発生を抑制するために、常識的には、 $S1/M1$ は、0.5未満である。

[0164] これに対して、本開示に係る半導体装置1は、はんだ等の接合材を用いずにフェイスアップで実装するために、接合材のボイド等による実装不良の発生を心配する必要がない。このため、半導体装置1のオン抵抗の低減、および、半導体装置1の放熱特性の向上の観点から、図8、図9に示す例のように、半導体装置1において、 $S1/M1$ は、0.5以上にすることが好ましい、すなわち、 $S1/M1$ は、0.5以上1.0未満であることが好ましい。

[0165] $S1/M1$ が1.0未満であることが好ましいとする理由は、半導体層30の平面視において、第1の開口部61の面積 $S1$ が第1のソース電極13の面積 $M1$ よりも大きいと、第1の開口部61により、第1のソース電極13で被覆されていない酸化膜34の領域まで開口されてしまうためである。

- [0166] 半導体装置1のオン抵抗の低減、および、半導体装置1の放熱特性の向上の観点から、さらに言えば、図10、図11に示す例のように、半導体装置1において、 $S1/M1$ は、0.9以上1.0未満であり、かつ、 $P1/M1$ は、0.9以上1.1以下であることがより好ましい。これは、半導体装置1のオン抵抗の低減、および、半導体装置1の放熱特性のために、可能な限り第1のソース電極13の外部への露出を大きくする意図である。
- [0167] なお、図10、図11に示す例では、半導体層40の平面視において、第1のゲート電極19の面積を $M2$ 、第2の開口部62の面積を $S2$ 、第2の配線電極露出部72の面積を $P2$ とする場合において、 $P2/M2$ により示される、第1のゲート電極19の面積に対する第2の配線電極露出部72の面積の占有率は、0.9以上1.1以下となっている。
- [0168] 図10、図11に示す例のように、 $P2/M2$ により示される、第1のゲート電極19の面積に対する第2の配線電極露出部72の面積の占有率が、0.9以上1.1以下であることは有効である。
- [0169] 第2の配線電極露出部72を、半導体装置1を封止する樹脂に空けた穴を介して半導体装置1の外部配線と良好に接続させるためには、半導体層40の平面視における、第2の配線電極露出部72の面積 $P2$ は、半導体層40の平面視における、第2の開口部62の面積 $S2$ よりも大きいことが好ましい。
- [0170] 一般に、第2の開口部62は、半導体層40の平面視において円形であることが多い。これに対して、上述した通り、半導体装置1は、半導体層40の平面視において矩形である。
- [0171] このため、 $M2$ を $S2$ よりも拡大する際には、半導体層40の平面視における第2の配線電極露出部72は矩形にすることが好ましい。この場合、半導体層40の平面視において、 $S2$ よりも大きくなる、矩形である第2の配線電極露出部72の形状は、円形である第2の開口部62に外接する正方形である。ここで、円に外接する正方形は、円の面積の1.27倍である。
- [0172] これらのことから、 $P2/S2$ により示される、第2の開口部62の面積

に対する、第2の配線電極露出部72の面積の占有率は、1.27以上であることが好ましいと言える。

[0173] また、第1の配線電極露出部71を、半導体装置1を封止する樹脂に空けた穴を介して半導体装置1の外部配線と良好に接続させ、かつ、第2の配線電極露出部72を、半導体装置1を封止する樹脂に空けた穴を介して半導体装置1の外部配線と良好に接続させるためには、半導体層40の平面視において、第1の配線電極12の面積と、第2の配線電極52の面積とができるだけ広く、かつ、第1の配線電極12の形状と、第2の配線電極52の形状とが等しいことが好ましい。

[0174] 図12は、第1の配線電極12と第2の配線電極52とが、上記望ましい形状を実現している半導体装置1の構造の一例を示す平面図である。

[0175] 図12に示すように、半導体層40の平面視において、第1の配線電極12の形状と、第2の配線電極52の形状とを、中央線を対称軸とする線対称とし、中央線が、半導体装置1を面積において二等分する形状とすることで、半導体装置1は、上記好ましい形状が実現される。

[0176] (実施の形態2)

以下、実施の形態1に係る半導体装置1から、第1の外周構造101が実施の形態2に係る第1の外周構造に変更され、第2の外周構造102が実施の形態2に係る第2の外周構造に変更されて構成される実施の形態2に係る半導体装置について説明する。

[0177] ここでは、実施の形態2に係る半導体装置について、半導体装置1と同様の構成要素については、既に説明済みであるとして同じ符号を振ってその詳細な説明を省略し、半導体装置1との相違点を中心に説明する。

[0178] なお、実施の形態1において、半導体装置1が備える保護膜35は、単層構造であってもよいし、多層構造であってもよいとして説明したが、実施の形態2においては、実施の形態2に係る半導体装置が備える保護膜35は、多層構造であることが必須である。このため、以下では、実施の形態2に係る半導体装置が備える保護膜35は、第1の保護膜層35Aと第2の保護膜

層 3 5 B とが積層された多層構造（ここでは、2 層構造）であるとして説明する。

[0179] <構造>

図 1 3 は、実施の形態 2 に係る半導体装置 1 A の構造の一例を示す平面図である。

[0180] 図 1 4 は、半導体装置 1 A の構造の一例を示す断面図であって、図 1 4 における V-V における切断面を示す。

[0181] 図 1 3、1 4 に示すように、半導体装置 1 A は、実施の形態 1 に係る半導体装置 1 から、第 1 の外周構造 1 0 1 が実施の形態 2 に係る第 1 の外周構造 1 0 1 A に変更され、第 2 の外周構造 1 0 2 が実施の形態 2 に係る第 2 の外周構造 1 0 2 A に変更されて構成される。

[0182] より具体的には、図 1 4 に示すように、半導体装置 1 A において、第 1 の配線電極 1 2 の、半導体層 4 0 の平面視における外周部分に、第 1 のソース電極 1 3 と第 1 の保護膜層 3 5 A と第 1 の配線電極 1 2 と第 2 の保護膜層 3 5 B とがこの順で積層された第 1 の外周構造 1 0 1 A が形成され、第 2 の配線電極 5 2 の、半導体層 4 0 の平面視における外周部分に、第 1 のゲート電極 1 9 と第 1 の保護膜層 3 5 A と第 2 の配線電極 5 2 と第 2 の保護膜層 3 5 B とがこの順で積層された第 2 の外周構造 1 0 2 A が形成される。

[0183] ここで、第 1 の外周構造 1 0 1 A の最上層は、第 2 の保護膜層 3 5 B であり、第 2 の外周構造 1 0 2 A の最上層は、第 2 の保護膜層 3 5 B である。

[0184] 上記の変更に伴い、実施の形態 1 に係る半導体装置 1 においては、第 1 の配線電極 1 2 の上面全体が半導体装置 1 の外部に露出し、第 2 の配線電極 5 2 の上面全体が半導体装置 1 の外部に露出していたのに対して、半導体装置 1 A においては、第 1 の配線電極 1 2 の上面のうちの、第 1 の外周構造 1 0 1 A に含まれない部分が半導体装置 1 A の外部に露出し、第 2 の配線電極 5 2 の上面のうちの、第 2 の外周構造 1 0 2 A に含まれない部分が半導体装置 1 A の外部に露出することとなる。

[0185] 上述した通り、本開示において、第 1 の配線電極 1 2 の上面のうち、半導

体装置 1 A の外部に露出する部分を第 1 の配線電極露出部 7 1 と定義し、第 2 の配線電極 5 2 の上面のうち、半導体装置 1 A の外部に露出する部分を第 2 の配線電極露出部 7 2 と定義する。

[0186] このため、実施の形態 2 においては、第 1 の配線電極露出部 7 1 は、第 1 の配線電極 1 2 の上面のうち、第 1 の外周構造 1 0 1 A に含まれない部分であり、第 2 の配線電極露出部 7 2 は、第 2 の配線電極 5 2 の上面のうち、第 2 の外周構造 1 0 2 A に含まれない部分である。

[0187] すなわち、実施の形態 2 においては、第 1 の配線電極 1 2 の上面のうち、第 1 の外周構造 1 0 1 A に含まれない部分である第 1 の配線電極露出部 7 1 は、半導体装置 1 A の外部に露出し、第 2 の配線電極 5 2 の上面のうち、第 2 の外周構造 1 0 2 A に含まれない部分である第 2 の配線電極露出部 7 2 は、半導体装置 1 A の外部に露出する。

[0188] なお、半導体装置 1 A においても、実施の形態 1 に係る半導体装置 1 と同様に、半導体層 4 0 の平面視において、第 1 の配線電極露出部 7 1 の面積は、第 1 の開口部 6 1 の面積よりも大きく、第 2 の配線電極露出部 7 2 の面積は、第 2 の開口部 6 2 の面積よりも大きい。

[0189] 図 1 4 に示すように、第 1 の外周構造 1 0 1 A は、第 1 の配線電極露出部 7 1 の上面よりも上方に突出し、第 2 の外周構造 1 0 2 A は、第 2 の配線電極露出部 7 2 の上面よりも上方に突出し、半導体装置 1 A の最上方位置は、第 1 の外周構造 1 0 1 A、または／および、第 2 の外周構造 1 0 2 A に存在する。

[0190] ここで、第 1 の外周構造 1 0 1 A を第 1 の配線電極露出部 7 1 の上面よりも上方に突出させるためには、第 1 の外周構造 1 0 1 A における第 1 の配線電極 1 2 の厚さを第 1 の厚さとして、第 1 の外周構造 1 0 1 A における第 2 の保護膜層 3 5 B の厚さを第 2 の厚さとする、第 2 の厚さは、第 1 の厚さ以下であることが望ましい。

[0191] これは、仮に第 2 の厚さが第 1 の厚さを上回ると、第 2 の保護膜層 3 5 B は、第 1 の配線電極 1 2 を一様に被覆してしまうため、第 1 の外周構造 1 0

1 Aが形成されにくくなるからである。

[0192] 第2の厚さが第1の厚さよりも大きくなればなるほど、第2の保護膜層35 Bが第1の配線電極12を一様に被覆する傾向が強まる。このため、少なくとも、第2の厚さは第1の厚さ以下であることが望ましい。

[0193] 同様に、第2の外周構造102 Aを第2の配線電極露出部72の上面よりも上方に突出させるためには、前記第2の外周構造102 Aにおける第2の配線電極52の厚さを第3の厚さとして、前記第2の外周構造102 Aにおける第2の保護膜層35 Bの厚さを第4の厚さとする、第4の厚さは、第3の厚さ以下であることが望ましい。

[0194] 一方で、発明者らは、半導体装置1 Aを実装基板内に樹脂封止されてフェイスアップで実装する場合において、第1の外周構造101 Aおよび第2の外周構造102 Aを、樹脂に十分食い込ませるために必要となる、第1の配線電極露出部71の上面を基準とする第1の外周構造101 Aの高さ、および、第2の配線電極露出部72の上面を基準とする第2の外周構造102 Aの高さについて、実験、検討を繰り返した。その結果、発明者らは、第1の配線電極露出部71の上面を基準とする第1の外周構造101 Aの高さが、第1の開口部61における第1の配線電極12の厚さの50%であり、第2の配線電極露出部72の上面を基準とする第2の外周構造102 Aの高さが、第2の開口部62における第2の配線電極52の厚さの50%であれば、第1の外周構造101 Aおよび第2の外周構造102 Aを、樹脂に十分食い込ませることができるとの知見を得た。

[0195] ここで、第1の外周構造101 Aおよび第2の外周構造102 Aを、樹脂に十分食い込ませるとは、樹脂に食い込む第1の外周構造101 Aおよび第2の外周構造102 Aが、樹脂内における半導体装置1 Aの位置を固定するアンカーの役目を果たす程度に食い込ませることを意味する。

[0196] すなわち、発明者らは、実験、検討を通じて、第1の外周構造101 Aによる樹脂への食い込みを強めるためには、樹脂の厚さに対して10%以上の食い込み量があると、安定して強固なアンカー効果を得る上で効果的である

ことがわかった。

[0197] 後述するが、第1の配線電極12の厚さは、後に行うレーザ加工等による樹脂への穴空け工程において十分なマージンを有していなければならないため、第1の配線電極12の厚さは、直上に封止される樹脂の厚さのおよそ1/3以上とすることが求められる。

[0198] したがって、望ましい食い込み量（第1の配線電極露出部71の上面を基準とする第1の外周構造101Aの高さ、および、第2の配線電極露出部72の上面を基準とする第2の外周構造102Aの高さ）は、少なくとも第1の配線電極12の厚さの30%以上となるが、本開示においては、さらに安定して強固なアンカー効果を得るために、第1の配線電極12の厚さの50%以上とすることとした。

[0199] また、発明者らは、第1の配線電極露出部71の上面を基準とする第1の外周構造101Aの高さが、第1の開口部61における第1の配線電極12の厚さの50%であり、第2の配線電極露出部72の上面を基準とする第2の外周構造102Aの高さが、第2の開口部62における第2の配線電極52の厚さの50%であれば、半導体装置1Aを封入した後に固形化した樹脂の上面に、第1の外周構造101Aおよび第2の外周構造102Aを反映した突起が形成されるとの知見を得た。

[0200] このため、発明者らは、半導体装置1Aに対して、第2の厚さは、第1の厚さの半分より大きく、かつ、第1の厚さ以下であり、第4の厚さは、第3の厚さの半分より大きく、かつ、第3の厚さ以下であることとした。

[0201] ところで、第2の保護膜層35Bは、通常、粘性のあるポリイミドで形成される。このため、第1の外周構造101Aおよび第2の外周構造102Aのような段差のある構造を有する部分に第2の保護膜層35Bを形成しようとする場合に、段差の上部側のポリイミドが段差の下部側へ流れてしまうことにより、所望の形状の第2の保護膜層35Bが形成されないことがある。

[0202] このため、発明者らは、第1の外周構造101Aおよび第2の外周構造102Aを形成するにあたって、段差の上部側のポリイミドが段差の下部側へ

流れてしまうことを抑制することができる第2の保護膜層35Bの形状と、第1の外周構造101Aおよび第2の外周構造102Aの形状とについて、実験、検討を繰り返した。その結果、発明者らは、第2の保護膜層35Bのうち、半導体層40の平面視において第1の配線電極12と重なる部分の最小の幅が、第2の保護膜層35Bのうち、半導体層40の平面視において第1の配線電極12または第2の配線電極52と重ならない部分の厚さよりも大きければ、第1の外周構造101Aを形成するにあたって、段差の上部側のポリイミドが段差の下部側へ流れてしまうことを抑制することができるとの知見、および、第2の保護膜層35Bのうち、半導体層40の平面視において第2の配線電極52と重なる部分の最小の幅が、第2の保護膜層35Bのうち、半導体層40の平面視において第1の配線電極12または第2の配線電極52と重ならない部分の厚さよりも大きければ、第2の外周構造102Aを形成するにあたって、段差の上部側のポリイミドが段差の下部側へ流れてしまうことを抑制することができるとの知見を得た。

[0203] このため、発明者らは、半導体装置1Aに対して、半導体層40の平面視において第1の配線電極12と重なる部分の最小の幅が、第2の保護膜層35Bのうち、半導体層40の平面視において第1の配線電極12または第2の配線電極52と重ならない部分の厚さよりも大きく、かつ、第2の保護膜層35Bのうち、半導体層40の平面視において第2の配線電極52と重なる部分の最小の幅が、第2の保護膜層35Bのうち、半導体層40の平面視において第1の配線電極12または第2の配線電極52と重ならない部分の厚さよりも大きくなることとした。

[0204] <考察>

上記構成の半導体装置1Aによると、実施の形態1に係る半導体装置1の場合と同様に、この半導体装置1Aを実装基板内に樹脂封止されてフェイスアップで実装する場合、半導体装置1Aの上面において、第1の外周構造101Aおよび第2の外周構造102Aが、樹脂に食い込む。

[0205] このため、樹脂に食い込む第1の外周構造101Aおよび第2の外周構造

102Aが、樹脂内における半導体装置1Aの位置を固定するアンカーの役目を果たし、その結果、実装基板における樹脂剥がれの抑制、および、実装基板内部における半導体装置1Aの位置の安定化が実現される。

[0206] また、実施の形態1に係る半導体装置1の場合と同様に、半導体装置1Aを封入した後に固形化した樹脂の上面に、第1の外周構造101Aおよび第2の外周構造102Aを反映した突起が形成される。

[0207] このため、樹脂に対して、樹脂の上面から第1の配線電極露出部71に到達する穴を空ける加工を行う場合に、樹脂の上面に形成される、第1の外周構造101Aに対応する突起をガイドラインとして、この突起の内側に穴を空ける加工を行うことで、この突起が存在しない場合に比べて、より精度よく、樹脂の上面から第1の配線電極露出部71に到達する穴を空ける加工を行うことができる。

[0208] さらに、同様に、樹脂に対して、樹脂の上面から第2の配線電極露出部72に到達する穴を空ける加工を行う場合に、樹脂の上面に形成される、第2の外周構造102Aに対応する突起をガイドラインとして、この突起の内側に穴を空ける加工を行うことで、この突起が存在しない場合に比べて、より精度よく、樹脂の上面から第2の配線電極露出部72に到達する穴を空ける加工を行うことができる。

[0209] このように、上記構成の半導体装置1Aによると、実施の形態1に係る半導体装置1の場合と同様に、実装基板に埋め込んで実装される実装方法に適した構造を有する半導体装置が提供される。

[0210] 上述した通り、半導体層40の平面視において、第1の配線電極露出部71の面積は、第1の開口部61の面積よりも大きく、第2の配線電極露出部72の面積は、第2の開口部62の面積よりも大きい。

[0211] これにより、実施の形態1に係る半導体装置1の場合と同様に、半導体層40の平面視において、第1の配線電極露出部71の面積は、第1の開口部61の面積よりも大きくなり、第2の配線電極露出部72の面積は、第2の開口部62の面積よりも大きくない場合に比べて、樹脂の上面から第1の配

線電極露出部 7 1 に到達する穴を空ける加工、および、樹脂の上面から第 1 の配線電極露出部 7 1 に到達する穴を空ける加工の自由度を高めることができる。

[0212] また、実施の形態 1 に係る半導体装置 1 の場合と同様に、半導体装置 1 A において、 $S 1 / M 1$ は、0.5 以上にすることが好ましい、すなわち、 $S 1 / M 1$ は、0.5 以上 1.0 未満であることが好ましく、さらに言えば、半導体装置 1 A において、 $S 1 / M 1$ は、0.9 以上 1.0 未満であり、かつ、 $P 1 / M 1$ は、0.9 以上 1.1 以下であることがより好ましい。

[0213] また、実施の形態 1 に係る半導体装置 1 の場合と同様に、半導体装置 1 A において、 $P 2 / M 2$ は、0.9 以上 1.1 以下であることは有効である。

[0214] また、実施の形態 1 に係る半導体装置 1 の場合と同様に、半導体装置 1 A において、 $P 2 / S 2$ は、1.27 以上が好ましいと言える。

[0215] また、実施の形態 1 に係る半導体装置 1 の場合と同様に、半導体装置 1 A において、半導体層 4 0 の平面視において、第 1 の配線電極 1 2 の形状と、第 2 の配線電極 5 2 の形状とを、中央線を対称軸とする線対称とし、中央線が、半導体装置 1 A を面積において二等分する形状とすることで、半導体装置 1 A は、第 1 の配線電極露出部 7 1 を、半導体装置 1 A を封止する樹脂に空けた穴を介して半導体装置 1 A の外部配線と良好に接続させ、かつ、第 2 の配線電極露出部 7 2 を、半導体装置 1 A を封止する樹脂に空けた穴を介して半導体装置 1 A の外部配線と良好に接続させる上で好ましい形状が実現される。

[0216] なお、実施の形態 2 において、保護膜 3 5 は、第 1 の保護膜層 3 5 A と第 2 の保護膜層 3 5 B との 2 つの層が積層された 2 層構造であるとして説明したが、保護膜 3 5 は、3 つ以上の層が積層された多層構造であっても構わない。

[0217] 図 1 5 は、保護膜 3 5 が 3 層構造である場合における、第 1 の外周構造 1 0 1 A の構造の一例を示す拡大断面図である。

[0218] 図 1 5 に示すように、保護膜 3 5 が 3 層構造である場合には、第 1 の保護

膜層 3 5 A と第 2 の保護膜層 3 5 B とに加えて、さらに、第 1 の保護膜層 3 5 A と第 2 の保護膜層 3 5 B とに挟まれた第 3 の保護膜層 3 5 C とが積層されて構成されるときもよい。

[0219] なお、実施の形態 2 における<考察>の項目で論じたロジックは、第 1 の配線電極 1 2 および第 2 の配線電極 5 2 の厚さが 1 0 μm よりも過度に薄い場合には、成立しない可能性があることに注意する必要がある。

[0220] (実施の形態 3)

以下、実施の形態 1 に係る半導体装置 1 または実施の形態 2 に係る半導体装置 1 A、もしくは、半導体装置 1 または半導体装置 1 A と、第 1 の配線電極 1 2、第 2 の配線電極 5 2、および、保護膜 3 5 の構成が同様である半導体装置 (以下、「実装用半導体装置」とも称する) が層間絶縁膜内にフェイスアップで実装された、実施の形態 3 に係る実装基板について説明する。

[0221] ここでは、実施の形態 3 に係る実装基板について、半導体装置 1 の構成要素については、既に説明済みであるとして同じ符号を振ってその詳細な説明を省略する。

[0222] なお、実施の形態 3 においては、実施の形態 3 に係る実装基板が実装する半導体装置が半導体装置 1 であるとして説明するが、実施の形態 3 に係る実装基板が実装する半導体装置が半導体装置 1 A である場合、および、実装用半導体装置である場合も同様である。

[0223] 図 1 6 は、実施の形態 3 に係る実装基板 7 0 の構造の一例を示す平面図である。図 1 6 に示すように、実装基板 7 0 は、長手方向を有する形状である。ここでは、図 1 6 中の X 軸方向が、実装基板 7 0 の長手方向となっている。

[0224] 図 1 7 は、実装基板 7 0 の構造の一例を示す断面図である。図 1 7 は、図 1 6 の V I - V I における切断面を示す。

[0225] 図 1 6、図 1 7 に示すように、実装基板 7 0 は、第 1 の配線層 7 6 と、層間絶縁膜 7 8 と、第 2 の配線層 7 7 とを備え、第 1 の配線層 7 6 と、層間絶縁膜 7 8 と、第 2 の配線層 7 7 とが、この順で積層されて構成される。

- [0226] なお、ここでは、実装基板 70 は、配線層として、第 1 の配線層 76 と第 2 の配線層 77 との 2 つの配線層を備えるとして説明するが、実装基板 70 は、配線層として、第 1 の配線層 76 と第 2 の配線層 77 との 2 つの配線層を備える構成に限定される必要はない。
- [0227] 他の構成例として、実装基板 70 は、例えば、第 1 の配線層 76 よりも下層側、または／および、第 2 の配線層 77 よりも上層側に、さらなる 1 以上の配線層を備える構成であっても構わない。
- [0228] 実装基板 70 は、さらに、層間絶縁膜 78 内に、半導体装置 1 と、電子部品 81 と、1 以上の第 1 の接続配線 91（ここでは、図 16、図 17 中の第 1 の接続配線 91A～第 1 の接続配線 91D の 4 つ第 1 の接続配線 91）と、第 2 の接続配線 92 とを備え、第 2 の配線層 77 内に、第 1 の配線 96 と、第 2 の配線 97 とを備え、第 2 の配線層 77 上に、電子部品 82 と、電子部品 83 とを備える。
- [0229] ここでは、半導体装置 1 は、長手方向を有する矩形であり、電子部品 83 は、長手方向を有する矩形であるとして説明する。ここでは、図 16 中の Y 軸方向が半導体装置 1 の長手方向であり、図 16 中の X 軸方向が電子部品 83 の長手方向となっている。
- [0230] なお、図 16 において、半導体装置 1 と、電子部品 81 と、1 以上の第 1 の接続配線 91 と、第 2 の接続配線 92 と、第 1 の配線電極 12 と、第 2 の配線電極 52 とを、破線によりあたかも視認することが出来るかの如く図示しているが、実際には、これらの構成要素を実装基板 70 の外部から視認することはできない。
- [0231] 第 1 の配線層 76 と第 2 の配線層 77 とは、それぞれ、実装基板 70 に実装された部品、または／および、実装基板 70 の外部の部品間を電氣的に接続するための配線を形成するための層である。
- [0232] 層間絶縁膜 78 は、第 1 の配線層 76 と第 2 の配線層 77 との間に挟まれた絶縁膜である。ここでは、層間絶縁膜 78 は、樹脂からなるとして説明する。

- [0233] 半導体装置 1 は、層間絶縁膜 7 8 内にフェイスアップで実装される。この際、半導体装置 1 は、実装基板 7 0 の平面視において、半導体装置 1 の長手方向（ここでは、図 1 6 中の Y 軸方向）と、実装基板 7 0 の長手方向（ここでは、図 1 6 中の X 軸方向）とが互いに直交する向きに実装される。
- [0234] 電子部品 8 1 は、層間絶縁膜 7 8 内に実装され、電子部品 8 2 は、第 2 の配線層 7 7 上に実装される。
- [0235] 電子部品 8 3 は、第 2 の配線層 7 7 上に実装される。この際、電子部品 8 3 は、実装基板 7 0 の平面視において、少なくとも一部が半導体装置 1 と重なり、かつ、電子部品 8 3 の長手方向（ここでは、図 1 6 中の X 軸方向）と、半導体装置 1 の長手方向（ここでは、図 1 6 中の Y 軸方向）とが互いに直交する向きに実装される。
- [0236] 第 1 の配線 9 6 は、第 2 の配線層 7 7 内に形成された、例えば、銅、銀、または、これらの合金からなる配線である。
- [0237] 第 2 の配線 9 7 は、第 2 の配線層 7 7 内に形成された、例えば、銅、銀、または、これらの合金からなる配線である。
- [0238] 1 以上の第 1 の接続配線 9 1 のそれぞれは、第 1 の配線 9 6 と、半導体装置 1 の第 1 の配線電極 1 2 の上面とを接続する、実装基板 7 0 に直交する方向（ここでは、図 1 6、図 1 7 の Z 軸方向）に延伸する配線であって、銅からなる。
- [0239] 1 以上の第 1 の接続配線 9 1 のそれぞれは、第 1 の配線電極 1 2 の上面とは、第 1 の配線電極 1 2 のうち、半導体層 4 0 の平面視において、第 1 の外周構造 1 0 1 に重ならない部分において接続する。
- [0240] 1 以上の第 1 の接続配線 9 1 のそれぞれは、例えば、層間絶縁膜 7 8 内に半導体装置 1 がフェイスアップで実装された後において、層間絶縁膜 7 8 に対して、例えば、レーザ加工により、層間絶縁膜 7 8 の上面から第 1 の配線電極 1 2 の上面にまで達する穴が形成され、その穴に銅が充填されることで形成される。
- [0241] 1 以上の第 1 の接続配線 9 1 のそれぞれの、1 以上の第 1 の接続配線 9 1

のそれぞれが延伸する方向に直交する断面は円形である。

[0242] なお、ここでは、1以上の第1の接続配線91は、第1の接続配線91A～第1の接続配線91Dの4つであるとして説明しているが、必ずしも4つに限定される必要はなく、1つであってもよいし、4つ以外の複数であってもよい。

[0243] 1以上の第1の接続配線91が複数であれば、複数の第1の接続配線91のうちの1つが断線したとしても、他の1以上の第1の接続配線91により、第1の配線電極12と第1の配線96との接続を維持することが出来る。

[0244] また、1以上の第1の接続配線91が複数であれば、1以上の第1の接続配線91が1つの場合に比べて、1以上の第1の接続配線91における抵抗値の低減、および、1以上の第1の接続配線91を介してなされる放熱の高効率化を実現することができる。

[0245] 第2の接続配線92は、第2の配線97と、半導体装置1の第2の配線電極52の上面とを接続する、実装基板70に直交する方向（図16、図17のZ軸方向）に延伸する配線であって、銅からなる。

[0246] 第2の接続配線92は、第2の配線電極52の上面とは、第2の配線電極52のうち、半導体層40の平面視において、第2の外周構造102に重ならない部分において接続する。

[0247] 第2の接続配線92は、例えば、層間絶縁膜78内に半導体装置1がフェイスアップで実装された後において、層間絶縁膜78に対して、例えば、レーザー加工により、層間絶縁膜78の上面から第2の配線電極52の上面にまで達する穴が形成され、その穴に銅が充填されることで形成される。

[0248] なお、1以上の第1の接続配線91のうちの少なくとも1つの断面は、後述する第2の接続配線92の断面よりも大きくてもよい。これは、第1の縦型MOSトランジスタ10において、第1のソース電極13に流れる電流の方が、第1のゲート電極19に流れる電流よりも大きいからである。

[0249] 図18は、半導体装置1が備える第1の配線電極12が複数である（ここでは、第1の配線電極12A～第1の配線電極12Fの6つである）場合に

おける、実装基板 70 の構造の一例を示す拡大平面図である。

[0250] なお、図 18 において、半導体装置 1、第 1 の配線電極 12（ここでは、第 1 の配線電極 12 A～第 1 の配線電極 12 F）、第 2 の配線電極 52、第 1 の接続配線 91（ここでは、第 1 の接続配線 91 E～第 1 の接続配線 91 J）、第 2 の接続配線 92 等を、破線によりあたかも視認することができるかの如く図示しているが、実際には、これらの構成要素を実装基板 70 の外部から視認することができない。

[0251] 図 18 に示すように、半導体装置 1 が備える第 1 の配線電極 12 が複数である場合には、1 以上の第 1 の接続配線 91 は、複数の第 1 の配線電極 12 のそれぞれと 1 対 1 で対応する複数である。この場合、複数の第 1 の接続配線 91 のそれぞれは、当該第 1 の接続配線 91 に 1 対 1 で対応する、複数の第 1 の配線電極 12 のうちの 1 の配線電極により、第 1 の配線 96 に接続する。

[0252] この際、複数の第 1 の接続配線 91 のそれぞれの、複数の第 1 の接続配線 91 のそれぞれが延伸する方向に直交する断面は、互いに等しいとしてもよい。

[0253] これにより、実装基板 70 の製造を、比較的容易なものとすることができる。

[0254] <考察>

実施の形態 1 において説明した通り、半導体装置 1 は、実装基板 70 に埋め込んで実装される実装方法に適した構造を有する半導体装置である。

[0255] このため、上記構成の実装基板 70 によると、実装基板 70 に埋め込んで実装される実装方法に適した構造を有する半導体装置 1 を実装する実装基板が提供される。

[0256] なお、実装基板 70 が実装する半導体装置が、半導体装置 1 A である場合、実装用半導体装置である場合も同様である。

[0257] 上述した通り、実装基板 70 の平面視において、実装基板 70 は、長手方向を有する形状であり、半導体装置 1 は、長手方向を有する形状であり、実

装基板 70 の長手方向と、半導体装置 1 の長手方向とは、互いに直交する。

[0258] これにより、実装基板 70 の製造過程における熱処理時に生じる、実装基板 70 の反りと、半導体装置 1 の反りとが互いに助長し合うことが抑制される。

[0259] また、上述した通り、実装基板 70 の平面視において、少なくとも一部が半導体装置 1 と重なる電子部品 83 は、長手方向を有する形状であり、半導体装置 1 は、長手方向を有する形状であり、電子部品 83 の長手方向と、半導体装置 1 の長手方向とは、互いに直交する。

[0260] これにより、実装基板 70 の製造過程における熱処理時に生じる、電子部品 83 の反りと、半導体装置 1 の反りとが互いに助長し合うことが抑制される。

[0261] なお、実装基板 70 において、第 1 の配線電極 12 の上面のうちの最も低い位置を基準とする、半導体装置 1 の最上方位置までの高さは、実装基板 70 に直交する方向における、1 以上の第 1 の接続配線 91 の長さの 15% 以上であるとしてもよい。

[0262] 第 1 の接続配線 91 の長さは、半導体装置 1 の直上に封止される樹脂の厚さと同等である。

[0263] 第 1 の配線電極 12 の上面のうちの最も低い位置を基準とする、半導体装置 1 の最上方位置までの高さは、樹脂への食い込み量であり、本開示においては、第 1 の配線電極 12 の厚さの 50% を確保することを想定する。

[0264] 先に説明した通り、第 1 の配線電極 12 の厚さは、樹脂の厚さの $1/3$ 以上であるため、食い込み量は、樹脂の厚さの $1/3 \times 0.5$ (50%) = $1/6 \div 0.15$ 、すなわち、15% 以上あれば、十分なアンカー効果を得られることとなる。

[0265] これにより、層間絶縁膜 78 の上面に、第 1 の外周構造 101 を反映した突起が形成されると共に、第 1 の接続配線 91 の形成過程において、実装基板 70 に対して行うレーザ加工により、層間絶縁膜 78 の上面から第 1 の配線電極 12 の上面にまで達する穴を形成する際における、第 1 の配線電極 1

2の厚さのマージンを十分に確保することができる。

[0266] (補足)

以上、本開示の一態様に係る半導体装置、および、実装基板について、実施の形態1～実施の形態3に基づいて説明したが、本開示は、これら実施の形態に限定されるものではない。本開示の趣旨を逸脱しない限り、当業者が思いつく各種変形をこれら実施の形態に施したもののや、異なる実施の形態における構成要素を組み合わせて構築される形態も、本開示の1つまたは複数の態様の範囲内に含まれてもよい。

産業上の利用可能性

[0267] 本開示は、半導体装置、および、実装基板等に広く利用可能である。

符号の説明

[0268] 1、1A 半導体装置

10 第1の縦型MOSトランジスタ

12、12A、12B、12C、12D、12E、12F 第1の配線電極

13 第1のソース電極

14 第1のソース領域

15 第1のゲート導体

16 第1のゲート絶縁膜

18 第1のボディ領域

19 第1のゲート電極

20 第2の縦型MOSトランジスタ

22 第3の配線電極

23 第2のソース電極

24 第2のソース領域

25 第2のゲート導体

26 第2のゲート絶縁膜

28 第2のボディ領域

- 29 第2のゲート電極
- 30 金属層
- 32 半導体基板
- 33 低濃度不純物層
- 34 酸化膜
- 35 保護膜
 - 35A 第1の保護膜層
 - 35B 第2の保護膜層
 - 35C 第3の保護膜層
- 40 半導体層
- 52 第2の配線電極
- 54 第4の配線電極
- 61 第1の開口部
- 62 第2の開口部
- 63 第3の開口部
- 64 第4の開口部
- 70 実装基板
- 71 第1の配線電極露出部
- 72 第2の配線電極露出部
- 76 第1の配線層
- 77 第2の配線層
- 78 層間絶縁膜
- 81、82、83 電子部品
- 91、91A、91B、91C、91D、91E、91F、91G、91H、91I、91J 第1の接続配線
- 92 第2の接続配線
- 96 第1の配線
- 97 第2の配線

101、101A 第1の外周構造

102、102A 第2の外周構造

201 第1の壁面

202 第1のテーパ形状領域

請求の範囲

- [請求項1] フェイスアップ実装が可能なチップサイズパッケージ型の半導体装置であって、
- 半導体層と、
- 前記半導体層内に形成された縦型MOS (Metal Oxide Semiconductor) トランジスタと、
- 前記縦型MOSトランジスタの上面を被覆する保護膜であって、前記縦型MOSトランジスタのソース電極を前記保護膜の外部に露出させる第1の開口部と、前記縦型MOSトランジスタのゲート電極を前記保護膜の外部に露出させる第2の開口部と、を有する前記保護膜と、
- 銅を主成分とし、前記第1の開口部における前記ソース電極の、前記保護膜の外部への露出部分を隙間なく被覆する、前記ソース電極に接続された第1の配線電極と、
- 銅を主成分とし、前記第2の開口部における前記ゲート電極の、前記保護膜の外部への露出部分を隙間なく被覆する、前記ゲート電極に接続された第2の配線電極と、を備え、
- 前記半導体層の平面視において、前記半導体装置は矩形であり、
- 前記第1の配線電極の、前記半導体層の平面視における外周部分に、前記ソース電極と前記保護膜と前記第1の配線電極とがこの順で積層された第1の外周構造が形成され、
- 前記第1の外周構造の最上層は、前記第1の配線電極であり、
- 前記第2の配線電極の、前記半導体層の平面視における外周部分に、前記ゲート電極と前記保護膜と前記第2の配線電極とがこの順で積層された第2の外周構造が形成され、
- 前記第2の外周構造の最上層は、前記第2の配線電極であり、
- 前記第1の配線電極の上面である第1の配線電極露出部は、前記半導体装置の外部に露出し、

前記第2の配線電極の上面である第2の配線電極露出部は、前記半導体装置の外部に露出し、

前記第1の外周構造は、前記第1の配線電極露出部のうちの、前記第1の外周構造に含まれない部分の上面よりも上方に突出し、

前記第2の外周構造は、前記第2の配線電極露出部のうちの、前記第2の外周構造に含まれない部分の上面よりも上方に突出し、

前記半導体装置の最上方位置は、前記第1の外周構造または／および前記第2の外周構造に存在し、

前記半導体層の平面視において、前記第1の配線電極露出部の面積は、前記第1の開口部の面積よりも大きく、

前記半導体層の平面視において、前記第2の配線電極露出部の面積は、前記第2の開口部の面積よりも大きく、

前記半導体層の平面視における前記半導体層の面積を S [mm^2]とし、前記半導体層の下面から前記保護膜の上面までの厚さを h [mm]とすると、 $h/S \geq 0.025$ の関係が成立する

半導体装置。

[請求項2]

さらに、前記半導体層の下面に接触して形成された金属層を備え、前記金属層の厚さは、前記第1の配線電極の最大の厚さよりも厚く、

前記第1の配線電極は、前記半導体層の平面視における外周部分に、前記半導体層の断面視において、前記第1の配線電極の外側に向かって逆テーパ形状となる壁面を有し、

前記壁面は、前記保護膜と接触しない

請求項1に記載の半導体装置。

[請求項3]

前記保護膜は、前記半導体層の平面視における前記第1の開口部の周囲の部分に、前記断面視において、前記第1の開口部に向かってテーパ形状となるテーパ形状領域を有し、

前記半導体層の平面視において、前記壁面は、前記テーパ形状領域

の内部に位置する

請求項 2 に記載の半導体装置。

[請求項 4]

フェイスアップ実装が可能なチップサイズパッケージ型の半導体装置であって、

半導体層と、

前記半導体層内に形成された縦型 MOS (Metal Oxide Semiconductor) トランジスタと、

前記縦型 MOS トランジスタの上面を被覆する保護膜であって、前記縦型 MOS トランジスタのソース電極を前記保護膜の外部に露出させる第 1 の開口部と、前記縦型 MOS トランジスタのゲート電極を前記保護膜の外部に露出させる第 2 の開口部と、を有する前記保護膜と、

銅を主成分とし、前記第 1 の開口部における前記ソース電極の、前記保護膜の外部への露出部分を隙間なく被覆する、前記ソース電極に接続された第 1 の配線電極と、

銅を主成分とし、前記第 2 の開口部における前記ゲート電極の、前記保護膜の外部への露出部分を隙間なく被覆する、前記ゲート電極に接続された第 2 の配線電極と、を備え、

前記半導体層の平面視において、前記半導体装置は矩形であり、

前記保護膜は、第 1 の保護膜層と、前記第 1 の保護膜層よりも上方に位置する第 2 の保護膜層とを含む複数の保護膜層からなる多層構造であり、

前記第 1 の配線電極の、前記半導体層の平面視における外周部分に、前記ソース電極と前記第 1 の保護膜層と前記第 1 の配線電極と前記第 2 の保護膜層とがこの順で積層された第 1 の外周構造が形成され、

前記第 1 の外周構造の最上層は、前記第 2 の保護膜層であり、

前記第 2 の配線電極の、前記半導体層の平面視における外周部分に、前記ゲート電極と前記第 1 の保護膜層と前記第 2 の配線電極と前記

第2の保護膜層とがこの順で積層された第2の外周構造が形成され、

前記第2の外周構造の最上層は、前記第2の保護膜層であり、

前記第1の配線電極の上面のうちの、前記第1の外周構造に含まれない部分である第1の配線電極露出部は、前記半導体装置の外部に露出し、

前記第2の配線電極の上面のうちの、前記第2の外周構造に含まれない部分である第2の配線電極露出部は、前記半導体装置の外部に露出し、

前記第1の外周構造は、前記第1の配線電極露出部の上面よりも上方に突出し、

前記第2の外周構造は、前記第2の配線電極露出部の上面よりも上方に突出し、

前記半導体装置の最上方位置は、前記第1の外周構造または／および前記第2の外周構造に存在し、

前記第1の外周構造における前記第1の配線電極の厚さを第1の厚さとして、前記第1の外周構造における前記第2の保護膜層の厚さを第2の厚さとする、

前記第2の厚さは、前記第1の厚さの半分より大きく、かつ、前記第1の厚さ以下であり、

前記半導体層の平面視において、前記第1の配線電極露出部の面積は、前記第1の開口部の面積よりも大きく、

前記半導体層の平面視において、前記第2の配線電極露出部の面積は、前記第2の開口部の面積よりも大きい半導体装置。

[請求項5]

前記第2の保護膜層のうち、前記半導体層の平面視において前記第1の配線電極と重なる部分の最小の幅は、前記第2の保護膜層のうち、前記半導体層の平面視において前記第1の配線電極または前記第2の配線電極と重ならない部分の厚さよりも大きく、

前記第2の保護膜層のうち、前記半導体層の平面視において前記第2の配線電極と重なる部分の最小の幅は、前記第2の保護膜層のうち、前記半導体層の平面視において前記第1の配線電極または前記第2の配線電極と重ならない部分の厚さよりも大きい

請求項4に記載の半導体装置。

[請求項6] 前記第1の配線電極露出部の上面を基準とする前記第1の外周構造の高さは、前記第1の開口部における前記第1の配線電極の厚さの50%以上であり、

前記第2の配線電極露出部の上面を基準とする前記第2の外周構造の高さは、前記第2の開口部における前記第2の配線電極の厚さの50%以上である

請求項4に記載の半導体装置。

[請求項7] 前記半導体層の平面視における前記ソース電極の面積をM1とし、前記半導体層の平面視における前記第1の開口部の面積をS1とする場合において、

$S1 / M1$ により示される、前記半導体層の平面視における前記ソース電極の面積に対する前記半導体層の平面視における前記第1の開口部の面積の占有率である第1の占有率は、0.5以上1.0未満である

請求項1または請求項4に記載の半導体装置。

[請求項8] 前記第1の占有率は、0.9以上1.0未満であり、

前記半導体層の平面視における前記第1の配線電極露出部の面積をP1とする場合において、

$P1 / M1$ により示される、前記半導体層の平面視における前記ソース電極の面積に対する前記半導体層の平面視における前記第1の配線電極露出部の面積の占有率である第2の占有率は、0.9以上1.1以下である

請求項7に記載の半導体装置。

[請求項9] 前記半導体層の平面視における前記第2の開口部の面積を S_2 とし、前記半導体層の平面視における前記第2の配線電極露出部の面積を P_2 とする場合において、

P_2 / S_2 により示される、前記半導体層の平面視における前記第2の開口部の面積に対する、前記半導体層の平面視における前記第2の配線電極露出部の面積の占有率である第3の占有率は、1.27以上である

請求項1または請求項4に記載の半導体装置。

[請求項10] 前記半導体層の平面視において、

前記第1の配線電極の形状と、前記第2の配線電極の形状とは、中央線を対称軸とする線対称であり、

前記中央線は、前記半導体装置を面積において二等分する

請求項9に記載の半導体装置。

[請求項11] 第1の配線層と、層間絶縁層と、第2の配線層とがこの順で積層された実装基板であって、

前記層間絶縁層内にフェイスアップで実装された、請求項1または請求項4に記載の半導体装置と、

前記第2の配線層に形成された第1の配線と、

前記第1の配線と前記第1の配線電極の上面とを接続する、前記実装基板に直交する方向に延伸する1以上の第1の接続配線であって、前記第1の配線電極の上面とは、前記第1の配線電極の上面のうち、前記半導体層の平面視において、前記第1の外周構造に重ならない部分において接続する前記1以上の第1の接続配線と、を備える

実装基板。

[請求項12] さらに、

前記第2の配線層に形成された第2の配線と、

前記第2の配線と前記第2の配線電極の上面とを接続する、前記実装基板に直交する方向に延伸する第2の接続配線であって、前記第2

の配線電極の上面とは、前記第2の配線電極の上面のうち、前記半導体層の平面視において、前記第2の外周構造に重ならない部分において接続する第2の接続配線と、を備え、

前記1以上の第1の接続配線のそれぞれの、前記1以上の第1の接続配線のそれぞれが延伸する方向に直交する断面、および、前記第2の接続配線の、前記第2の接続配線が延伸する方向に直交する断面は円形であり、

前記1以上の第1の接続配線のうちの少なくとも1つの断面は、前記第2の接続配線の断面よりも大きい

請求項11に記載の実装基板。

[請求項13]

第1の配線層と、層間絶縁層と、第2の配線層とがこの順で積層された実装基板であって、

前記層間絶縁層内にフェイスアップで実装された、半導体層を有する半導体装置であって、上面に第1の配線電極を有する前記半導体装置と、

前記第2の配線層に形成された第1の配線と、

前記第1の配線と前記第1の配線電極の上面とを接続する、前記実装基板に直交する方向に延伸する1以上の第1の接続配線とを備え、

前記半導体装置は、前記第1の配線電極の、前記半導体層の平面視における外周部分に第1の外周構造が形成され、

前記第1の外周構造は、前記第1の配線電極の上面のうち、前記半導体層の平面視において、前記第1の外周構造に重ならない部分よりも上方に突出し、

前記半導体装置の最上方位置は、前記第1の外周構造に存在し、

前記第1の配線電極は、少なくとも、前記第1の配線電極の上面のうち、前記半導体層の平面視において、前記第1の外周構造に重ならない部分において前記半導体装置の外部に露出し、

前記1以上の第1の接続配線は、前記第1の配線電極の上面とは、

前記半導体装置の前記第 1 の配線電極の上面のうち、前記半導体層の平面視において、前記第 1 の外周構造に重ならない部分において接続する

実装基板。

[請求項14]

前記 1 以上の第 1 の接続配線は、複数である

請求項 1 1 または請求項 1 3 に記載の実装基板。

[請求項15]

前記第 1 の配線電極の上面のうちの最も低い位置を基準とする、前記半導体装置の最上方位置までの高さは、前記実装基板に直交する方向における前記 1 以上の第 1 の接続配線の長さの 15% 以上である

請求項 1 1 または請求項 1 3 に記載の実装基板。

[請求項16]

前記第 1 の配線電極は、複数であり、

前記 1 以上の第 1 の接続配線は、前記複数の第 1 の配線電極のそれぞれと 1 対 1 で対応する複数であり、

前記複数の第 1 の接続配線のそれぞれは、当該第 1 の接続配線に 1 対 1 で対応する、前記複数の第 1 の配線電極のうち 1 の第 1 の配線電極により、前記第 1 の配線に接続され、

前記複数の第 1 の接続配線のそれぞれの、前記複数の第 1 の接続配線のそれぞれが延伸する方向に直交する断面は、互いに等しい

請求項 1 1 または請求項 1 3 に記載の実装基板。

[請求項17]

前記実装基板の平面視において、

前記実装基板は、長手方向を有する形状であり、

前記半導体装置は、長手方向を有する形状であり、

前記実装基板の前記長手方向と、前記半導体装置の前記長手方向とは、互いに直交する

請求項 1 1 または請求項 1 3 に記載の実装基板。

[請求項18]

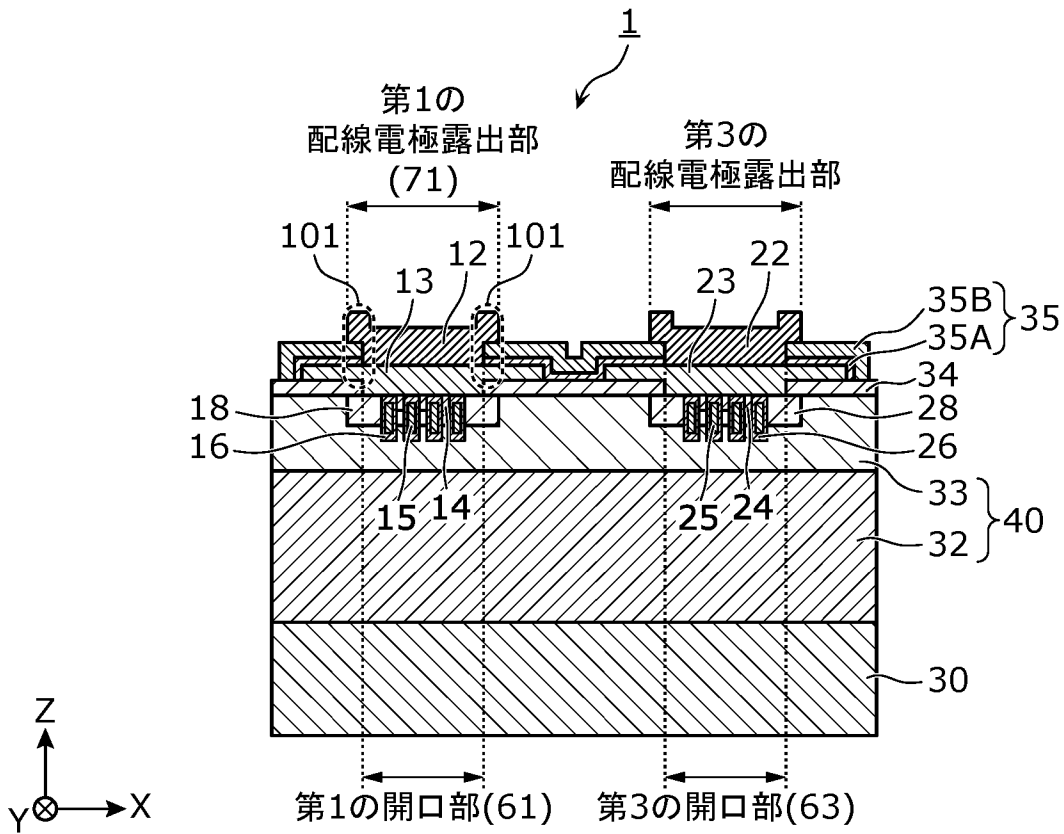
さらに、前記層間絶縁層よりも上方に配置された電子部品を備え、

前記実装基板の平面視において、

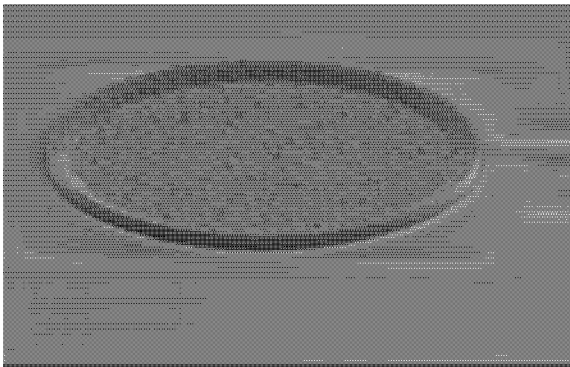
前記電子部品は、長手方向を有する形状であり、

前記半導体装置は、長手方向を有する形状であり、
前記電子部品は、少なくとも一部が前記半導体装置と重なり、
前記電子部品の前記長手方向と、前記半導体装置の前記長手方向と
は、互いに直交する
請求項 1 1 または請求項 1 3 に記載の実装基板。

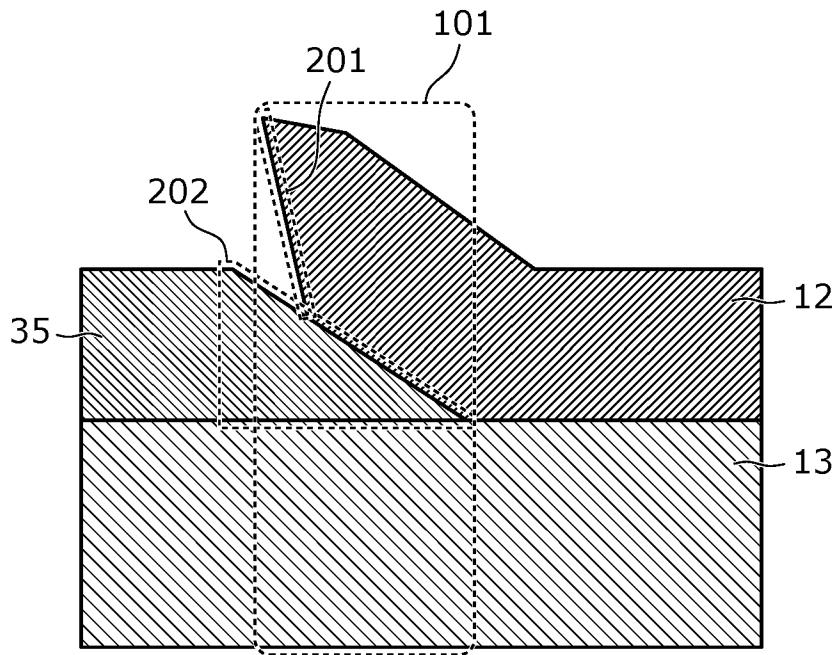
[図3]



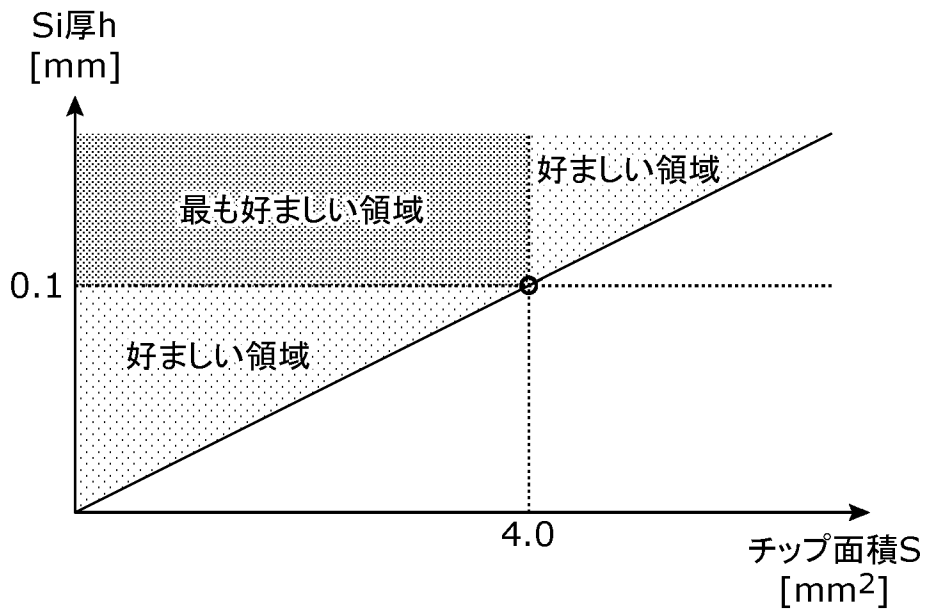
[図4]



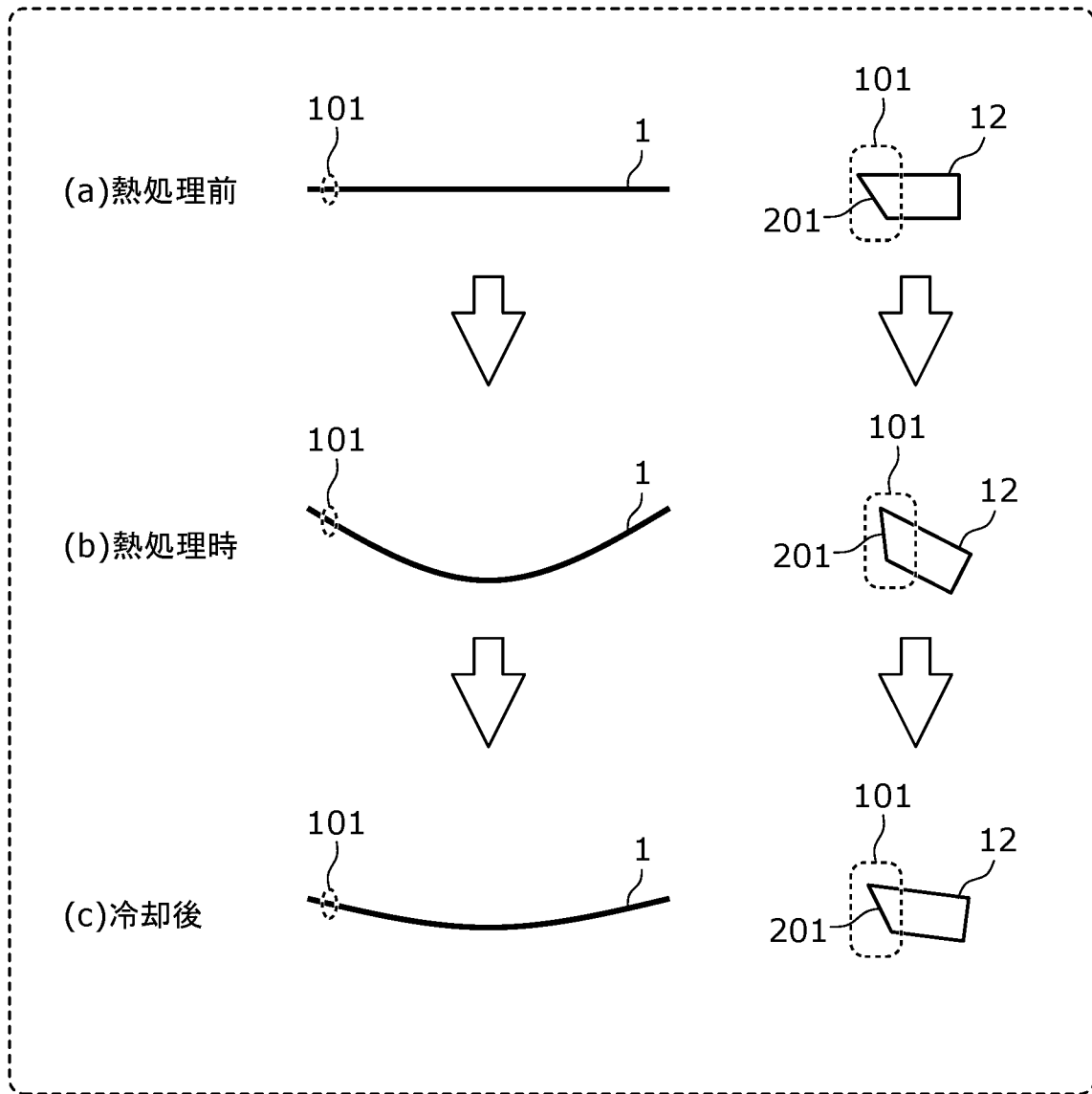
[図5]



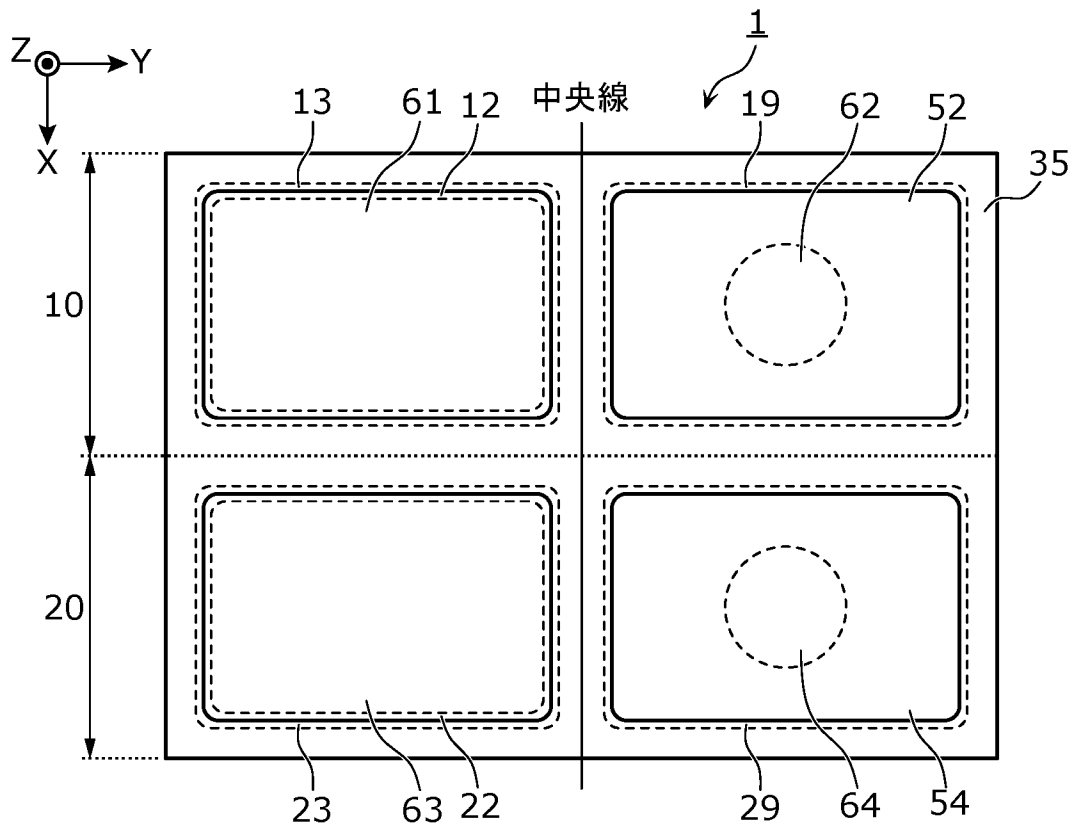
[図6]



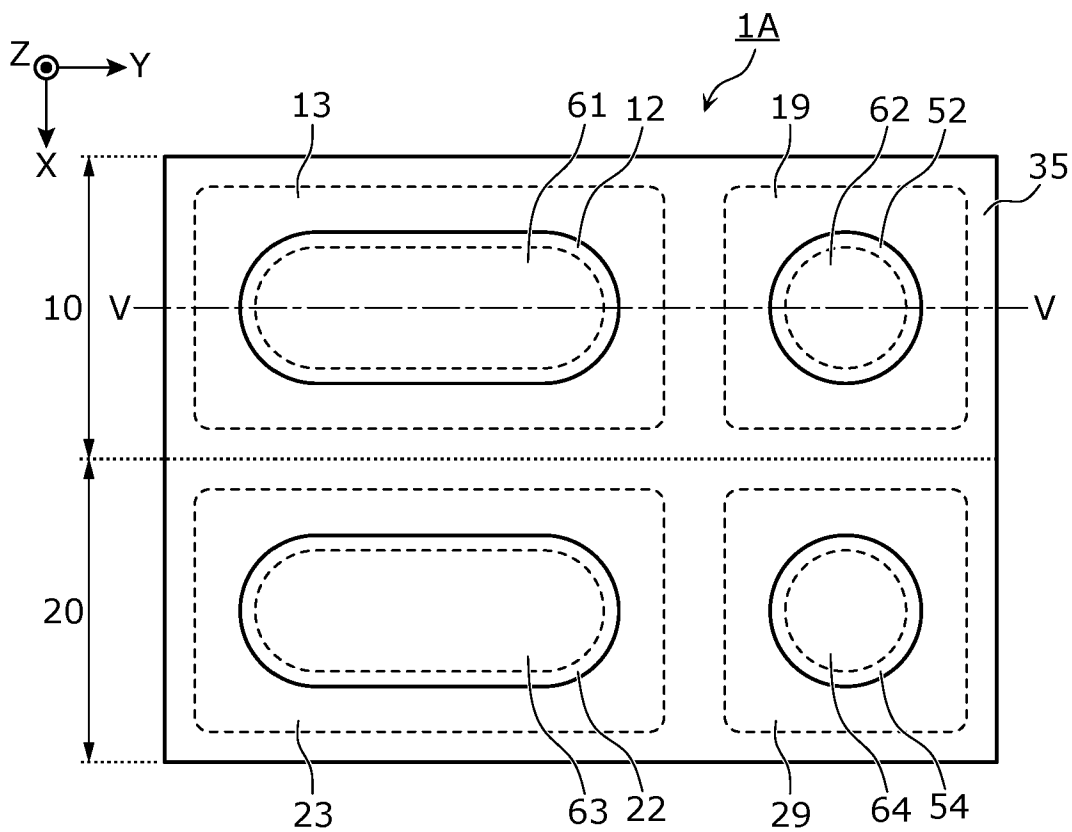
[圖7]



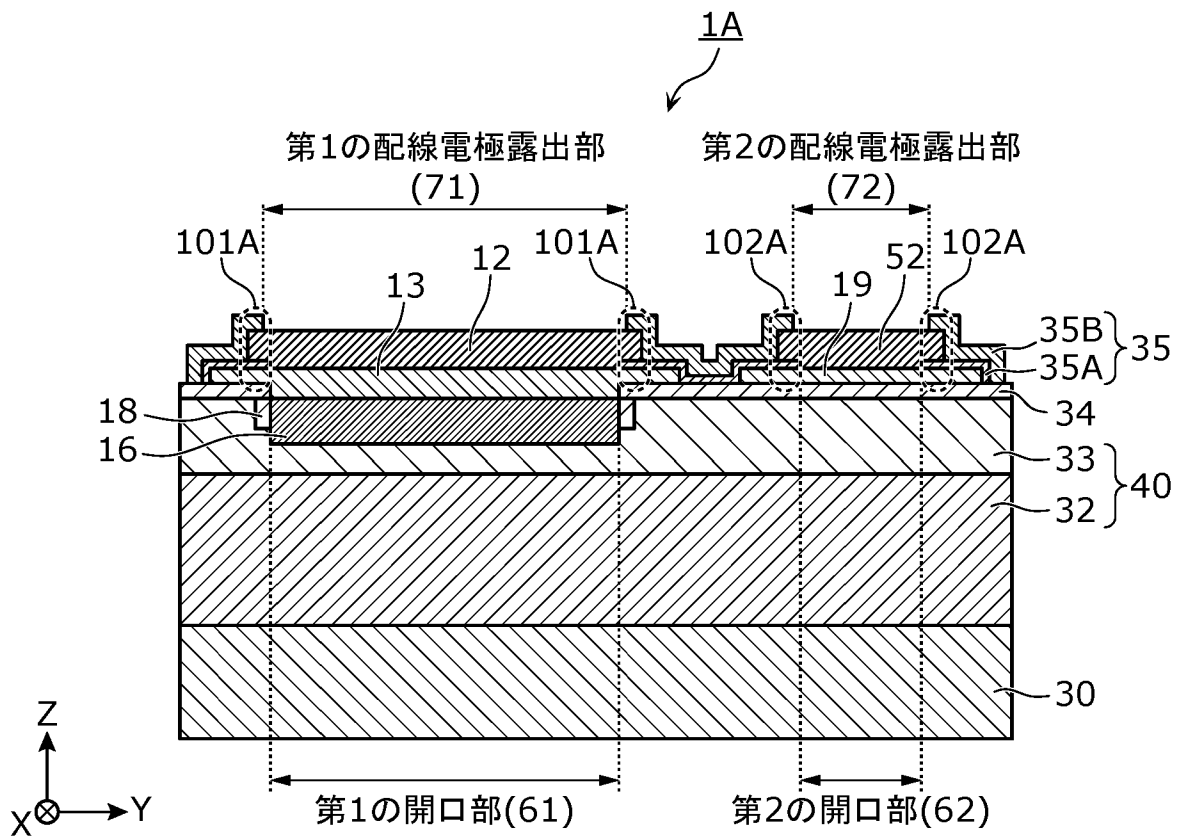
[図12]



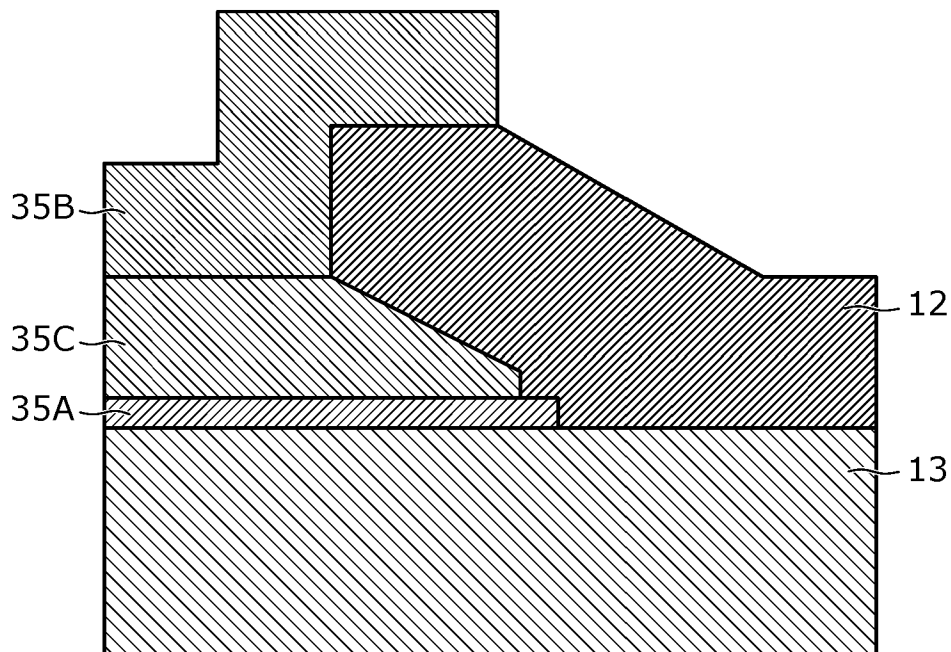
[図13]



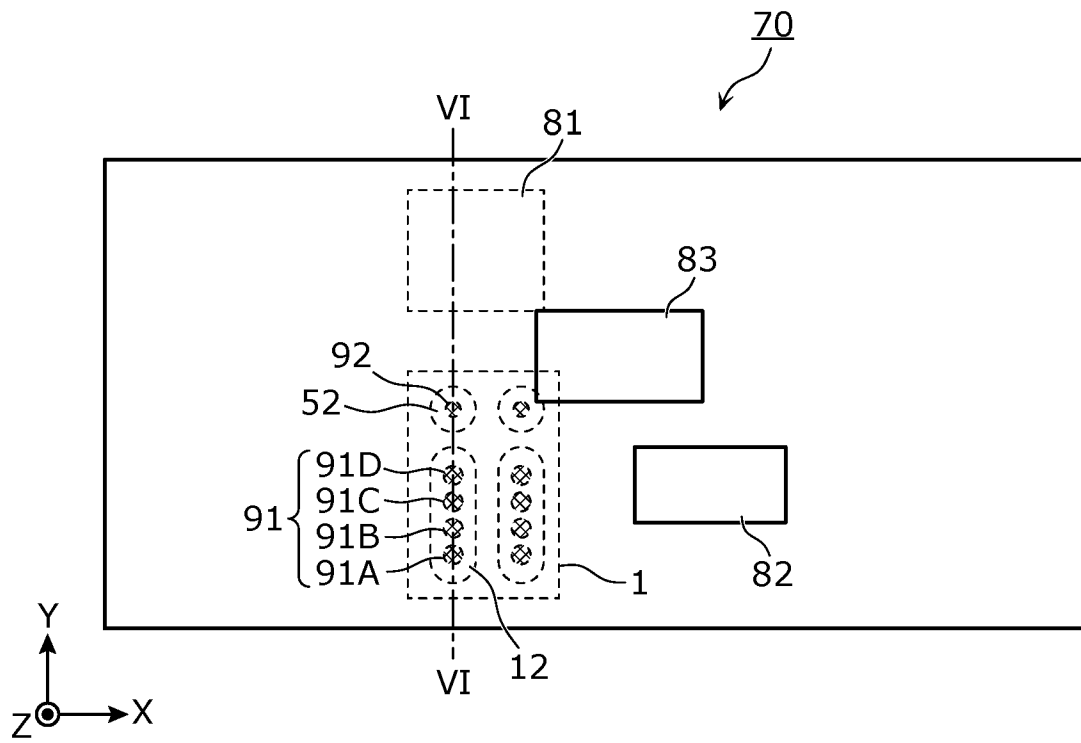
[図14]



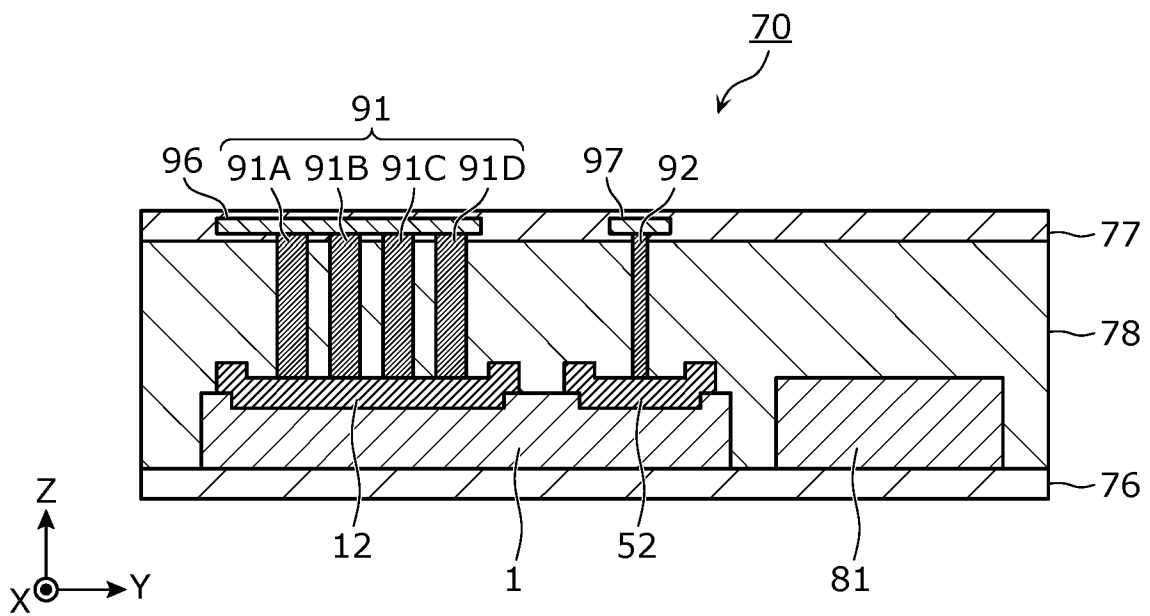
[図15]



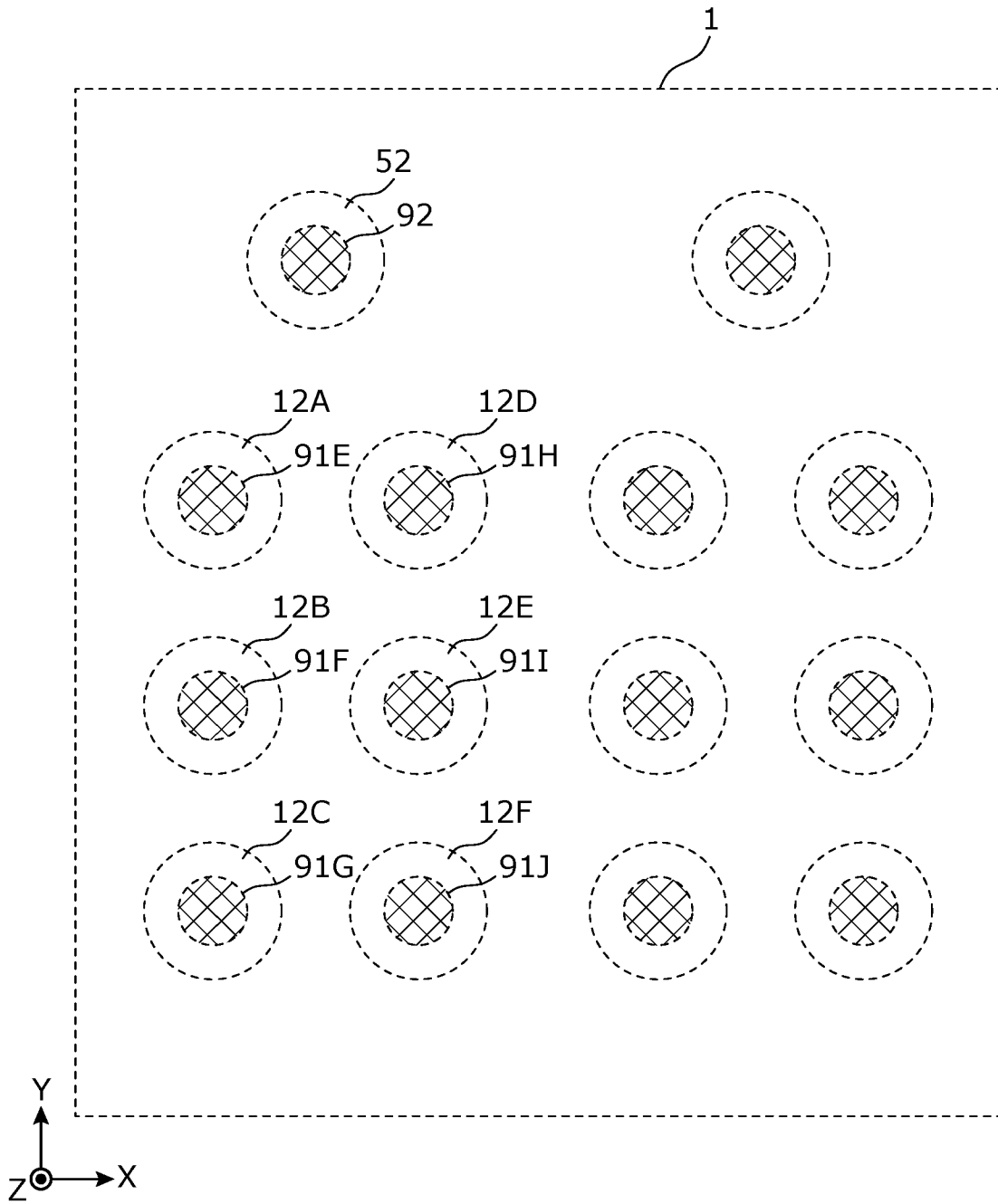
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/033097

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 25/07</i> (2006.01)i; <i>H01L 25/18</i> (2023.01)i; <i>H01L 29/78</i> (2006.01)i; <i>H05K 3/46</i> (2006.01)i FI: H01L25/04 C; H01L29/78 652Q; H05K3/46 Q		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L25/07; H01L25/18; H01L29/78; H05K3/46		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2010-097999 A (FUJI ELECTRIC SYSTEMS CO., LTD.) 30 April 2010 (2010-04-30) paragraphs [0011]-[0043], fig. 1-5	1, 7-10
Y	paragraphs [0011]-[0043], fig. 1-5	4-6, 11-18
A	paragraphs [0011]-[0043], fig. 1-5	2-3
Y	JP 2018-137393 A (TOYOTA MOTOR CORP.) 30 August 2018 (2018-08-30) paragraphs [0016]-[0025], fig. 1, 2	4-6, 11-18
Y	JP 2014-132636 A (DENSO CORP.) 17 July 2014 (2014-07-17) paragraphs [0018]-[0031], fig. 1, 2	4-6, 11-18
Y	JP 2020-053593 A (TDK CORP.) 02 April 2020 (2020-04-02) paragraphs [0021]-[0036], fig. 1-5	11-18
Y	WO 2017/002368 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 05 January 2017 (2017-01-05) paragraphs [0036]-[0044], fig. 1, 2	16
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 15 November 2023		Date of mailing of the international search report 28 November 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/033097

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2014/115561 A1 (FUJI ELECTRIC CO., LTD.) 31 July 2014 (2014-07-31) fig. 9	12
A	WO 2019/116481 A1 (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) 20 June 2019 (2019-06-20) entire text, all drawings	1-18
A	JP 2019-169579 A (TOSHIBA CORP.) 03 October 2019 (2019-10-03) entire text, all drawings	1-18

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/033097

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2010-097999	A	30 April 2010	(Family: none)	
JP	2018-137393	A	30 August 2018	US 2018/0240914	A1 paragraphs [0040]-[0049], fig. 1, 2
				DE 102018104102	A1
				CN 108470775	A
JP	2014-132636	A	17 July 2014	US 2015/0295028	A1 paragraphs [0089]-[0102], fig. 1, 2
				DE 112013005788	B
				CN 104838500	A
JP	2020-053593	A	02 April 2020	US 2020/0105677	A1 paragraphs [0047]-[0062], fig. 1-5
WO	2017/002368	A1	05 January 2017	US 2018/0122939	A1 paragraphs [0068]-[0076], fig. 1, 2
				CN 107710400	A
WO	2014/115561	A1	31 July 2014	US 2015/0179551	A1 fig. 9
				CN 104641459	A
WO	2019/116481	A1	20 June 2019	US 2021/0074827	A1 entire text, all drawings
				EP 3726586	A1
				TW 201929230	A
				CN 111406323	A
JP	2019-169579	A	03 October 2019	US 2019/0295957	A1 entire text, all drawings

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 25/07(2006.01)i; H01L 25/18(2023.01)i; H01L 29/78(2006.01)i; H05K 3/46(2006.01)i FI: H01L25/04 C; H01L29/78 652Q; H05K3/46 Q</p>																													
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L25/07; H01L25/18; H01L29/78; H05K3/46</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年																			
日本国実用新案公報	1922 - 1996年																												
日本国公開実用新案公報	1971 - 2023年																												
日本国実用新案登録公報	1996 - 2023年																												
日本国登録実用新案公報	1994 - 2023年																												
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2010-097999 A (富士電機システムズ株式会社) 30.04.2010 (2010 - 04 - 30) [0011]-[0043], 図1-5</td> <td>1, 7-10</td> </tr> <tr> <td>Y</td> <td>[0011]-[0043], 図1-5</td> <td>4-6, 11-18</td> </tr> <tr> <td>A</td> <td>[0011]-[0043], 図1-5</td> <td>2-3</td> </tr> <tr> <td>Y</td> <td>JP 2018-137393 A (トヨタ自動車株式会社) 30.08.2018 (2018 - 08 - 30) [0016]-[0025], 図1-2</td> <td>4-6, 11-18</td> </tr> <tr> <td>Y</td> <td>JP 2014-132636 A (株式会社デンソー) 17.07.2014 (2014 - 07 - 17) [0018]-[0031], 図1-2</td> <td>4-6, 11-18</td> </tr> <tr> <td>Y</td> <td>JP 2020-053593 A (TDK株式会社) 02.04.2020 (2020 - 04 - 02) [0021]-[0036], 図1-5</td> <td>11-18</td> </tr> <tr> <td>Y</td> <td>WO 2017/002368 A1 (パナソニックIPマネジメント株式会社) 05.01.2017 (2017 - 01 - 05) [0036]-[0044], 図1-2</td> <td>16</td> </tr> <tr> <td>A</td> <td>WO 2014/115561 A1 (富士電機株式会社) 31.07.2014 (2014 - 07 - 31) 図9</td> <td>12</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2010-097999 A (富士電機システムズ株式会社) 30.04.2010 (2010 - 04 - 30) [0011]-[0043], 図1-5	1, 7-10	Y	[0011]-[0043], 図1-5	4-6, 11-18	A	[0011]-[0043], 図1-5	2-3	Y	JP 2018-137393 A (トヨタ自動車株式会社) 30.08.2018 (2018 - 08 - 30) [0016]-[0025], 図1-2	4-6, 11-18	Y	JP 2014-132636 A (株式会社デンソー) 17.07.2014 (2014 - 07 - 17) [0018]-[0031], 図1-2	4-6, 11-18	Y	JP 2020-053593 A (TDK株式会社) 02.04.2020 (2020 - 04 - 02) [0021]-[0036], 図1-5	11-18	Y	WO 2017/002368 A1 (パナソニックIPマネジメント株式会社) 05.01.2017 (2017 - 01 - 05) [0036]-[0044], 図1-2	16	A	WO 2014/115561 A1 (富士電機株式会社) 31.07.2014 (2014 - 07 - 31) 図9	12
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																											
X	JP 2010-097999 A (富士電機システムズ株式会社) 30.04.2010 (2010 - 04 - 30) [0011]-[0043], 図1-5	1, 7-10																											
Y	[0011]-[0043], 図1-5	4-6, 11-18																											
A	[0011]-[0043], 図1-5	2-3																											
Y	JP 2018-137393 A (トヨタ自動車株式会社) 30.08.2018 (2018 - 08 - 30) [0016]-[0025], 図1-2	4-6, 11-18																											
Y	JP 2014-132636 A (株式会社デンソー) 17.07.2014 (2014 - 07 - 17) [0018]-[0031], 図1-2	4-6, 11-18																											
Y	JP 2020-053593 A (TDK株式会社) 02.04.2020 (2020 - 04 - 02) [0021]-[0036], 図1-5	11-18																											
Y	WO 2017/002368 A1 (パナソニックIPマネジメント株式会社) 05.01.2017 (2017 - 01 - 05) [0036]-[0044], 図1-2	16																											
A	WO 2014/115561 A1 (富士電機株式会社) 31.07.2014 (2014 - 07 - 31) 図9	12																											
<p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>																													
<p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>																													
<p>国際調査を完了した日</p> <p>15. 11. 2023</p>	<p>国際調査報告の発送日</p> <p>28. 11. 2023</p>																												
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>多賀 和宏 5F 4451</p> <p>電話番号 03-3581-1101 内線 3516</p>																												

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2019/116481 A1 (新電元工業株式会社) 20.06.2019 (2019 - 06 - 20) 全文, 全図	1-18
A	JP 2019-169579 A (株式会社東芝) 03.10.2019 (2019 - 10 - 03) 全文, 全図	1-18

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/033097

引用文献	公表日	パテントファミリー文献	公表日
JP 2010-097999 A	30.04.2010	(ファミリーなし)	
JP 2018-137393 A	30.08.2018	US 2018/0240914 A1 [0040]-[0049], 図1-2 DE 102018104102 A1 CN 108470775 A	
JP 2014-132636 A	17.07.2014	US 2015/0295028 A1 [0089]-[0102], 図1-2 DE 112013005788 B CN 104838500 A	
JP 2020-053593 A	02.04.2020	US 2020/0105677 A1 [0047]-[0062], 図1-5	
WO 2017/002368 A1	05.01.2017	US 2018/0122939 A1 [0068]-[0076], 図1-2 CN 107710400 A	
WO 2014/115561 A1	31.07.2014	US 2015/0179551 A1 図9 CN 104641459 A	
WO 2019/116481 A1	20.06.2019	US 2021/0074827 A1 全文, 全図 EP 3726586 A1 TW 201929230 A CN 111406323 A	
JP 2019-169579 A	03.10.2019	US 2019/0295957 A1 全文, 全図	