

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5604799号
(P5604799)

(45) 発行日 平成26年10月15日(2014.10.15)

(24) 登録日 平成26年9月5日(2014.9.5)

(51) Int.Cl. F I
G06F 11/18 (2006.01) G O 6 F 11/18 3 1 O F
G06F 13/42 (2006.01) G O 6 F 13/42 3 5 O B

請求項の数 6 (全 12 頁)

<p>(21) 出願番号 特願2009-53258 (P2009-53258) (22) 出願日 平成21年3月6日(2009.3.6) (65) 公開番号 特開2010-211250 (P2010-211250A) (43) 公開日 平成22年9月24日(2010.9.24) 審査請求日 平成24年2月10日(2012.2.10)</p>	<p>(73) 特許権者 000004237 日本電気株式会社 東京都港区芝五丁目7番1号 (74) 代理人 100103894 弁理士 冢入 健 (72) 発明者 水野 智陽 東京都港区芝五丁目7番1号 日本電気株式会社内 審査官 ▲高▼橋 正▲徳▼</p>
---	--

最終頁に続く

(54) 【発明の名称】 フォールトトレラントコンピュータ

(57) 【特許請求の範囲】

【請求項1】

第1及び第2プロセッサと、
 第1及び第2タイミング調整回路と、を備え、
 前記第1タイミング調整回路は、
 第1遅延量をクロックに付加して、データの送信タイミングを遅延させるための第1クロックとして出力する第1クロックシフト部と、
 前記第1クロックに基づいて前記第1プロセッサに第1リクエスト信号を送信し、前記第1リクエスト信号に対する前記第1プロセッサからの第1レスポンス信号を受信する、第1データ送受信部と、
 異なる値の複数の前記第1遅延量をそれぞれ前記クロックに付加した場合における、前記第1データ送受信部が前記第1リクエスト信号を送信してから前記第1レスポンス信号を受信するまでの複数の第1送受信時間、を記憶する第1メモリと、
 前記複数の第1送受信時間と、複数の第2送受信時間と、に基づいて、前記第1クロックシフト部によって前記クロックに付加される前記第1遅延量の値を決定する第1遅延調整量決定回路と、を備え、
 前記第2タイミング調整回路は、
 第2遅延量を前記クロックに付加して、データ送信タイミングを遅延させるための第2クロックとして出力する第2クロックシフト部と、
 前記第2クロックに基づいて前記第2プロセッサに第2リクエスト信号を送信し、前記

10

20

第 2 リクエスト信号に対する前記第 2 プロセッサからの第 2 レスポンス信号を受信する、第 2 データ送受信部と、

異なる値の複数の前記第 2 遅延量をそれぞれ前記クロックに付加した場合における、前記第 2 データ送受信部が前記第 2 リクエスト信号を送信してから前記第 2 レスポンス信号を受信するまでの前記複数の第 2 送受信時間、を記憶する第 2 メモリと、

前記複数の第 1 送受信時間と、前記複数の第 2 送受信時間と、に基づいて、前記第 2 クロックシフト部によって前記クロックに付加される前記第 2 遅延量の値を決定する第 2 遅延調整量決定回路と、を備えたフォールトトレラントコンピュータ。

【請求項 2】

前記第 1 送受信時間は、前記第 1 データ送受信部が前記第 1 リクエスト信号を送信してから前記第 1 レスポンス信号を受信するまでに要する前記第 1 クロックのサイクル数であり、

10

前記第 2 送受信時間は、前記第 2 データ送受信部が前記第 2 リクエスト信号を送信してから前記第 2 レスポンス信号を受信するまでに要する前記第 2 クロックのサイクル数である、請求項 1 に記載のフォールトトレラントコンピュータ。

【請求項 3】

前記第 1 遅延調整量決定回路は、前記複数の第 1 遅延量のうち、前記第 1 送受信時間が前記第 2 送受信時間と一致する第 1 遅延量を、前記第 1 クロックシフト部によって前記クロックに付加される前記第 1 遅延量として選択し、

前記第 2 遅延調整量決定回路は、前記複数の第 2 遅延量のうち、前記第 2 送受信時間が前記第 1 送受信時間と一致する第 2 遅延量を、前記第 2 クロックシフト部によって前記クロックに付加される前記第 2 遅延量として選択する、請求項 1 又は 2 に記載のフォールトトレラントコンピュータ。

20

【請求項 4】

前記第 1 遅延調整量決定回路は、前記第 1 送受信時間が同じである複数の前記第 1 遅延量のうち中間の値を示す第 1 遅延量を、前記第 1 クロックシフト部によって前記クロックに付加される前記第 1 遅延量として選択し、

前記第 2 遅延調整量決定回路は、前記第 2 送受信時間が同じである複数の前記第 2 遅延量のうち中間の値を示す第 2 遅延量を、前記第 2 クロックシフト部によって前記クロックに付加される前記第 2 遅延量として選択する、請求項 1 ~ 3 のいずれか一項に記載のフォールトトレラントコンピュータ。

30

【請求項 5】

前記第 1 プロセッサとデータの送受信を行う第 1 データ中継回路と、前記第 2 プロセッサとデータの送受信を行う第 2 データ中継回路と、をさらに備え、前記第 1 タイミング調整回路は、前記第 1 データ中継回路に内蔵され、前記第 2 タイミング調整回路は、前記第 2 データ中継回路に内蔵されている、請求項 1 ~ 4 のいずれか一項に記載のフォールトトレラントコンピュータ。

【請求項 6】

前記第 1 プロセッサとデータの送受信を行う第 1 データ中継回路と、前記第 2 プロセッサとデータの送受信を行う第 2 データ中継回路と、をさらに備え、前記第 1 タイミング調整回路は、前記第 1 プロセッサと前記第 1 データ中継回路との間に接続され、

40

前記第 2 タイミング調整回路は、前記第 2 プロセッサと前記第 2 データ中継回路との間に接続されている、請求項 1 ~ 4 のいずれか一項に記載のフォールトトレラントコンピュータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はフォールトトレラントコンピュータ及びそのタイミング調整方法に関する。

【背景技術】

50

【 0 0 0 2 】

高度な信頼性を提供するコンピュータとして、フォールトトレラントコンピュータがある。フォールトトレラントコンピュータは、システムを構成するハードウェアモジュールを二重化、または多重化し、それぞれのハードウェアモジュールを同期して動作させる。そのため、あるハードウェアモジュールを構成する回路の一部に故障が発生した場合でも、故障したモジュールを切り離し、正常なモジュールによって処理を続行することができる。つまり、フォールトトレラントコンピュータは、耐故障性を向上させたコンピュータである。

【 0 0 0 3 】

フォールトトレラントコンピュータは、CPU等を含む演算処理回路、メモリ、I/Oデバイス、及び、これらの回路間のデータの受け渡しを行うデータ中継回路（チップセット）等から構成されるハードウェアモジュールと、フォールトトレラント制御部（以下、FT制御部と称す）と、が多重化されて構成される。ここで、FT制御部は、多重化されたハードウェアモジュールの同期動作処理、故障時の切替制御等を行う機能を有する。

【 0 0 0 4 】

図7にハードウェアモジュールを二重化したフォールトトレラントコンピュータの一例を示す。図7に示すフォールトトレラントコンピュータは、第1のシステムとして、第1のCPUサブシステム305と、第1のI/Oサブシステム313と、FT制御部303と、を備える。また、第2のシステムとして、第2のCPUサブシステム306と、第2のI/Oサブシステム314と、FT制御部304と、を備える。

【 0 0 0 5 】

第1のCPUサブシステム305は、演算処理回路（CPU等）307と、データ中継回路308と、メモリ309と、を有する。第2のCPUサブシステム306は、演算処理回路310と、データ中継回路311と、メモリ312と、を有する。第1のI/Oサブシステム313は、I/Oデバイス315と、I/Oデバイス316と、を有する。第2のI/Oサブシステム314は、I/Oデバイス317と、I/Oデバイス318と、を有する。ここで、第1のシステムと第2のシステムとは、それぞれ回路構成及び動作が同様であるため、第1のシステムについてのみ説明する。

【 0 0 0 6 】

第1のCPUサブシステム305において、演算処理回路307とデータ中継回路308とが互いに接続される。データ中継回路308とメモリ309とが互いに接続される。ここで、データ中継回路308は、例えば、演算処理回路307及びメモリ309との間でデータの受け渡しを行う。データ中継回路308とFT制御部303とは互いに接続される。FT制御部303とI/Oデバイス315とは互いに接続される。FT制御部303とI/Oデバイス316とは互いに接続される。ここで、第1のシステムに備えられたFT制御部303と、第2のシステムに備えられたFT制御部304とは、互いに接続される。なお、FT制御部303とFT制御部304とは、クロスリンクと呼ばれる信号を通して通信される。

【 0 0 0 7 】

図7のフォールトトレラントコンピュータの例では、FT制御部303及びFT制御部304は、CPUサブシステム群（第1のCPUサブシステム305及び第2のCPUサブシステム306）と、I/Oサブシステム群（第1のI/Oサブシステム313及び第2のI/Oサブシステム314）との間に接続される。そして、FT制御部303及びFT制御部304は、クロスリンクを介して互いに情報通信する。それにより、CPUサブシステム305、306の同期動作の維持、故障の検出、及び故障モジュールの切り離し制御等が行われる。

【 0 0 0 8 】

一般的に、フォールトトレラントコンピュータは各モジュールをハードウェアで多重化制御する部分と、ソフトウェアで多重化制御する部分とに分かれる。例えば、CPUサブシステムは、それ自身がソフトウェアを動作させるための基盤である。したがって、これ

10

20

30

40

50

らはハードウェアによって多重化制御される必要がある。

【0009】

つまり、CPUサブシステム内でエラーが発生した場合、ハードウェア（例えば、FT制御部）が、故障した回路（例えば、CPU、メモリ）をシステムから切り離す。それにより、正常動作しているCPU及びメモリに影響を及ぼさないようにする。

【0010】

なお、図7のフォールトトレラントコンピュータの例では、例えば、第1のCPUサブシステム305が故障した場合、第1のCPUサブシステム305はFT制御部303により論理的に切り離される。その後、このフォールトトレラントコンピュータの動作は、第2のCPUサブシステム306と、第2のI/Oサブシステム314と、によって継続される。

10

【0011】

一方、I/Oデバイス315に故障が発生した場合、その故障を検出したFT制御部303が、I/Oデバイス315を制御するソフトウェア（以下I/Oデバイスドライバと呼ぶ）に対してエラーを通知する。この場合、I/Oデバイスドライバは、故障したI/Oデバイス315の使用を中止するように制御する。そして、I/Oデバイスドライバは、正常動作している別のI/Oデバイス316を使用するように制御する。このように、I/Oサブシステム群では、ソフトウェアであるI/Oデバイスドライバによって使用するI/Oデバイスが切替制御される。

【0012】

ここで、ハードウェア（FT制御部）によって多重化制御されるモジュール（CPUサブシステム等）は、ロックステップ方式の同期動作をする。図7に示すフォールトトレラントコンピュータでは、例えば、CPUサブシステム305、306にそれぞれ同一タイミングのクロック及びデータが供給された場合、CPUサブシステム305、306はそれぞれ同じ動作をする。このように、多重化されたモジュールがそれぞれ同じ動作をすることをデターミニズムと呼ぶ。そして、デターミニズムの特徴を有するCPUサブシステム305、306が互いに同じ動作をしている状態をロックステップ同期と呼ぶ。ここで、FT制御部303、304は、CPUサブシステム305、306から送信される信号を互いに比較することにより、第1のシステム及び第2のシステムが、ロックステップ同期していることを確認する。

20

30

【0013】

従来、多重化されたCPUサブシステムがロックステップ同期状態を示すためには、CPUサブシステム内に含まれるCPUやデータ中継回路がデターミニズムの特徴を有するとともに、それらを結ぶバスが同期バスである必要があった。それにより、従来のフォールトトレラントコンピュータは、同一クロック源から供給されるクロックに基づいて多重化されたCPUサブシステムをロックステップ同期状態に維持することが可能であった。

【0014】

このようなロックステップ同期に関する技術が特許文献1～3に紹介されている。特許文献1には、ソフトウェアの不具合に対するフォールトトレラント性の高いコンピュータが提案されている。また、特許文献2には、各プロセッサ間の外部バスへのアクセス状態の不一致が検出された場合、多重化されたコンピューティングモジュール間の命令実行状況を遅延調整により一致させるフォールトトレラントコンピュータが提案されている。

40

【0015】

しかし、例えば、CPUとデータ中継回路とを結ぶバスが、近年登場したQPI（Intel Quick Path Interconnect）のような非同期シリアルバスの場合、同一クロック源からクロックを供給しても、各モジュールにデータを送受信するタイミングが異なる。そのため、非同期シリアルバスが用いられた多重化されたCPUサブシステムはロックステップ状態を維持できないという問題があった。

【0016】

また、特許文献3には、SMII規格が適用されるMACチップとPHYチップとのP

50

C B パターン距離制限を克服し、データ転送遅延による転送エラーを防止するデータ転送中継装置が提案されている。ここで、特許文献 3 に示すデータ転送中継装置は、送受信データの転送遅延に基づいてクロックのタイミングを調整する。しかし、特許文献 3 に示すデータ転送中継装置は、送受信データの遅延に対してどのようにクロックのタイミングを調整するのかについて、具体的な方法が記載されていない。

【先行技術文献】

【特許文献】

【0017】

【特許文献 1】特開 2008 - 146447 号公報

【特許文献 2】特開 2004 - 46599 号公報

【特許文献 3】特開 2003 - 174491 号公報

【発明の概要】

【発明が解決しようとする課題】

【0018】

上述のように、従来のフォールトトレラントコンピュータは、非同期シリアルバスが用いられた多重化されたシステムにおいてロックステップ状態を維持できないという問題があった。

【0019】

本発明は、このような問題を解決するためになされたものであり、多重化されたシステムにおいてロックステップ状態を維持することが可能なフォールトトレラントコンピュータ及びそのタイミング調整方法を提供することを目的とする。

【課題を解決するための手段】

【0020】

本発明にかかるフォールトトレラントコンピュータは、第 1 及び第 2 のプロセッサ（例えば、本発明の実施の形態における演算処理回路 101 及び演算処理回路 109）と、第 1 のクロックに基づいて前記第 1 のプロセッサとの第 1 の信号の送受信を行い、前記第 1 のクロックの遅延量を調整する第 1 のタイミング調整回路（例えば、本発明の実施の形態におけるタイミング調整回路 104）と、第 2 のクロックに基づいて前記第 2 のプロセッサとの第 2 の信号の送受信を行い、前記第 2 のクロックの遅延量を調整する第 2 のタイミング調整回路（例えば、本発明の実施の形態におけるタイミング調整回路 112）と、を備え、前記第 1 のタイミング調整回路は、前記第 1 のクロックに与える複数の遅延量に対応した前記第 1 の信号の送受信時間を記憶する第 1 のメモリ（例えば、本発明の実施の形態におけるメモリ 107）と、前記第 1 の信号の送受信時間と前記第 2 の信号の送受信時間とに基づいて前記第 1 のクロックの遅延調整量を決定する第 1 の遅延調整量決定回路（例えば、本発明の実施の形態における遅延調整量決定部 108）と、を備え、前記第 2 のタイミング調整回路は、前記第 2 のクロックに与える複数の遅延量に対応した前記第 2 の信号の送受信時間を記憶する第 2 のメモリ（例えば、本発明の実施の形態におけるメモリ 114）と、前記第 1 の信号の送受信時間と前記第 2 の信号の送受信時間とに基づいて前記第 2 のクロックの遅延調整量を決定する第 2 の遅延調整量決定回路（例えば、本発明の実施の形態における遅延調整量決定部 116）と、を備える。

【0021】

また、本発明にかかるフォールトトレラントコンピュータのタイミング調整方法は、第 1 のクロックに基づいて第 1 のプロセッサ（例えば、本発明の実施の形態における演算処理回路 101）と第 1 の信号の送受信を行い、前記第 1 のクロックに与える複数の遅延量に対応した前記第 1 の信号の送受信時間を記憶し、第 2 のクロックに基づいて第 2 のプロセッサ（例えば、本発明の実施の形態における演算処理回路 109）と前記第 2 の信号の送受信を行い、前記第 2 のクロックに与える複数の遅延量に対応した前記第 2 の信号の送受信時間を記憶し、前記第 1 の信号の送受信時間と前記第 2 の信号の送受信時間とに基づいて前記第 1 及び前記第 2 のクロックの遅延調整量を決定する。

【発明の効果】

10

20

30

40

50

【 0 0 2 2 】

本発明により、多重化されたシステムにおいてロックステップ状態を維持することが可能なフォールトトレラントコンピュータ及びそのタイミング調整方法を提供することができる。

【 図面の簡単な説明 】

【 0 0 2 3 】

【 図 1 】本発明の実施の形態にかかるフォールトトレラントコンピュータの構成を示すブロック図である。

【 図 2 】本発明の実施の形態にかかるフォールトトレラントコンピュータのタイミング調整方法を示すフローチャートである。

10

【 図 3 】本発明の実施の形態にかかるフォールトトレラントコンピュータの構成を示すブロック図である。

【 図 4 】本発明の実施の形態にかかるフォールトトレラントコンピュータの構成を示すブロック図である。

【 図 5 】本発明の実施の形態にかかるタイミング調整回路に格納されたクロック遅延量及びデータ送受信時間の一例を示す図である。

【 図 6 】クロック遅延量がデータ送受信に与える影響を示す図である。

【 図 7 】従来フォールトトレラントコンピュータの構成を示すブロック図である。

【 発明を実施するための形態 】

【 0 0 2 4 】

20

以下では、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。各図面において、同一要素には同一の符号が付されており、説明の明確化のため、必要に応じて重複説明は省略される。

【 0 0 2 5 】

本発明の実施の形態について図面を参照して説明する。図 1 は、システムを構成するハードウェアモジュールを二重化したロックステップ方式のフォールトトレラントコンピュータである。図 1 に示すフォールトトレラントコンピュータは、第 1 のシステムとして、CPU 等を備えた演算処理回路（第 1 のプロセッサ）101 と、データ中継回路（第 1 のデータ中継回路。チップセットとも言う）102 と、を備える。また、第 2 のシステムとして、演算処理回路（第 2 のプロセッサ）109 と、データ中継回路（第 2 のデータ中継回路）110 と、を備える。

30

【 0 0 2 6 】

なお、図 1 に示すフォールトトレラントコンピュータは、簡単のためデータ中継回路 102、110 と演算回路 101、109 のみを図示している。しかし、実際には、メモリ（不図示）、I/O デバイス（不図示）等が備えられる場合もある。

【 0 0 2 7 】

データ中継回路 102 は、タイミング調整回路（第 1 のタイミング調整回路）104 を備える。また、タイミング調整回路 104 は、データ送受信部 105 と、クロックシフト部 106 と、メモリ（第 1 のメモリ）107 と、遅延調整量決定部（第 1 の遅延調整量決定回路）108 と、を有する。データ中継回路 110 は、タイミング調整回路（第 2 のタイミング調整回路）112 を備える。タイミング調整回路 112 は、データ送受信部 113 と、メモリ（第 2 のメモリ）114 と、クロックシフト部 115 と、遅延調整量決定部（第 2 の遅延調整量決定回路）116 と、を有する。ここで、図 1 に示すフォールトトレラントコンピュータは、二重化されたハードウェアモジュールのロックステップ状態を維持するタイミング調整回路 104、112 を有することを特徴とする。なお、第 1 のシステムと第 2 のシステムとは、それぞれ回路構成及び動作が同様であるため、第 1 のシステムについてのみ説明する。

40

【 0 0 2 8 】

第 1 のシステムにおいて、データ送受信部 105 のデータ送受信端子は、演算処理回路 101 のデータ送受信端子に接続される。外部から供給されるクロックは、クロック

50

シフト部 106 の一方の入力端子に入力される。クロックシフト部 106 の出力端子は、データ送受信部 105 のクロック入力端子に接続される。データ送受信部 105 の出力端子は、メモリ 107 の入力端子に接続される。メモリ 107 の一方の出力端子は、遅延調整量決定部 108 の一方の入力端子に接続される。メモリ 107 の他方の出力端子は、第 2 のシステムにおける遅延調整量決定部 116 の一方の入力端子に接続される。遅延調整量決定部 108 の他方の入力端子は、第 2 のシステムにおけるメモリ 114 の一方の出力端子に接続される。遅延調整量決定部 108 の出力端子は、クロックシフト部 106 の他方の入力端子に接続される。

【0029】

次に、図 1 に示す回路の動作について説明する。データ送受信部 105 は、例えば、データ中継回路 102 に備えられた周辺回路（不図示）から送受信された送受信データを演算処理回路 101 へ送受信する。それに加え、データ送受信部 105 は、演算処理回路 101 に対してリクエスト信号を送信する機能を有する。また、データ送受信部 105 は、演算処理回路 101 からのレスポンス信号を受信する機能を有する。また、データ送受信部 105 は、リクエスト信号を送信してからレスポンス信号を受信するまでの時間（データ送受信時間）を測定する機能を有する。

【0030】

外部から供給されたクロックは、クロックシフト部 106 を介してデータ送受信部 105 に入力される。ここで、クロックシフト部 106 は、遅延調整量決定部 108 から出力される制御信号（後述）に基づいて出力するクロックのタイミングを調整する。つまり、クロックシフト部 106 は、遅延調整量決定部 108 からの制御信号に基づいて入力クロックを指定された時間だけ遅延させて出力する機能を有する。それにより、データ送受信部 105 から演算処理回路 101 に送信されるデータの送信タイミングを調整することができる。

【0031】

図 6 に、クロック遅延量がデータ送受信に与える影響を示す。図 6 に示すように、クロックシフト部 106 から出力されるクロックの遅延量を調整することにより、リクエスト信号の出力タイミングを制御することができる。それにより、演算処理回路 101 からの応答信号であるレスポンス信号の受信時間を制御することができる。

【0032】

メモリ 107 は、データ送受信部 105 において測定されたデータ送受信時間を格納する。ここで、メモリ 107 は、例えば、データ送受信に要するクロックのサイクル数をデータ送受信時間として格納することもできる。なお、本発明の実施の形態では、メモリ 107、114 がクロックのサイクル数をデータ送受信時間として格納する場合を例に説明する。メモリ 107 に格納されたデータ送受信時間の情報は、第 1 のシステムにおける遅延調整量決定部 108 と、第 2 のシステムにおける遅延調整量決定部 116 と、に送信される。遅延調整量決定部 108 は、メモリ 107 及びメモリ 114 に格納されたデータ送受信時間の情報に基づいて、クロックシフト部 106 の出力クロックに与える遅延調整量を決定する。なお、遅延調整量の決定方法については後述する。そして、遅延調整量決定部 108 から出力された遅延調整量の情報を含む制御信号は、クロックシフト部 106 の他方の入力端子に入力される。

【0033】

図 1 と図 2 のフローチャートとを用いて、本発明の実施の形態にかかるフォールトトレラントコンピュータのタイミング調整方法を説明する。なお、第 1 のシステムと第 2 のシステムとは、それぞれ回路構成及び動作が同様であるため、第 1 のシステムについてのみ説明する。まず、演算処理回路 101 とデータ中継回路 102 との間を接続するバス（例えば、非同期シリアルバス）の初期化が行われる（図 2 の S100）。それにより、第 1 のシステムは、データの送受信が可能な状態に移行する。

【0034】

初期化完了後、データ送受信部 105 は、通常動作によるデータ送受信を開始する前に

10

20

30

40

50

、演算処理回路101に対してリクエスト信号を送信する。そして、データ送受信部105は、演算処理回路101からのレスポンス信号を受信する。データ送受信部105は、リクエスト信号を送信し、レスポンス信号を受信するまでの時間(データ送受信時間)を測定する(図2のS101)。データ送受信部105において測定されたデータ送受信時間は、そのときクロックに与えられていた遅延量と共にメモリ107に格納される(図2のS102)。なお、クロックに与えられる遅延量の初期値は"0"である。

【0035】

メモリ107にクロック遅延量とデータ送受信時間(測定値)が格納された後、遅延調整量決定部108は、クロックシフト部106の出力クロックに所定の時間遅延させるための制御信号を出力する(図2のS103のNO)。具体的には、遅延調整量決定部108は、メモリ107に最後に格納されたクロック遅延量に対してさらに所定の時間遅延させるための制御信号を出力する(図2のS104)。その後、再度バスの初期化が行われる(図2のS100)。そして、データ送受信部105は、所定の遅延量を与えられたクロックに基づいてデータ送受信時間の測定を行う(図2のS101)。このときのクロック遅延量とデータ送受信時間はメモリ107に格納される(図2のS102)。このように所定の時間毎の遅延量を与えたクロックと、それに応じたデータ送受信時間の情報がメモリ107に格納される。この動作は、クロック遅延量が遅延調整量決定部108において設定された既定値に達するまで行われる。なお、第2のシステム(演算処理回路109、データ中継回路110)においても同様の動作が実行される。

【0036】

図5に、メモリ107及びメモリ114に格納されたクロック遅延量及びデータ送受信時間のテーブルの一例を示す。なお、前述のようにメモリ107は、第1のシステム(演算処理回路101、データ中継回路102)におけるクロック遅延量及びそれに応じたデータ送受信時間を格納する。また、メモリ114は、第2のシステム(演算処理回路109、データ中継回路110)におけるクロック遅延量及びデータ送受信時間を格納する。図5の例では、クロック遅延量が0nsから15nsまで1ns間隔で与えられた場合のデータ送受信時間を示す。なお、図5の例では、メモリ107及びメモリ114は、データ送受信に要するクロックのサイクル数をデータ送受信時間として格納している。遅延調整量決定部108は、クロック遅延量が規定値に達すると(図2のS103のYES)、メモリ107、114に格納された情報に基づいて、第1のシステムにおけるクロックの遅延調整量を決定する(図2のS105)。同様に、遅延調整量決定部116は、クロック遅延量が規定値に達すると、メモリ107、114に格納された情報に基づいて、第2のシステムにおけるクロックの遅延調整量を決定する。

【0037】

ここで、例えば、クロックに遅延を与えない(クロック遅延量が"0")場合、メモリ107は、データ送受信時間が100サイクルである。一方、メモリ114は、データ送受信時間が99サイクルである。つまり、クロック遅延量が"0"の場合、第1及び第2のシステムは、それぞれデータを受信するタイミングにずれが生じてしまう。そのため、第1及び第2のシステムはロックステップ同期して動作することができない。そこで、遅延調整量決定部108は、データ送受信部105、113のデータ受信タイミングにずれが生じないような遅延調整量をメモリ107、114に格納された情報から選択する。同様に遅延調整量決定部116は、データ送受信部105、113のデータ受信タイミングにずれが生じないような遅延調整量をメモリ107、114に格納された情報から選択する。

【0038】

ここで、データ送受信部105、113のデータ送受信に要するクロックサイクル数は、互いに一致する値が複数存在する可能性がある。図5の例では、"100"、"101"、"102"の3つの値がこれに該当する。この場合、遅延調整量決定部108、116は、好ましくはクロック遅延量の変動に応じてクロックサイクル数が変化しない範囲が最も大きい値(クロックサイクル数)を選択する。図5の例では、"101"がこれに該当する。

【0039】

10

20

30

40

50

次に、遅延調整量決定部 108 は、選択されたクロックサイクル数に基づいてクロックの遅延調整量を決定する。図 5 の例では、クロック遅延量が $4\text{ ns} \sim 10\text{ ns}$ の場合に、データ送受信時間が "101" を示す。このとき、遅延調整量決定部 108 は、好ましくはクロックの遅延調整量として中間の値 (図 5 の例では 7 ns) を選択する。これにより、クロックが何らかの要因でわずかに変動した場合でも、データ送受信部 105 のデータ送受信時間は変動しない。これは、第 2 のシステムにおける遅延調整量決定部 116 の場合も同様である。図 5 の例では、第 1 のシステムにおいて決定されたクロックの遅延調整量は 7 ns である。また、第 2 のシステムにおいて決定されたクロックの遅延調整量は 9 ns である。遅延調整量決定部 108 は、このような規則に基づいてクロックの遅延調整量を決定し、クロックシフト部 106 に制御信号を出力する。クロックシフト部 106 は、決定された遅延調整量に基づいて出力するクロックに遅延を与える。これは、第 2 のシステムにおける遅延調整量決定部 116 の場合も同様である。

10

【0040】

クロックの遅延調整量が決定した後、再度、演算処理回路 101 とデータ中継回路 102 との間を接続するバスが初期化される。また、演算処理回路 109 とデータ中継回路 110 との間を接続するバスが初期化される。そして、今度は通常のデータ送受信が行われる (図 2 の S106)。このように本発明の実施の形態にかかるフォールトトレラントコンピュータは、各システムにおいて複数のクロック遅延量及びそれに対応するデータ送受信時間を記録する。そして、それらの情報に基づいてクロックに与える遅延調整量を決定する。それにより、多重化されたシステムは、ロックステップ同期状態を維持することができる。

20

【0041】

以上のように、本発明の実施の形態にかかるフォールトトレラントコンピュータは、多重化されたシステムにおいて、例えば、演算処理回路とデータ中継回路とを結ぶバスが非同期シリアルバスであっても、ロックステップ同期状態を維持することが可能である。

【0042】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、図 1 に示すフォールトトレラントコンピュータは、システムを構成するハードウェアモジュールを二重化した場合 (第 1 及び第 2 のシステム) を例に説明したが、これに限られない。例えば、図 3 に示すようにシステムを構成するハードウェアモジュールを三重化した回路構成にも適宜変更可能である。図 3 に示すフォールトトレラントコンピュータは、図 1 のフォールトトレラントコンピュータに、第 3 のシステムを追加している。第 3 のシステムは、演算処理回路 117 と、データ中継回路 118 と、を備える。データ中継回路 118 は、タイミング調整回路 120 を備える。タイミング調整回路 120 は、データ送受信部 121 と、メモリ 122 と、クロックシフト部 123 と、遅延調整量決定部 124 と、を有する。第 3 のシステムの回路構成及び動作は、第 1 及び第 2 のシステムの場合と同様であるため説明を省略する。このように複数のシステムを備えた場合でも、それぞれのシステムに備えられたタイミング調整回路に基づいてそれぞれのシステムにおけるクロックの遅延調整量を決定することができる。

30

【0043】

また、本発明の実施の形態では、タイミング調整回路 104、112 が、それぞれデータ中継回路 102、110 に備えられた場合を例に説明したが、これに限られない。例えば、図 4 に示すように、演算処理回路 101 とデータ中継装置 102 との間にタイミング調整回路 104 を設けた回路構成にも適宜変更可能である。同様に、演算処理回路 109 とデータ中継装置 110 との間にタイミング調整回路 112 を設けた回路構成にも適宜変更可能である。なお、図 4 には、タイミング調整回路 104、112 が、それぞれリピータ回路 125、126 に備えられた場合の例を示している。

40

【符号の説明】**【0044】**

101 演算処理回路

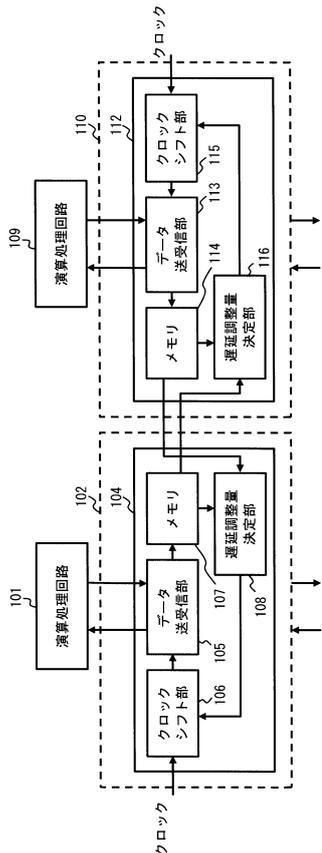
50

- 102 データ中継回路
- 104 タイミング調整回路
- 105 データ送受信部
- 106 クロックシフト部
- 107 メモリ
- 108 遅延調整量決定部
- 109 演算処理回路
- 110 データ中継回路
- 112 タイミング調整回路
- 113 データ送受信部
- 114 メモリ
- 115 クロックシフト部
- 116 遅延調整量決定部
- 117 演算処理回路
- 118 データ中継回路
- 120 タイミング調整回路
- 121 データ送受信部
- 122 メモリ
- 123 クロックシフト部
- 124 遅延調整量決定部
- 125 リピータ回路
- 126 リピータ回路

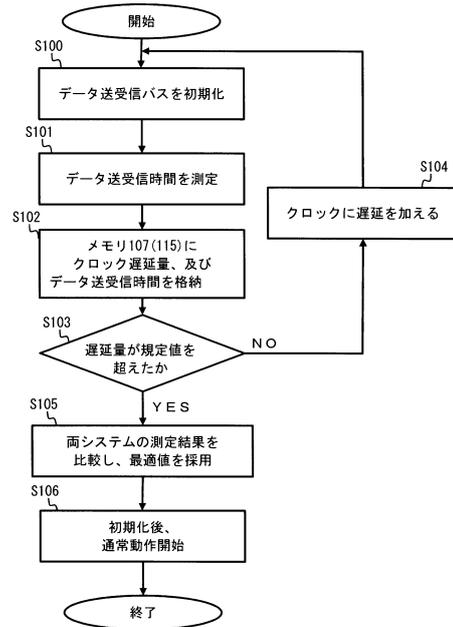
10

20

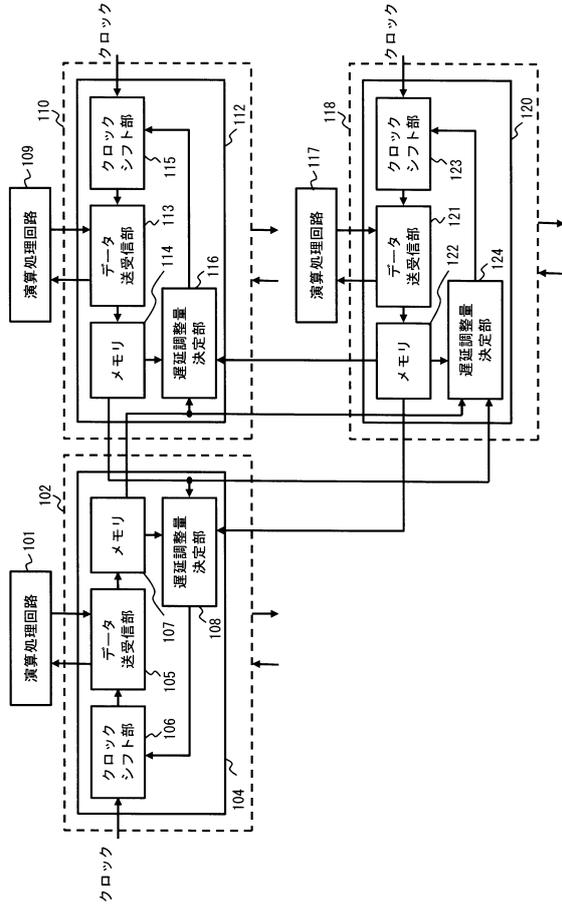
【図1】



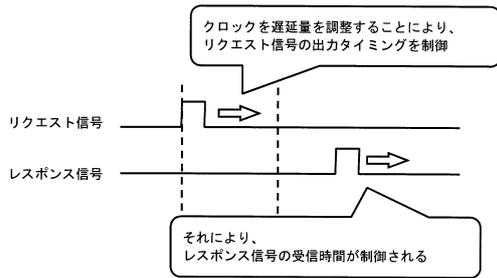
【図2】



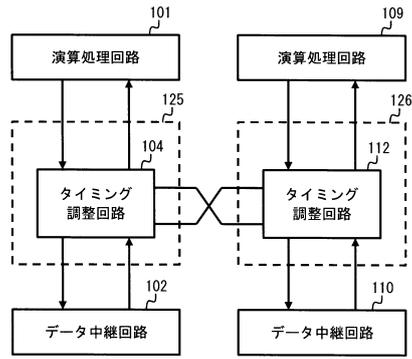
【図3】



【図6】



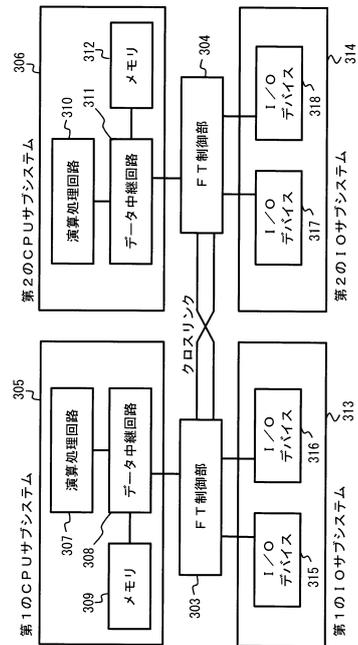
【図4】



【図5】

クロック 遅延量(ns)	データ送受信時間(cycle)	
	メモリ107	メモリ115
0	100	99
1	100	99
2	100	100
3	100	100
4	101	100
5	101	100
6	101	101
7	101	101
8	101	101
9	101	101
10	101	101
11	102	101
12	102	101
13	102	102
14	102	102
15	102	102

【図7】



フロントページの続き

- (56)参考文献 特開2007-249518(JP,A)
特開平07-073059(JP,A)
特開平11-161601(JP,A)
特開平04-060742(JP,A)
特表2005-531194(JP,A)
特開2008-146447(JP,A)
特開2004-046599(JP,A)
特開2003-174491(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 11/16 - 11/20,
G06F 13/38 - 13/42,
G06F 1/04 - 1/14