

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-114799

(P2019-114799A)

(43) 公開日 令和1年7月11日(2019.7.11)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 T	5 F 0 4 8
HO 1 L 21/8236 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 1 1 0
HO 1 L 27/088 (2006.01)	HO 1 L 29/78 6 1 6 U	
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78 6 1 6 V	
	HO 1 L 27/088 3 1 1 A	

審査請求 有 請求項の数 13 O L (全 49 頁) 最終頁に続く

(21) 出願番号 特願2019-45628 (P2019-45628)
 (22) 出願日 平成31年3月13日 (2019. 3. 13)
 (62) 分割の表示 特願2017-31775 (P2017-31775) の分割
 原出願日 平成21年11月5日 (2009. 11. 5)
 (31) 優先権主張番号 特願2008-287187 (P2008-287187)
 (32) 優先日 平成20年11月7日 (2008. 11. 7)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 秋元 健吾
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 河江 大輔
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 5F048 AB04 AC02 AC10 BA14 BA16
 BB09 BB11 BB12 BB13 BC03
 BD02 BF02 BF07
 最終頁に続く

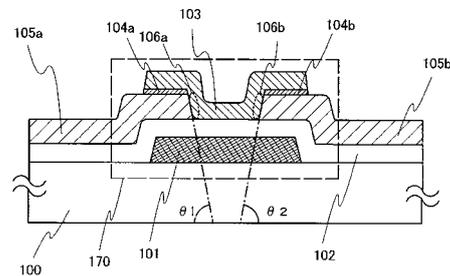
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 ボトムゲート型の薄膜トランジスタにおいて、ソース電極とドレイン電極間に生じる恐れのある電界集中を緩和し、スイッチング特性の劣化を抑える構造及びその作製方法を提供する。

【解決手段】 ソース電極及びドレイン電極上に酸化物半導体層を有するボトムゲート型の薄膜トランジスタとし、酸化物半導体層と接するソース電極の側面の角度 θ_1 及びドレイン電極の側面の角度 θ_2 を 20° 以上 90° 未満とすることで、ソース電極及びドレイン電極の側面における電極上端から電極下端までの距離を大きくする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

基板と、
前記基板上のゲート電極と、
前記ゲート電極上のゲート絶縁層と、
前記ゲート絶縁層上の半導体層と、
前記ゲート絶縁層上のソース電極及びドレイン電極と、を有し、
前記半導体層は、前記ゲート絶縁層と接する領域を有し、
前記半導体層は、前記ソース電極及び前記ドレイン電極と電氣的に接続され、
前記基板の上面と前記ソース電極の側面の上端部とでなす第 1 の角度は、前記基板の上
面と前記ソース電極の側面の下端部とでなす第 2 の角度より大きく、
前記基板の上面と前記ドレイン電極の側面の上端部とでなす第 3 の角度は、前記基板の上
面と前記ドレイン電極の側面の下端部とでなす第 4 の角度より大きい半導体装置。

【請求項 2】

請求項 1 において、
前記ソース電極又は前記ドレイン電極と電氣的に接続された画素電極を有する半導体装
置。

【請求項 3】

基板と、
前記基板上のゲート電極と、
前記ゲート電極上のゲート絶縁層と、
前記ゲート絶縁層上の半導体層と、
前記ゲート絶縁層上のソース電極及びドレイン電極と、
前記ソース電極の側面に接する第 1 の酸化膜と、
前記ドレイン電極の側面に接する第 2 の酸化膜と、を有し、
前記半導体層は、前記ゲート絶縁層と接する領域を有し、
前記半導体層は、前記ソース電極及び前記ドレイン電極と電氣的に接続され、
前記基板の上面と前記ソース電極の側面の上端部とでなす第 1 の角度は、前記基板の上
面と前記ソース電極の側面の下端部とでなす第 2 の角度より大きく、
前記基板の上面と前記ドレイン電極の側面の上端部とでなす第 3 の角度は、前記基板の上
面と前記ドレイン電極の側面の下端部とでなす第 4 の角度より大きい半導体装置。

【請求項 4】

請求項 3 において、
前記第 1 の酸化膜及び前記第 2 の酸化膜の各々は、自然酸化膜である半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一において、
前記半導体層の一部は、前記ソース電極の側面と前記ドレイン電極の側面との間に位置
する半導体装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一において、
前記ソース電極及び前記ドレイン電極は、前記ゲート絶縁層と接する領域を有する半導
体装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一において、
前記半導体層は、インジウム、ガリウム、及び亜鉛を含む第 1 の酸化物半導体層を有す
る半導体装置。

【請求項 8】

請求項 1 乃至 7 のいずれか一において、
前記ソース電極上に接する第 2 の酸化物半導体層を有し、
前記ドレイン電極上に接する第 3 の酸化物半導体層を有し、

10

20

30

40

50

前記第 2 の酸化物半導体層及び前記第 3 の酸化物半導体層は、前記半導体層より低抵抗である半導体装置。

【請求項 9】

請求項 8 において、

前記半導体層は、前記第 2 の酸化物半導体層上及び前記第 3 の酸化物半導体層上に接して設けられる半導体装置。

【請求項 10】

請求項 8 及び 9 において、

前記第 2 酸化物半導体層及び前記第 3 の酸化物半導体層は、インジウム、ガリウム、及び亜鉛を含む半導体装置。

10

【請求項 11】

請求項 1 乃至 10 のいずれかーにおいて、

前記ソース電極及び前記ドレイン電極の各々は、単層である半導体装置。

【請求項 12】

請求項 1 乃至 11 のいずれかーにおいて、

前記第 2 の角度及び前記第 4 の角度の各々は、20 度以上 90 度未満である半導体装置

。

【請求項 13】

請求項 1 乃至 12 のいずれかーにおいて、

前記第 1 の角度及び前記第 3 の角度の各々は、90 度である半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

酸化物半導体を用いる表示装置及びその製造方法に関する。

【背景技術】

【0002】

液晶表示装置に代表されるように、ガラス基板等の平板に形成される薄膜トランジスタは、アモルファスシリコン、多結晶シリコンによって作製されている。アモルファスシリコンを用いた薄膜トランジスタは、電界効果移動度が低いもののガラス基板の面積化に対応することができ、一方、結晶シリコンを用いた薄膜トランジスタは電界効果移動度が高いものの、レーザアニール等の結晶化工程が必要であり、ガラス基板の面積化には必ずしも適応しないといった特性を有している。

30

【0003】

これに対し、酸化物半導体を用いて薄膜トランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体膜として酸化亜鉛、In-Ga-Zn-O系酸化物半導体を用いて薄膜トランジスタを作製し、画像表示装置のスイッチング素子などに用いる技術が特許文献 1 及び特許文献 2 で開示されている。

【先行技術文献】

【特許文献】

【0004】

40

【特許文献 1】特開 2007 - 123861 号公報

【特許文献 2】特開 2007 - 096055 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ボトムゲート型の薄膜トランジスタにおいて、ソース電極とドレイン電極間に生じる恐れのある電界集中を緩和し、スイッチング特性の劣化を抑える構造及びその作製方法を提供することを課題の一とする。

【0006】

また、酸化物半導体層の被覆性を向上させる構造およびその作製方法を提供することも課

50

題の一とする。

【課題を解決するための手段】

【0007】

ソース電極及びドレイン電極上に酸化物半導体層を有するボトムゲート型の薄膜トランジスタとし、酸化物半導体層と接するソース電極の側面の角度 1 及びドレイン電極の側面の角度 2 を 20°以上90°未満とすることで、ソース電極及びドレイン電極の側面における電極上端から電極下端までの距離を大きくする。

【0008】

本明細書で開示する発明の構成の一つは、絶縁表面を有する基板上にゲート電極と、ゲート電極上に絶縁層と、絶縁層上にソース電極及びドレイン電極と、ソース電極の側面と、該側面と向かい合うドレイン電極の側面の間にゲート電極と絶縁層を介して重なる酸化物半導体層とを有し、基板の基板面とソース電極の側面とがなす角と、基板の基板面とドレイン電極の側面とがなす角とが 20°以上90°未満であることを特徴とする半導体装置である。

10

【0009】

上記構成は、上記課題の少なくとも一つを解決する。

【0010】

ソース電極及びドレイン電極に用いる金属材料にもよるが、ソース電極及びドレイン電極の少なくとも側面には自然酸化膜が形成される。この自然酸化膜は、エッチング後に大気などの酸素を含む雰囲気に触れると形成される。また、エッチング後に酸化物半導体層を形成する際の成膜雰囲気に酸素を含んでいる場合にも、電極側面に自然酸化膜が形成される。

20

【0011】

また、電極上面に自然酸化膜が形成されることを防ぐために、スパッタ法で得られる金属膜上に接してバッファ層 (n^+ 層とも呼ぶ) を大気に触れることなく連続成膜することが好ましい。このバッファ層は、酸化物半導体層に比べて低抵抗な酸化物半導体層であり、ソース領域またはドレイン領域として機能させる。

【0012】

上記構成において、ソース電極及びドレイン電極の上面にバッファ層を有し、該バッファ層上に酸化物半導体層を有する。バッファ層 (n^+ 層とも呼ぶ) を大気に触れることなく連続成膜することにより、ソース電極及びドレイン電極の上面に自然酸化膜が形成されることを防ぐ。

30

【0013】

また、ボトムゲート型の薄膜トランジスタにおいて、ゲート電極にしきい値電圧よりも十分に大きい電圧をかけて、オン状態とした場合のドレイン電流の経路 (チャネル長方向の電流経路) は、まず、ドレイン電極からゲート絶縁膜の界面近傍の酸化物半導体層を経てソース電極に達する経路となる。

【0014】

なお、ソース電極及びドレイン電極上に酸化物半導体層を有するボトムゲート型の薄膜トランジスタのチャネル長は、ソース電極とドレイン電極の最短間隔距離に相当し、ソース電極とドレイン電極に挟まれ、ゲート絶縁膜との界面近傍の酸化物半導体層の距離とする。

40

【0015】

n^+ 層をドレイン電極及びソース電極の上面に接して形成する場合、電極側面に形成される自然酸化膜の導電率が低いと、ドレイン電流の主な経路は、ドレイン電極から n^+ 層を経由して、ドレイン電極側面の界面近傍の酸化物半導体層を通り、ゲート絶縁膜の界面近傍の酸化物半導体層を経て、ソース電極側面の界面近傍の酸化物半導体層を通り、 n^+ 層を経由してソース電極に達する経路となる。スパッタ法で得られる酸化物半導体層は、被成膜面との界面近傍の膜質が、被成膜面の材料に影響を受ける傾向がある。酸化物半導体層は、 n^+ 層との界面、ソース電極側面 (及びドレイン電極側面) との界面、ゲート絶縁

50

膜との界面とを有し、異なる材料との界面を少なくとも3つ有する。従って、酸化物半導体層において、ドレイン電極側面の自然酸化膜との界面状態と、ゲート絶縁膜との界面状態は異なるため、ドレイン電極側面の界面近傍の酸化物半導体層が第1の電界集中緩和領域として機能する。また、ソース電極側面の自然酸化膜との界面状態と、ゲート絶縁膜との界面状態は異なるため、ソース電極側面の界面近傍の酸化物半導体層が第2の電界集中緩和領域として機能する。

【0016】

このように、酸化物半導体層におけるソース電極の側面及びドレイン電極の側面と重なる領域は、電界集中緩和領域として機能する。

【0017】

本明細書中で用いる酸化物半導体は、 $InMO_3(ZnO)_m$ ($m > 0$) で表記される薄膜を形成し、その薄膜を半導体層として用いた薄膜トランジスタを作製する。なお、Mは、Ga、Fe、Ni、Mn及びCoから選ばれた一の金属元素又は複数の金属元素を示す。例えばMとして、Gaの場合があることその他、GaとNi又はGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。本明細書においては、この薄膜をIn-Ga-Zn-O系非単結晶膜とも呼ぶ。

【0018】

In-Ga-Zn-O系非単結晶膜の結晶構造は、アモルファス構造がXRDの分析では観察される。分析したIn-Ga-Zn-O系非単結晶膜は、スパッタ法で成膜した後、加熱処理を200～500、代表的には300～400で10分～100分を行っている。

【0019】

酸化物半導体層と接するソース電極の側面の角度 θ_1 及びドレイン電極の側面の角度 θ_2 を20°以上90°未満とし、ソース電極及びドレイン電極の側面における電極上端から電極下端までの距離を大きくすることによって第1の電界集中緩和領域の長さ及び第2電界集中緩和領域の長さを長くして電界集中を緩和させる。さらに、ソース電極及びドレイン電極の膜厚を厚くすることによっても電極側面における電極上端から電極下端までの距離を大きくできる。

【0020】

また、酸化物半導体層をスパッタ法で成膜する場合、基板面に垂直な電極側面に成膜される膜厚は、電極上面に成膜される膜厚よりも薄くなる恐れがある。酸化物半導体層と接するソース電極の側面の角度 θ_1 及びドレイン電極の側面の角度 θ_2 を20°以上90°未満とすることで側面においても膜厚の均一性を高めることができ、電界集中を緩和することもできる。

【0021】

また、図1に示すように、ソース電極側面の下端を始点としソース電極側面の上端を結んだ直線がソース電極側面の傾きにほぼ一致する場合、ソース電極はテーパ形状を有していると言え、基板の基板面とソース電極の側面がなす角度 θ_1 は、第1のテーパ角とも呼べる。また、ドレイン電極側面の下端を始点としドレイン電極側面の上端を結んだ直線がドレイン電極側面の傾きにほぼ一致する場合、ドレイン電極はテーパ形状を有していると言え、基板の基板面とドレイン電極の側面がなす角度 θ_2 は、第2のテーパ角とも呼べる。

【0022】

また、電極側面が1つの角度を有している形状に限定されず、少なくともソース電極の下端部の側面の角度 θ_1 、及びドレイン電極の下端部の側面の角度 θ_2 が20°以上90°未満であれば、電極側面に段差を有してもよい。

【0023】

また、他の発明の構成は、絶縁表面を有する基板上にゲート電極と、ゲート電極上に絶縁層と、絶縁層上にソース電極及びドレイン電極と、ソース電極の側面と、該側面と向かい

10

20

30

40

50

合うドレイン電極の側面の間にはゲート電極と絶縁層を介して重なる酸化物半導体層とを有し、基板の基板面とソース電極下端部の側面とがなす角と、基板の基板面とドレイン電極下端部の側面とがなす角とが 20° 以上 90° 未満であることを特徴とする半導体装置である。

【0024】

上記構成において、基板の基板面とソース電極下端部の側面とがなす角は、基板の基板面とソース電極上端部の側面とがなす角と異ならせる。また、上記構成において、基板の基板面とドレイン電極下端部の側面とがなす角は、基板の基板面とドレイン電極上端部の側面とがなす角と異ならせる。なお、酸化物半導体層を挟んで対向するソース電極側面とドレイン電極側面の断面形状は同じエッチング工程を経るため、ほぼ同一である。

10

【0025】

例えば、ソース電極（及びドレイン電極）下端部の側面の角度と、ソース電極（及びドレイン電極）上端部の側面の角度を異ならせ、ソース電極（及びドレイン電極）上端部の側面の角度を 90° としてもよい。ソース電極（及びドレイン電極）上端部の側面の角度をソース電極（及びドレイン電極）下端部の側面の角度よりも大きくすることで、ソース電極及びドレイン電極を形成するためのマスクの間隔を狭く設計することができ、結果としてチャンネル長を短く設計する、例えばチャンネル長を $1\mu\text{m} \sim 10\mu\text{m}$ に設計することができる。

【0026】

また、ソース電極及びドレイン電極の側面形状は、すくなくとも一部に曲面を有していてもよく、例えば、ソース電極及びドレイン電極の断面形状において、電極の下端部は、電極の外側に位置する曲率半径の中心により決まる1つの曲面も有するようにしてもよい。また、ソース電極及びドレイン電極の側面形状は、電極上面から基板に向かって裾広がり

20

【0027】

上述した様々な断面形状を有する電極の形成は、ドライエッチングまたはウェットエッチングによって形成する。ドライエッチングに用いるエッチング装置としては、反応性イオンエッチング法（RIE法）を用いたエッチング装置や、ECR（Electron Cyclotron Resonance）やICP（Inductively Coupled Plasma）などの高密度プラズマ源を用いたドライエッチング装置を用いることができる。また、ICPエッチング装置と比べて広い面積に渡って一様な放電が得られやすいドライエッチング装置としては、上部電極を接地させ、下部電極に 13.56MHz の高周波電源を接続し、さらに下部電極に 3.2MHz の低周波電源を接続したECCP（Enhanced Capacitively Coupled Plasma）モードのエッチング装置がある。このECCPモードのエッチング装置であれば、例えば基板として、第10世代の3mを超えるサイズの基板を用いる場合にも対応することができる。

30

【0028】

また、ソース電極及びドレイン電極は単層であってもよいし、少なくとも異なる2つの材料からなる2層以上の多層であってもよい。

40

【0029】

また、上記構造を実現するための作製方法に関する発明の構成の一つは、絶縁表面を有する基板の上にゲート電極を形成し、ゲート電極を覆うゲート絶縁層を形成し、ゲート絶縁層上に導電層とバッファ層とを大気にふれることなく積層形成し、バッファ層及び導電層を選択的にエッチングして基板の基板面となす角が 20° 以上 90° 未満である側面を有するソース電極及びドレイン電極を形成し、ゲート絶縁層、ソース電極、及びドレイン電極上に酸化物半導体層を形成する半導体装置の作製方法である。

【0030】

上記作製方法に関する構成において、バッファ層は、インジウム、ガリウム、及び亜鉛を含み、バッファ層上に形成する酸化物半導体層と同じターゲットを用いることができる。

50

成膜雰囲気を変更することで、バッファ層と、酸化物半導体層とを作り分けることができ、共通のターゲットを用いることで製造コストを低減することができる。

【0031】

上記作製方法に関する構成において、ゲート絶縁層上に導電層とバッファ層とを大気にふれることなく積層形成しており、連続成膜を行うことを特徴の一つとしている。

【0032】

上記作製方法に関する構成において、ソース電極、及びドレイン電極を形成する導電層は、アルミニウム、タングステン、クロム、タンタル、チタン、モリブデンなどの金属材料またはその合金材料を用いて形成する。また、導電層は、2層以上の積層としてもよく、例えば、アルミニウム膜を下層とし、上層をチタン膜とする積層、タングステン膜を下層とし、上層をモリブデン膜とする積層、アルミニウム膜を下層とし、上層をモリブデン膜とする積層などを用いることができる。

10

【0033】

本明細書中で連続成膜とは、スパッタ法で行う第1の成膜工程からスパッタ法で行う第2の成膜工程までの一連のプロセス中、被処理基板の置かれている雰囲気が大気等の汚染雰囲気に触れることなく、常に真空中または不活性ガス雰囲気（窒素雰囲気または希ガス雰囲気）で制御されていることを言う。連続成膜を行うことにより、清浄化された被処理基板の水分等の再付着を回避して成膜を行うことができる。

【0034】

同一チャンパー内で第1の成膜工程から第2の成膜工程までの一連のプロセスを行うことは本明細書における連続成膜の範囲にあるとする。

20

【0035】

また、異なるチャンパーで第1の成膜工程から第2の成膜工程までの一連のプロセスを行う場合、第1の成膜工程を終えた後、大気にふれることなくチャンパー間を基板搬送して第2の成膜を施すことも本明細書における連続成膜の範囲にあるとする。

【0036】

なお、第1の成膜工程と第2の成膜工程の間に、基板搬送工程、アライメント工程、徐冷工程、または第2の工程に必要な温度とするため基板を加熱または冷却する工程等を有しても、本明細書における連続成膜の範囲にあるとする。

【0037】

ただし、洗浄工程、ウエットエッチング、レジスト形成といった液体を用いる工程が第1の成膜工程と第2の成膜工程の間にある場合、本明細書でいう連続成膜の範囲には当てはまらないとする。

30

【0038】

本明細書において、上、下、側、水平、垂直等の方向を表す文言は、基板表面の上にデバイス配置した場合の基板面を基準とする方向を指す。

【0039】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

40

【発明の効果】

【0040】

基板の基板面とソース電極の側面とがなす角と、基板の基板面とドレイン電極の側面とがなす角を調節することで、ソース電極及びドレイン電極上に設けられる酸化物半導体層の被覆性を向上させる。

【0041】

電界集中緩和領域を設けることにより、ソース電極とドレイン電極間に生じる恐れのある電界集中を緩和し、薄膜トランジスタのスイッチング特性の劣化を抑える。

【図面の簡単な説明】

【0042】

50

- 【図 1】半導体装置の一例を説明する断面図である。
- 【図 2】半導体装置の一例を説明する断面図である。
- 【図 3】半導体装置の作製方法の一例を説明する断面図である。
- 【図 4】半導体装置の作製方法の一例を説明する断面図である。
- 【図 5】半導体装置の作製方法の一例を説明する上面図である。
- 【図 6】半導体装置の作製方法の一例を説明する上面図である。
- 【図 7】半導体装置の作製方法の一例を説明する上面図である。
- 【図 8】半導体装置の作製方法の一例を説明する上面図である。
- 【図 9】端子部の断面図の一例及び上面図の一例を示す図である。
- 【図 10】半導体装置の作製方法の一例を説明する上面図である。 10
- 【図 11】半導体装置の一例を説明する断面図である。
- 【図 12】半導体装置のブロック図の一例を説明する図である。
- 【図 13】信号線駆動回路の構成の一例を説明する図である。
- 【図 14】信号線駆動回路の動作の一例を説明するタイミングチャートである。
- 【図 15】信号線駆動回路の動作の一例を説明するタイミングチャートである。
- 【図 16】シフトレジスタの構成の一例を説明する図である。
- 【図 17】図 16 に示すフリップフロップの接続構成を説明する図である。
- 【図 18】半導体装置の画素等価回路の一例を説明する図である。
- 【図 19】半導体装置の一例を説明する断面図である。
- 【図 20】半導体装置の一例を説明する断面図及び上面図である。 20
- 【図 21】半導体装置の一例を説明する断面図である。
- 【図 22】半導体装置の一例を説明する断面図及び上面図である。
- 【図 23】電子ペーパーの使用形態の例を説明する図である。
- 【図 24】電子書籍の一例を示す外観図である。
- 【図 25】テレビジョン装置およびデジタルフォトフレームの例を示す外観図である。
- 【図 26】遊技機の例を示す外観図である。
- 【図 27】携帯電話機の一例を示す外観図である。
- 【図 28】薄膜トランジスタの電気特性の一例を示す図である。
- 【図 29】電気特性を測定するために作製した薄膜トランジスタの上面図である。
- 【図 30】サンプルを作製する工程を示す断面図である。 30
- 【図 31】サンプルの断面一部を示す写真および断面図である。
- 【図 32】(A) 半導体装置の断面構造の一例を示す図、(B) 等価回路図、(C) 上面図。
- 【図 33】計算モデルの構造を示す断面図である。
- 【図 34】計算結果を示すグラフである。
- 【図 35】計算結果を示すグラフである。
- 【図 36】計算結果を示すグラフである。
- 【図 37】計算結果を示すグラフである。(比較例)
- 【発明を実施するための形態】
- 【0043】 40
本実施形態について、以下に説明する。
- 【0044】
(実施の形態 1)
- 図 1 に薄膜トランジスタ 170 を基板上に設ける例を示す。なお、図 1 は薄膜トランジスタの断面図の一例である。
- 【0045】
- 絶縁表面を有する基板 100 上に設けられたゲート電極 101 は、ゲート絶縁層 102 に覆われ、ゲート電極 101 と重なるゲート絶縁層 102 上には第 1 配線または第 2 配線が設けられる。ソース電極層 105 a またはドレイン電極層 105 b として機能する第 1 配線または第 2 配線上には、バッファ層がそれぞれ設けられている。ソース電極層 105 a 50

上には第1のバッファ層104aが設けられ、ドレイン電極層105b上には第2のバッファ層104bが設けられている。そして、第1のバッファ層104a、及び第2のバッファ層104b上には酸化物半導体層103を有する。

【0046】

図1において、透光性を有する基板100にはコーニング社の7059ガラスや1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0047】

ゲート電極101は、単層、または異なる金属材料からなる積層とする。また、ゲート電極101の材料は金属材料(アルミニウム(Al)、銅(Cu)、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジム)、Sc(スカンジウム)から選ばれた元素、または上述した元素を成分とする合金)を用い、ゲート電極101の側面の角度を20°以上90°未満とする。少なくとも端部にテーパ形状が形成されるようにエッチングしてゲート電極101を形成する。

10

【0048】

また、ゲート絶縁層102はスパッタ法またはプラズマCVD法で得られる酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などの絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。なお、ゲート絶縁層102上に形成するソース電極層105a及びドレイン電極層105bをエッチングする際に、選択比が十分に取れる材料を選択することが好ましい。また、ソース電極層105a及びドレイン電極層105bをエッチングする際にゲート絶縁層102の表面が20nm程度までエッチングされてもよく、金属材料のエッチング残渣をなくすためには少し表層を除去することが好ましい。

20

【0049】

ソース電極層105a及びドレイン電極層105bは、単層、または異なる金属材料からなる積層とする。ソース電極層105a及びドレイン電極層105bの材料は金属材料(アルミニウム(Al)、銅(Cu)、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジム)、Sc(スカンジウム)から選ばれた元素、または上述した元素を成分とする合金)を用いる。

【0050】

ソース電極層105aの断面形状は、図1に示すように、基板の基板面とソース電極層105aの側面とがなす角度1が20°以上90°未満とする。また、ドレイン電極層105bの断面形状は、図1に示すように、基板の基板面とドレイン電極層105bの側面とがなす角度2が20°以上90°未満とする。同じエッチング工程(ドライエッチングまたはウェットエッチング)により形成されるため、角度1と角度2はほぼ同一である。酸化物半導体層と接するソース電極層105aの側面の角度1及びドレイン電極層105bの側面の角度2を20°以上90°未満とすることで、ソース電極層105a及びドレイン電極層105bの側面における電極上端から電極下端までの距離を大きくする。

30

【0051】

なお、図1では基板の裏面平面を基板面として角度1、角度2を表記しているが、特に限定されず、基板の表面平面を基板面としても基板の裏面平面と表面平面は平行であるため同じ角度となることは言うまでもない。

40

【0052】

このような形状のソース電極層105a及びドレイン電極層105b上に酸化物半導体層103を形成する。酸化物半導体層103は、In、Ga、及びZnを含む酸化物半導体ターゲット(In₂O₃:Ga₂O₃:ZnO=1:1:1)を用いて、基板とターゲットの間との距離を170mm、圧力0.4Pa、直流(DC)電源0.5kW、酸素を含むアルゴン雰囲気下で成膜した後、レジストマスクを形成して選択的にエッチングし、不要な部分を除去して形成する。なお、パルス直流(DC)電源を用いると、ごみが軽減で

50

き、膜厚分布も均一となるために好ましい。酸化物半導体膜の膜厚は、5 nm ~ 200 nmとする。本実施の形態では酸化物半導体膜の膜厚は、100 nmとする。

【0053】

なお、ソース電極層105aと酸化物半導体層103の間には、第1のバッファ層104aを設けることが好ましい。また、ドレイン電極層105bと酸化物半導体層103の間には、第2のバッファ層104bを設けることが好ましい。

【0054】

第1のバッファ層104a、及び第2のバッファ層104bは、酸化物半導体層103に比べて低抵抗な酸化物半導体層(n⁺層)であり、ソース領域またはドレイン領域として機能する。

【0055】

n⁺層は、In₂O₃:Ga₂O₃:ZnO=1:1:1としたターゲットを用い、成膜条件は、圧力を0.4 Paとし、電力を500 Wとし、成膜温度を室温とし、アルゴンガス流量40 sccmを導入してスパッタ成膜を行う。In₂O₃:Ga₂O₃:ZnO=1:1:1としたターゲットを意図的に用いているにも関わらず、成膜直後で大きさ1 nm ~ 10 nmの結晶粒を含むIn-Ga-Zn-O系非単結晶膜が形成されることがある。なお、ターゲットの成分比、成膜圧力(0.1 Pa ~ 2.0 Pa)、電力(250 W ~ 3000 W:8インチ)、温度(室温 ~ 100)、反応性スパッタの成膜条件などを適宜調節することで結晶粒の有無や、結晶粒の密度や、直径サイズは、1 nm ~ 10 nmの範囲で調節されうると言える。第2のIn-Ga-Zn-O系非単結晶膜の膜厚は、5 nm ~ 20 nmとする。勿論、膜中に結晶粒が含まれる場合、含まれる結晶粒のサイズが膜厚を超える大きさとならない。本実施の形態では第2のIn-Ga-Zn-O系非単結晶膜の膜厚は、5 nmとする。

【0056】

また、ソース電極層105a又はドレイン電極層105bとなる導電膜とn⁺層となる酸化物半導体膜を大気に曝すことなくスパッタ法で積層することで製造プロセス中にソース電極層又はドレイン電極層が露呈してゴミが付着することを防止することができる。

【0057】

スパッタ法で得られる酸化物半導体層103は、被成膜面との界面近傍の膜質が、被成膜面の材料に影響を受ける傾向がある。酸化物半導体層は、n⁺層との界面、ソース電極層側面(及びドレイン電極層側面)との界面、ゲート絶縁膜との界面とを有し、異なる材料との界面を少なくとも3つ有する。従って、酸化物半導体層103において、ドレイン電極側面の自然酸化膜との界面状態と、ゲート絶縁膜との界面状態は異なるため、ドレイン電極層側面の界面近傍の酸化物半導体層が第1の電界集中緩和領域106aとして機能する。また、ソース電極側面の自然酸化膜との界面状態と、ゲート絶縁膜との界面状態は異なるため、ソース電極側面の界面近傍の酸化物半導体層が第2の電界集中緩和領域106bとして機能する。

酸化物半導体層と接するソース電極の側面の角度 θ_1 及びドレイン電極の側面の角度 θ_2 を20°以上90°未満とし、ソース電極及びドレイン電極の側面における電極上端から電極下端までの距離を大きくすることによって第1の電界集中緩和領域106aの長さL₁及び第2電界集中緩和領域106bの長さL₂を長くして電界集中を緩和させる。さらに、ソース電極及びドレイン電極の膜厚を厚くすることによっても電極側面における電極上端から電極下端までの距離を大きくできる。

【0058】

また、酸化物半導体層103をスパッタ法で成膜する場合、基板面に垂直な電極側面に成膜される膜厚は、電極上面に成膜される膜厚よりも薄くなる恐れがある。酸化物半導体層と接するソース電極の側面の角度 θ_1 及びドレイン電極の側面の角度 θ_2 を20°以上90°未満とすることで側面においても膜厚の均一性を高めることができ、酸化物半導体層103が局所的に薄くなる領域を低減し、電界集中を緩和することもできる。

【0059】

10

20

30

40

50

(実施の形態2)

図1では、ソース電極層(ドレイン電極層)側面の下端を始点としソース電極層(ドレイン電極層)側面上端を結んだ直線がソース電極層(ドレイン電極層)側面の傾きにほぼ一致する例を示したが、本実施の形態では、ソース電極層(ドレイン電極層)側面に段差を有する例を図2を用いて説明する。少なくともソース電極層の下端部の側面の角度 θ_1 、及びドレイン電極層の下端部の側面の角度 θ_2 が 20° 以上 90° 未満であれば、電極側面に段差を有してもよい。なお、図2において図1と共通の部分には同じ符号を用いる。

【0060】

絶縁表面を有する基板100上に設けられたゲート電極101は、ゲート絶縁層102に覆われ、ゲート電極101と重なるゲート絶縁層102上には第1配線または第2配線が設けられる。ソース電極層405aまたはドレイン電極層405bとして機能する第1配線または第2配線上には、バッファ層がそれぞれ設けられている。ソース電極層405a上には第1のバッファ層404aが設けられ、ドレイン電極層405b上には第2のバッファ層404bが設けられている。そして、第1のバッファ層404a、及び第2のバッファ層404b上には酸化物半導体層403を有する。

10

【0061】

絶縁表面を有する基板100、ゲート電極101、及びゲート絶縁層102に関しては実施の形態1と同一であるため、ここでは詳細な説明は省略する。

【0062】

また、ソース電極層405a及びドレイン電極層405bは、単層、または異なる金属材料からなる積層とする。ソース電極層405a及びドレイン電極層405bの材料は金属材料(アルミニウム(A1)、銅(Cu)、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジウム)、Sc(スカンジウム)から選ばれた元素、または上述した元素を成分とする合金)を用いる。

20

【0063】

ここではソース電極層405a及びドレイン電極層405bとして膜厚100nmのタングステン膜の単層を用い、コイル状アンテナを用いるICPエッチング装置を用いて図2に示すソース電極層405aの側面形状、及びドレイン電極層405bの側面形状を形成する例を説明する。

30

【0064】

本実施の形態では、 CF_4 のガス流量を25(sccm)、 Cl_3 のガス流量を25(sccm)、 O_2 のガス流量を10(sccm)とし、1.5Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行う。基板側(試料ステージ)にも10WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。少なくともゲート絶縁膜102がある程度露呈した段階で、このエッチングを途中で停止することにより、段差を有する電極側面が形成される。

【0065】

上記エッチング条件により、ソース電極層405aの断面形状は、基板の基板面とソース電極層405aの下端部側面とがなす角度 θ_1 が 20° 以上 90° 未満とすることができ、図2に示すように、 θ_1 は約 40° である。また、基板の基板面とソース電極層405aの上端部側面とがなす角度は約 90° である。なお、酸化物半導体層403を挟んで対向するソース電極層405a側面とドレイン電極層405b側面の断面形状は同じエッチング工程を経るため、ほぼ同一である。

40

【0066】

このように、ソース電極層405a(及びドレイン電極層405b)上端部の側面の角度をソース電極層405a(及びドレイン電極層405b)下端部の側面の角度よりも大きくすることで、ソース電極層405a及びドレイン電極層405bを形成するためのフォトリソマスク(またはレジストマスク)の間隔を狭く設計することができ、結果としてチャネ

50

ル長を短く設計する、例えばチャネル長を $1\ \mu\text{m} \sim 10\ \mu\text{m}$ に設計することができる。

【0067】

また、上述した方法に限定されず、ソース電極層405a及びドレイン電極層405bとして用いるエッチングガスのエッチングレートが異なる材料を積層させ、下層にエッチングレートの低い材料層、上層にエッチングレートの高い材料層とし、エッチングを行うと電極側面に段差を形成することができる。

【0068】

酸化物半導体層403を挟んで対向する2つの電極側面に段差を持たせることにより、ソース電極層及びドレイン電極層の側面における電極上端から電極下端までの距離を大きくすることによって第1の電界集中緩和領域406aの長さ L_3 及び第2電界集中緩和領域406bの長さ L_4 を長くして電界集中を緩和させる。

10

【0069】

さらにソース電極層及びドレイン電極層の側面における電極上端から電極下端までの距離を大きくするため、上述したドライエッチング後に、さらにウェットエッチングを行って酸化物半導体層403を挟んで対向する2つの電極側面の一部に曲面を持たせてもよい。

【0070】

また、上述したドライエッチングではなく、ソース電極層及びドレイン電極層の形成をウェットエッチングを行って、少なくともソース電極層の下端部の側面の角度 θ_1 、及びドレイン電極層の下端部の側面の角度 θ_2 が 20° 以上 90° 未満としてもよく、電極上面から基板に向かって裾広がりの断面形状としてもよい。

20

【0071】

また、本実施の形態は実施の形態1と自由に組み合わせることができる。

【0072】

(実施の形態3)

本実施の形態では、薄膜トランジスタ及びその作製工程について、図3乃至図9を用いて説明する。

【0073】

図3(A)において、透光性を有する基板100にはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0074】

次いで、導電層を基板100全面に形成した後、第1のフォトリソグラフィ工程を行い、レジスタマスクを形成し、エッチングにより不要な部分を除去して配線及び電極(ゲート電極101を含むゲート配線、容量配線108、及び第1の端子121)を形成する。このとき少なくともゲート電極101の端部にテーパ形状が形成されるようにエッチングする。この段階での上面図を図3(A)に示した。なお、この段階での上面図が図5に相当する。

30

【0075】

ゲート電極101を含むゲート配線と容量配線108、端子部の第1の端子121は、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジウム)、アルミニウム(Al)、銅(Cu)から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物で形成する。中でもアルミニウム(Al)や銅(Cu)などの低抵抗導電性材料で形成することが望ましいが、Al単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるのでチタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジウム)から選ばれた元素、または上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物で形成する。

40

【0076】

次いで、ゲート電極101上にゲート絶縁層102を全面に成膜する。ゲート絶縁層102はスパッタ法などを用い、膜厚を $50 \sim 250\ \text{nm}$ とする。

【0077】

50

例えば、ゲート絶縁層102としてスパッタ法により酸化シリコン膜を用い、100nmの厚さで形成する。勿論、ゲート絶縁層102はこのような酸化シリコン膜に限定されるものでなく、酸化窒化シリコン膜、窒化シリコン膜、酸化アルミニウム、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

【0078】

次に、ゲート絶縁層102上に金属材料からなる導電膜をスパッタ法や真空蒸着法で形成する。導電膜の材料としては、Al、Cr、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。ここでは、導電膜としてアルミニウム(Al)膜と、そのアルミニウム(Al)膜上に重ねてTi膜を積層する。また、導電膜は、3層構造としてもよく、タングステン膜上にチタン膜を積層してもよい。また、導電膜は、シリコンを含むアルミニウム膜の単層構造や、タングステン膜の単層構造としてもよい。

10

【0079】

次に、導電膜上に第1の酸化物半導体膜(本実施の形態では第1のIn-Ga-Zn-O系非単結晶膜)をスパッタ法で成膜する。ここでは、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ としたターゲットを用い、成膜条件は、圧力を0.4Paとし、電力を500Wとし、成膜温度を室温とし、アルゴンガス流量40sccmを導入してスパッタ成膜を行う。 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ としたターゲットを意図的に用いているにも関わらず、成膜直後で大きさ1nm~10nmの結晶粒を含むIn-Ga-Zn-O系非単結晶膜が形成されることがある。なお、ターゲットの成分比、成膜圧力(0.1Pa~2.0Pa)、電力(250W~3000W:8インチ)、温度(室温~100)、反応性スパッタの成膜条件などを適宜調節することで結晶粒の有無や、結晶粒の密度や、直径サイズは、1nm~10nmの範囲で調節されうると言える。第1のIn-Ga-Zn-O系非単結晶膜の膜厚は、5nm~20nmとする。勿論、膜中に結晶粒が含まれる場合、含まれる結晶粒のサイズが膜厚を超える大きさとならない。本実施の形態では第1のIn-Ga-Zn-O系非単結晶膜の膜厚は、5nmとする。

20

【0080】

次に、第2のフォトリソグラフィ工程を行い、レジストマスクを形成し、第1のIn-Ga-Zn-O系非単結晶膜をエッチングする。ここではITO07N(関東化学社製)を用いたウェットエッチングにより、画素部において、不要な部分を除去して第1のIn-Ga-Zn-O系非単結晶膜111a、111bを形成する。なお、ここでのエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

30

【0081】

次に、第1のIn-Ga-Zn-O系非単結晶膜のエッチングと同じレジストマスクを用いて、エッチングにより不要な部分を除去してソース電極層105a及びドレイン電極層105bを形成する。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。ここでは、 SiCl_4 と Cl_2 と BCl_3 の混合ガスを反応ガスとしたドライエッチングにより、Al膜とTi膜を積層した導電膜をエッチングしてソース電極層105a及びドレイン電極層105bを形成する。この段階での断面図を図3(B)に示した。なお、この段階での上面図が図6に相当する。

40

【0082】

ここでのエッチングにより、後に形成する酸化物半導体層と接するソース電極層105aの側面の角度 θ_1 及びドレイン電極層105bの側面の角度 θ_2 を20°以上90°未満とする。酸化物半導体層を挟んで対向する2つの電極側面をテーパ形状とすることで、酸化物半導体層におけるソース電極層の側面及びドレイン電極層の側面と重なる領域は、電界集中緩和領域として機能させることができる。

【0083】

また、この第2のフォトリソグラフィ工程において、ソース電極層105a及びドレイン電極層105bと同じ材料である第2の端子122を端子部に残す。なお、第2の端子

50

122はソース配線（ソース電極層105aを含むソース配線）と電気的に接続されている。また、端子部において、第2の端子122の上方に存在し、且つ、第2の端子122と重なる第1のIn-Ga-Zn-O系非単結晶膜123は残存する。

【0084】

また、容量部においては、ソース電極層105a及びドレイン電極層105bと同じ材料である容量電極層124を残す。また、容量部において、容量電極層124の上方に存在し、且つ、容量電極層124と重なる第1のIn-Ga-Zn-O系非単結晶膜111cは残存する。

【0085】

次に、レジストマスクを除去した後、大気に曝すことなく第2の酸化物半導体膜（本実施の形態では第2のIn-Ga-Zn-O系非単結晶膜）を成膜する。プラズマ処理後、大気に曝すことなく第2のIn-Ga-Zn-O系非単結晶膜を成膜することは、ゲート絶縁層と半導体膜の界面にゴミなどを付着させない点で有用である。ここでは、直径8インチのIn、Ga、及びZnを含む酸化物半導体ターゲット（ $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ ）を用いて、基板とターゲットの間との距離を170mm、圧力0.4Pa、直流（DC）電源0.5kW、アルゴン又は酸素雰囲気下で成膜する。なお、パルス直流（DC）電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。第2のIn-Ga-Zn-O系非単結晶膜の膜厚は、5nm～200nmとする。本実施の形態では第2のIn-Ga-Zn-O系非単結晶膜の膜厚は、100nmとする。

10

【0086】

第2のIn-Ga-Zn-O系非単結晶膜は、第1のIn-Ga-Zn-O系非単結晶膜の成膜条件と異ならせることで、第1のIn-Ga-Zn-O系非単結晶膜よりも電気抵抗の高い膜とする。例えば、第1のIn-Ga-Zn-O系非単結晶膜の成膜条件における酸素ガス流量とアルゴンガス流量の比よりも第2のIn-Ga-Zn-O系非単結晶膜の成膜条件における酸素ガス流量の占める比率が多い条件とする。具体的には、第1のIn-Ga-Zn-O系非単結晶膜の成膜条件は、希ガス（アルゴン、又はヘリウムなど）雰囲気下（または酸素ガス10%以下、アルゴンガス90%以上）とし、第2のIn-Ga-Zn-O系非単結晶膜の成膜条件は、酸素雰囲気下（又は酸素ガス流量とアルゴンガス流量の比1:1以上）とする。

20

【0087】

次いで、200～600、代表的には300～500の熱処理を行うことが好ましい。ここでは炉に入れ、窒素雰囲気または大気雰囲気下で350、1時間の熱処理を行う。この熱処理によりIn-Ga-Zn-O系非単結晶膜の原子レベルの再配列が行われる。この熱処理によりキャリアの移動を阻害する歪が解放されるため、ここでの熱処理（光アニールも含む）は重要である。なお、熱処理を行うタイミングは、第2のIn-Ga-Zn-O系非単結晶膜の成膜後であれば特に限定されず、例えば画素電極形成後に行ってもよい。

30

【0088】

次に、第3のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して半導体層103を形成する。ここではITO07N（関東化学社製）を用いたウェットエッチングにより、第2のIn-Ga-Zn-O系非単結晶膜を除去して半導体層103を形成する。ウェットエッチングで除去する場合、エッチングの廃液から酸化物半導体を再生して、ターゲットの作製に再利用することができる。

40

【0089】

酸化物半導体に含まれているインジウムやガリウムは、希少価値のある金属であることが知られており、再利用することによって、省資源化を図るとともに酸化物半導体を用いて形成される製品のコストダウンを図ることができる。

【0090】

なお、第1のIn-Ga-Zn-O系非単結晶膜と第2のIn-Ga-Zn-O系非単結晶膜は同じエッチャントを用いるため、ここでのエッチングにより第1のIn-Ga-Z

50

n - O系非単結晶膜が除去される。従って、第2のIn - Ga - Zn - O系非単結晶膜で覆われた第1のIn - Ga - Zn - O系非単結晶膜の側面は保護されるが、図4 (A) に示すように、露呈している第1のIn - Ga - Zn - O系非単結晶膜111a、111bはエッチングされ、第1のパuffa層104a、第2のパuffa層104bが形成される。なお、半導体層103のエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。以上の工程で半導体層103をチャンネル形成領域とする薄膜トランジスタ170が作製できる。この段階での断面図を図4 (A) に示した。なお、この段階での上面図が図7に相当する。

【0091】

次いで、レジストマスクを除去し、半導体層を覆う保護絶縁膜107を形成する。保護絶縁膜107はスパッタ法などを用いて得られる窒化シリコン膜、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、酸化タンタル膜などを用いることができる。

10

【0092】

次に、第4のフォトリソグラフィ工程を行い、レジストマスクを形成し、保護絶縁膜107のエッチングによりドレイン電極層105bに達するコンタクトホール125を形成する。また、ここでのエッチングにより第2の端子122に達するコンタクトホール127も形成する。また、ここでのエッチングにより容量電極層124に達するコンタクトホール109も形成する。なお、マスク数を削減するため、同じレジストマスクを用いてさらにゲート絶縁層をエッチングしてゲート電極に達するコンタクトホール126も同じレジストマスクで形成することが好ましい。この段階での断面図を図4 (B) に示す。

20

【0093】

次いで、レジストマスクを除去した後、透明導電膜を成膜する。透明導電膜の材料としては、酸化インジウム (In_2O_3) や酸化インジウム酸化スズ合金 (In_2O_3 SnO₂、ITOと略記する) などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金 (In_2O_3 ZnO) を用いても良い。

【0094】

次に、第5のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極110を形成する。

30

【0095】

また、この第5のフォトリソグラフィ工程において、容量部におけるゲート絶縁層102を誘電体として、容量電極層124と画素電極110とで保持容量が形成される。容量配線108はコンタクトホール109を介して容量電極層124と電氣的に接続する。

【0096】

また、この第5のフォトリソグラフィ工程において、第1の端子及び第2の端子をレジストマスクで覆い端子部に形成された透明導電膜128、129を残す。透明導電膜128、129はFPCとの接続に用いられる電極または配線となる。第2の端子122上に形成された透明導電膜129は、ソース配線の入力端子として機能する接続用の端子電極である。

40

【0097】

次いで、レジストマスクを除去し、この段階での断面図を図4 (C) に示す。なお、この段階での上面図が図8に相当する。

【0098】

また、図9 (A 1)、図9 (A 2) は、この段階でのゲート配線端子部の上面図及び断面図をそれぞれ図示している。図9 (A 1) は図9 (A 2) 中のC1 - C2線に沿った断面図に相当する。図9 (A 1) において、保護絶縁膜154上に形成される透明導電膜155は、入力端子として機能する接続用の端子電極である。また、図9 (A 1) において、端子部では、ゲート配線と同じ材料で形成される第1の端子151と、ソース配線と同じ

50

材料で形成される接続電極 153 とがゲート絶縁層 152 を介して重なり、透明導電膜 155 で導通させている。なお、図 4 (C) に図示した透明導電膜 128 と第 1 の端子 121 とが接触している部分が、図 9 (A1) の透明導電膜 155 と第 1 の端子 151 が接触している部分に対応している。

【0099】

また、図 9 (B1)、及び図 9 (B2) は、図 4 (C) に示すソース配線端子部とは異なるソース配線端子部の上面図及び断面図をそれぞれ図示している。また、図 9 (B1) は図 9 (B2) 中の D1 - D2 線に沿った断面図に相当する。図 9 (B1) において、保護絶縁膜 154 上に形成される透明導電膜 155 は、入力端子として機能する接続用の端子電極である。また、図 9 (B1) において、端子部では、ゲート配線と同じ材料で形成される電極 156 が、ソース配線と電氣的に接続される第 2 の端子 150 の下方にゲート絶縁層 102 を介して重なる。電極 156 は第 2 の端子 150 とは電氣的に接続しておらず、電極 156 を第 2 の端子 150 と異なる電位、例えばフローティング、GND、0Vなどに設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第 2 の端子 150 は、保護絶縁膜 154 を介して透明導電膜 155 と電氣的に接続している。

10

【0100】

ゲート配線、ソース配線、及び容量配線は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第 1 の端子、ソース配線と同電位の第 2 の端子、容量配線と同電位の第 3 の端子などが複数並べられて配置される。それぞれの端子の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

20

【0101】

こうして 5 回のフォトリソグラフィ工程により、5 枚のフォトマスクを使用して、ボトムゲート型の n チャネル型薄膜トランジスタである薄膜トランジスタ 170 を有する画素薄膜トランジスタ部、保持容量を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0102】

アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。なお、対向基板に設けられた対向電極と電氣的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電氣的に接続する第 4 の端子を端子部に設ける。この第 4 の端子は、共通電極を固定電位、例えば GND、0Vなどに設定するための端子である。

30

【0103】

また、本実施の形態は、図 8 の画素構成に限定されず、図 8 とは異なる上面図の例を図 10 に示す。図 10 では容量配線を設けず、ゲート絶縁層を誘電体として画素電極を隣り合う画素のゲート配線とゲート絶縁層を介して重なる容量電極層とで保持容量を形成する例であり、この場合、容量配線及び容量配線と接続する第 3 の端子は省略することができる。なお、図 10 において、図 8 と同じ部分には同じ符号を用いて説明する。

40

【0104】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【0105】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面

50

黒表示を1フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

【0106】

また、通常の垂直周期を1.5倍若しくは2倍以上にすることで応答速度を改善するとともに各フレーム内の分割された複数フィールド毎に書き込む階調を選択する、所謂、倍速駆動と呼ばれる駆動技術もある。

【0107】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数のLED（発光ダイオード）光源または複数のEL光源などを用いて面光源を構成し、面光源を構成している各光源を独立して1フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。独立して複数のLEDを制御できるため、液晶層の光学変調の切り替えタイミングに合わせてLEDの発光タイミングを同期させることもできる。この駆動技術は、LEDを部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力の低減効果が図れる。

10

【0108】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

【0109】

本実施の形態で得られるnチャンネル型のトランジスタは、In-Ga-Zn-O系非単結晶膜の半導体層をチャンネル形成領域に用いており、良好な動特性を有するため、これらの駆動技術を組み合わせることができる。

20

【0110】

また、発光表示装置を作製する場合、有機発光素子の一方の電極（カソードとも呼ぶ）は、低電源電位、例えばGND、0Vなどに設定するため、端子部に、カソードを低電源電位、例えばGND、0Vなどに設定するための第4の端子が設けられる。また、発光表示装置を作製する場合には、ソース配線、及びゲート配線に加えて電源供給線を設ける。従って、端子部には、電源供給線と電気的に接続する第5の端子を設ける。

【0111】

本実施の形態では、ゲート電極層、ゲート絶縁層、ソース電極層及びドレイン電極層、ソース領域又はドレイン領域（In、Ga、及びZnを含む酸化物半導体層）、半導体層（In、Ga、及びZnを含む酸化物半導体層）という積層構造を有する薄膜トランジスタとし、ゲート絶縁層表面をプラズマ処理で改質することによって、半導体層の膜厚を薄膜にしたままで、かつ寄生容量を抑制できる。なお、薄膜であっても、ゲート絶縁層に対する割合が十分であるため寄生容量は十分に抑制される。

30

【0112】

本実施の形態によって、オンオフ比の高い薄膜トランジスタを得ることができ、良好な動特性を有する薄膜トランジスタを作製できる。よって、電気特性が高く信頼性のよい薄膜トランジスタを有する半導体装置を提供することができる。

【0113】

（実施の形態4）

本実施の形態では、半導体装置として電子ペーパーの例を示す。

40

【0114】

図11は、液晶表示装置とは異なる半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置の画素部に用いられる薄膜トランジスタ581としては、実施の形態3で示す画素部の薄膜トランジスタと同様に作製でき、In-Ga-Zn-O系非単結晶膜を半導体層として含む薄膜トランジスタである。また、実施の形態1に示したように、酸化物半導体層を挟んで対向する2つの電極側面をテーパ形状とすることで、電界緩和領域が設けられた信頼性の高い薄膜トランジスタを備えた電子ペーパーを実現することができる。

【0115】

50

図 1 1 の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第 1 の電極層及び第 2 の電極層の間に配置し、第 1 の電極層及び第 2 の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

【 0 1 1 6 】

薄膜トランジスタ 5 8 1 はボトムゲート構造の薄膜トランジスタであり、ソース電極層又はドレイン電極層は、第 1 の電極層 5 8 7 と、絶縁層 5 8 5 に形成する開口で接しており電氣的に接続している。第 1 の電極層 5 8 7 と第 2 の電極層 5 8 8 との間には黒色領域 5 9 0 a 及び白色領域 5 9 0 b を有し、周りに液体で満たされているキャビティ 5 9 4 を含む球形粒子 5 8 9 が設けられており、球形粒子 5 8 9 の周囲は樹脂等の充填材 5 9 5 で充填されている（図 1 1 参照。）。

10

【 0 1 1 7 】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径 1 0 μm ~ 2 0 0 μm 程度のマイクロカプセルを用いる。第 1 の電極層と第 2 の電極層との間に設けられるマイクロカプセルは、第 1 の電極層と第 2 の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

20

【 0 1 1 8 】

以上の工程により、半導体装置として製造コストが低減された電子ペーパーを作製することができる。

【 0 1 1 9 】

本実施の形態は、実施の形態 1、実施の形態 2、または実施の形態 3 に記載した構成と適宜組み合わせる実施することが可能である。

30

【 0 1 2 0 】

（実施の形態 5）

本実施の形態では、半導体装置の一例である表示装置において、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

【 0 1 2 1 】

画素部に配置する薄膜トランジスタは、実施の形態 1 又は実施の形態 2 に従って形成する。また、実施の形態 1 又は実施の形態 2 に示す薄膜トランジスタは n チャネル型 T F T であるため、駆動回路のうち、n チャネル型 T F T で構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

40

【 0 1 2 2 】

半導体装置の一例であるアクティブマトリクス型液晶表示装置のブロック図の一例を図 1 2 (A) に示す。図 1 2 (A) に示す表示装置は、基板 5 3 0 0 上に表示素子を備えた画素を複数有する画素部 5 3 0 1 と、各画素を選択する走査線駆動回路 5 3 0 2 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 5 3 0 3 とを有する。

【 0 1 2 3 】

画素部 5 3 0 1 は、信号線駆動回路 5 3 0 3 から列方向に伸張して配置された複数の信号線 S 1 ~ S m（図示せず。）により信号線駆動回路 5 3 0 3 と接続され、走査線駆動回路 5 3 0 2 から行方向に伸張して配置された複数の走査線 G 1 ~ G n（図示せず。）により走査線駆動回路 5 3 0 2 と接続され、信号線 S 1 ~ S m 並びに走査線 G 1 ~ G n に対応し

50

てマトリクス状に配置された複数の画素（図示せず。）を有する。そして、各画素は、信号線 S_j （信号線 $S_1 \sim S_m$ のうちいずれか一）、走査線 G_i （走査線 $G_1 \sim G_n$ のうちいずれか一）と接続される。

【0124】

また、実施の形態1又は実施の形態2に示す薄膜トランジスタは、 n チャンネル型TFTであり、 n チャンネル型TFTで構成する信号線駆動回路について図13を用いて説明する。

【0125】

図13に示す信号線駆動回路は、ドライバIC5601、スイッチ群5602__1~5602__M、第1の配線5611、第2の配線5612、第3の配線5613及び配線5621__1~5621__Mを有する。スイッチ群5602__1~5602__Mそれぞれは、第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを有する。

10

【0126】

ドライバIC5601は第1の配線5611、第2の配線5612、第3の配線5613及び配線5621__1~5621__Mに接続される。そして、スイッチ群5602__1~5602__Mそれぞれは、第1の配線5611、第2の配線5612、第3の配線5613及びスイッチ群5602__1~5602__Mそれぞれに対応した配線5621__1~5621__Mに接続される。そして、配線5621__1~5621__Mそれぞれは、第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介して、3つの信号線に接続される。例えば、 J 列目の配線5621__J（配線5621__1~配線5621__Mのうちいずれか一）は、スイッチ群5602__Jが有する第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介して、信号線 S_{j-1} 、信号線 S_j 、信号線 S_{j+1} に接続される。

20

【0127】

なお、第1の配線5611、第2の配線5612、第3の配線5613には、それぞれ信号が入力される。

【0128】

なお、ドライバIC5601は、単結晶半導体基板上に形成されていることが望ましい。さらに、スイッチ群5602__1~5602__Mは、画素部と同一基板上に形成されていることが望ましい。したがって、ドライバIC5601とスイッチ群5602__1~5602__MとはFPCなどを介して接続するとよい。

30

【0129】

次に、図13に示した信号線駆動回路の動作について、図14のタイミングチャートを参照して説明する。なお、図14のタイミングチャートは、 i 行目の走査線 G_i が選択されている場合のタイミングチャートを示している。さらに、 i 行目の走査線 G_i の選択期間は、第1のサブ選択期間 T_1 、第2のサブ選択期間 T_2 及び第3のサブ選択期間 T_3 に分割されている。さらに、図13の信号線駆動回路は、他の行の走査線が選択されている場合でも図14と同様の動作をする。

【0130】

なお、図14のタイミングチャートは、 J 列目の配線5621__Jが第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介して、信号線 S_{j-1} 、信号線 S_j 、信号線 S_{j+1} に接続される場合について示している。

40

【0131】

なお、図14のタイミングチャートは、 i 行目の走査線 G_i が選択されるタイミング、第1の薄膜トランジスタ5603aのオン・オフのタイミング5703a、第2の薄膜トランジスタ5603bのオン・オフのタイミング5703b、第3の薄膜トランジスタ5603cのオン・オフのタイミング5703c及び J 列目の配線5621__Jに入力される信号5721__Jを示している。

50

【0132】

なお、配線5621__1～配線5621__Mには第1のサブ選択期間T1、第2のサブ選択期間T2及び第3のサブ選択期間T3において、それぞれ別のビデオ信号が入力される。例えば、第1のサブ選択期間T1において配線5621__Jに入力されるビデオ信号は信号線S_{j-1}に入力され、第2のサブ選択期間T2において配線5621__Jに入力されるビデオ信号は信号線S_jに入力され、第3のサブ選択期間T3において配線5621__Jに入力されるビデオ信号は信号線S_{j+1}に入力される。さらに、第1のサブ選択期間T1、第2のサブ選択期間T2及び第3のサブ選択期間T3において、配線5621__Jに入力されるビデオ信号をそれぞれData__j-1、Data__j、Data__j+1とする。

10

【0133】

図14に示すように、第1のサブ選択期間T1において第1の薄膜トランジスタ5603aがオンし、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621__Jに入力されるData__j-1が、第1の薄膜トランジスタ5603aを介して信号線S_{j-1}に入力される。第2のサブ選択期間T2では、第2の薄膜トランジスタ5603bがオンし、第1の薄膜トランジスタ5603a及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621__Jに入力されるData__jが、第2の薄膜トランジスタ5603bを介して信号線S_jに入力される。第3のサブ選択期間T3では、第3の薄膜トランジスタ5603cがオンし、第1の薄膜トランジスタ5603a及び第2の薄膜トランジスタ5603bがオフする。この

20

【0134】

以上のことから、図13の信号線駆動回路は、1ゲート選択期間を3つに分割することで、1ゲート選択期間中に1つの配線5621から3つの信号線にビデオ信号を入力することができる。したがって、図13の信号線駆動回路は、ドライバIC5601が形成される基板と、画素部が形成されている基板との接続数を信号線の数に比べて約1/3にすることができる。接続数が約1/3になることによって、図13の信号線駆動回路は、信頼性、歩留まりなどを向上できる。

【0135】

なお、図13のように、1ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいて、ある1つの配線から複数の信号線それぞれにビデオ信号を入力することができれば、薄膜トランジスタの配置や数、駆動方法などは限定されない。

30

【0136】

例えば、3つ以上のサブ選択期間それぞれにおいて1つの配線から3つ以上の信号線それぞれにビデオ信号を入力する場合は、薄膜トランジスタ及び薄膜トランジスタを制御するための配線を追加すればよい。ただし、1ゲート選択期間を4つ以上のサブ選択期間に分割すると、1つのサブ選択期間が短くなる。したがって、1ゲート選択期間は、2つ又は3つのサブ選択期間に分割されることが望ましい。

【0137】

別の例として、図15のタイミングチャートに示すように、1つの選択期間をプリチャージ期間T_p、第1のサブ選択期間T1、第2のサブ選択期間T2、第3の選択期間T3に分割してもよい。さらに、図15のタイミングチャートは、i行目の走査線G_iが選択されるタイミング、第1の薄膜トランジスタ5603aのオン・オフのタイミング5803a、第2の薄膜トランジスタ5603bのオン・オフのタイミング5803b、第3の薄膜トランジスタ5603cのオン・オフのタイミング5803c及びJ列目の配線5621__Jに入力される信号5821__Jを示している。図15に示すように、プリチャージ期間T_pにおいて第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオンする。このとき、配線5621__Jに入力されるプリチャージ電圧V_pが第1の薄膜トランジスタ5603a、第2の薄膜トラン

40

50

ジスタ5603b及び第3の薄膜トランジスタ5603cを介してそれぞれ信号線 S_{j-1} 、信号線 S_j 、信号線 S_{j+1} に入力される。第1のサブ選択期間 T_1 において第1の薄膜トランジスタ5603aがオンし、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621__Jに入力される $Data_{j-1}$ が、第1の薄膜トランジスタ5603aを介して信号線 S_{j-1} に入力される。第2のサブ選択期間 T_2 では、第2の薄膜トランジスタ5603bがオンし、第1の薄膜トランジスタ5603a及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621__Jに入力される $Data_j$ が、第2の薄膜トランジスタ5603bを介して信号線 S_j に入力される。第3のサブ選択期間 T_3 では、第3の薄膜トランジスタ5603cがオンし、第1の薄膜トランジスタ5603a及び第2の薄膜トランジスタ5603bがオフする。このとき、配線5621__Jに入力される $Data_{j+1}$ が、第3の薄膜トランジスタ5603cを介して信号線 S_{j+1} に入力される。

10

【0138】

以上のことから、図15のタイミングチャートを適用した図13の信号線駆動回路は、サブ選択期間の前にプリチャージ選択期間を設けることによって、信号線をプリチャージできるため、画素へのビデオ信号の書き込みを高速に行うことができる。なお、図15において、図14と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0139】

また、走査線駆動回路の構成について説明する。走査線駆動回路は、シフトレジスタ、バッファを有している。また場合によってはレベルシフトを有していても良い。走査線駆動回路において、シフトレジスタにクロック信号(CLK)及びスタートパルス信号(SP)が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲート電極が接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

20

【0140】

走査線駆動回路の一部に用いるシフトレジスタの一形態について図16及び図17を用いて説明する。

30

【0141】

図16にシフトレジスタの回路構成を示す。図16に示すシフトレジスタは、複数のフリップフロップ5701__i(フリップフロップ5701__1~5701__nのうちいずれか一)で構成される。また、第1のクロック信号、第2のクロック信号、スタートパルス信号、リセット信号が入力されて動作する。

【0142】

図16のシフトレジスタの接続関係について説明する。図16のシフトレジスタは、i段目のフリップフロップ5701__i(フリップフロップ5701__1~5701__nのうちいずれか一)は、図17に示した第1の配線5501が第7の配線5717__i-1に接続され、図17に示した第2の配線5502が第7の配線5717__i+1に接続され、図17に示した第3の配線5503が第7の配線5717__iに接続され、図17に示した第6の配線5506が第5の配線5715に接続される。

40

【0143】

また、図17に示した第4の配線5504が奇数段目のフリップフロップでは第2の配線5712に接続され、偶数段目のフリップフロップでは第3の配線5713に接続され、図17に示した第5の配線5505が第4の配線5714に接続される。

【0144】

ただし、1段目のフリップフロップ5701__1の図17に示す第1の配線5501は第1の配線5711に接続され、n段目のフリップフロップ5701__nの図17に示す第2の配線5502は第6の配線5716に接続される。

50

【0145】

なお、第1の配線5711、第2の配線5712、第3の配線5713、第6の配線5716を、それぞれ第1の信号線、第2の信号線、第3の信号線、第4の信号線と呼んでもよい。さらに、第4の配線5714、第5の配線5715を、それぞれ第1の電源線、第2の電源線と呼んでもよい。

【0146】

次に、図16に示すフリップフロップの詳細について、図17に示す。図17に示すフリップフロップは、第1の薄膜トランジスタ5571、第2の薄膜トランジスタ5572、第3の薄膜トランジスタ5573、第4の薄膜トランジスタ5574、第5の薄膜トランジスタ5575、第6の薄膜トランジスタ5576、第7の薄膜トランジスタ5577及び第8の薄膜トランジスタ5578を有する。なお、第1の薄膜トランジスタ5571、第2の薄膜トランジスタ5572、第3の薄膜トランジスタ5573、第4の薄膜トランジスタ5574、第5の薄膜トランジスタ5575、第6の薄膜トランジスタ5576、第7の薄膜トランジスタ5577及び第8の薄膜トランジスタ5578は、nチャネル型トランジスタであり、ゲート・ソース間電圧(V_{gs})がしきい値電圧(V_{th})を上回ったとき導通状態になるものとする。

10

【0147】

次に、図16に示すフリップフロップの接続構成について、以下に示す。

【0148】

第1の薄膜トランジスタ5571の第1の電極(ソース電極またはドレイン電極の一方)が第4の配線5504に接続され、第1の薄膜トランジスタ5571の第2の電極(ソース電極またはドレイン電極の他方)が第3の配線5503に接続される。

20

【0149】

第2の薄膜トランジスタ5572の第1の電極が第6の配線5506に接続され、第2の薄膜トランジスタ5572第2の電極が第3の配線5503に接続される。

【0150】

第3の薄膜トランジスタ5573の第1の電極が第5の配線5505に接続され、第3の薄膜トランジスタ5573の第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第3の薄膜トランジスタ5573のゲート電極が第5の配線5505に接続される。

30

【0151】

第4の薄膜トランジスタ5574の第1の電極が第6の配線5506に接続され、第4の薄膜トランジスタ5574の第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第4の薄膜トランジスタ5574のゲート電極が第1の薄膜トランジスタ5571のゲート電極に接続される。

【0152】

第5の薄膜トランジスタ5575の第1の電極が第5の配線5505に接続され、第5の薄膜トランジスタ5575の第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続され、第5の薄膜トランジスタ5575のゲート電極が第1の配線5501に接続される。

40

【0153】

第6の薄膜トランジスタ5576の第1の電極が第6の配線5506に接続され、第6の薄膜トランジスタ5576の第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続され、第6の薄膜トランジスタ5576のゲート電極が第2の薄膜トランジスタ5572のゲート電極に接続される。

【0154】

第7の薄膜トランジスタ5577の第1の電極が第6の配線5506に接続され、第7の薄膜トランジスタ5577の第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続され、第7の薄膜トランジスタ5577のゲート電極が第2の配線5502に接続される。第8の薄膜トランジスタ5578の第1の電極が第6の配線5506に接続され

50

、第 8 の薄膜トランジスタ 5 5 7 8 の第 2 の電極が第 2 の薄膜トランジスタ 5 5 7 2 のゲート電極に接続され、第 8 の薄膜トランジスタ 5 5 7 8 のゲート電極が第 1 の配線 5 5 0 1 に接続される。

【 0 1 5 5 】

なお、第 1 の薄膜トランジスタ 5 5 7 1 のゲート電極、第 4 の薄膜トランジスタ 5 5 7 4 のゲート電極、第 5 の薄膜トランジスタ 5 5 7 5 の第 2 の電極、第 6 の薄膜トランジスタ 5 5 7 6 の第 2 の電極及び第 7 の薄膜トランジスタ 5 5 7 7 の第 2 の電極の接続箇所をノード 5 5 4 3 とする。さらに、第 2 の薄膜トランジスタ 5 5 7 2 のゲート電極、第 3 の薄膜トランジスタ 5 5 7 3 の第 2 の電極、第 4 の薄膜トランジスタ 5 5 7 4 の第 2 の電極、第 6 の薄膜トランジスタ 5 5 7 6 のゲート電極及び第 8 の薄膜トランジスタ 5 5 7 8 の第 2 の電極の接続箇所をノード 5 5 4 4 とする。

10

【 0 1 5 6 】

なお、第 1 の配線 5 5 0 1、第 2 の配線 5 5 0 2、第 3 の配線 5 5 0 3 及び第 4 の配線 5 5 0 4 を、それぞれ第 1 の信号線、第 2 の信号線、第 3 の信号線、第 4 の信号線と呼んでもよい。さらに、第 5 の配線 5 5 0 5 を第 1 の電源線、第 6 の配線 5 5 0 6 を第 2 の電源線と呼んでもよい。

【 0 1 5 7 】

また、信号線駆動回路及び走査線駆動回路を実施の形態 1 又は実施の形態 2 に示す n チャネル型 T F T のみで作製することも可能である。酸化半導体層を用いるトランジスタの移動度は大きいため、駆動回路の駆動周波数を高くすることが可能となる。また、実施の形態 1 又は実施の形態 2 に示す n チャネル型 T F T はソース領域又はドレイン領域により寄生容量が低減されるため、周波数特性 (f 特性と呼ばれる) が高い。例えば、実施の形態 1 又は実施の形態 2 に示す n チャネル型 T F T を用いた走査線駆動回路は、高速に動作させることが出来るため、フレーム周波数を高くすること、または、黒画面挿入を実現することなども実現することが出来る。

20

【 0 1 5 8 】

さらに、走査線駆動回路のトランジスタのチャネル幅を大きくすることや、複数の走査線駆動回路を配置することなどによって、さらに高いフレーム周波数を実現することが出来る。複数の走査線駆動回路を配置する場合は、偶数行の走査線を駆動する為の走査線駆動回路を片側に配置し、奇数行の走査線を駆動するための走査線駆動回路をその反対側に配置することにより、フレーム周波数を高くすることを実現することが出来る。

30

【 0 1 5 9 】

また、半導体装置の一例であるアクティブマトリクス型発光表示装置を作製する場合、少なくとも一つの画素に複数の薄膜トランジスタを配置するため、走査線駆動回路を複数配置することが好ましい。アクティブマトリクス型発光表示装置のブロック図の一例を図 1 2 (B) に示す。

【 0 1 6 0 】

図 1 2 (B) に示す発光表示装置は、基板 5 4 0 0 上に表示素子を備えた画素を複数有する画素部 5 4 0 1 と、各画素を選択する第 1 の走査線駆動回路 5 4 0 2 及び第 2 の走査線駆動回路 5 4 0 4 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 5 4 0 3 とを有する。

40

【 0 1 6 1 】

図 1 2 (B) に示す発光表示装置の画素に入力されるビデオ信号をデジタル形式とする場合、画素はトランジスタのオンとオフの切り替えによって、発光もしくは非発光の状態となる。よって、面積階調法または時間階調法を用いて階調の表示を行うことができる。面積階調法は、1 画素を複数の副画素に分割し、各副画素を独立にビデオ信号に基づいて駆動させることによって、階調表示を行う駆動法である。また時間階調法は、画素が発光する期間を制御することによって、階調表示を行う駆動法である。

【 0 1 6 2 】

発光素子は、液晶素子などに比べて応答速度が高いので、液晶素子よりも時間階調法に適

50

している。具体的に時間階調法で表示を行なう場合、1フレーム期間を複数のサブフレーム期間に分割する。そしてビデオ信号に従い、各サブフレーム期間において画素の発光素子を発光または非発光の状態にする。複数のサブフレーム期間に分割することによって、1フレーム期間中に画素が実際に発光する期間のトータルの長さを、ビデオ信号により制御することができ、階調を表示することができる。

【0163】

なお、図12(B)に示す発光表示装置では、一つの画素にスイッチング用TFTと、電流制御用TFTとの2つを配置する場合、スイッチング用TFTのゲート配線である第1の走査線に入力される信号を第1の走査線駆動回路5402で生成し、電流制御用TFTのゲート配線である第2の走査線に入力される信号を第2の走査線駆動回路5404で生成している例を示しているが、第1の走査線に入力される信号と、第2の走査線に入力される信号とを、共に1つの走査線駆動回路で生成するようにしても良い。また、例えば、スイッチング素子が有する各トランジスタの数によって、スイッチング素子の動作を制御するのに用いられる第1の走査線が、各画素に複数設けられることもあり得る。この場合、複数の第1の走査線に入力される信号を、全て1つの走査線駆動回路で生成しても良いし、複数の各走査線駆動回路で生成しても良い。

10

【0164】

また、発光表示装置においても、駆動回路のうち、nチャンネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成することができる。また、信号線駆動回路及び走査線駆動回路を実施の形態1又は実施の形態2に示すnチャンネル型TFTのみで作製することも可能である。

20

【0165】

以上の工程により、半導体装置として信頼性の高い表示装置を作製することができる。

【0166】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0167】

(実施の形態6)

本実施の形態では、半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

30

【0168】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア(電子および正孔)が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0169】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

40

【0170】

図18は、半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

50

【0171】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層（In-Ga-Zn-O系非単結晶膜）をチャンネル形成領域に用いるnチャンネル型のトランジスタを1つの画素に2つ用いる例を示す。

【0172】

画素6400は、スイッチング用トランジスタ6401、駆動用トランジスタ6402、発光素子6404及び容量素子6403を有している。スイッチング用トランジスタ6401はゲートが走査線6406に接続され、第1電極（ソース電極及びドレイン電極の一方）が信号線6405に接続され、第2電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ6402のゲートに接続されている。駆動用トランジスタ6402は、ゲートが容量素子6403を介して電源線6407に接続され、第1電極が電源線6407に接続され、第2電極が発光素子6404の第1電極（画素電極）に接続されている。発光素子6404の第2電極は共通電極6408に相当する。

10

【0173】

なお、発光素子6404の第2電極（共通電極6408）には低電源電位が設定されている。なお、低電源電位とは、電源線6407に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子6404に印加して、発光素子6404に電流を流して発光素子6404を発光させるため、高電源電位と低電源電位との電位差が発光素子6404の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

20

【0174】

なお、容量素子6403は駆動用トランジスタ6402のゲート容量を代用して省略することも可能である。駆動用トランジスタ6402のゲート容量については、チャンネル領域とゲート電極との間で容量が形成されていてもよい。

【0175】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ6402のゲートには、駆動用トランジスタ6402が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ6402は線形領域で動作させる。駆動用トランジスタ6402は線形領域で動作させるため、電源線6407の電圧よりも高い電圧を駆動用トランジスタ6402のゲートにかける。なお、信号線6405には、（電源線電圧+駆動用トランジスタ6402の V_{th} ）以上の電圧をかける。

30

【0176】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図18と同じ画素構成を用いることができる。

【0177】

アナログ階調駆動を行う場合、駆動用トランジスタ6402のゲートに発光素子6404の順方向電圧+駆動用トランジスタ6402の V_{th} 以上の電圧をかける。発光素子6404の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ6402が飽和領域で動作するようなビデオ信号を入力することで、発光素子6404に電流を流すことができる。駆動用トランジスタ6402を飽和領域で動作させるため、電源線6407の電位は、駆動用トランジスタ6402のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子6404にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

40

【0178】

なお、図18に示す画素構成は、これに限定されない。例えば、図18に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

【0179】

次に、発光素子の構成について、図19（A）、図19（B）、図19（C）を用いて説明する。ここでは、駆動用TFTが図1（B）に示す薄膜トランジスタ170の場合を例

50

に挙げて、画素の断面構造について説明する。図19(A)、図19(B)、図19(C)の半導体装置に用いられる駆動用TFTであるTFT7001、7011、7021は、実施の形態1で示す薄膜トランジスタ170と同様に作製でき、In-Ga-Zn-O系非単結晶膜を半導体層として含む高い電気特性を有する薄膜トランジスタである。

【0180】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、図18に示す画素構成はどの射出構造の発光素子にも適用することができる。

10

【0181】

上面射出構造の発光素子について図19(A)を用いて説明する。

【0182】

図19(A)に、駆動用TFTであるTFT7001が図1(B)に示す薄膜トランジスタ170であり、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図19(A)では、発光素子7002の陰極7003と駆動用TFTであるTFT7001が電氣的に接続されており、陰極7003上に発光層7004、陽極7005が順に積層されている。陰極7003は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々な材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。そして発光層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

20

【0183】

陰極7003及び陽極7005で発光層7004を挟んでいる領域が発光素子7002に相当する。図19(A)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように陽極7005側に射出する。

30

【0184】

次に、下面射出構造の発光素子について図19(B)を用いて説明する。駆動用TFT7011が図1(A)に示す薄膜トランジスタ170であり、発光素子7012から発せられる光が陰極7013側に射出する場合の、画素の断面図を示す。図19(B)では、駆動用TFT7011と電氣的に接続された透光性を有する導電膜7017上に、発光素子7012の陰極7013が成膜されており、陰極7013上に発光層7014、陽極7015が順に積層されている。なお、陽極7015が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜7016が成膜されていてもよい。陰極7013は、図19(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウム膜を、陰極7013として用いることができる。そして発光層7014は、図19(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要はないが、図19(A)と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜7016は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

40

【0185】

50

陰極 7013 及び陽極 7015 で、発光層 7014 を挟んでいる領域が発光素子 7012 に相当する。図 19 (B) に示した画素の場合、発光素子 7012 から発せられる光は、矢印で示すように陰極 7013 側に射出する。

【0186】

次に、両面射出構造の発光素子について、図 19 (C) を用いて説明する。図 19 (C) では、駆動用 TFT 7021 と電氣的に接続された透光性を有する導電膜 7027 上に、発光素子 7022 の陰極 7023 が成膜されており、陰極 7023 上に発光層 7024、陽極 7025 が順に積層されている。陰極 7023 は、図 19 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 20 nm の膜厚を有する Al を、陰極 7023 として用いることができる。そして発光層 7024 は、図 19 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7025 は、図 19 (A) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

10

【0187】

陰極 7023 と、発光層 7024 と、陽極 7025 とが重なっている部分が発光素子 7022 に相当する。図 19 (C) に示した画素の場合、発光素子 7022 から発せられる光は、矢印で示すように陽極 7025 側と陰極 7023 側の両方に射出する。

【0188】

なお、ここでは、発光素子として有機 EL 素子について述べたが、発光素子として無機 EL 素子を設けることも可能である。

20

【0189】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ（駆動用 TFT）と発光素子が電氣的に接続されている例を示したが、駆動用 TFT と発光素子との間に電流制御用 TFT が接続されている構成であってもよい。

【0190】

なお本実施の形態で示す半導体装置は、図 19 (A)、図 19 (B)、図 19 (C) に示した構成に限定されるものではなく、開示した技術的思想に基づく各種の変形が可能である。

【0191】

次に、半導体装置の一形態に相当する発光表示パネル（発光パネルともいう）の上面及び断面について、図 22 (A)、図 22 (B) を用いて説明する。図 22 (A) は、第 1 の基板上に形成された薄膜トランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの上面図であり、図 22 (B) は、図 22 (A) の H-I における断面図に相当する。

30

【0192】

第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503 a、4503 b、及び走査線駆動回路 4504 a、4504 b を囲むようにして、シール材 4505 が設けられている。また画素部 4502、信号線駆動回路 4503 a、4503 b、及び走査線駆動回路 4504 a、4504 b の上に第 2 の基板 4506 が設けられている。よって画素部 4502、信号線駆動回路 4503 a、4503 b、及び走査線駆動回路 4504 a、4504 b は、第 1 の基板 4501 とシール材 4505 と第 2 の基板 4506 とによって、充填材 4507 と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

40

【0193】

また第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503 a、4503 b、及び走査線駆動回路 4504 a、4504 b は、薄膜トランジスタを複数有しており、図 22 (B) では、画素部 4502 に含まれる薄膜トランジスタ 4510 と、信号線駆動回路 4503 a に含まれる薄膜トランジスタ 4509 とを例示している。

50

【0194】

薄膜トランジスタ4509、4510は、In-Ga-Zn-O系非単結晶膜を半導体層として含む信頼性の高い実施の形態1に示す薄膜トランジスタを適用することができる。

【0195】

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、薄膜トランジスタ4510のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子4511の構成は、第1の電極層4517、電界発光層4512、第2の電極層4513の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

10

【0196】

隔壁4520は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極層4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0197】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0198】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、DLC膜等を形成することができる。

20

【0199】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

【0200】

本実施の形態では、接続端子電極4515が、発光素子4511が有する第1の電極層4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509、4510が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

【0201】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電氣的に接続されている。

30

【0202】

発光素子4511からの光の取り出し方向に位置する基板には、第2の基板は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0203】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。

40

【0204】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板(楕円偏光板を含む)、位相差板(/4板、 /2板)、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0205】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された単結晶半導体基板、或いは絶縁基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、

50

或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図22(A)及び図22(B)の構成に限定されない。

【0206】

以上の工程により、製造コストを低減した発光表示装置(表示パネル)を作製することができる。

【0207】

本実施の形態は、実施の形態1、実施の形態2、または実施の形態3に記載した構成と適宜組み合わせることで実施することが可能である。

【0208】

(実施の形態7)

本実施の形態では、半導体装置の一形態に相当する液晶表示パネルの上面及び断面について、図20(A1)、図20(A2)、図20(B)を用いて説明する。図20(A1)、図20(A2)は、第1の基板4001上に形成された実施の形態1で示したIn-Ga-Zn-O系非単結晶膜を半導体層として含む薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図20(B)は、図20(A1)、図20(A2)のM-Nにおける断面図に相当する。

【0209】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上には第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

【0210】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図20(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図20(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

【0211】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図20(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4020、4021が設けられている。

【0212】

薄膜トランジスタ4010、4011は、In-Ga-Zn-O系非単結晶膜を半導体層として含む実施の形態1に示す薄膜トランジスタを適用することができる。薄膜トランジスタ4011は、実施の形態1の図1に示した薄膜トランジスタ170に相当する。

【0213】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電気的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

【0214】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。プラスチックとしては

10

20

30

40

50

、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【0215】

また4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電気的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電気的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

10

【0216】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が $10\mu\text{s} \sim 100\mu\text{s}$ と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

20

【0217】

なお本実施の形態は透過型液晶表示装置の例であるが、反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

【0218】

また、本実施の形態の液晶表示装置では、基板の外側(視認側)に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

【0219】

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、実施の形態1で得られた薄膜トランジスタを保護膜や平坦化絶縁膜として機能する絶縁層(絶縁層4020、絶縁層4021)で覆う構成となっている。なお、保護膜は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護膜は、スパッタ法を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、又は窒化酸化アルミニウム膜の単層、又は積層で形成すればよい。本実施の形態では保護膜をスパッタ法で形成する例を示すが、特に限定されずPCVD法などの種々の方法で形成すればよい。

30

【0220】

ここでは、保護膜として積層構造の絶縁層4020を形成する。ここでは、絶縁層4020の一層目として、スパッタ法を用いて酸化珪素膜を形成する。保護膜として酸化珪素膜を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム膜のヒロック防止に効果がある。

40

【0221】

また、保護膜の二層目として絶縁層を形成する。ここでは、絶縁層4020の二層目として、スパッタ法を用いて窒化珪素膜を形成する。保護膜として窒化珪素膜を用いると、ナトリウム等のイオンが半導体領域中に侵入して、TFTの電気特性を変化させることを抑制することができる。

【0222】

50

また、保護膜を形成した後に、半導体層のアニール（300 ~ 400）を行ってもよい。

【0223】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

【0224】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0225】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021を材料液を用いて形成する場合、ベークする工程で同時に、半導体層のアニール（300 ~ 400）を行ってもよい。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

【0226】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0227】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1・cm以下であることが好ましい。

【0228】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0229】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0230】

本実施の形態では、接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【0231】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0232】

また図20(A1)、図20(A2)においては、信号線駆動回路4003を別途形成し

10

20

30

40

50

、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0233】

図21は、TFT基板2600を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

【0234】

図21は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605、偏光板2606が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

10

【0235】

液晶表示モジュールには、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)などを用いることができる。

20

【0236】

以上の工程により、半導体装置として製造コストを低減した液晶表示パネルを作製することができる。

30

【0237】

本実施の形態は、実施の形態1、実施の形態2、または実施の形態3に記載した構成と適宜組み合わせることで実施することが可能である。

【0238】

(実施の形態8)

電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍(電子ブック)、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図23、図24に示す。

40

【0239】

図23(A)は、電子ペーパーで作られたポスター2631を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、本実施の形態3を適用した電子ペーパーを用いれば短時間で広告の表示を変えることができる。また、表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

【0240】

また、図23(B)は、電車などの乗り物の車内広告2632を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、本実施の形態3を適用した電子ペーパーを用いれば人手を多くかけることなく短時間で広告の表示を変えることができる。また表示も崩れることなく安定した画像が得られる。なお、車内広告は無線

50

で情報を送受信できる構成としてもよい。

【0241】

また、図24は、電子書籍2700の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0242】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図24では表示部2705)に文章を表示し、左側の表示部(図24では表示部2707)に画像を表示することができる。

10

【0243】

また、図24では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

20

【0244】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0245】

(実施の形態9)

半導体装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

30

【0246】

図25(A)は、テレビジョン装置9600の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

【0247】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機9610から出力する情報を表示する表示部9607を設ける構成としてもよい。

40

【0248】

なお、テレビジョン装置9600は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

【0249】

50

図25(B)は、デジタルフォトフレーム9700の一例を示している。例えば、デジタルフォトフレーム9700は、筐体9701に表示部9703が組み込まれている。表示部9703は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【0250】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子(USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

10

【0251】

また、デジタルフォトフレーム9700は、無線で情報を送受信出来る構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0252】

図26(A)は携帯型遊技機であり、筐体9881と筐体9891の2つの筐体で構成されており、連結部9893により、開閉可能に連結されている。筐体9881には表示部9882が組み込まれ、筐体9891には表示部9883が組み込まれている。また、図26(A)に示す携帯型遊技機は、その他、スピーカ部9884、記録媒体挿入部9886、LEDランプ9890、入力手段(操作キー9885、接続端子9887、センサ9888(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に~~お~~い又は赤外線を測定する機能を含むもの)、マイクロフォン9889)等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも実施の形態1または実施の形態2に示す薄膜トランジスタを有する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図26(A)に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図26(A)に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

20

30

【0253】

図26(B)は大型遊技機であるスロットマシン9900の一例を示している。スロットマシン9900は、筐体9901に表示部9903が組み込まれている。また、スロットマシン9900は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン9900の構成は上述のものに限定されず、少なくとも実施の形態1または実施の形態2に示す薄膜トランジスタを有する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

【0254】

図27は、携帯電話機1000の一例を示している。携帯電話機1000は、筐体1001に組み込まれた表示部1002の他、操作ボタン1003、外部接続ポート1004、スピーカ1005、マイク1006などを備えている。

40

【0255】

図27に示す携帯電話機1000は、表示部1002を指などで触れることで、情報を入力することができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部1002を指などで触れることにより行うことができる。

【0256】

表示部1002の画面は主として3つのモードがある。第1は、画像の表示を主とする表示モードであり、第2は、文字等の情報の入力を主とする入力モードである。第3は表示モードと入力モードの2つのモードが混合した表示+入力モードである。

50

【0257】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部1002を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部1002の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

【0258】

また、携帯電話機1000内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機1000の向き（縦か横か）を判断して、表示部1002の画面表示を自動的に切り替えるようにすることができる。

【0259】

また、画面モードの切り替えは、表示部1002を触れること、又は筐体1001の操作ボタン1003の操作により行われる。また、表示部1002に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

【0260】

また、入力モードにおいて、表示部1002の光センサで検出される信号を検知し、表示部1002のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【0261】

表示部1002は、イメージセンサとして機能させることもできる。例えば、表示部1002に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

【0262】

（実施の形態10）

実施の形態1または実施の形態2においては、バッファ層を設ける例を示したが、本実施の形態ではバッファ層を設けない例を示す。また、2つのnチャンネル型の薄膜トランジスタを用いてインバータ回路を構成する例を以下に説明する。

【0263】

画素部を駆動するための駆動回路は、インバータ回路、容量、抵抗などを用いて構成する。2つのnチャンネル型TFTを組み合わせることでインバータ回路を形成する場合、エンハンスメント型トランジスタとデプレッション型トランジスタとを組み合わせる場合（以下、EDMOS回路という）と、エンハンスメント型TFT同士で形成する場合（以下、EEMOS回路という）がある。なお、nチャンネル型TFTのしきい値電圧が正の場合は、エンハンスメント型トランジスタと定義し、nチャンネル型TFTのしきい値電圧が負の場合は、デプレッション型トランジスタと定義し、本明細書を通してこの定義に従うものとする。

【0264】

画素部と駆動回路は、同一基板上に形成し、画素部においては、マトリクス状に配置したエンハンスメント型トランジスタを用いて画素電極への電圧印加のオンオフを切り替える。この画素部に配置するエンハンスメント型トランジスタは、酸化物半導体を用いており、その電気特性は、ゲート電圧 $\pm 20V$ において、オンオフ比が 10^9 以上であるため、リーク電流が少なく、低消費電力駆動を実現することができる。

【0265】

駆動回路のインバータ回路の断面構造を図32(A)に示す。図32(A)において、基板1400上に第1のゲート電極1401及び第2のゲート電極1402を設ける。第1のゲート電極1401及び第2のゲート電極1402の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

10

20

30

40

50

【0266】

例えば、第1のゲート電極1401及び第2のゲート電極1402の2層の積層構造としては、アルミニウム層上にモリブデン層が積層された二層の積層構造、または銅層上にモリブデン層を積層した二層構造、または銅層上に窒化チタン層若しくは窒化タンタルを積層した二層構造、窒化チタン層とモリブデン層とを積層した二層構造とすることが好ましい。3層の積層構造としては、タングステン層または窒化タングステンと、アルミニウムとシリコンの合金またはアルミニウムとチタンの合金と、窒化チタンまたはチタン層とを積層した積層とすることが好ましい。

【0267】

また、第1のゲート電極1401及び第2のゲート電極1402を覆うゲート絶縁層1403上には、第1配線1409、第2配線1410、及び第3配線1411を設け、第2の配線1410は、ゲート絶縁層1403に形成されたコンタクトホール1404を介して第2のゲート電極1402と直接接続する。

10

【0268】

また、第1のゲート電極1401と重なる位置に第1配線1409及び第2配線1410上に接する第1の酸化物半導体層1405と、第2のゲート電極1402と重なる位置に第2配線1410及び第3配線1411上に接する第2の酸化物半導体層1407とを設ける。

【0269】

第1の薄膜トランジスタ1430は、第1のゲート電極1401と、ゲート絶縁層1403を介して第1のゲート電極1401と重なる第1の酸化物半導体層1405とを有し、第1配線1409は、接地電位の電源線（接地電源線）である。この接地電位の電源線は、負の電圧V_{DL}が印加される電源線（負電源線）としてもよい。

20

【0270】

また、第2の薄膜トランジスタ1431は、第2のゲート電極1402と、ゲート絶縁層1403を介して第2のゲート電極1402と重なる第2の酸化物半導体層1407とを有し、第3配線1411は、正の電圧V_{DD}が印加される電源線（正電源線）である。

【0271】

第1の酸化物半導体層1405を挟んで対向する第1配線1409の側面と第2配線1410の側面とをテーパ形状とすることで、酸化物半導体層におけるソース電極層の側面及びドレイン電極層の側面と重なる領域は、電界集中緩和領域として機能させる。

30

【0272】

また、第2の酸化物半導体層1407を挟んで対向する第2配線1410の側面と第3配線1411の側面とをテーパ形状とすることで、酸化物半導体層におけるソース電極層の側面及びドレイン電極層の側面と重なる領域は、電界集中緩和領域として機能させる。

【0273】

図32(A)に示すように、第1の酸化物半導体層1405と第2の酸化物半導体層1407の両方に電氣的に接続する第2の配線1410は、ゲート絶縁層1403に形成されたコンタクトホール1404を介して第2の薄膜トランジスタ1431の第2のゲート電極1402と直接接続する。第2の配線1410と第2のゲート電極1402とを直接接続させることにより、良好なコンタクトを得ることができ、接触抵抗を低減することができる。第2のゲート電極1402と第2配線1410を他の導電膜、例えば透明導電膜を介して接続する場合に比べて、コンタクトホールの数の低減、コンタクトホールの数の低減による占有面積の縮小を図ることができる。

40

【0274】

また、駆動回路のインバータ回路の上面図を図32(C)に示す。図32(C)において、鎖線Z1-Z2で切断した断面が図32(A)に相当する。

【0275】

また、EDMOS回路の等価回路を図32(B)に示す。図32(A)及び図32(C)示す回路接続は、図32(B)に相当し、第1の薄膜トランジスタ1430をエンハンス

50

メント型のnチャンネル型トランジスタとし、第2の薄膜トランジスタ1431をデプレッション型のnチャンネル型トランジスタとする例である。

【0276】

また、本実施の形態ではEDMOS回路の例を示したが、どちらもエンハンスメント型のnチャンネル型トランジスタとするEEMOS回路を用いて駆動回路を構成してもよい。

【0277】

また、本実施の形態においては、バッファ層を設けない例を示したが、特に限定されず、実施の形態1と同様に、第1配線1409の上面、第2配線1410上面、及び第3配線1411上面にバッファ層を設けてもよい。

【0278】

また、本実施の形態は、実施の形態1乃至9のいずれか一と組み合わせることができる。

【0279】

(実施の形態11)

本実施の形態では、図33に示したモデル構造の薄膜トランジスタにストレスを印加して電気特性の劣化の度合いを計算によって求める。

【0280】

図33(A)に示す構造は、ガラス基板301上にゲート電極層302、ゲート絶縁層303の順で積層され、その上にソース電極層304、及びドレイン電極層305を形成する。また、ソース電極層304の側面には酸化物層307と、ドレイン電極層305の側面には酸化物層308を設ける。なお、ここでは、酸化物層307、308はソース電極層304、及びドレイン電極層305の自然酸化膜とする。また、ソース電極層304、ドレイン電極層305、及び酸化物層307、308を覆って酸化物半導体層306を形成する。

【0281】

ゲート電極層302は、モリブデンを用い、ソース電極層304、及びドレイン電極層305も同じ材料を用いる設定とする。また、ゲート絶縁層303は、酸化珪素膜であり、膜厚100nm、比誘電率 ϵ_r は4.1とする。酸化物半導体層306の膜厚は50nmであり、材料としては、In-Ga-Zn-O系非単結晶膜を用いる。また、薄膜トランジスタのチャンネル長 $L = 10\mu\text{m}$ 、チャンネル幅 $W = 10\mu\text{m}$ とする。

【0282】

また薄膜トランジスタに与えるストレスは、ゲート電圧 $V_{gs} = 2\text{V}$ 、ソース電極とドレイン電極間の電圧 $V_{ds} = 20\text{V}$ とし、このストレスを与える時間を1000秒とし、ストレス印加前後で電気特性の比較を行う。

【0283】

この計算においては、Silvaco社製のシミュレーションソフト「Atlasを用いて計算した。

【0284】

また、ソース電極層304のテーパ角度 θ_1 として、27度、45度、或いは63度として計算した。なお、ソース電極層304のテーパ角度 θ_1 はドレイン電極層305のテーパ角度 θ_2 と同じ角度に設定する。

【0285】

ソース電極層304のテーパ角度 θ_1 が、27度である場合の計算結果を図34に示す。

【0286】

また、ソース電極層304のテーパ角度 θ_1 が、45度である場合の計算結果を図35に示す。

【0287】

また、ソース電極層304のテーパ角度 θ_1 が、63度である場合の計算結果を図36に示す。

【0288】

図34、図35、及び図36の結果から、ソース電極層304のテーパ角度 θ_1 が、小さ

10

20

30

40

50

いほど劣化しにくくなる結果が得られる。

【0289】

また、比較のため、90度とした図33(B)に示す構造で同様の計算を行った結果を図37(A)に示す。図33(B)に示す構造は、角度が異なる点以外は、図33(A)と同一である。

【0290】

また、比較のため、27度としてソース電極層304の側面に酸化物層と、ドレイン電極層305の側面に酸化物層のない図33(C)に示す構造で同様の計算を行った結果を図37(B)に示す。側面に酸化物層がない場合は、テーパ角度1を何度としても同じ結果であった。側面に酸化物層がない場合は、ゲート絶縁層303と酸化物半導体層306との界面が電流パスとなるため、ソース電極層304の側面のテーパ角度が何度になっても電流パスに影響がでない。

10

【0291】

これらの結果から、ソース電極層304の側面に酸化物層307と、ドレイン電極層305の側面に酸化物層308とを設け、さらにテーパ角度1を90度よりも小さくすることで薄膜トランジスタの電気特性の劣化を抑えることができると言える。

【0292】

以上の構成でなる実施の形態について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

20

【実施例1】

【0293】

本実施例では、酸化物半導体層を用いて作製された薄膜トランジスタの特性に関して示す。

【0294】

以下に、本実施例で用いたトランジスタの作製方法について説明する。

【0295】

まず、基板上に第1の導電膜を形成した後、当該第1の導電膜をフォトリソグラフィ法を用いてパターンングすることによりゲート電極502を形成した。続いて、当該ゲート電極502上にゲート絶縁層503を形成した。続いて、ゲート絶縁層503上に第2の導電膜とバッファ層を形成した。なお、基板を大気に曝すことなく連続して第2の導電膜とバッファ層を形成した。続いて、当該第2の導電膜及びバッファ層をフォトリソグラフィ法を用いてパターンングすることにより、一部がゲート電極と重なるソース電極層506a及びドレイン電極層506bを形成した。続いて、ゲート絶縁層、ソース電極層及びドレイン電極層上に酸化物半導体層を形成した後、当該酸化物半導体層をフォトリソグラフィ法を用いてパターンングすることにより、チャンネル形成領域として機能する島状の酸化物半導体層510を形成した。続いて、窒素雰囲気下で350℃、1時間の熱処理を行った。

30

【0296】

基板として、旭ガラス社製のガラス基板(商品名AN100)を用いた。

【0297】

ゲート電極502となる第1の導電膜として、スパッタ法を用いて膜厚100nmのタングステン膜を形成した。

40

【0298】

ゲート絶縁層503として、プラズマCVD法を用いて膜厚100nmの酸化窒化シリコン膜を形成した。

【0299】

ソース電極層506a及びドレイン電極層506bとなる第2の導電膜として、スパッタ法を用いて膜厚100nmのタングステン膜を形成した。

【0300】

バッファ層は、スパッタ法によって5~10nmのIn-Ga-Zn-O系非単結晶膜を

50

形成した。成膜条件は、アルゴンガスのみを用い、ターゲットは、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ としたターゲットを用いた。

【0301】

酸化物半導体層は、スパッタ法によって150nmのIn-Ga-Zn-O系非単結晶膜を成膜した。成膜条件は、圧力を0.4Paとし、電力を500Wとし、成膜温度を25とし、アルゴンガス流量を10sccmとし、酸素流量を5sccmとし、ガラス基板とターゲット間の距離を170mmとし、直流(DC(Direct Current))で行った。ターゲットは、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ としたターゲット(In:Ga:Zn=1:1:0.5)を用いた。また、プラズマ処理を行った後、基板500を大気に曝すことなく連続して酸化物半導体層を形成した。なお、この成膜条件で得られた酸化物半導体層の組成を誘導結合プラズマ質量分析法(Inductively Coupled Plasma Mass Spectrometry:ICP-MS分析法)により測定した結果は、 $\text{InGa}_{0.94}\text{Zn}_{0.40}\text{O}_{3.31}$ であった。

10

【0302】

図28に薄膜トランジスタの $V_g - I_d$ 曲線を示す。なお、本実施例では、トランジスタの測定は、ドレイン電圧(ソースの電圧に対するドレインの電圧)を1Vに設定して行った。

【0303】

また、本実施例では、トランジスタの構造を図29に示すように形成した。具体的には、トランジスタのチャンネル長Lを100 μm 、チャンネル幅Wを100 μm 、ソース電極層506aとゲート電極502が重なる長さLsを5 μm 、ドレイン電極層506bとゲート電極502が重なる長さLdを5 μm 、チャンネル幅方向と平行な方向において酸化物半導体層510がソース電極層506a及びドレイン電極層506bと重ならない領域の長さAを5 μm とした。

20

【0304】

以上により、基板を大気に曝すことなく連続して第2の導電膜とバッファ層を形成したことによって、トランジスタのオンオフ比を高くし、電界効果移動度を高くすることがわかった。

【実施例2】

30

【0305】

また、本実施例では、エッチング後の電極形状の一例を示す。まず、サンプルを作製するプロセスについて図30を用いて説明する。なお、実施例1とは、ソース電極層及びドレイン電極層の断面形状が異なっている点とバッファ層を形成しない点で異なっているだけであるため、同一の箇所には同一の符号を用いて説明する。

【0306】

まず、基板上に第1の導電膜を形成した後、当該第1の導電膜をフォトリソグラフィ法を用いてパターニングすることによりゲート電極502を形成した。続いて、当該ゲート電極502上にゲート絶縁層503を形成した(図30(A)参照)。続いて、ゲート絶縁層503上に第2の導電膜を形成した。続いて、当該第2の導電膜をフォトリソグラフィ法を用いてパターニングすることにより、一部がゲート電極と重なるソース電極層606a及びドレイン電極層606bを形成した(図30(B)参照)。続いて、ゲート絶縁層、ソース電極層及びドレイン電極層上に酸化物半導体層を形成した後、当該酸化物半導体層をフォトリソグラフィ法を用いてパターニングすることにより、チャンネル形成領域として機能する島状の酸化物半導体層610を形成した(図30(C)参照)。

40

【0307】

基板として、旭ガラス社製のガラス基板(商品名AN100)を用いた。

【0308】

ゲート電極502となる第1の導電膜として、スパッタ法を用いて膜厚100nmのタングステン膜を形成した。

50

【0309】

ゲート絶縁層503として、プラズマCVD法を用いて膜厚100nmの酸化窒化シリコン膜を形成した。

【0310】

ソース電極層606a及びドレイン電極層606bとなる第2の導電膜として、スパッタ法を用いて膜厚100nmのタングステン膜を形成した。

【0311】

酸化物半導体層は、スパッタ法によって150nmのIn-Ga-Zn-O系非単結晶膜を成膜した。成膜条件は、実施例1と同じである。

【0312】

ソース電極層606a及びドレイン電極層606bのエッチングは、コイル状アンテナを用いるICPEッチング装置を用いて行った。CF₄のガス流量を25(sccm)、Cl₂のガス流量を25(sccm)、O₂のガス流量を10(sccm)とし、1.5Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行う。基板側(試料ステージ)にも10WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。少なくともゲート絶縁膜503がある程度露呈した段階で、このエッチングを途中で停止することにより、段差を有する電極側面が形成される。

【0313】

上記エッチング条件により、ソース電極層606aの断面形状は、基板の基板面とソース電極層606aの下端部側面とがなす角度 θ_1 が20°以上90°未満とすることができる。図30(C)中に示す点線で囲まれた部分の断面写真を図31(A)に示す。なお、図31(B)は図31(A)の模式図である。図31(A)に示すように、 θ_1 は約40°である。また、図31(A)に示すように、基板の基板面とソース電極層606aの上端部側面とがなす角度は約90°である。なお、酸化物半導体層610を挟んで対向するソース電極層606a側面とドレイン電極層606b側面の断面形状は同じエッチング工程を経るため、ほぼ同一である。

【0314】

本実施例により、実施の形態2に示すソース電極層及びドレイン電極層の断面形状を作製することを示唆することができたと言える。

【符号の説明】

【0315】

- 100：基板
- 101：ゲート電極
- 102：ゲート絶縁層
- 103：酸化物半導体層
- 104a：第1のバッファ層
- 104b：第2のバッファ層
- 105a：ソース電極層
- 105b：ドレイン電極層

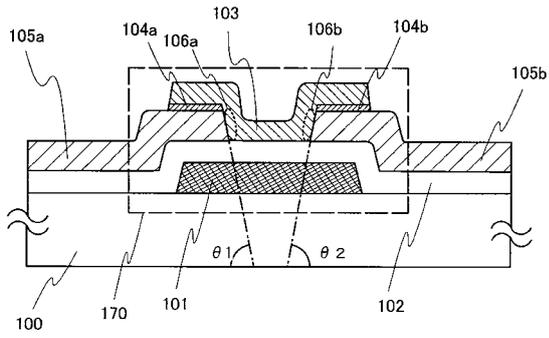
10

20

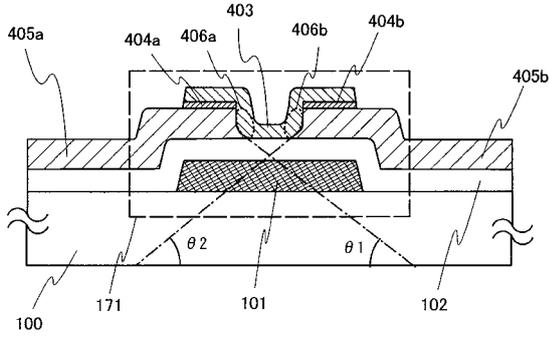
30

40

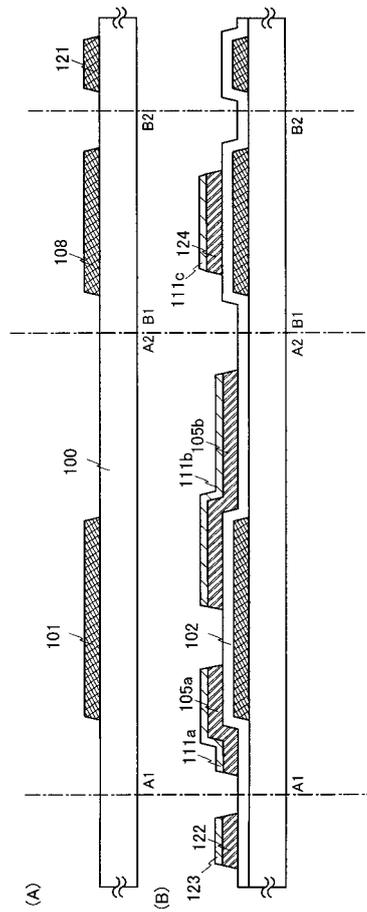
【 図 1 】



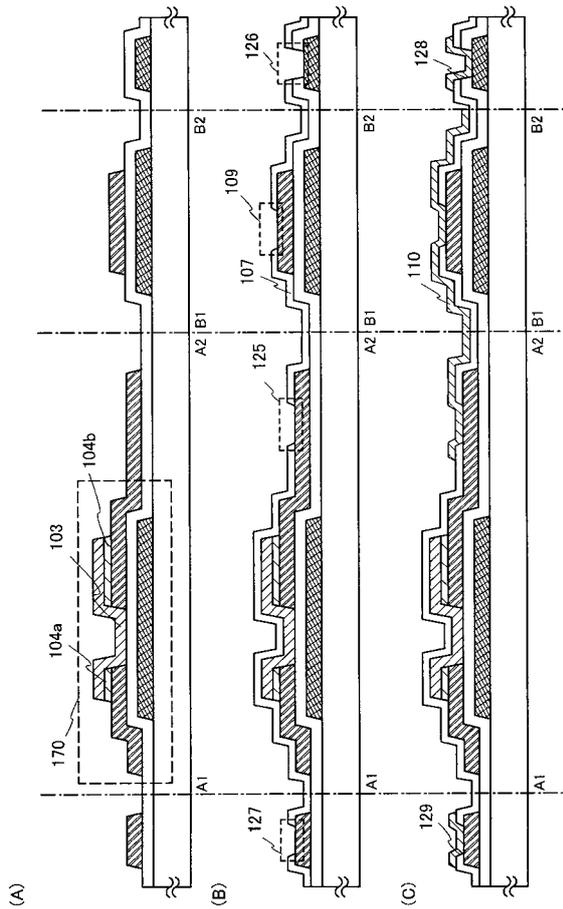
【 図 2 】



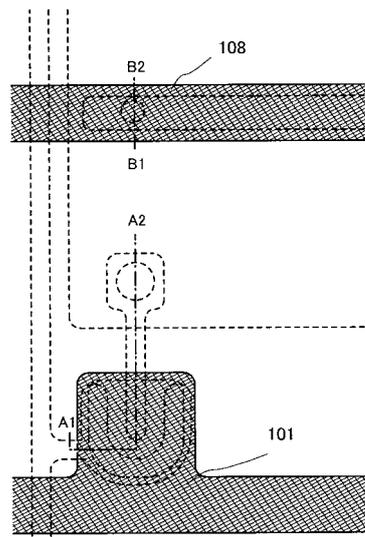
【 図 3 】



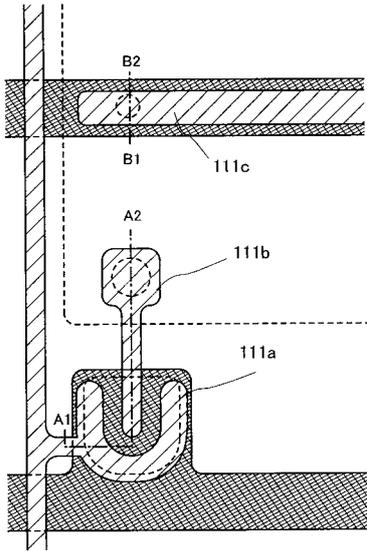
【 図 4 】



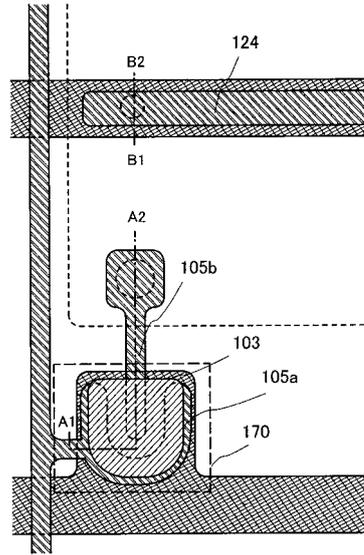
【 図 5 】



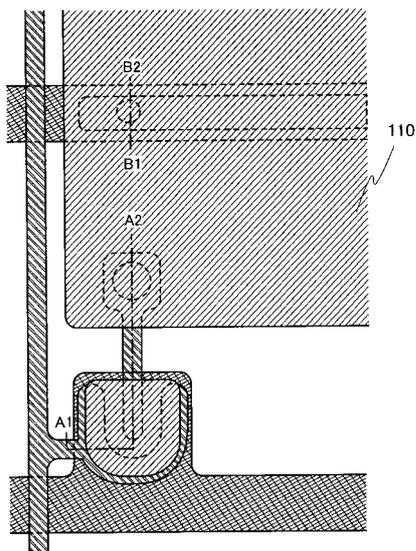
【 図 6 】



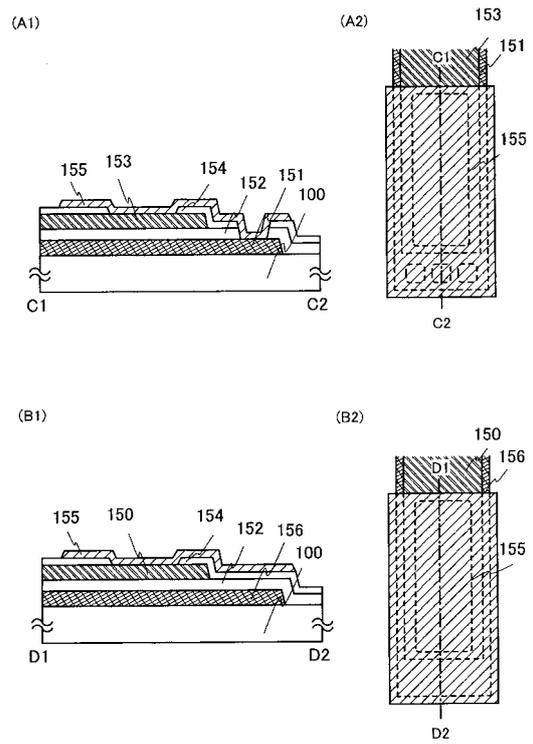
【 図 7 】



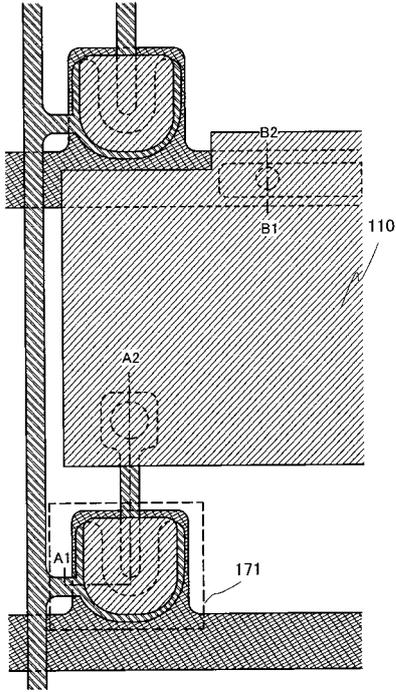
【 図 8 】



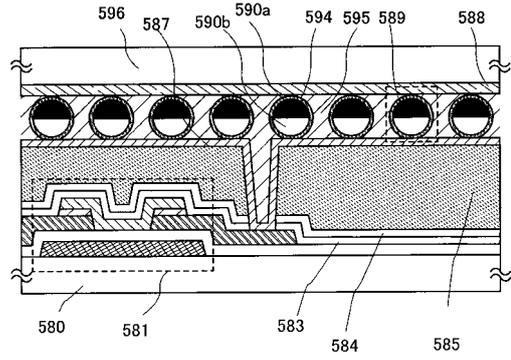
【 図 9 】



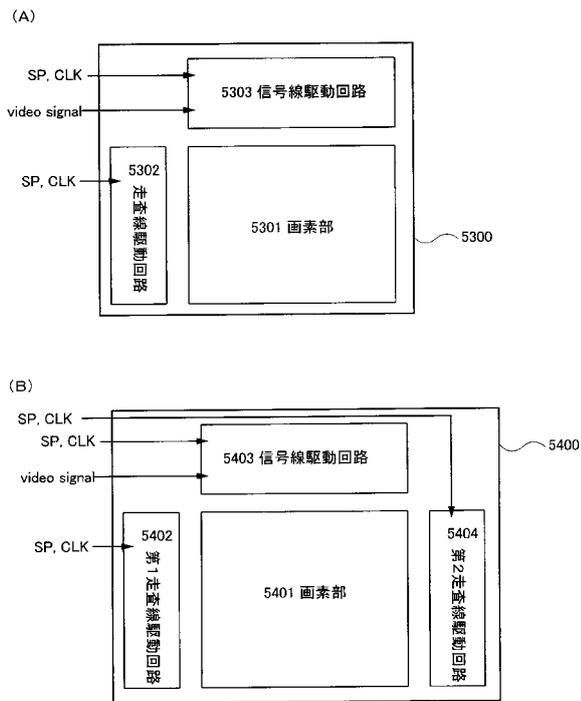
【 図 1 0 】



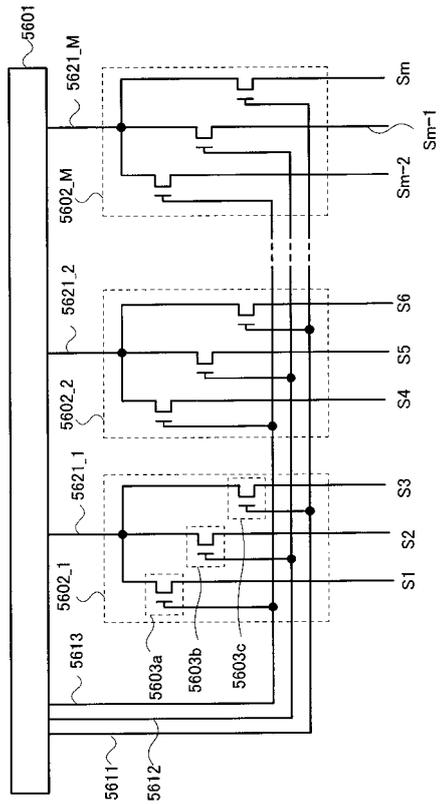
【 図 1 1 】



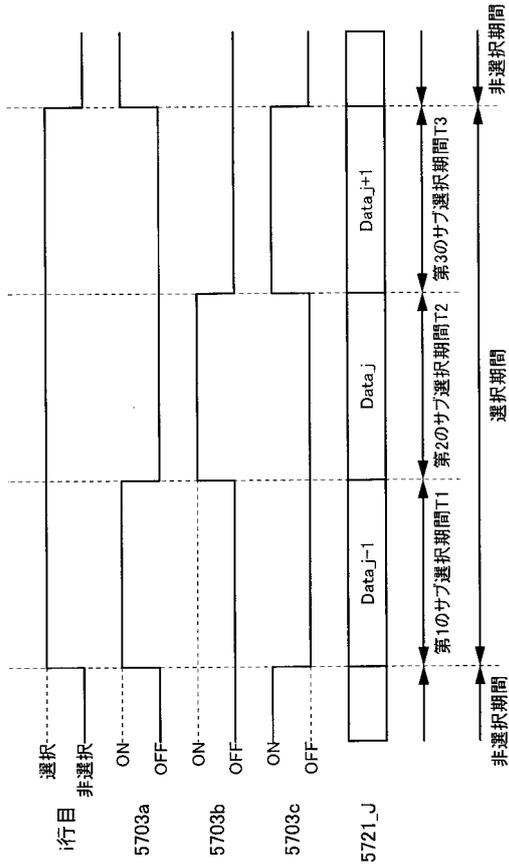
【 図 1 2 】



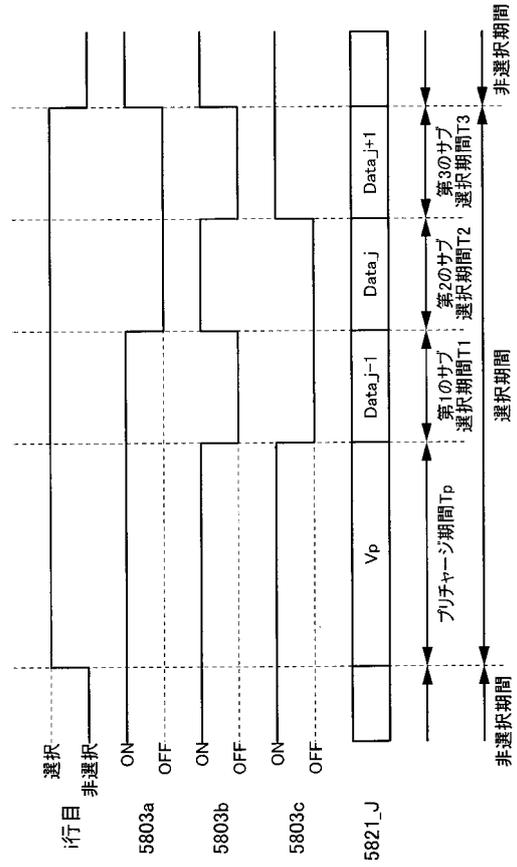
【 図 1 3 】



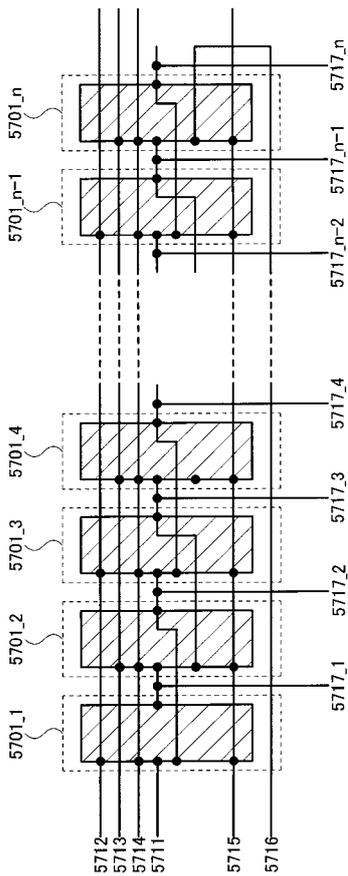
【 図 1 4 】



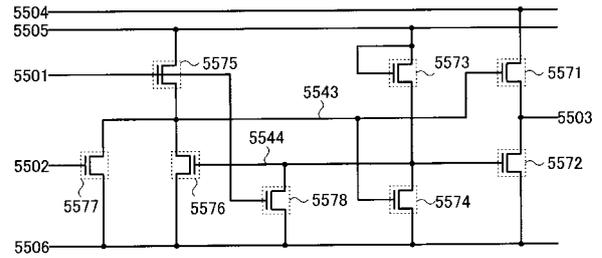
【 図 1 5 】



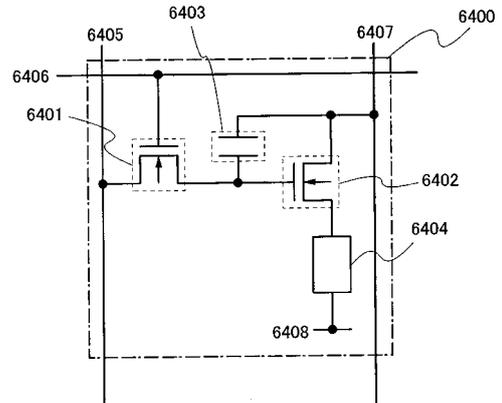
【 図 1 6 】



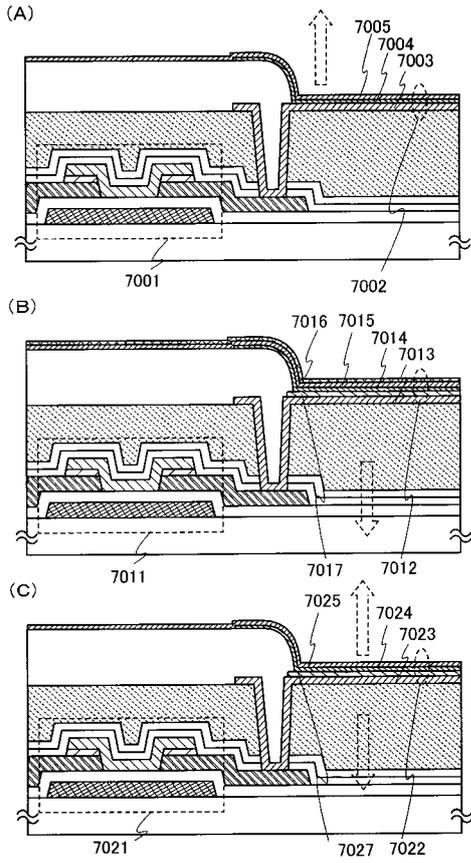
【 図 1 7 】



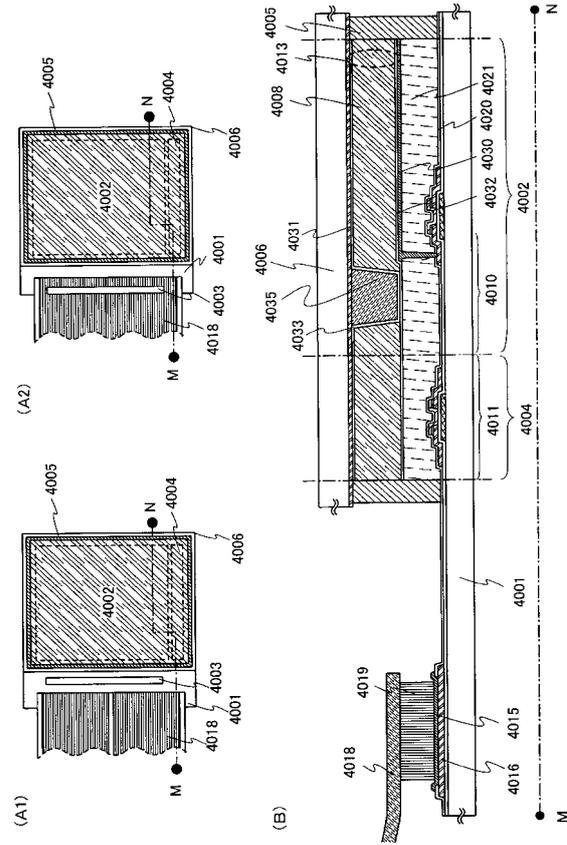
【 図 1 8 】



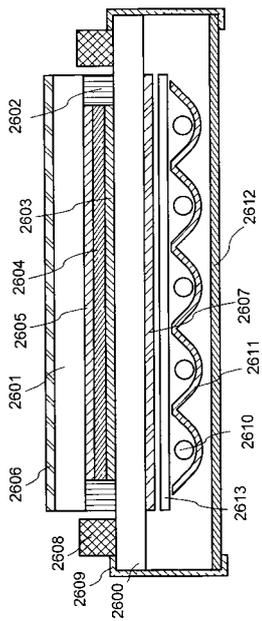
【 図 19 】



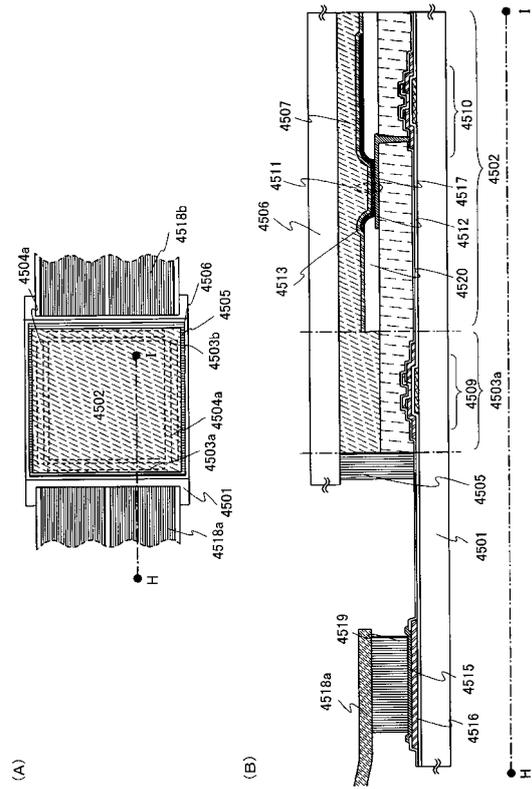
【 図 20 】



【 図 21 】

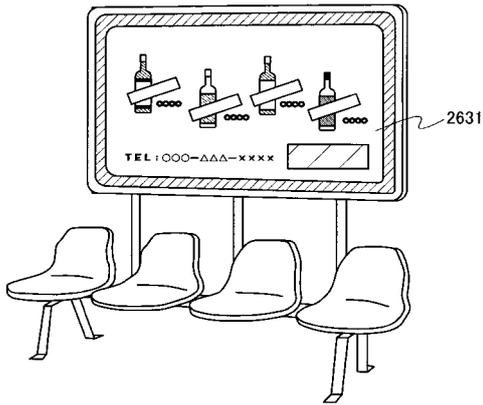


【 図 22 】

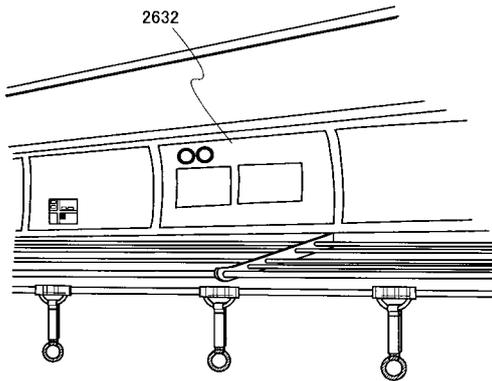


【 図 2 3 】

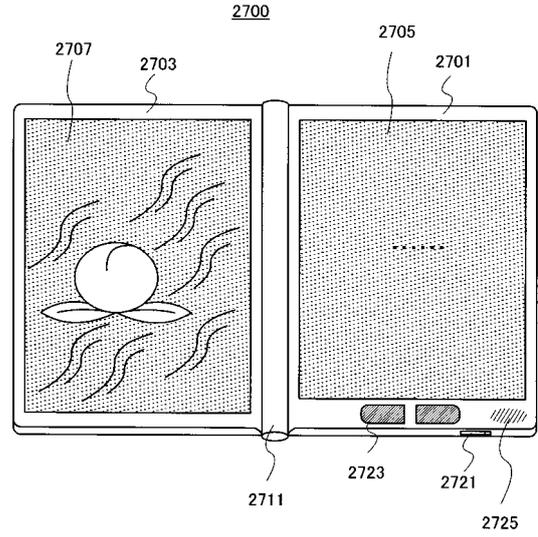
(A)



(B)

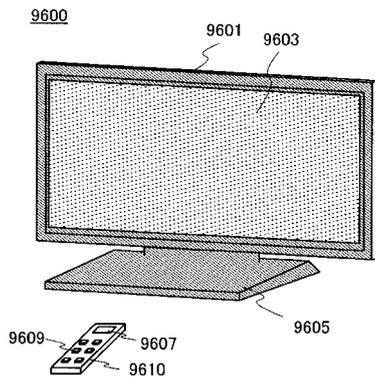


【 図 2 4 】

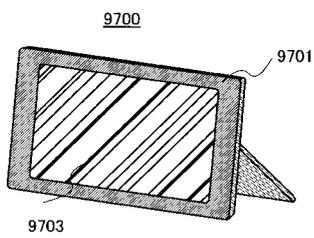


【 図 2 5 】

(A)

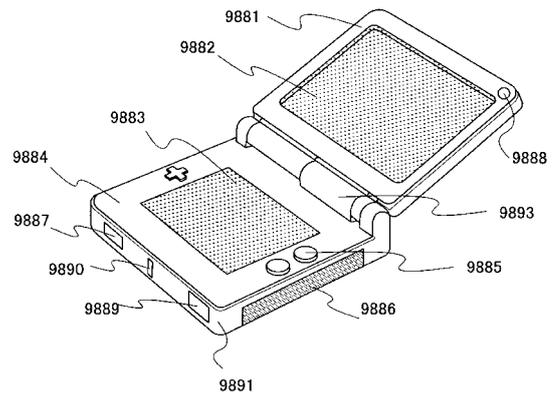


(B)

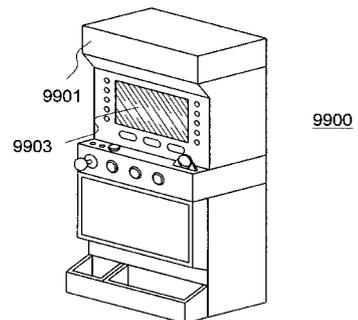


【 図 2 6 】

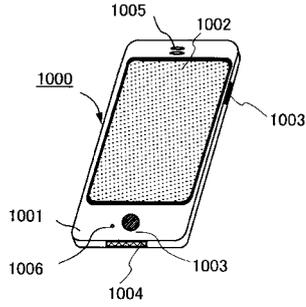
(A)



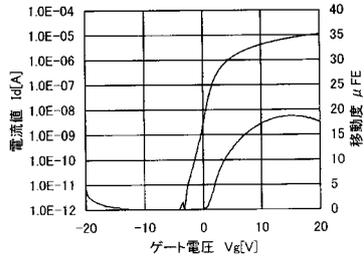
(B)



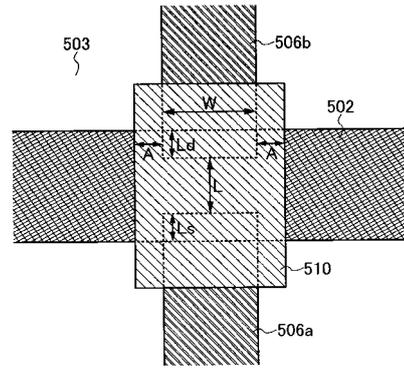
【図27】



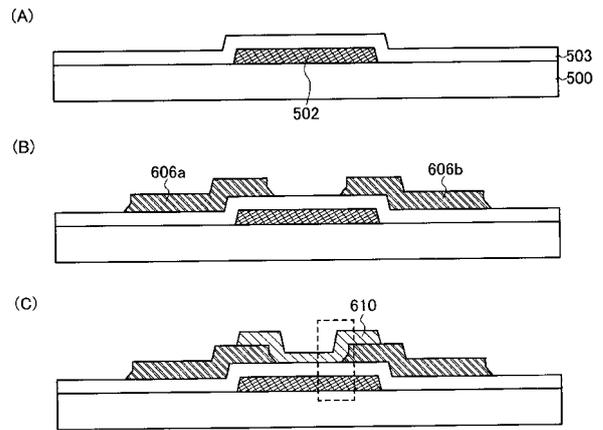
【図28】



【図29】

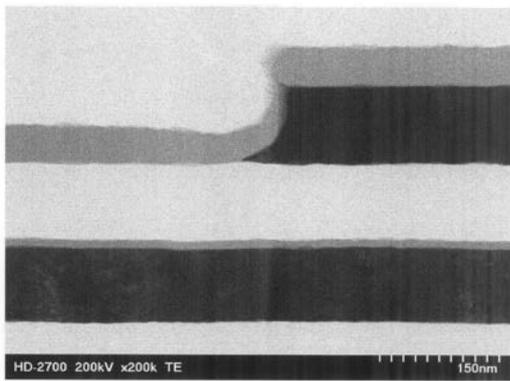


【図30】

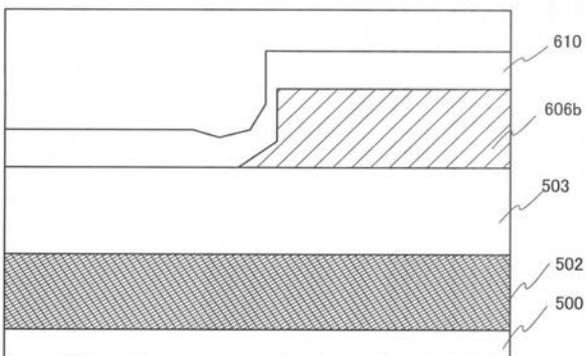


【図31】

(A)

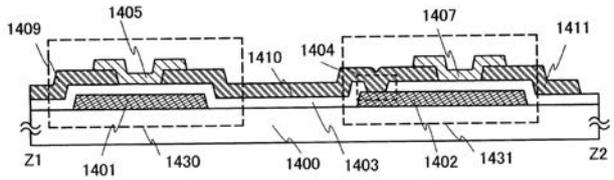


(B)

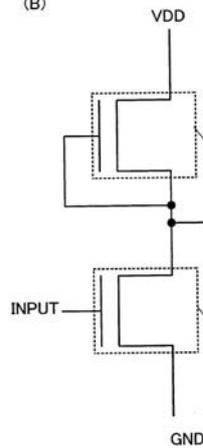


【図32】

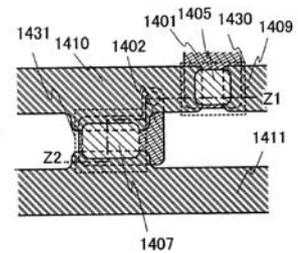
(A)



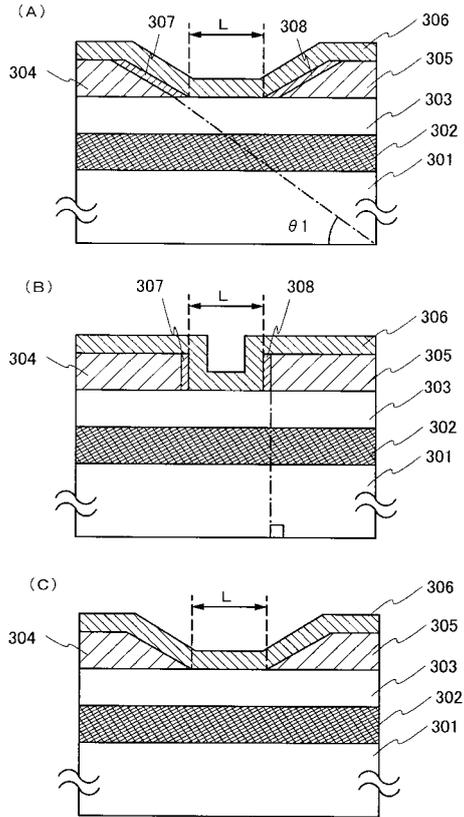
(B)



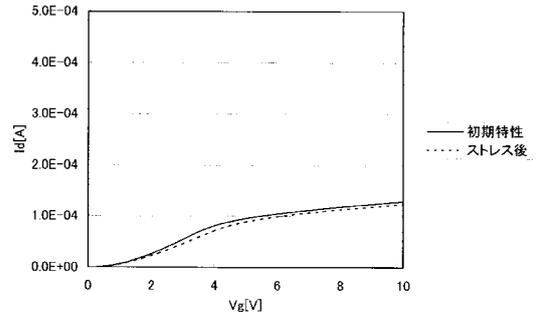
(C)



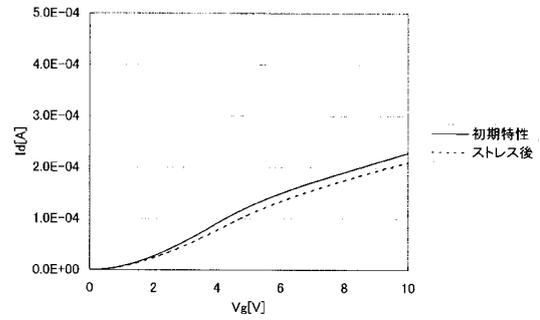
【図33】



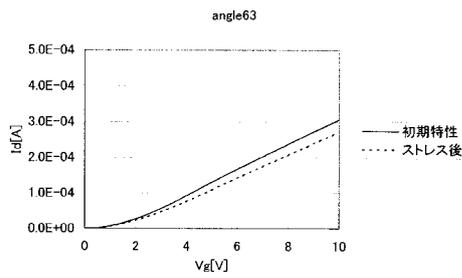
【図34】



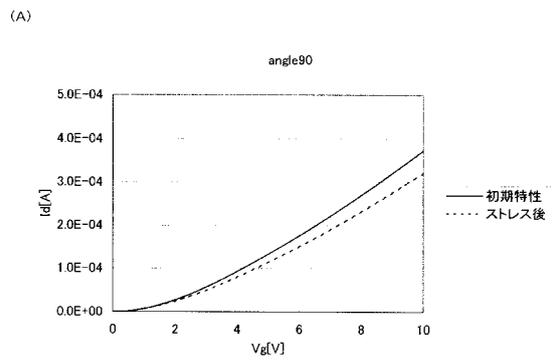
【図35】



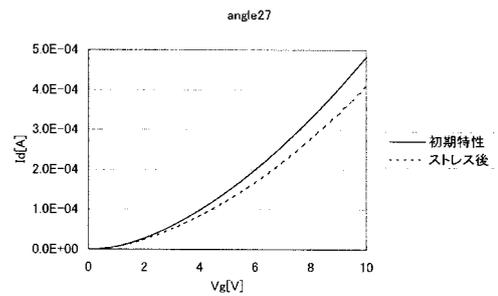
【図36】



【図37】



(B)



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 27/088 3 3 1 E
H 0 1 L 27/088 D

Fターム(参考) 5F110 AA26 BB02 CC03 DD02 EE01 EE02 EE03 EE04 EE06 EE14
EE15 EE23 FF02 FF03 FF04 FF09 FF28 FF30 GG01 GG25
GG28 GG29 GG43 GG58 HK02 HK03 HK04 HK06 HK08 HK15
HK21 HK22 HK32 HK33 HL01 HL07 HL09 HL22 HL23 HM03
HM04 HM12 NN03 NN22 NN23 NN24 NN25 NN27 NN33 NN34
NN35 NN36 NN40 NN73 QQ09