

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 97115249

※ 申請日期： 97.4.25

※IPC 分類： H01L 29/772 (2006.01)
H01L 21/335 (2006.01)

一、發明名稱：(中文/英文)

具有改良式關閉狀態洩漏電流之接面場效電晶體(JFET)裝置及其製造方法
JFET DEVICE WITH IMPROVED OFF-STATE LEAKAGE CURRENT AND METHOD OF
FABRICATION

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

DSM 解析公司 / DSM SOLUTIONS, INC.

代表人：(中文/英文)

韓林 克里斯 / HAMLIN, CHRIS

住居所或營業所地址：(中文/英文)

美國加州洛葛圖斯·諾威里斯街 130 號 B 室

130 Knowles Drive, Suite B, Los Gatos, CA 95032, U.S.A.

國 籍：(中文/英文)

美國 / U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 薩哈 沙馬 K. / SAHA, SAMAR K.
2. 卡普爾 阿休克 K. / KAPOOR, ASHOK K.

國 籍：(中文/英文)

1. 美國 / U.S.A.
2. 美國 / U.S.A.

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為：。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國、 2007/05/03、 11/744,080

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

發明領域

本發明概括而言係有關半導體裝置，以及更特別地係
5 有關一種具有改良式關閉狀態洩漏電流之接面場效電晶體。

【先前技術】

發明背景

於先前的半導體裝置中，其中高度摻雜的延伸區域緊
10 靠著或是非常靠近一高度摻雜的閘極區，一高電場係由於
施加的汲極電壓而在閘極/延伸接面處產生。此高電場造成
效應，例如：介於閘極區和延伸區域之間的帶對帶穿隧。
典型地，於一電晶體的關閉狀態中，閘極電壓係“關閉”伴
隨在供應電壓的汲極。因而，當裝置係於一關閉狀態中時，
15 像是帶對帶穿隧之高電場效應造成洩漏電流。此增加裝置
的關閉狀態洩漏電流， I_{off} 。此高的洩漏電流造成較高的晶
片待機電流以及耗損功率。此使得該裝置對於特定的應用
是非所欲的。

【發明內容】

20 發明概要

依據本發明，與先前的接面場效電晶體關聯的缺點和
問題已經實質地減少或消除。

依據本發明的一個實施例，一種接面場效電晶體包含
一半導體基材。一第一傳導類型的一第一雜質區係形成於

該基材內。該第一傳導類型的一第二雜質區係形成於該基材內且與該第一雜質區分隔開。該第一傳導類型的一通道區係形成介於該等第一和第二雜質區之間。一第二傳導類型的一閘極區係形成於介於該等第一和第二雜質區之間的該基材內。一間隙區係形成於介於該閘極區和該第一雜質區之間的該基材內以使得該第一雜質區與該閘極區分隔開。

本發明的另一個實施例是一種用於形成一接面場效電晶體的方法。該方法包含形成一第一傳導類型的一汲極區於一半導體基材之內，形成該第一傳導類型的一源極區於該半導體基材之內，以及形成該第一傳導類型的一通道區介於該汲極區與該源極區之間的。該方法繼續如下：形成一第二傳導類型的一閘極電極區以使得該閘極電極區係覆蓋該半導體基材，以及形成該第二傳導類型的一閘極區於該半導體基材之內。該方法繼續形成一間隔件介於該閘極區和該汲極區之間，該間隔件緊靠著該閘極電極區的一側。該方法係以形成該第一傳導類型的一連結區於該半導體基材內而結束。該連結區緊靠著該汲極區以及與該閘極區分隔開。

20 以下的技術優點可以由本發明的實施例的一些、無一者，或是全部達成。

藉由使用間隙區而分隔開一或二個連結區與該閘極區，該半導體裝置降低由於一高摻雜的接面以及以上所說明的帶對帶穿隧造成的高電場的效應。除了減少帶對帶穿

隧的效應之外，藉由分隔開一或二個連結區與該閘極區，在該半導體裝置的操作的一關閉狀態的期間之內，該通道區的有效長度係增加的。此等裝置特性必然地減少關閉狀態的洩漏電流， I_{off} ，超越先前的裝置大概強度的一級。

- 5 考慮到下列的詳細說明、圖示，和申請專利範圍，本發明知此等和其他的優點、特徵，和目的將更容易地了解。

圖式簡單說明

- 為了更完整的了解本發明以及其之優點，現在參照下列的說明，連同附隨的圖示，其中：

第1圖係圖示如本發明的一種接面場效電晶體；以及

第2-6圖係圖示一種用於製造如本發明的一接面場效電晶體的方法的一實施例。

【實施方式】

- 15 較佳實施例之詳細說明

第1圖係圖示依據本發明的一個特定的實施例之一種半導體裝置10。如顯示於第1圖中的，半導體裝置10包括一源極區20、一閘極區30、一汲極區40、連結區50a-b、間隙區52a-b、通道區60、多晶矽區70a-c、接面80a-c，以及一
20 基材90。此等區域不必要按比例畫出。半導體裝置10包含一接面場效電晶體(JFET)。當適合的電壓施加至半導體裝置10的接面80時，一電流流經介於源極區20和汲極區40之間的通道區60。藉由備製至少介於連結區50b和閘極區30之間の間隙區52b，如以下更詳盡地予以說明的，半導體裝置

10展示出在操作的一關閉狀態中之提高的性能特性。特別地，裝置10展示出在操作的一關閉狀態中之一減少的閘極洩漏電流。

5 基材90代表大塊的半導體材料，摻質能添加至該基材中以形成各種的傳導區(如：源極區20、閘極區30、汲極區40、連結區50a-b，以及通道區60)。基材90可以由任何合適的半導體材料形成，例如，週期表的第III族和第V族之材料。於特定的實施例中，基材90係由單晶矽形成。基材90可以具有一特定的傳導類型，例如，p型或n型。於特定的
10 實施例中，半導體裝置10可以代表由多個不同的半導體裝置(未圖示於第1圖中)共享的一基材90之的一部份。

通道區60係備製一路徑以傳導介於源極區20和汲極區40之間的電流通過連結區50a和50b。通道區60係藉由添加一第一型的摻質至基材90而形成。舉例而言，第一型的摻質
15 質可以代表n型的摻雜材料的粒子，例如：銻、砷、磷，或是任何其他適合的n型摻質。任擇地，第一型的摻質可以代表p型的摻雜材料的粒子，例如：硼、鎘、銻，或是任何其他合適的p型摻質。該通道區60係摻雜以n-型雜質的情況，當一適合的電壓係施加至裝置10時，電子自該源極區20流
20 動至該汲極區40以創造一電流。該通道區60係摻雜以p-型雜質的情況，當一適合的電壓係施加至裝置10時，電洞自該源極區20流動至該汲極區40以創造一電流。通道區60的摻雜濃度可以落在 $1\text{E}+18\text{ cm}^{-3}$ 至 $1\text{E}+19\text{ cm}^{-3}$ 的範圍。而且，通道區60的摻雜濃度可以被維持以使得，當一正電壓差動

係被施加介於源極區20和閘極區30之間時，裝置10於一增強模式中操作，具有一電流流動於汲極區40和源極區20之間。特別地，通道區60的摻雜濃度係低於源極區20、汲極區40，以及連結區50a和50b。

- 5 源極區20與汲極區40各包含藉由添加第一型的摻質至基材90而形成的基材90的區域。因此，關於一種n-通道裝置10，源極區20與汲極區40係摻雜以n-型雜質。關於一種p-通道裝置10，源極區20與汲極區40係摻雜以p-型雜質。於特定的實施例中，源極區20和汲極區40具有 $1\text{E}+19\text{ cm}^{-3}$ 或是
- 10 高於 $1\text{E}+19\text{ cm}^{-3}$ 的一摻雜濃度。

- 於特定的實施例中，源極區20與汲極區40係藉由各別地擴散摻質通過對應的多晶矽區70a和70c而形成。結果，於此等實施例中，源極區20與汲極區40的邊界及/或尺寸可以準確地控制。結果，於特定的實施例中，源極區20的深
- 15 度(如箭頭42表示的)係少於100奈米(nm)，以及汲極區40的深度(如箭頭44表示的)亦少於100 nm。於某些實施例中，源極區20及/或汲極區40的深度係介於20和50 nm之間。因為源極區20與汲極區40之減少的尺寸，半導體裝置10之特定的實施例可以經歷在操作期間之內較少的寄生電容，藉此
- 20 允許半導體裝置10用一較低的操作電壓作用。

閘極區30係藉由用一第二型的摻質予以摻雜基材90而形成。結果，閘極區30具有一第二傳導類型。因此，關於一種n-通道裝置10，閘極區30係摻雜以p-型雜質。關於一種p-通道裝置10，閘極區30係摻雜以n-型雜質。於特定的實施

例中，閘極區30係以第二型的摻質摻雜至 $1E+19\text{ cm}^{-3}$ 或是高於 $1E+19\text{ cm}^{-3}$ 的一濃度。如以下進一步說明的，當一電壓係施加至閘極區30時，施加的電壓改變相鄰的通道區60的傳導性，藉此促進或妨礙介於源極區20和汲極區40之間的電流的流動。縱然第1圖係圖示只有包括一單一閘極區30的半導體裝置10之實施例，任擇的實施例可以包括多重閘極區30。如同區域20和40，閘極區30可以藉由自一對應的多晶矽區70c擴散摻質而形成。

連結區50a和50b包含藉由用適宜的n型或p-型雜質予以摻雜基材90而形成之基材90的區域。於特定的實施例中，連結區50a和50b係使用與用來摻雜源極區20與汲極區40之不同的技術予以摻雜。然而，因為連結區50a和50b是如同源極區20與汲極區40相同的傳導類型，一旦有關的區域已經形成，介於源極區20和連結區50a之間的邊界以及介於汲極區40和連結區50b之間的邊界可以是無法偵測的。舉例而言，於特定的實施例中，源極區20與汲極區40係藉由各別地擴散摻質通過多晶矽區70a和70c而形成。離子佈植或電漿浸沒佈植接而用來添加摻質至基材90之適合的區域，藉此形成連結區50a和50b。因為此等區域的摻雜濃度是相似或完全相同的，介於源極區20和連結區50a之間的邊界以及介於汲極區40和連結區50b之間的邊界在半導體裝置10已經形成之後係實質無法偵測的。因此，汲極區40和連結區50b的組合，或是源極區20和連結區50a的組合之各個可以共同地稱為雜質區。

於先前的半導體裝置中，其中該高度摻雜的連結區52b緊靠著或是非常靠近高度摻雜的閘極區30，當裝置10係於一關閉狀態中時，介於閘極區30以及連結區52a及/或52b之間的帶對帶穿隧效應造成洩漏電流。此增加裝置10的關閉狀態洩漏電流， I_{off} 。此高的洩漏電流造成較高的晶片待機電流以及耗損功率。此使得該裝置於使用於特定的應用是非所欲的。間隙區52a包含分隔連結區50a與閘極區30之半導體基材90的一區域。間隙區52b包含分隔連結區50b與閘極區30之半導體基材90的一區域。於一特定的實施例中，間隙區52a-b係形成於通道區60之內。間隙區52a及/或52b的摻雜濃度通常各別地比連結區50a及/或50b的摻雜濃度少至少強度的一級。因此，間隙區52a-b的摻雜濃度能落在沒有摻雜或是非常低的摻雜濃度至高至 $10E+18 \text{ cm}^{-3}$ 的範圍內。

藉由各別地利用間隙區52a和52b而分隔開連結區50a及/或連結區50b與閘極區30，裝置10減少了以上所說明的帶對帶穿隧的效應。除了減少高電場的效應之外，像是帶對帶穿隧，藉由分隔開連結區50a及/或50b與閘極區30，通道60的有效長度在裝置10的操作的一關閉狀態的期間之內是增加的。此等裝置特性必然地減少關閉狀態的洩漏電流， I_{off} ，的強度。於特定的實施例中，介於連結區50a和閘極區30之間的距離54a，以及介於連結區50b和閘極區30之間的距離54b能落在至10至50奈米的範圍。使用此等參數，裝置10展示出 I_{off} 強度的一級的降低，同時開啟狀態

電流， I_{on} ，仍維持實質相同。因此， I_{on} 對 I_{off} 的比率係利用間隙區52a及/或52b予以增加。

多晶矽區70a-c包含多晶矽結構，其係備製各別地介於接面80a-c以及源極區20、閘極區30，和汲極區40之間的一
5 歐姆連接。於特定的實施例中，多晶矽區70可以連接一積體電路封裝的插腳至半導體裝置10之各種的區域。再者，於特定的實施例中，源極區20、汲極區40，和閘極區30係藉由擴散通過多晶矽區70的摻質而形成。結果，於特定的實施例中，多晶矽區70其等本身可以包含摻雜的材料，即
10 使在已經發生摻質之任何適合的擴散進入基材90的各種的區域內之後。

另外，於特定的實施例中，多晶矽區70可以是共平面的。而且，於特定的實施例中，接面80可以額外地或任擇地是共平面的以便全部的接面80之特定的表面有相同的高
15 度。共平面的多晶矽區70及/或接面80可以簡化半導體裝置10的製造和封裝。

於操作中，通道區60係提供介於源極區20和汲極區40之間的一電壓控制的傳導路徑通過連結區50。更特別地，介於閘極區30和源極區20之間的一電壓差動(本文中稱為
20 V_{GS})係藉由增加或是減少形成於通道區60之內的一空乏區的一寬度而控制通道區60。該空乏區界定於通道區60之內的一區域，其中電洞和電子的復合已經空乏半導體裝置10的電荷載子。因為該空乏區缺少電荷載子，其會妨礙介於源極區20和汲極區40之間的電流的流動。而且，隨著該空

乏區擴展或是向後退，電流能流動通過的通道區60的部件會各別地膨脹或縮小。結果，當 V_{GS} 變化，通道區60的傳導性增加和減少，以及半導體裝置10可以運作為一電壓控制的電流調節器。

5 再者，於特定的實施例中，半導體裝置10包含一增強模式裝置。因此，當 $V_{GS} \leq 0$ 時，該空乏區夾止通道區60以避免電流流動介於源極區20和汲極區40之間。當 $V_{GS} > 0$ 時，該空乏區向後退至一處，一電流通過連結區50和通道區60而流動於源極區20和汲極區40之間，當一正電壓差動係被施加於源極區20和汲極區40之間(本文中稱為 V_{DS})時。

大體上，於特定的實施例中，通道區60、閘極區30、源極區20，及/或汲極區40的尺寸可以降低半導體裝置10之內創造的寄生電容以及結果，可以允許半導體裝置10用減少的驅動電流操作。結果，一或多個半導體能被組合至一微晶片之上以形成一記憶體元件、處理器，或是能夠用一降低的操作電壓運作的其他適合的電子裝置。舉例而言，於半導體裝置10之特定的實施例中，通道區60可以用.5V或更少的 V_{GS} 傳導電流於源極區20和汲極區40之間。結果，包括半導體裝置10之電子裝置可以能夠以高速操作以及具有比慣用的半導體裝置更低的功率消耗。

第2圖係顯示半導體裝置10的一橫截面圖，其係在製造期間內的特定的步驟已經完成之後以形成該源極區20、閘極區30、汲極區40、通道區60，以及多晶矽區70a-c。該半導體裝置的各種元件係於第2-6圖中說明，不必要按比例畫

出。相對於金屬-氧化物-半導體場效電晶體(MOSFETs)，半導體裝置10不包括任何氧化物層覆蓋閘極區30、源極區20，或汲極區40待形成的區域。結果，於特定的實施例中，此等區域可以藉由擴散摻質通過一對應的多晶矽區70而形成。舉例而言，源極區20可以藉由擴散摻質通過多晶矽區70a而形成。汲極區40可以藉由擴散摻質通過多晶矽區70b而形成。閘極區30可以藉由擴散摻質通過多晶矽區70c而形成。結果，於此等實施例中，區域20、30，及/或40的邊界及/或尺寸可以予以準確地控制。

第3圖係圖示一介電層100的形成，其係被予以沉積於整個結構的頂部之上。該介電層100包含任何合適的介電材料，例如，氧化物、氮化物，或是2者的組合。該介電層100係透過以下方法形成於該等多晶矽區70和該基材90的部件之上，該等方法包括，但不限於：快速的熱氧化(RTO)、化學氣相沈積(CVD)、濕式氧化，或是其他的介電-成長技術。介電層100可以具有介於大約20至50 nm之間的一厚度。

於第4圖中，該介電層100係予以回蝕以暴露多晶矽區70以及基材90的部件，只留下介電間隔件102a-b於多晶矽區70c的側壁之上。該介電層100的某些部件係利用任何合適的蝕刻加工予以蝕刻，包括但不限於：濕式蝕刻、乾式蝕刻、非等向性蝕刻、等向性蝕刻、RIE(反應性離子蝕刻)，或是電漿蝕刻。間隔件102a和102b的厚度，各別地以箭頭104a和104b圖示，係介於大約10至50 nm之間的。

第5圖係圖示藉由利用任何合適的摻雜加工而形成連

結區 50a 和 50b，例如，但不限於：離子佈植或電漿浸沒佈植。關於一種 n-通道裝置 10，n 型摻質係用介於 0.5 和 100 KeV 之間的一佈植能量而用來形成連結區 50a 和 50b。關於一種 p-通道裝置 10，p 型摻質係用介於 0.5 和 100 KeV 之間的一佈植能量而用來形成連結區 50a 和 50b。藉由使用間隔件 102a 和 102b，基材 90 能予以選擇性地摻雜以創造經由間隙區 52a-b 而與閘極區 30 分隔開的連結區 50a-b。

在利用以上所說明的技術於基材 90 之內形成連結區 50a-b 之後，間隔件 102a-b 係利用任何合適的蝕刻加工予以移除，如第 6 圖中圖示的。此加工暴露多晶矽區 70c 的側壁。由此，半導體裝置 10 的剩餘部份係使用合適的製造技術予以形成。舉例而言，進行至少接觸圖案化和形成加工，以及金屬互連形成加工。

縱然第 2-6 圖係參照形成與閘極區 30 分隔開的連結區 50a-b 二者予以圖示以及說明，應該了解到此加工能改造成形成只有連結區 50a 或是 50b 的一個與閘極區 30 分隔開以及另一個連結區 50a 或是 50b 未與閘極區 30 分隔開。在這點上，在該介電層 100 形成之後，如第 3 圖中圖示的，圖示於第 4 圖中的蝕刻加工被修飾俾以創造只有間隔件 102a 或是 102b 的一個或另一個。舉例而言，設若只有連結區 50b 要被形成與閘極區 30 分隔開，那麼只有間隔件 102b 在第 4 圖的蝕刻加工之後留下。同樣地，設若只有連結區 50a 要被形成與閘極區 30 分隔開，那麼只有間隔件 102a 在第 4 圖的蝕刻加工之後留下。

雖然本發明已經詳盡地予以說明，應該了解到各種的變化、取代和改變可以關於此進行而不背離如附隨的申請專利範圍所界定的本發明的領域和範疇。

5 【圖式簡單說明】

第1圖係圖示如本發明的一種接面場效電晶體；以及

第2-6圖係圖示一種用於製造如本發明的一接面場效電晶體的方法的一實施例。

【主要元件符號說明】

10...半導體裝置	80, 80a-c...接面
20...源極區	90...基材
50a-b...連結區	42, 44, 104a, 104b...箭頭
30...閘極區	52a-b...間隙區
40...汲極區	54a, 54b...距離
60...通道區	100...介電層
70, 70a-c...多晶矽區	102a, 102b...間隔件

五、中文發明摘要：

一種接面場效電晶體包含一半導體基材。一第一傳導類型的一第一雜質區係形成於該基材內。該第一傳導類型的一第二雜質區係形成於該基材內且與該第一雜質區分隔開。該第一傳導類型的一通道區係形成於介於該等第一和第二雜質區之間。一第二傳導類型的一閘極區係形成於介於該等第一和第二雜質區之間的該基材內。一閭隙區係形成於介於該閘極區和該第一雜質區之間的該基材內以使得該第一雜質區與該閘極區分隔開。

六、英文發明摘要：

A junction field effect transistor comprises a semiconductor substrate. A first impurity region of a first conductivity type is formed in the substrate. A second impurity region of the first conductivity type is formed in the substrate and spaced apart from the first impurity region. A channel region of the first conductivity type is formed between the first and second impurity regions. A gate region of a second conductivity type is formed in the substrate between the first and second impurity regions. A gap region is formed in the substrate between the gate region and the first impurity region such that the first impurity region is spaced apart from the gate region.

十、申請專利範圍：

1. 一種接面場效電晶體，其包含：

一半導體基材；

5 一第一傳導類型的一第一雜質區，其係形成於該基材內；

該第一傳導類型的一第二雜質區，其係形成於該基材內且與該第一雜質區分隔開；

該第一傳導類型的一通道區，其係形成於介於該第一和第二雜質區之間；

10 一第二傳導類型的一閘極區，其係形成於介於該第一和第二雜質區之間的該基材內；以及

一間隙區，其係形成於介於該閘極區和該第一雜質區之間的該基材內以使得該第一雜質區與該閘極區分隔開。

15 2. 如申請專利範圍第1項之接面場效電晶體，其中：

該第一雜質區包含一源極區；以及

該第二雜質區包含一汲極區。

3. 如申請專利範圍第1項之接面場效電晶體，其中：

該第一雜質區包含一源極區和一聯合連結區；以及

20 該第二雜質區包含一汲極區和一聯合連結區。

4. 如申請專利範圍第1項之接面場效電晶體，其中：

該第一雜質區包含一汲極區；以及

該第二雜質區包含一源極區。

5. 如申請專利範圍第1項之接面場效電晶體，其中：

該第一雜質區包含一汲極區和一聯合連結區；以及

該第二雜質區包含一源極區和一聯合連結區。

6. 如申請專利範圍第1項之接面場效電晶體，其中：

該第一傳導類型包含n型；以及

5 該第二傳導類型包含p型。

7. 如申請專利範圍第1項之接面場效電晶體，其中：

該第一傳導類型包含p型；以及

該第二傳導類型包含n型。

8. 如申請專利範圍第1項之接面場效電晶體，其中：

10 該第一雜質區具有一第一摻雜濃度；以及

該間隙區係摻雜以該第一傳導類型的雜質且具有
低於該第一摻雜濃度的一第二摻雜濃度。

9. 如申請專利範圍第8項之接面場效電晶體，其中該第一
摻雜濃度範圍落在 $5E+19 \text{ cm}^{-3}$ 至 $1E+20 \text{ cm}^{-3}$ 以及該第二

15 摻雜濃度範圍落在 $1E+18 \text{ cm}^{-3}$ 至 $E+19 \text{ cm}^{-3}$ 。

10. 如申請專利範圍第1項之接面場效電晶體，其中該第一
雜質區係以介於10 nm至50 nm之間的距離與該閘極區
分隔開。

11. 如申請專利範圍第1項之接面場效電晶體，其進一步包
20 含：

一第二傳導類型的一閘極電極區，其係覆蓋該半導體
體基材；以及

一形成於該閘極電極區之上且與該閘極區歐姆接
觸的閘極接觸區。

12. 如申請專利範圍第1項之接面場效電晶體，其中該間隙區包含一第一間隙區，以及進一步包含一第二間隙區，其係形成於介於該閘極區和該第二雜質區之間的該基材內以使得該第二雜質區與該閘極區分隔開的。
- 5 13. 一種用於製造一接面場效電晶體的方法，該方法包含：
形成第一傳導類型的一汲極區於一半導體基材內；
形成該第一傳導類型的一源極區於該半導體基材內；
形成該第一傳導類型的一通道區介於該汲極區與
10 該源極區之間；
形成一第二傳導類型的一閘極電極區以使得該閘極電極區覆蓋該半導體基材；
形成該第二傳導類型的一閘極區於該半導體基材之內；
15 形成一間隔件介於該閘極區和該汲極區之間，該間隔件緊靠著該閘極電極區的一側；
形成該第一傳導類型的一連結區於該半導體基材之內，其中該連結區緊靠著該汲極區且與該閘極區分隔開。
- 20 14. 如申請專利範圍第13項之方法，其中：
該第一傳導類型包含n型；以及
該第二傳導類型包含p型。
15. 如申請專利範圍第13項之方法，其中：
該第一傳導類型包含p型；以及

該第二傳導類型包含n型。

16. 如申請專利範圍第13項之方法，其中形成該間隔件包含：
5 沉積一介電層以使得覆蓋至少該閘極電極區；以及
蝕刻該介電層以移除該介電層的部份且留下緊靠著該閘極電極區的一側壁之該間隔件。
17. 如申請專利範圍第13項之方法，其進一步包含移除該間隔件。
18. 如申請專利範圍第13項之方法，其中形成該連結區包含
10 使用離子佈植或電漿浸沒佈植的其中之一以用該第一傳導類型的摻質予以摻雜該基材。
19. 如申請專利範圍第13項之方法，其中形成該閘極區包含自該閘極電極區擴散該第二傳導類型的雜質至該半導體基材之內。
- 15 20. 如申請專利範圍第13項之方法，其進一步包含：
形成該第一傳導類型的一源極電極區，其係覆蓋該半導體基材；
其中形成該源極區包含自該源極電極區擴散該第一傳導類型的雜質至該半導體基材之內。
- 20 21. 如申請專利範圍第13項之方法，其進一步包含：
形成該第一傳導類型的一汲極電極區，其係覆蓋該半導體基材；
其中形成該汲極區包含自該汲極電極區擴散該第一傳導類型的雜質至該半導體基材之內。

22. 如申請專利範圍第13項之方法，其進一步包含形成一閘極接觸區於該閘極電極區之上以使得其係與該閘極區歐姆接觸。

23. 如申請專利範圍第13項之方法，其中該汲極區係以介於
5 10 nm至50 nm之間的距離與該閘極區分隔開。

24. 如申請專利範圍第13項之方法，其中該間隔件包含一第一間隔件，該連結區包含一第一連結區，以及進一步包含：

10 形成一第二間隔件介於該閘極電極區和該源極區之間，該間隔件緊靠著該閘極電極區的另一側；以及

形成該第一傳導類型的一第二連結區於該半導體基材之內，其中該第二連結區緊靠著該源極區且與該閘極區分隔開。

15 25. 如申請專利範圍第24項之方法，其進一步包含移除該第二間隔件。

26. 如申請專利範圍第24項之方法，其中該源極區係以介於
10 nm至50 nm之間的距離與該閘極區分隔開。

27. 一種接面場效電晶體，其包含：

一半導體基材；

20 一第一傳導類型的一第一雜質區，其係形成於該基材內；

該第一傳導類型的一第二雜質區，其係形成於該基材內且與該第一雜質區分隔開；

該第一傳導類型的一通道區，其係形成介於該第一

和第二雜質區之間；以及

一第二傳導類型的一閘極區，其係形成於介於該第一和第二雜質區之間的該基材內；

其中該第一雜質區係與該閘極區分隔開。

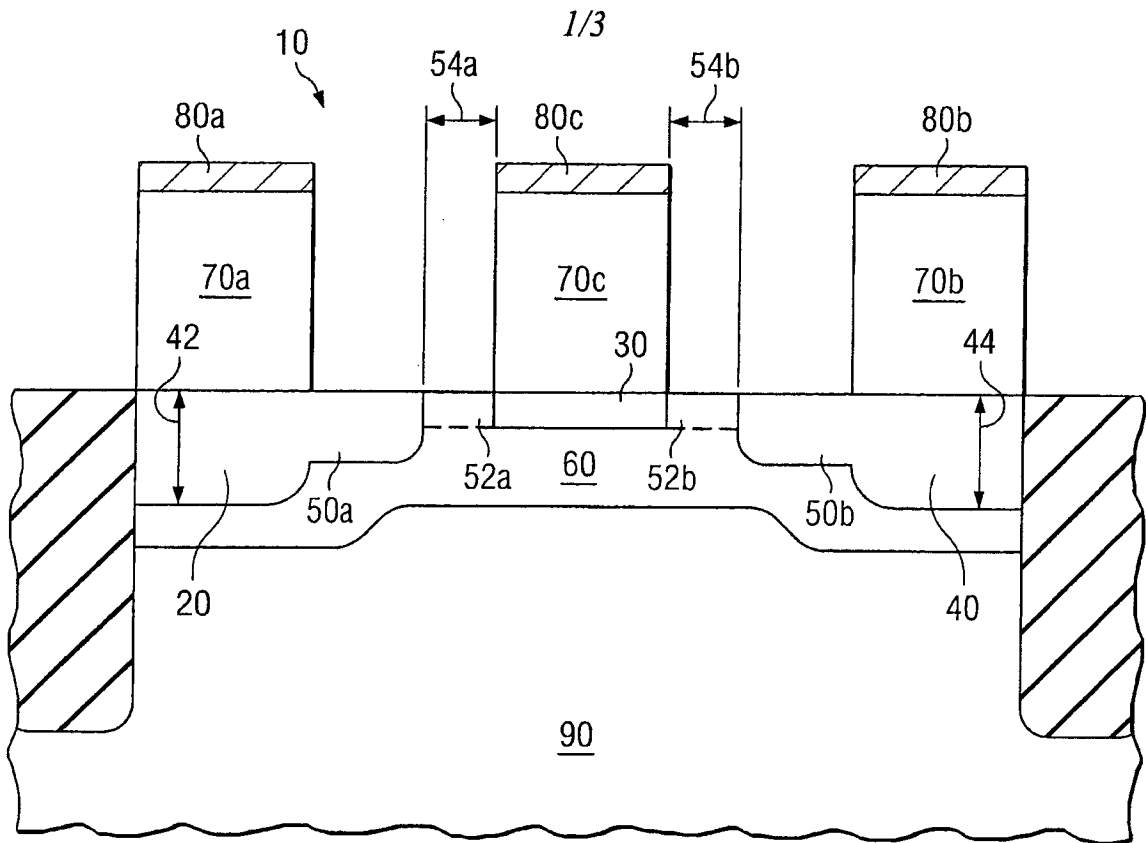
- 5 28. 如申請專利範圍第27項之接面場效電晶體，其中：
- 該第一雜質區包含一源極區；以及
- 該第二雜質區包含一汲極區。
29. 如申請專利範圍第27項之接面場效電晶體，其中：
- 該第一雜質區包含一源極區和一聯合連結區；以及
- 10 該第二雜質區包含一汲極區和一聯合連結區。
30. 如申請專利範圍第27項之接面場效電晶體，其中：
- 該第一雜質區包含一汲極區；以及
- 該第二雜質區包含一源極區。
31. 如申請專利範圍第27項之接面場效電晶體，其中：
- 15 該第一雜質區包含一汲極區和一聯合連結區；以及
- 該第二雜質區包含一源極區和一聯合連結區。
32. 如申請專利範圍第27項之接面場效電晶體，其中：
- 該第一傳導類型包含n型；以及
- 該第二傳導類型包含p型。
- 20 33. 如申請專利範圍第27項之接面場效電晶體，其中：
- 該第一傳導類型包含p型；以及
- 該第二傳導類型包含n型。
34. 如申請專利範圍第27項之接面場效電晶體，其中該第一
 雜質區係以介於10 nm至50 nm之間的距離與該閘極區

分隔開。

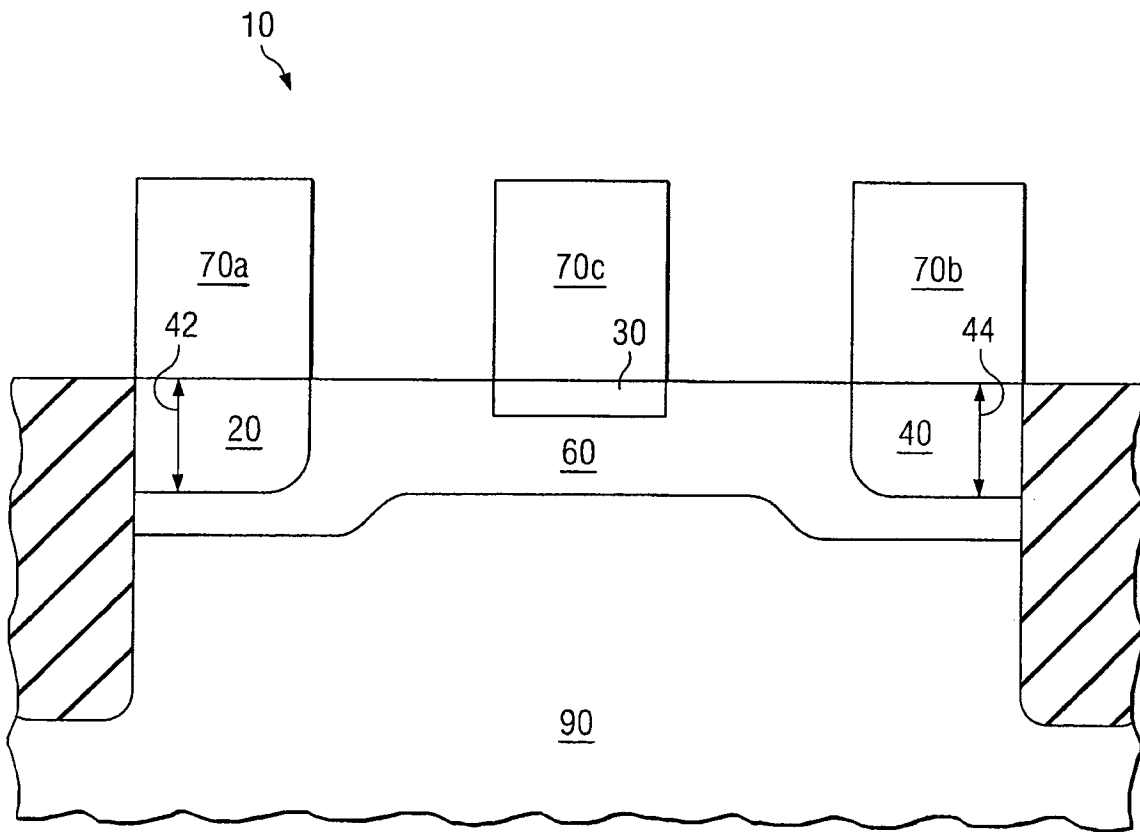
35. 如申請專利範圍第27項之接面場效電晶體，其進一步包含：

5 一第二傳導類型的一閘極電極區，其係覆蓋該半導體基材；以及

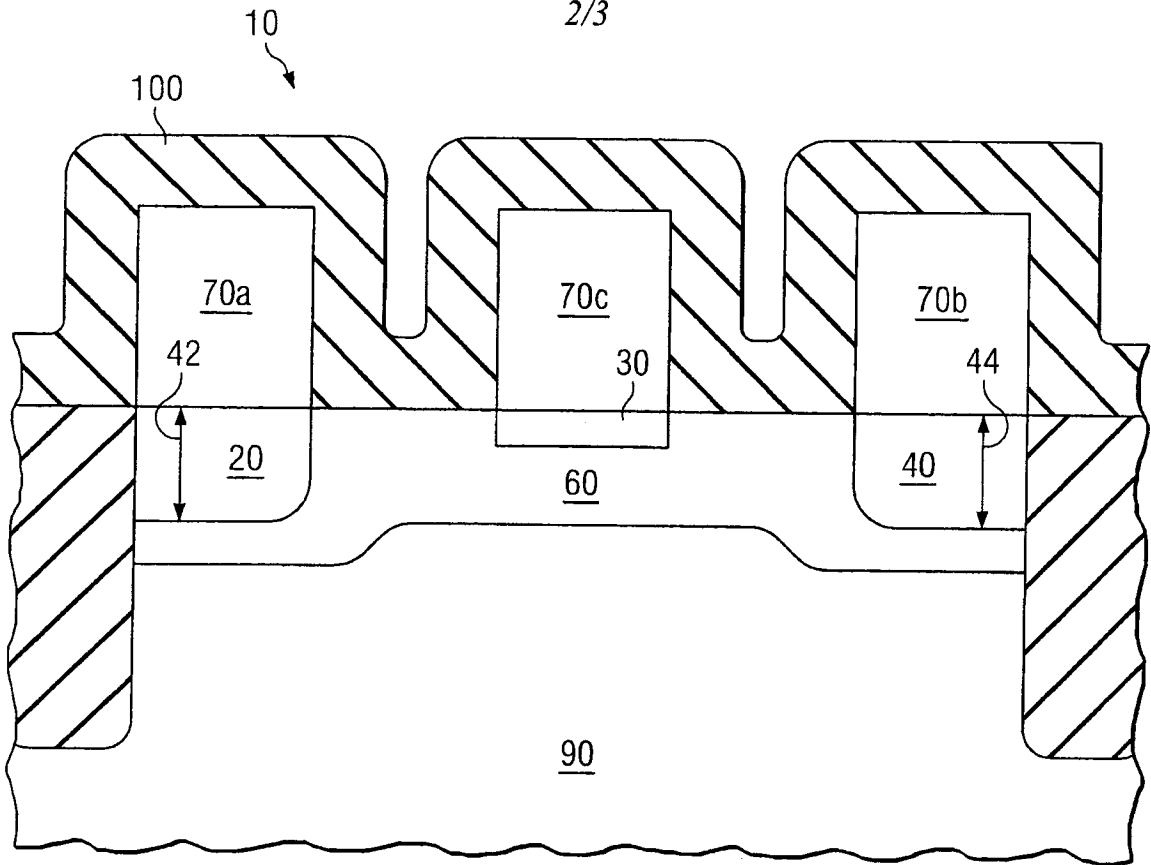
一閘極接觸區，其係形成於該閘極電極區之上且與該閘極區歐姆接觸。



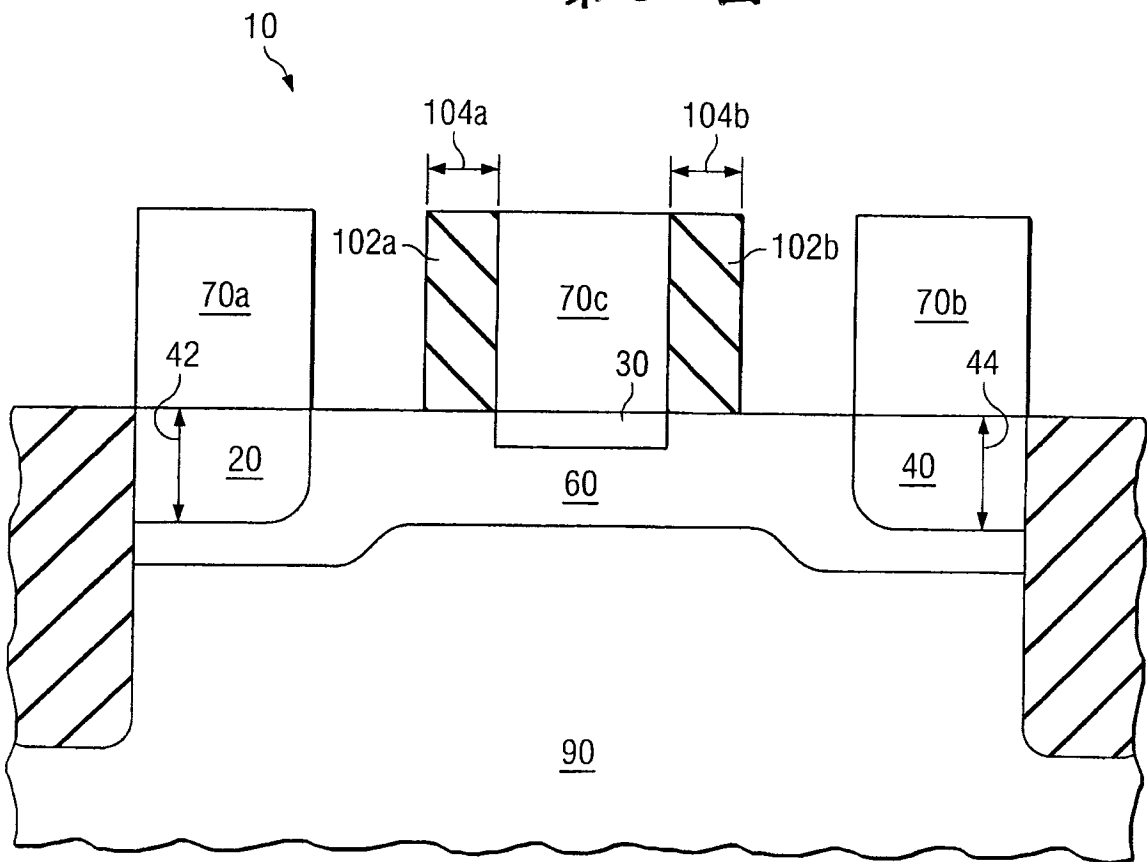
第 1 圖



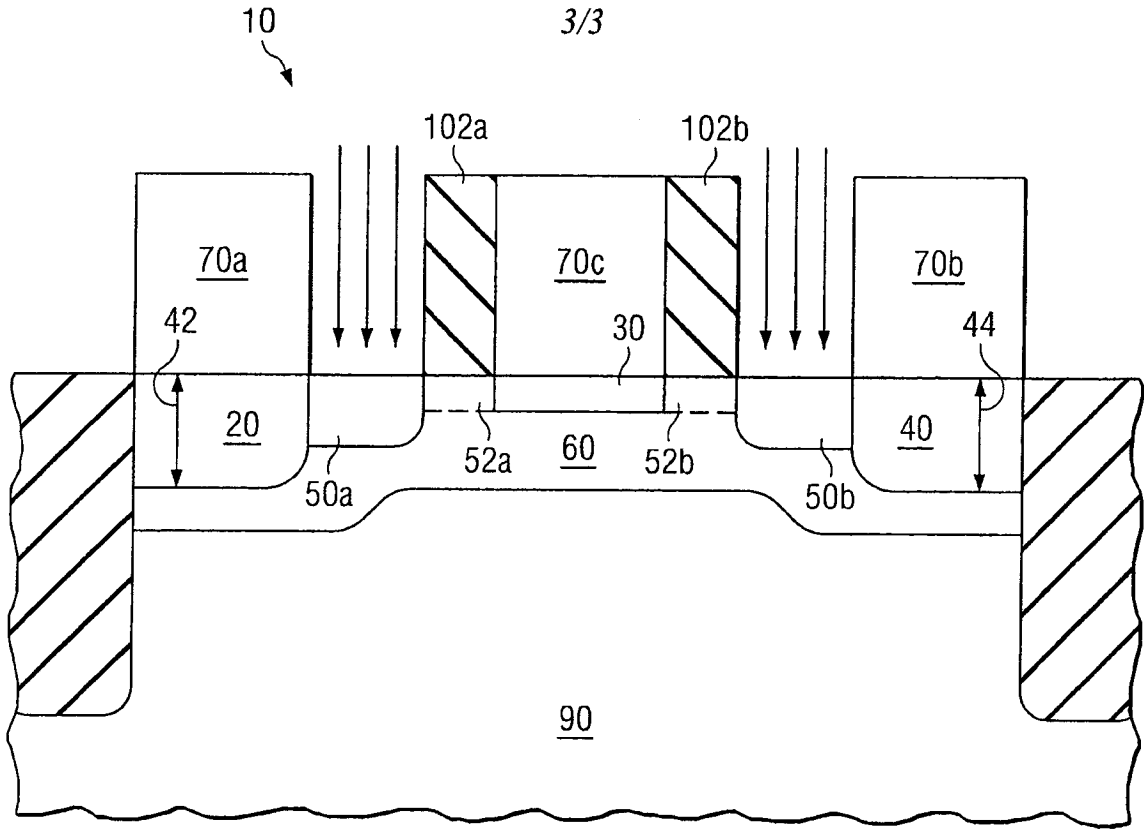
第 2 圖



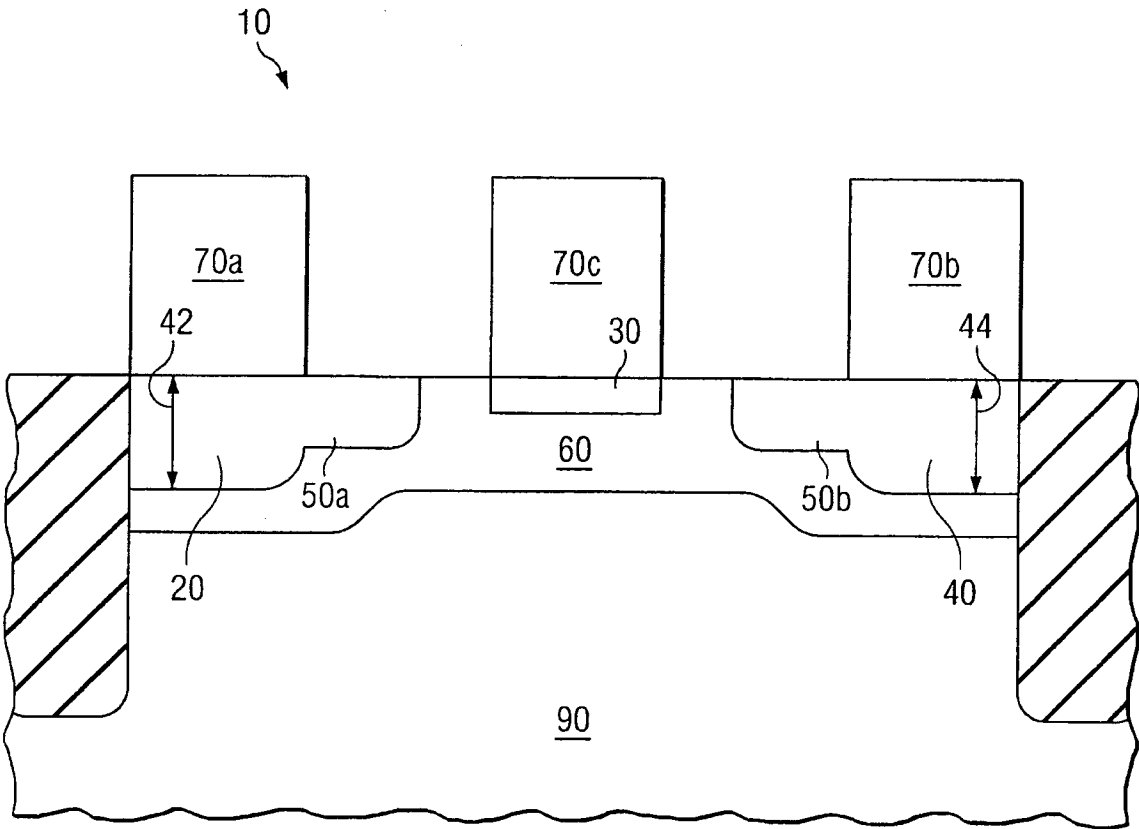
第 3 圖



第 4 圖



第 5 圖



第 6 圖

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

20...源極區

70a-c...多晶矽區

50a-b...連結區

80a-c...接面

30...閘極區

42, 44...箭頭

40...汲極區

52a-b...間隙區

60...第一通道區

54a, 54b...距離

62...第二通道區

90...基材

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)