



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I600125 B

(45)公告日：中華民國 106 (2017) 年 09 月 21 日

(21)申請案號：105112473

(22)申請日：中華民國 105 (2016) 年 04 月 21 日

(51)Int. Cl. : H01L23/28 (2006.01)

H01L23/00 (2006.01)

H01L21/50 (2006.01)

(30)優先權：2015/05/01 美國

62/155,482

(71)申請人：精材科技股份有限公司(中華民國) XINTEC INC. (TW)

桃園市中壢區中壢工業區吉林路 23 號 9 樓

(72)發明人：沈信隆 SHEN, HSING LUNG (TW)；賴俊諺 LAI, JIUN YEN (TW)；黃郁庭 HUANG, YU TING (TW)

(74)代理人：李世章；秦建譜

(56)參考文獻：

US 2009/0289318A1

US 2010/0264503A1

US 2013/0307147A1

US 2014/0084458A1

審查人員：林士淵

申請專利範圍項數：20 項 圖式數：9 共 61 頁

(54)名稱

晶片封裝體及其製造方法

CHIP PACKAGE AND MANUFACTURING METHOD THEREOF

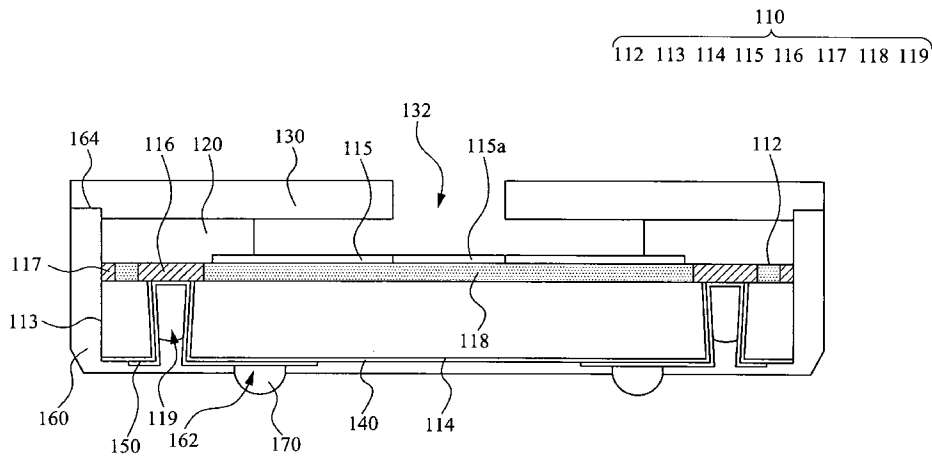
(57)摘要

一種晶片封裝體，包含一晶片、一間隔層、一乘載基板以及一遮光保護層。晶片具有相對的第一表面與一第二表面，以及一側面位於第一表面與第二表面之間。間隔層位於第一表面上，而乘載基板位於間隔層上。遮光保護層位於晶片的第二表面下，且遮光保護層延伸入乘載基板中並覆蓋晶片的側面。

A chip package includes a chip, a dam layer, a carrier substrate and a light shielding passivation layer. The chip has a first surface and a second surface opposite to the first surface, and a side surface is disposed between the first surface and the second surface. The dam layer is disposed on the first surface, and the carrier substrate is disposed on the dam layer. The light shielding passivation layer is disposed under the second surface and extended into the carrier substrate to cover the side surface of the chip.

指定代表圖：

100



第 1 圖

符號簡單說明：

- 100 . . . 晶片封裝體
- 110 . . . 晶片
- 112 . . . 第一表面
- 113 . . . 側面
- 114 . . . 第二表面
- 115 . . . 感測層
- 115a . . . 感測區
- 116 . . . 導電墊區
- 117 . . . 測試電路
- 118 . . . 第一絕緣層
- 119 . . . 穿孔
- 120 . . . 間隔層
- 130 . . . 乘載基板
- 132 . . . 第一開口
- 140 . . . 第二絕緣層
- 150 . . . 導電層
- 160 . . . 遮光保護層
- 162 . . . 第二開口
- 164 . . . 接觸面
- 170 . . . 外部導電結構

申請案號：105/124/3 【發明摘要】

申請日：105-06-21

IPC分類：

H01L	23/28	(2006.1)
H01L	23/00	(2006.1)
H01L	21/50	(2006.1)

【中文發明名稱】 晶片封裝體及其製造方法

【英文發明名稱】 CHIP PACKAGE AND
MANUFACTURING METHOD THEREOF

【中文】

一種晶片封裝體，包含一晶片、一間隔層、一乘載基板以及一遮光保護層。晶片具有相對的一第一表面與一第二表面，以及一側面位於第一表面與第二表面之間。間隔層位於第一表面上，而乘載基板位於間隔層上。遮光保護層位於晶片的第二表面下，且遮光保護層延伸入乘載基板中並覆蓋晶片的側面。

【英文】

A chip package includes a chip, a dam layer, a carrier substrate and a light shielding passivation layer. The chip has a first surface and a second surface opposite to the first surface, and a side surface is disposed between the first surface and the second surface. The dam layer is disposed on the first surface, and the carrier substrate is disposed on the dam layer. The light shielding passivation layer is disposed under the second surface and extended into the carrier substrate to cover the side surface of the chip.

【指定代表圖】 第1圖

【代表圖之符號簡單說明】

100：晶片封裝體

110：晶片

112：第一表面

113：側面

114：第二表面

115：感測層

115a：感測區

116：導電墊區

117：測試電路

118：第一絕緣層

119：穿孔

120：間隔層

130：乘載基板

132：第一開口

140：第二絕緣層

150：導電層

160：遮光保護層

162：第二開口

164：接觸面

170：外部導電結構

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 晶片封裝體及其製造方法

【英文發明名稱】 CHIP PACKAGE AND
MANUFACTURING METHOD THEREOF

【技術領域】

【0001】 本發明是有關一種晶片封裝體及一種晶片封裝體的製造方法。

【先前技術】

【0002】 在各項電子產品要求多功能且外型尚須輕薄短小的需求之下，各項電子產品所對應的半導體晶片，不僅其尺寸微縮化，當中之佈線密度亦隨之提升，因此後續在製造半導體晶片封裝體的挑戰亦漸趨嚴峻。其中，晶圓級晶片封裝是半導體晶片封裝方式的一種，係指晶圓上所有晶片生產完成後，直接對整片晶圓上所有晶片進行封裝製程及測試，完成之後才切割製成單顆晶片封裝體的晶片封裝方式。

【0003】 在半導體晶片尺寸微縮化、佈線密度提高的情形之下，晶片封裝體的絕緣性質是當今晶片封裝技術重要的研發方向之一，以防止水氣、溫度或壓力影響晶片封裝體的內部線路，造成良率與可靠度的下降。通常在線路佈局完成後，會再形成保護層覆蓋此線路以阻隔空氣，並切割成獨立的晶片封裝體。然而，晶片封裝體的側面不具有任何保護層，自側面進入的水氣將使得晶片封裝體的內部線路產生氧化，更甚者會擠壓

晶片封裝體的矽穿孔造成錯誤的電性連接。

【發明內容】

【0004】 因此，本發明提供一種晶片封裝體與其製備方法，以提升晶片封裝體的良率與可靠度。

【0005】 本發明之一態樣係提供一種晶片封裝體，包含一晶片、一間隔層、一乘載基板以及一遮光保護層。晶片具有相對的一第一表面與一第二表面，以及一側面位於第一表面與第二表面之間。間隔層位於第一表面上，而乘載基板位於間隔層上。遮光保護層位於晶片的第二表面下，且遮光保護層延伸入乘載基板中並覆蓋晶片的側面。

【0006】 根據本發明一或多個實施方式，遮光保護層之材質包含環氧樹脂或低透光率材料。

【0007】 根據本發明一或多個實施方式，晶片更包含一感測層、一第一絕緣層、一導電墊區、一測試電路與一穿孔。感測層位於第一表面上，且間隔層環繞感測層。第一絕緣層位於第一表面下，而導電墊區與測試電路位於第一絕緣層中，且彼此電性分離。穿孔則自晶片的第二表面朝第一表面延伸，並暴露導電墊區。

【0008】 根據本發明一或多個實施方式，測試電路暴露於晶片的側面，而遮光保護層覆蓋測試電路。

【0009】 根據本發明一或多個實施方式，第一絕緣層暴露於晶片的側面，而遮光保護層覆蓋第一絕緣層。

【0010】 根據本發明一或多個實施方式，乘載基板具有位於感測層上的一第一開口。

【0011】 根據本發明一或多個實施方式，一第二絕緣層位於第二表面下，並延伸至穿孔中覆蓋穿孔的側壁，以及一導電層位於第二絕緣層與遮光保護層之間，並延伸至穿孔中接觸導電墊區。

【0012】 根據本發明一或多個實施方式，第一絕緣層與第二絕緣層之材質包含氧化矽、氮化矽、氮氧化矽、或其組合。

【0013】 根據本發明一或多個實施方式，第二絕緣層更延伸覆蓋側面，並夾設於晶片的側面與遮光保護層之間。

【0014】 根據本發明一或多個實施方式，遮光保護層具有一第二開口暴露部分該導電層。

【0015】 根據本發明一或多個實施方式，一外部導電結構位於第二開口中，並接觸導電層。

【0016】 本發明之一態樣係提供一種晶片封裝體的製造方法，包含下列步驟。先提供一晶圓，其具有相對的一第一表面與一第二表面。接著形成一間隔層於第一表面上，並形成一乘載基板於間隔層上。移除部分晶圓、部分間隔層與部分承載基板以形成一缺口暴露晶圓的一側面。最後形成一遮光保護層於第二表面下與缺口中，且遮光保護層延伸入乘載基板中並覆蓋晶圓的側面。

【0017】 根據本發明一或多個實施方式，更研磨晶圓的第二表面。

【0018】 根據本發明一或多個實施方式，晶圓更包含一感測層、一第一絕緣層、一導電墊區、一測試電路。感測層位於第一表面上，且間隔層環繞感測層。第一絕緣層位於第一表面下，而導電墊區與測試電路位於第一絕緣層中，且彼此電性分離。

【0019】 根據本發明一或多個實施方式，測試電路暴露於晶片的側面，而位於缺口中的遮光保護層覆蓋測試電路。

【0020】 根據本發明一或多個實施方式，晶片封裝體的製造方法更包含下列步驟。形成一穿孔自晶圓的第二表面朝第一表面延伸，以暴露導電墊區。接著形成一第二絕緣層於第二表面下與穿孔中，並移除穿孔中的部分第二絕緣層以暴露導電墊區。最後形成一導電層於第二絕緣層下與穿孔中，其中遮光保護層覆蓋導電層。

【0021】 根據本發明一或多個實施方式，晶片封裝體的製造方法更包含下列步驟。圖案化遮光保護層以形成一第二開口暴露導電層，更形成一外部導電結構於第二開口中。

【0022】 根據本發明一或多個實施方式，晶片封裝體的製造方法更包含研磨乘載基板以形成一第一開口。

【0023】 根據本發明一或多個實施方式，晶片封裝體的製造方法更包含沿缺口切割遮光保護層與乘載基板，以形成一晶片封裝體。

【0024】 根據本發明一或多個實施方式，保護層係以塗佈、沉積或印刷的方式形成。

【圖式簡單說明】

【0025】

第 1 圖繪示根據本發明部分實施方式之一種晶片封裝體的剖面圖；

第 2 圖繪示根據本發明其他部分實施方式之一種晶片封裝體的剖面圖；

第 3 圖繪示根據本發明其他部分實施方式之一種晶片封裝體的剖面圖；

第 4 圖繪示根據本發明其他部分實施方式之一種晶片封裝體的剖面圖；

第 5 圖繪示根據本發明部分實施方式之晶片封裝體的製造方法流程圖；

第 6A-6G 繪示第 1 圖的晶片封裝體在製程各個階段的剖面圖；

第 7 圖繪示根據本發明部分實施方式之晶片封裝體的製造方法流程圖；

第 8A-8G 繪示第 2 圖的晶片封裝體在製程各個階段的剖面圖；以及

第 9A-9G 繪示第 4 圖的晶片封裝體在製程各個階段的剖面圖。

【實施方式】

【0026】 以下將以圖式揭露本發明之複數個實施方式，為明確說明起見，許多實務上的細節將在以下敘述中一併說明。

然而，應瞭解到，這些實務上的細節不應用以限制本發明。也就是說，在本發明部分實施方式中，這些實務上的細節是非必要的。此外，為簡化圖式起見，一些習知慣用的結構與元件在圖式中將以簡單示意的方式繪示之。

【0027】 此外，相對詞彙，如『下』或『底部』與『上』或『頂部』，用來描述文中在附圖中所示的一元件與另一元件之關係。相對詞彙是用來描述裝置在附圖中所描述之外的不同方位是可以被理解的。例如，如果一附圖中的裝置被翻轉，元件將會被描述原為位於其它元件之『下』側將被定向為位於其他元件之『上』側。例示性的詞彙『下』，根據附圖的特定方位可以包含『下』和『上』兩種方位。同樣地，如果一附圖中的裝置被翻轉，元件將會被描述原為位於其它元件之『下方』或『之下』將被定向為位於其他元件上之『上方』。例示性的詞彙『下方』或『之下』，可以包含『上方』和『上方』兩種方位。

【0028】 第1圖繪示根據本發明部分實施方式之一種晶片封裝體100的剖面圖。如第1圖所示，一晶片封裝體100包含一晶片110、一間隔層120、一乘載基板130、一第二絕緣層140、一導電層150、一遮光保護層160與一外部導電結構170。晶片110具有相對的一第一表面112與一第二表面114，以及一側面113位於第一表面112與第二表面114之間。間隔層120則位於第一表面112上，而乘載基板130位於間隔層120上。遮光保護層160位於晶片110的第二表面114下，且延伸入乘載基板130中並覆蓋晶片110的側面113。換言之，遮光保護層160覆蓋晶

片110的第二表面114，並延伸至晶片封裝體100的兩側以覆蓋晶片110的側面113、間隔層120的側面與乘載基板130。值得注意的是，部分的遮光保護層160嵌入乘載基板130中，使兩者之間的一接觸面164具有階狀輪廓，但不以此為限。在本發明之部分實施例中，接觸面164亦可具有弧狀輪廓，或其他合適的形狀。

【0029】 具體而言，晶片110包含一導電墊區116、一測試電路117與一第一絕緣層118。第一絕緣層118位於第一表面112下，而導電墊區116與測試電路117位於第一絕緣層118中，且彼此電性分離。此處的測試電路117意指在前段製程時用於測試的金屬層，但其在晶片封裝體100中不具有任何功能性(functionality)。然而，在切割成獨立的晶片封裝體100後，此測試電路117會暴露於晶片100的側面113並直接與空氣接觸。空氣中的水氣將使得測試電路117氧化膨脹，而產生高伸張應力擠壓晶片封裝體100的內部電路，例如：穿孔119中的導電層150，而導致良率的下降。為解決上述的問題，位於第二表面114的遮光保護層160更延伸至晶片110的側面113覆蓋暴露的測試電路117，以防止水氣進入測試電路117中。另一方面，間隔層120與晶片110的接合處亦易受水氣影響而造成剝離，遮光保護層160更覆蓋間隔層120的側面以使間隔層120不易吸收水氣。在本發明之其他實施例中，晶片110中不具有測試電路117，而第一絕緣層118暴露於晶片110的側面113。因第一絕緣層118亦會吸收水氣並產生應力擠壓內部電路，遮

光保護層160更延伸至晶片110的側面113覆蓋暴露的第一絕緣層118，以防止水氣進入第一絕緣層118中。

【0030】 在本發明之部分實施例中，晶片110包含半導體元件、內層介電層(ILD)、內金屬介電層(IMD)、鈍化層(passivation layer)與內連金屬結構。值得注意的是，導電墊區116與測試電路117為晶片110中的內連金屬結構，其具有複數個平行排列的金屬層與連接此些金屬層的連通柱(via)。且部分的第一絕緣層118位於此些金屬層間以作為內金屬介電層，而連通柱通過第一絕緣層118以電性連接相鄰的金屬層。此外，第一絕緣層118更使導電墊區116與測試電路117電性絕緣。在本發明之其他部分實施例中，第一絕緣層118之材質包含氧化矽、氮化矽、或其他合適的絕緣材料，而遮光保護層160之材質包含環氧樹脂或低透光度材料。在本發明之其他部分實施例中，乘載基板130為空白的矽基板。

【0031】 晶片110更具有感測層115位於晶片110的第一表面112上，間隔層120環繞此感測層115，且此感測層115電性連接至導電墊區116。間隔層120可如第1圖所示跨至感測層115上，但不以此為限。間隔層120亦可與感測層115維持一間距，而不影響本發明之精神。感測層115為濕度感測層、光感測層或壓力感測層，但不以此為限。在本實施例中，感測層115為濕度感測層，其材質包含濕度感測高分子。因此，乘載基板130更具有第一開口132於感測層115上，且第一開口132在垂直投影方向重疊於感測層115的感測區115a。自第一開口132進入的水氣使感測區115a中的濕度感測高分子之性質(電

阻值、電容值)產生變化，感測區115a並將此訊號傳至晶片110以換算濕度值。本發明的遮光保護層160除了能保護測試電路117外，其更阻擋外部能量進入乘載基板130中。詳細而言，進入乘載基板130的光線具有一定的能量，並會往感測層115方向擴散，而影響感測區115a所偵測到的數值(尤其是當感測層為光感測層或濕度感測層時)。據此，本發明提供的遮光保護層160至少會延伸至乘載基板130中，以阻擋大部分的光線自乘載基板130的側面進入，進一步提高感測的精準度。

● **【0032】** 晶片110更具有一穿孔119自第二表面114朝第一表面112延伸，並暴露導電墊區116。第二絕緣層140位於第二表面114下，並延伸至穿孔119中覆蓋穿孔119的側壁，而導電層150位於第二絕緣層140與遮光保護層160之間，並延伸至穿孔119中接觸導電墊區116。具體而言，導電層150係接觸導電墊區116中的金屬層。在本發明之部分實施例中，導電層150的材質包含鋁、銅、鎳、或任何合適的導電材料，而第二絕緣層140之材質包含氧化矽、氮化矽、或其他合適的絕緣材料。

● 遮光保護層160更具有一第二開口162暴露部分的導電層150，而一外部導電結構170結位於第二開口162中，並接觸導電層150。藉此，外部導電結構170藉由導電層150與導電墊區116電性連接，以將晶片110運算後的濕度值傳送至外部裝置，例如：印刷電路板。外部導電結構170為焊球、凸塊等業界熟知之結構，且形狀可以為圓形、橢圓形、方形、長方形，並不用以限制本發明。

【0033】 請繼續參閱第2圖，第2圖為本發明其他部分實施方式中一種晶片封裝體的剖面圖。此處需注意的是相同元件之材質並不再做詳述。第2圖之晶片封裝體200與第1圖之晶片封裝體100之差別在於，晶片封裝體200的第二絕緣層240位於第二表面114下，且延伸入乘載基板130中並覆蓋晶片110的側面113與間隔層120的側面。如第2圖所示，第二絕緣層240夾設於晶片110的側面113與遮光保護層160之間，並覆蓋暴露於側面113的測試電路117。具體而言，係設置第二絕緣層240與遮光保護層160於晶片封裝體200的兩側，以阻隔暴露於側面113的測試電路117與水氣接觸的機會，進一步提升晶片封裝體200之良率。

【0034】 請繼續參閱第3圖，第3圖為本發明其他部分實施方式中一種晶片封裝體的剖面圖。此處需注意的是相同元件之材質並不再做詳述。第3圖之晶片封裝體300與第1圖之晶片封裝體100之差別在於，晶片封裝體300的遮光保護層360位於第二表面114下，且延伸通過晶片110、間隔層120與部分乘載基板130，以覆蓋晶片110中的測試電路117。但遮光保護層360並未覆蓋晶片封裝體300的兩側，因此晶片110的側面313與間隔層120仍暴露於大氣中。雖然水氣會自晶片110的側面313進入，但通過晶片110、間隔層120與部分乘載基板130的遮光保護層360仍可提供測試電路117良好的阻隔效果，使其不受水氣影響。

【0035】 請繼續參閱第4圖，第4圖為本發明其他部分實施方式中一種晶片封裝體的剖面圖，且相同元件之材質不再詳

述。第4圖之晶片封裝體400與第1圖之晶片封裝體100之差別在於，晶片封裝體400的遮光保護層460更延伸以完全覆蓋乘載基板130的側面130S，且其底部462與乘載基板130的上表面130T大致為共平面。在第4圖的實施方式中，遮光保護層460不僅阻隔水氣進入測試電路117，更能完全遮蔽自乘載基板130之側面130S處進入的光線，以使感測區115a不受干擾而提升晶片封裝體400的偵測精度。

【0036】 接著參閱第5圖，第5圖繪示根據本發明部分實施方式之晶片封裝體的製造方法流程圖。並同時參閱第6A-6G圖以進一步理解晶片封裝體的製造方法，第6A-6G繪示第1圖的晶片封裝體在製程各個階段的剖面圖。

【0037】 請先參閱步驟510與第6A圖，提供一晶圓600，晶圓600具有相對的第一表面112與第二表面114，並包含感測層115、第一絕緣層118、導電墊區116與測試電路117，其中感測層115位於第一表面112上、第一絕緣層118位於第一表面112下、而導電墊區116與測試電路117位於第一絕緣層118中，且彼此電性分離。晶圓600上具有複數個晶片區，在後續製程中會切割這些晶片區以形成複數個晶片封裝體100。在本發明之部分實施例中，晶圓600中具有半導體元件、內層介電層(ILD)、內金屬介電層(IMD)、鈍化層(passivation layer)與內連金屬結構。導電墊區116與測試電路117為晶圓600中的內連金屬結構，其具有複數個平行排列的金屬層與連接這些金屬層的連通柱(via)。且部分的第一絕緣層118位於這些金屬層間以作為內金屬介電層，而連通柱通過第一絕緣層118以電性

連接相鄰的金屬層。此外，第一絕緣層118更使導電墊區116與測試電路117電性絕緣。

【0038】 繼續參閱步驟520與第6A圖，形成一間隔層120於第一表面112上，以環繞感測層115，接著形成一乘載基板130於間隔層120上，以覆蓋感測層115。在此步驟中，係使用一黏著層(未繪示)以黏合感測層115至第一表面112，接著在接合乘載基板130至間隔層120上。值得注意的是，乘載基板130具有一凹洞610，其係用於定義感測層115的感測區域，將於後續詳述。

【0039】 請繼續參閱步驟530與第6B圖，形成一穿孔119自晶圓600的第二表面114朝第一表面112延伸，以暴露導電墊區116。在此步驟中，可利用微影蝕刻的方式移除部分的晶圓600，以形成穿孔119於晶圓600中以暴露導電墊區116，但不以此為限。在本發明之部分實施例中，在形成穿孔119前，係先研磨晶圓600的第二表面114以減少晶圓600的厚度。

【0040】 接著請參閱步驟540與第6C圖，形成第二絕緣層140於晶圓600的第二表面114下與穿孔119中，並移除穿孔119中的部分第二絕緣層140以暴露導電墊區116於穿孔119中。在此步驟中，係以化學氣相沉積法(chemical vapor deposition, CVD)順應的沉積絕緣材料至第二表面114下，而部分的絕緣材料會進入穿孔119中覆蓋其側壁與底部。接著，可使用微影蝕刻的方式移除穿孔119中的絕緣材料以形成第二絕緣層140，並使導電墊區116暴露於穿孔119的底部。在本發

明之部分實施例中，第二絕緣層140之材質包含氧化矽、氮化矽、或其他合適的絕緣材料。

【0041】 請繼續參閱步驟550與第6D圖，形成一導電層150於第二絕緣層140下與穿孔119中。可利用例如是濺鍍、蒸鍍、電鍍或無電鍍的方式來沉積導電材料至第二絕緣層140下，而部分的導電材料延伸至穿孔119中覆蓋其側壁，並接觸暴露於穿孔119底部的導電墊區116。具體而言，導電材料係接觸導電墊區116中的金屬層。之後，可使用微影蝕刻的方式圖案化導電材料，以形成導電層150。在本發明之部分實施例中，導電層150的材質例如可以採用鋁(aluminum)、銅(copper)、鎳(nickel)或其他合適的導電材料。

【0042】 請繼續參閱步驟560與第6E圖，移除部分的晶圓600、部分的間隔層120與部分的乘載基板130以形成一缺口620暴露晶圓600的側面113。在此步驟中，係使用刀具切除部分的晶圓600以形成側面113於第一表面112與第二表面114之間，且測試電路117暴露於晶圓600的側面113。值得注意的是，此步驟為一預切割製程，並不會完全切開乘載基板130。換言之，刀具切割至乘載基板130中即停止，而形成的缺口620通過晶圓600、間隔層120與部分的乘載基板130，且缺口620的底部621位於乘載基板130中。在本發明之部分實施例中，晶圓600不具有測試電路117，而第一絕緣層118暴露於晶圓600的側面113。

【0043】 請接著參閱步驟570與第6F圖，形成一遮光保護層160於第二表面114下與缺口620中，且遮光保護層160延伸

入乘載基板130中並覆蓋晶圓600的側面113。可藉由塗佈、沉積或印刷環氧樹脂系或具有低透光率的材料於導電層150下，且此些材料在未固化前具有流動性並受重力影響流入缺口620中覆蓋晶圓600的側面113與測試電路117、間隔層120的側面以及位於乘載基板130中的缺口620之底部621。據此，部分的環氧樹脂系或低透光率的材料係嵌於乘載基板130中。之後，再使用熱固化或光交聯的方式固化此些材料，以形成遮光保護層160。覆蓋側面113的遮光保護層160可保護測試線路117不被水氣侵蝕，而提高製程的良率。在本發明之部分實施例中，晶圓600不具有測試電路117，而遮光保護層160覆蓋暴露於側面113的第一絕緣層118。在本發明之部分實施例中，部分的遮光保護層160位於穿孔119中，但未完全填滿穿孔119。

【0044】 請接著參閱步驟580與第6F圖，形成第二開口162於遮光保護層160中以暴露導電層150，接著形成一外部導電結構170於第二開口162中。在此步驟中，係圖案化遮光保護層160以形成第二開口162，使部分的導電層150於遮光保護層160的第二開口162中暴露出來。在本實施例中，此遮光保護層160之材質為感光性材料，具體而言為感光性環氧樹脂或低透光率的感光材料，因此不需額外使用光阻層定義遮光保護層160的圖案，可直接以微影蝕刻方式來圖案化遮光保護層160以形成第二開口162。接著，再形成外部導電結構170於此第二開口162中，且外部導電結構170接觸導電層150以電性連接至導電層150。

【0045】 最後請參閱步驟590，並請參閱第6G圖，研磨乘載基板130以形成一第一開口132，並沿缺口切割遮光保護層160與乘載基板130，以形成一晶片封裝體。在形成外部導電結構170後，係先形成一暫時黏著層630覆蓋遮光保護層160與外部導電結構170，接著再研磨乘載基板130。此研磨製程停止於凹洞610處，以形成第一開口132於感測層115上，而感測層115在第一開口132的垂直投影處即為感測區115a。在本實施例中，自第一開口132進入的水氣使感測區115a中的濕度感測高分子之性質(電阻值、電容值)產生變化。在本發明之其他部分實施例中，形成第一開口132後可繼續研磨乘載基板130以降低其厚度。接著，沿著缺口620中的切割道640切割遮光保護層160、乘載基板130與暫時黏著層630，以分離晶圓600上個多個晶片區。最後移除暫時黏著層630以形成第1圖所示的晶片封裝體100。暫時黏著層630提供研磨時所需的乘載力，並使晶圓600在切割時不易受應力影響而破裂。在本發明之部分實施例中，暫時黏著層630為一膠帶。

【0046】 接著參閱第7圖，第7圖繪示根據本發明部分實施方式之晶片封裝體的製造方法流程圖。並同時參閱第8A-8G圖以進一步理解晶片封裝體的製造方法，第8A-8G繪示第2圖的晶片封裝體在製程各個階段的剖面圖。

【0047】 請先參閱步驟710與第8A圖，提供一晶圓800，晶圓800具有相對的第一表面112與第二表面114，並包含感測層115、第一絕緣層118、導電墊區116與測試電路117，其中感測層115位於第一表面112上、第一絕緣層118位於第一表面

112下、而導電墊區116與測試電路117位於第一絕緣層118中，且彼此電性分離。晶圓800上具有複數個晶片區，在後續製程中會切割此些晶片區以形成複數個晶片封裝體200。在本發明之部分實施例中，晶圓800中具有半導體元件、內層介電層(ILD)、內金屬介電層(IMD)、鈍化層(passivation layer)與內連金屬結構。導電墊區116與測試電路117為晶圓800中的內連金屬結構，其具有複數個平行排列的金屬層與連接此些金屬層的連通柱(via)。且部分的第一絕緣層118位於此些金屬層間以作為內金屬介電層，而連通柱通過第一絕緣層118以電性連接相鄰的金屬層。此外，第一絕緣層118更使導電墊區116與測試電路117電性絕緣。

【0048】 繼續參閱步驟720與第8A圖，形成一間隔層120於第一表面112上，以環繞感測層115，接著形成一乘載基板130於間隔層120上，以覆蓋感測層115。在此步驟中，係使用一黏著層(未繪示)以黏合感測層115至第一表面112，接著在接合乘載基板130至間隔層120上。值得注意的是，乘載基板130具有一凹洞810，其係用於定義感測層115的感測區域，將於後續詳述。

【0049】 請繼續參閱步驟730與第8B圖，形成一穿孔119自晶圓800的第二表面114朝第一表面112延伸，以暴露導電墊區116。在此步驟中，可利用微影蝕刻的方式移除部分的晶圓800，以形成穿孔119於晶圓800中以暴露導電墊區116，但不以此為限。在本發明之部分實施例中，在形成穿孔119前，係先研磨晶圓800的第二表面114以減少晶圓800的厚度。

【0050】 接著請參閱步驟740與第8C圖，移除部分的晶圓800、部分的間隔層120與部分的乘載基板130以形成一缺口820暴露晶圓800的側面113。在此步驟中，係使用刀具切除部分的晶圓700以形成側面113於第一表面112與第二表面114之間，且測試電路117暴露於晶圓800的側面113。值得注意的是，此步驟為一預切割製程，並不會完全切開乘載基板130。換言之，刀具切割至乘載基板130中即停止，而形成的缺口820通過晶圓800、間隔層120與部分的乘載基板130，且缺口820的底部821位於乘載基板130中。在本發明之部分實施例中，晶圓800不具有測試電路117，而第一絕緣層118暴露於晶圓800的側面113。

【0051】 請繼續參閱步驟750與第8D圖，形成第二絕緣層240於晶圓800的第二表面114下、穿孔119與缺口820中，並移除穿孔119中的部分第二絕緣層240以暴露導電墊區116於穿孔119中。在此步驟中，係以化學氣相沉積法(chemical vapor deposition, CVD)順應的沉積絕緣材料至第二表面114下，而部分的絕緣材料會進入穿孔119中覆蓋其側壁與底部。值得注意的是，第8A~8G圖與第6A~6G圖的製程步驟之差別在於，第8A~8G圖係在形成第二絕緣層240前形成缺口820，因此絕緣材料更順應的覆蓋晶圓的側面113與缺口820的底部821，以形成保護測試電路117的第二絕緣層240。接著，可使用微影蝕刻的方式移除穿孔119中的絕緣材料，使導電墊區116暴露於穿孔119的底部。在本發明之部分實施例中，晶圓

800不具有測試電路117，而第二絕緣層240覆蓋暴露於側面113的第一絕緣層118。

【0052】 請繼續參閱步驟760與第8E圖，形成一導電層150於第二絕緣層240下與穿孔119中。可利用例如是濺鍍、蒸鍍、電鍍或無電鍍的方式來沉積導電材料至第二絕緣層240下，而部分的導電材料延伸至穿孔119中覆蓋其側壁，並接觸暴露於穿孔119底部的導電墊區116。具體而言，導電材料係接觸導電墊區116中的金屬層。之後，可使用微影蝕刻的方式圖案化導電材料，以形成導電層150。在本發明之部分實施例中，導電層150的材質例如可以採用鋁(aluminum)、銅(copper)、鎳(nickel)或其他合適的導電材料。

【0053】 請接著參閱步驟770與第8F圖，形成一遮光保護層160於第二表面114下與缺口820中，且遮光保護層160延伸入乘載基板130中並覆蓋位於晶圓800之側面113的第二絕緣層240。可藉由塗佈、沉積或印刷環氧樹脂系或具有低透光率的材料於導電層150下，且此些材料在未固化前具有流動性，其受重力影響流入缺口820中覆蓋位於晶圓800之側面113的第二絕緣層240，且部分的環氧樹脂系或低透光率的材料係流至缺口820的底部821，並嵌於乘載基板130中。之後，再使用熱固化或光交聯的方係固化此些材料，以形成遮光保護層160。覆蓋側面113的第二絕緣層240與遮光保護層160可保護測試線路117不被水氣侵蝕，而提高製程的良率。在本發明之部分實施例中，部分的遮光保護層160位於穿孔119中，但未完全填滿穿孔119。

【0054】 請接著參閱步驟780與第8F圖，形成第二開口162於遮光保護層160中以暴露導電層150，接著形成一外部導電結構170於第二開口162中。在此步驟中，係圖案化遮光保護層160以形成第二開口162，使部分的導電層150於遮光保護層160的第二開口162中暴露出來。在本實施例中，此遮光保護層160之材質為感光性材料，具體而言為感光性環氧樹脂或低透光率的感光材料，因此不需額外使用光阻層定義遮光保護層160的圖案，可直接以微影蝕刻方式來圖案化遮光保護層160以形成第二開口162。接著，再形成外部導電結構170於此第二開口162中，且外部導電結構170接觸導電層150以電性連接至導電層150。

【0055】 最後請參閱步驟790，並請參閱第8G圖，研磨乘載基板130以形成一第一開口132，並沿缺口切割遮光保護層160、第二絕緣層240與乘載基板130，以形成一晶片封裝體。在形成外部導電結構170後，係先形成一暫時黏著層830覆蓋遮光保護層160與外部導電結構170，接著再研磨乘載基板130。此研磨製程停止於凹洞810處，以形成第一開口132於感測層115上，而感測層115在第一開口132的垂直投影處即為感測區115a。接著，沿著缺口820中的切割道840切割遮光保護層160、第二絕緣層240與乘載基板130，以分離晶圓800上個多個晶片區。最後移除暫時黏著層830以形成第2圖所示的晶片封裝體200。

【0056】 更請參閱第9A-9G圖以理解本發明的晶片封裝體的另一種製造方法，第9A-9G繪示第2圖的晶片封裝體在製程各個階段的剖面圖。

【0057】 請先參閱與第9A圖，提供一晶圓900，晶圓900具有相對的第一表面112與第二表面114，並包含感測層115、第一絕緣層118、導電墊區116與測試電路117，其中感測層115位於第一表面112上、第一絕緣層118位於第一表面112下、而導電墊區116與測試電路117位於第一絕緣層118中，且彼此電性分離。晶圓900的詳細內容可參考前述的晶圓600與晶圓800，在此不再詳述。

【0058】 繼續參閱第9A圖，形成一間隔層120於第一表面112上，以環繞感測層115，接著形成一乘載基板130於間隔層120上，以覆蓋感測層115。在此步驟中，係使用一黏著層(未繪示)以黏合感測層115至第一表面112，接著在接合乘載基板130至間隔層120上。值得注意的是，乘載基板130具有一凹洞910，其係用於定義感測層115的感測區域，將於後續詳述。在形成乘載基板130後，更形成一暫時乘載層915覆蓋乘載基板130的上表面130T。暫時乘載層915有利於在後續的製程形成遮光保護層，其將於後詳述。在本發明的部分實施方式中，暫時乘載層915可為膠帶、玻璃、藍寶石基板或任何能提供乘載力的材料，但本發明並不加以限制其類型。

【0059】 請繼續參閱第9B圖，形成一穿孔119自晶圓900的第二表面114朝第一表面112延伸，以暴露導電墊區116。在此步驟中，可利用微影蝕刻的方式移除部分的晶圓900，以形

成穿孔119於晶圓900中以暴露導電墊區116，但不以此為限。在本發明之部分實施例中，在形成穿孔119前，係先研磨晶圓900的第二表面114以減少晶圓900的厚度。

【0060】 接著請參閱第9C圖，形成第二絕緣層140於晶圓900的第二表面114下與穿孔119中，並移除穿孔119中的部分第二絕緣層140以將導電墊區116暴露於穿孔119中。在此步驟中，係以化學氣相沉積法(chemical vapor deposition, CVD)順應的沉積絕緣材料至第二表面114下，而部分的絕緣材料會進入穿孔119中覆蓋其側壁與底部。接著，使用微影蝕刻的方式移除穿孔119中的絕緣材料以形成第一絕緣層140，並使導電墊區116暴露於穿孔119的底部。

【0061】 請繼續參閱第9D圖，形成一導電層150於第二絕緣層140下與穿孔119中。可利用例如是濺鍍、蒸鍍、電鍍或無電鍍的方式來沉積導電材料至第二絕緣層140下，而部分的導電材料延伸至穿孔119中覆蓋其側壁，並接觸暴露於穿孔119底部的導電墊區116。具體而言，導電材料係接觸導電墊區116中的金屬層。之後，可使用微影蝕刻的方式圖案化導電材料，以形成導電層150。

【0062】 請繼續參閱第9E圖，移除部分的晶圓900、部分的間隔層120與部分的乘載基板130以形成一缺口920暴露晶圓900的側面113。在此步驟中，係使用刀具切除部分的晶圓900以形成側面113於第一表面112與第二表面114之間，且測試電路117暴露於晶圓900的側面113。但第9E圖與第6E圖繪示的切割步驟之間的差異在於，在第9E圖中會將乘載基板130

完全切開。也就是說，此預切割製程將乘載基板130貫穿並停止於暫時乘載層915，因此形成的缺口920通過晶圓900、間隔層120與乘載基板130，且暫時乘載層915暴露於缺口920的底部921。乘載基板130在切割後被分離成複數個如第4圖所示的乘載基板130，且此些乘載基板130的側面130S均暴露於缺口920中。在本發明之部分實施例中，晶圓900不具有測試電路117，而第一絕緣層118暴露於晶圓900的側面113。

【0063】請接著參閱第9F圖，形成一遮光保護層460於第二表面114下與缺口920中，且遮光保護層460延伸覆蓋晶圓900的側面113與乘載基板130的側面130S。遮光保護層460的材料與形成方式可參考第6F圖的遮光保護層160，在此不再詳述。如前所述，遮光保護層460在為固化前具有流動性，並受重力影響流入缺口920中覆蓋晶圓900的側面113與乘載基板130的側面130S，而暫時乘載層915提供阻擋能力以使此些材料不會繼續往下流動，而能置留於缺口920之中。遮光保護層460不僅保護測試線路117不被水氣侵蝕，更完全遮蔽自乘載基板130之側面130S處進入的光線，藉此提高製程的良率與晶片封裝體的偵測精度。在本發明之部分實施例中，晶圓900不具有測試電路117，而遮光保護層160覆蓋暴露於側面113的第一絕緣層118。

【0064】請接著參閱第9F圖，形成第二開口162於遮光保護層460中以暴露導電層150，接著形成一外部導電結構170於第二開口162中。在此步驟中，係圖案化遮光保護層460以形成第二開口162，使部分的導電層150於遮光保護層460的

第二開口162中暴露出來。在本實施例中，此遮光保護層460之材質為感光性材料，具體而言為感光性環氧樹脂或低透光率的感光材料，因此不需額外使用光阻層定義遮光保護層460的圖案，可直接以微影蝕刻方式來圖案化遮光保護層460以形成第二開口162。接著，再形成外部導電結構170於此第二開口162中，且外部導電結構170接觸導電層150以電性連接至導電層150。

【0065】 最後請參閱第9G圖，移除暫時乘載層915，並研磨乘載基板130以形成一第一開口132，再沿缺口920切割遮光保護層160，以形成一晶片封裝體。在形成外部導電結構170後，係先形成一暫時黏著層930覆蓋遮光保護層160與外部導電結構170，接著將暫時乘載層915移除後再研磨乘載基板130。此研磨製程停止於凹洞910處，以形成第一開口132於感測層115上，而感測層115在第一開口132的垂直投影處即為感測區115a。在本發明之其他部分實施例中，可直接以研磨方式將暫時乘載層915移除，之後再繼續研磨乘載基板130來形成第一開口132，更可在第一開口132形成後繼續研磨乘載基板130以降低其厚度。接著，沿著缺口920中的切割道940切割遮光保護層460與暫時黏著層930，以分離晶圓900上個多個晶片區。最後移除暫時黏著層930以形成第4圖所示的晶片封裝體400。暫時黏著層930提供研磨時所需的乘載力，並使晶圓900在切割時不易受應力影響而破裂。在本發明之部分實施例中，暫時黏著層930為一膠帶。

【0066】 與習知技術相較，本發明之晶片封裝體的遮光保護層延伸至晶片的側面覆蓋暴露的測試電路或第一絕緣層，以達到阻隔水氣的功效。藉此，測試電路或第一絕緣層不受水氣影響而氧化，使晶片封裝體的內部電路，例如：矽穿孔，維持良好電性。此外，遮光保護層更覆蓋間隔層的側面使其不易吸收水氣而與晶片剝離。在其他實施例中，晶片封裝體的第二絕緣層亦延伸至晶片的側面，並夾設於側面與遮光保護層之間。具有緻密結構的第二絕緣層進一步阻隔晶片的側面與水氣接觸的機會。在一些實施方式中，遮光保護層更完全覆蓋乘載基板的側面，以避免自此處進入的光線干擾感測結果。總結以上數點，本發明提供之晶片封裝體與其製備方法能有效阻隔大氣中的水氣進入晶片封裝體中，而大幅提升其良率與可靠度。

【0067】 雖然本發明已以實施方式揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0068】

100：晶片封裝體

110：晶片

112：第一表面

113、313：側面

114：第二表面

- 115 : 感測層
- 115a : 感測區
- 116 : 導電墊區
- 117 : 測試電路
- 118 : 第一絕緣層
- 119 : 穿孔
- 120 : 間隔層
- 130 : 乘載基板
- 130T : 上表面
- 130S : 側面
- 132 : 第一開口
- 140、240 : 第二絕緣層
- 150 : 導電層
- 160、360、460 : 保護層
- 162 : 第二開口
- 164 : 接觸面
- 170 : 外部導電結構
- 464 : 底部
- 600、800、900 : 晶圓
- 610、810、910 : 凹洞
- 620、820、920 : 缺口
- 621、821、921 : 底部
- 630、830、930 : 暫時黏著層

640、840、940：切割道

915：暫時乘載層

510~590：步驟

710~790：步驟

【發明申請專利範圍】

【第 1 項】一種晶片封裝體，包含：

一晶片，具有相對的一第一表面與一第二表面，以及一側面位於該第一表面與該第二表面之間；

一間隔層位於該第一表面上；

一乘載基板位於該間隔層上；以及

一遮光保護層，位於該晶片的該第二表面下，且該遮光保護層延伸入該乘載基板中並覆蓋該晶片的該側面及該間隔層的側面。

【第 2 項】如請求項 1 所述之晶片封裝體，其中該遮光保護層之材質包含環氧樹脂或低透光率材料。

【第 3 項】如請求項 1 所述之晶片封裝體，其中該晶片更包含：

一感測層，位於該第一表面上，且該間隔層環繞該感測層；

一第一絕緣層，位於該第一表面下；

一導電墊區與一測試電路位於該第一絕緣層中，且彼此電性分離；以及

一穿孔自該晶片的第二表面朝該第一表面延伸，並暴露該導電墊區。

【第 4 項】如請求項 3 所述之晶片封裝體，其中該測試電路暴露於該晶片的該側面，而該遮光保護層覆蓋該測試電路。

【第 5 項】如請求項 3 所述之晶片封裝體，其中該第一絕緣層暴露於該晶片的該側面，而該遮光保護層覆蓋該第一絕緣層。

【第 6 項】如請求項 3 所述之晶片封裝體，其中該乘載基板具有位於該感測層上的一第一開口。

【第 7 項】如請求項 3 所述之晶片封裝體，更包含：
一第二絕緣層位於該第二表面下，並延伸至該穿孔中覆蓋該穿孔的側壁；以及
一導電層位於該第二絕緣層與該遮光保護層之間，並延伸至該穿孔中接觸該導電墊區。

【第 8 項】如請求項 7 所述之晶片封裝體，其中該第一絕緣層與該第二絕緣層之材質包含氧化矽、氮化矽、氮氧化矽、或其組合。

【第 9 項】如請求項 7 所述之晶片封裝體，其中該第二絕緣層更延伸覆蓋該側面，並夾設於該晶片的該側面與該遮光保護層之間。

【第 10 項】如請求項 7 所述之晶片封裝體，其中該遮光保護層具有一第二開口暴露部分該導電層。

【第 11 項】如請求項 10 所述之晶片封裝體，更包含一外部導電結構位於該第二開口中，並接觸該導電層。

【第 12 項】一種晶片封裝體的製造方法，包含：
提供一晶圓，該晶圓具有相對的一第一表面與一第二表面；

形成一間隔層於該第一表面上；

形成一乘載基板於該間隔層上；

移除部分該晶圓、部分該間隔層與部分該乘載基板以形成一缺口暴露該晶圓的一側面；以及

形成一遮光保護層於該第二表面下與該缺口中，且該遮光保護層延伸入該乘載基板中並覆蓋該晶圓的該側面。

【第 13 項】如請求項 12 所述之晶片封裝體的製造方法，更包含研磨該晶圓的該第二表面。

【第 14 項】如請求項 13 所述之晶片封裝體的製造方法，其中該晶圓更包含：

一感測層，位於該第一表面上，且該間隔層環繞該感測層；

一第一絕緣層，位於該第一表面下；以及

一導電墊區與一測試電路位於該第一絕緣層中，且彼此電性分離。

【第 15 項】 如請求項 14 所述之晶片封裝體的製造方法，其中該測試電路暴露於該晶圓的該側面，而位於該缺口中的該遮光保護層覆蓋該測試電路。

【第 16 項】 如請求項 14 所述之晶片封裝體的製造方法，更包含：

形成一穿孔自該晶圓的該第二表面朝該第一表面延伸，以暴露該導電墊區；

形成一第二絕緣層於該第二表面下與該穿孔中；

移除該穿孔中的部分該第二絕緣層以暴露該導電墊區；

以及

形成一導電層於該第二絕緣層下與該穿孔中，其中該遮光保護層覆蓋該導電層。

【第 17 項】 如請求項 16 所述之晶片封裝體的製造方法，更包含：

圖案化該遮光保護層以形成一第二開口暴露該導電層；

以及

形成一外部導電結構於該第二開口中。

【第 18 項】 如請求項 17 所述之晶片封裝體的製造方法，更包含：

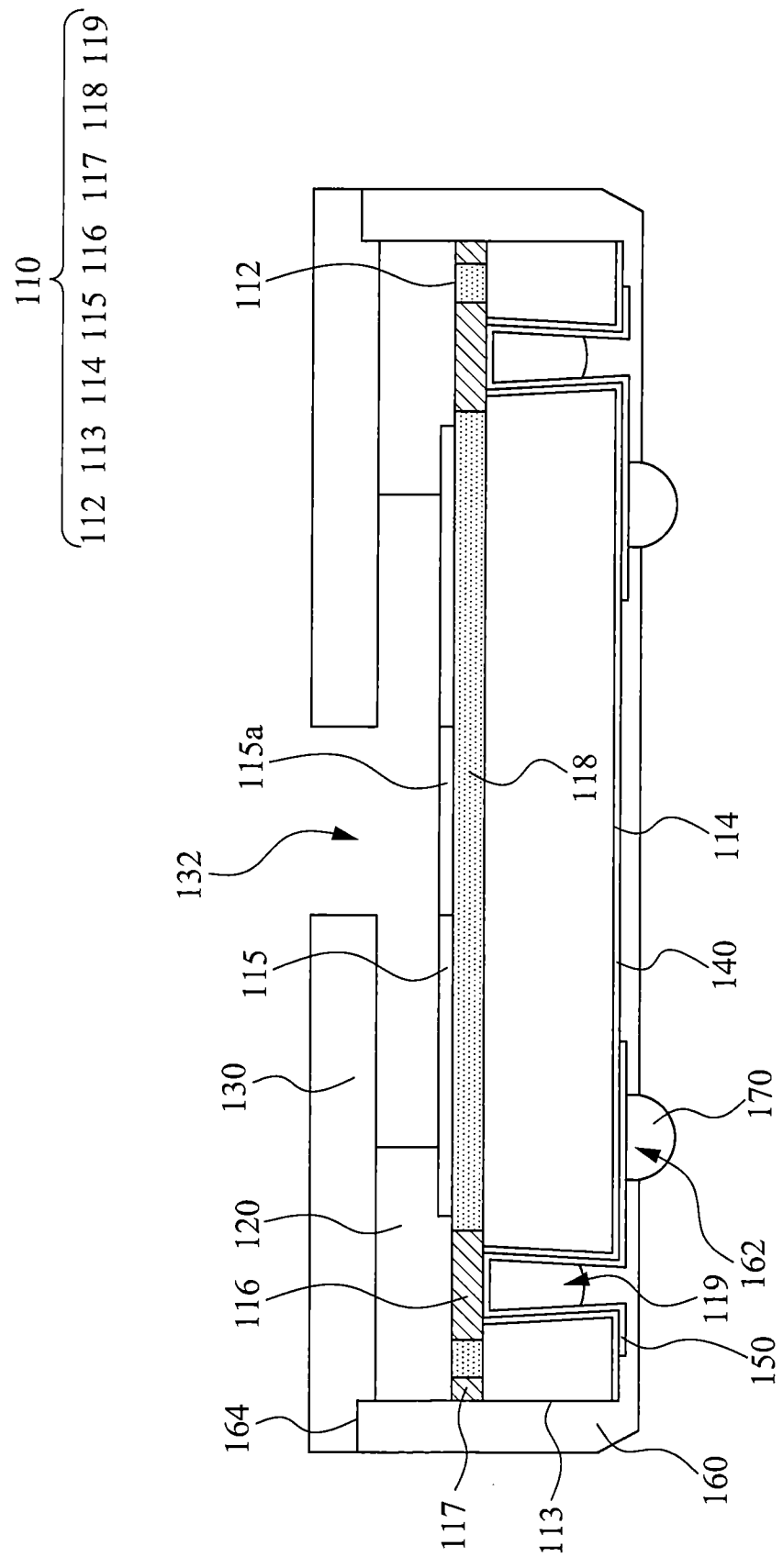
研磨該乘載基板以形成一第一開口。

【第 19 項】 如請求項 18 所述之晶片封裝體的製造方法，更包含：

沿該缺口切割該遮光保護層，以形成一晶片封裝體。

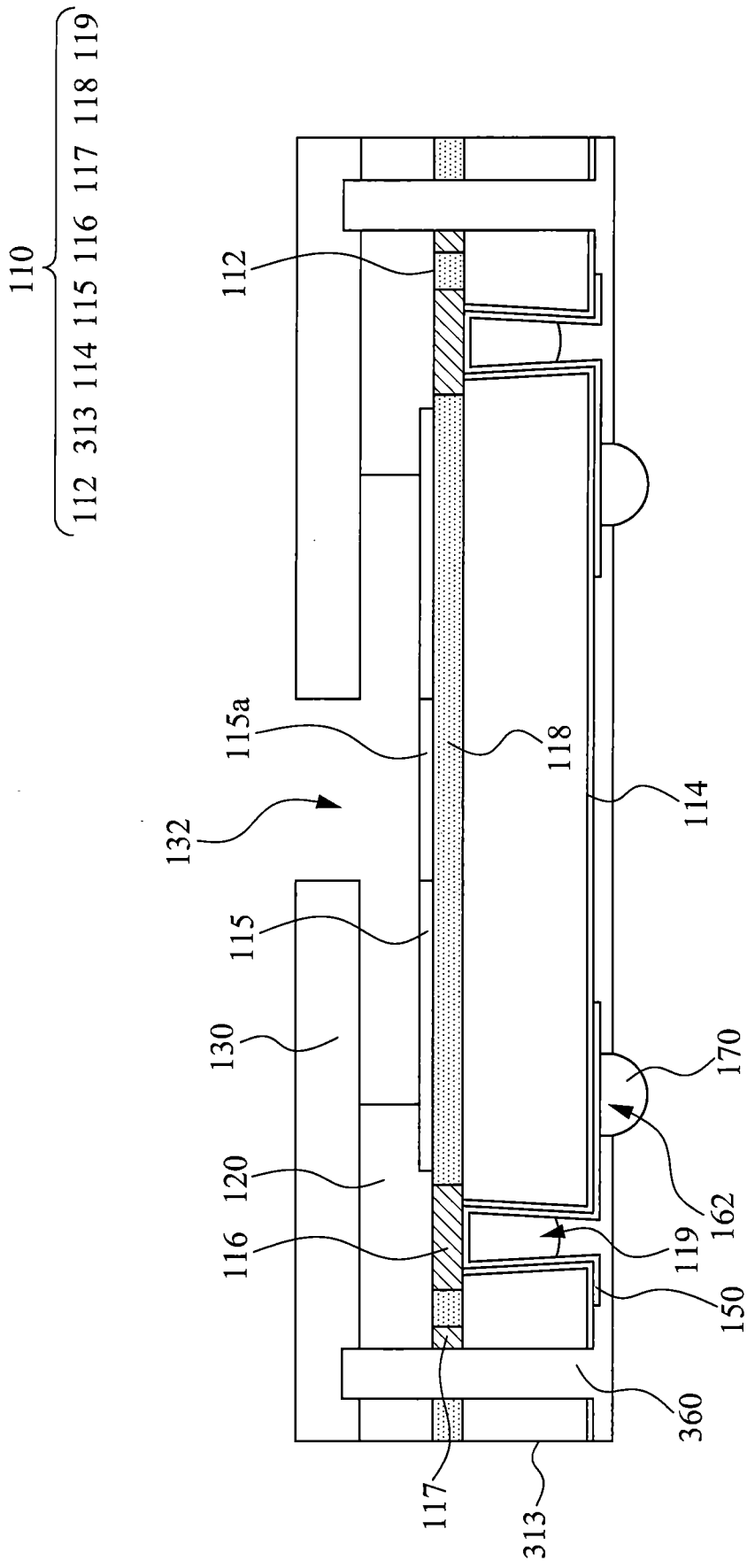
【第 20 項】 如請求項 12 所述之晶片封裝體的製造方法，其中該遮光保護層係以塗佈、沉積或印刷的方式形成。

100

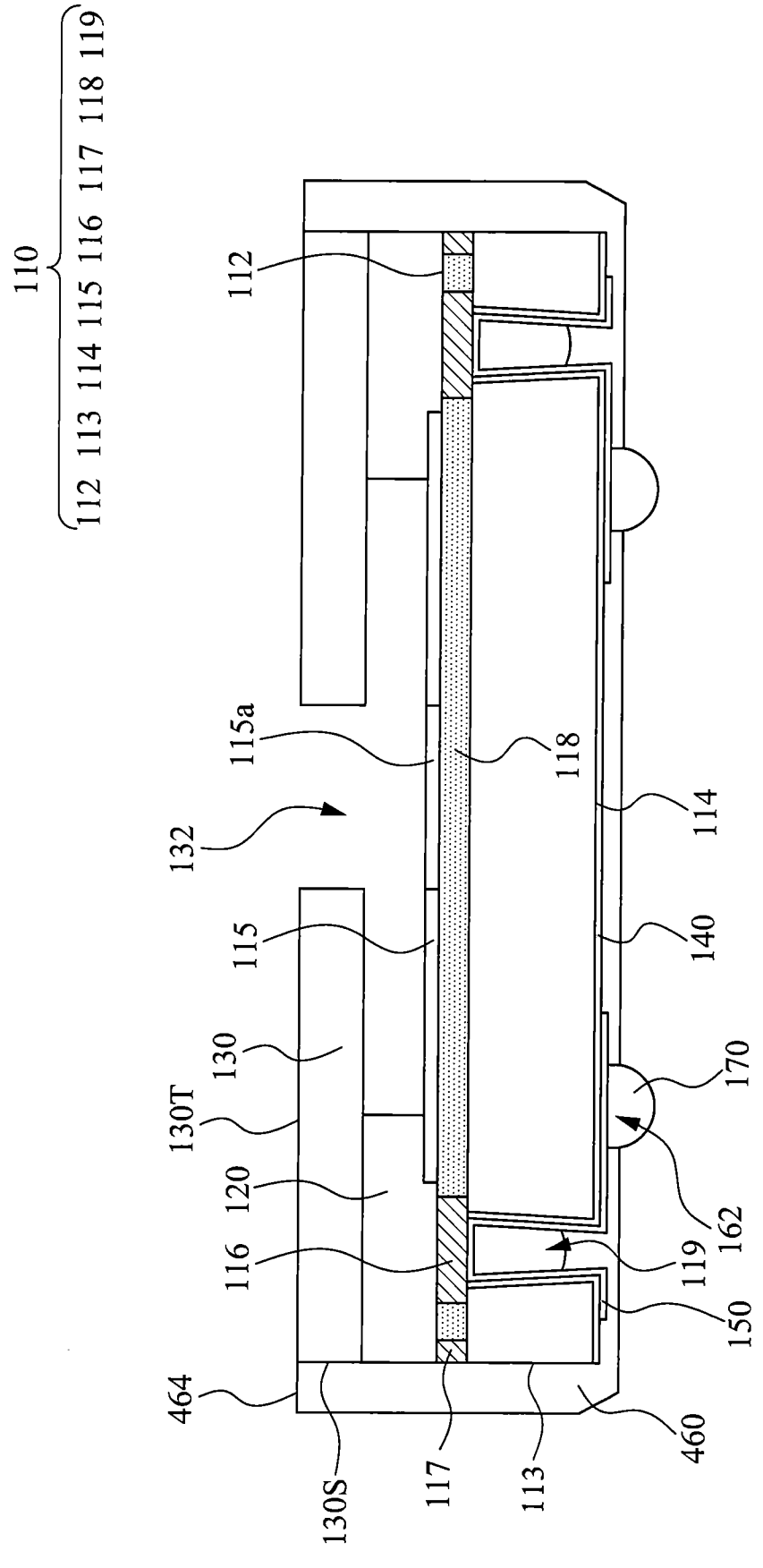


圖式

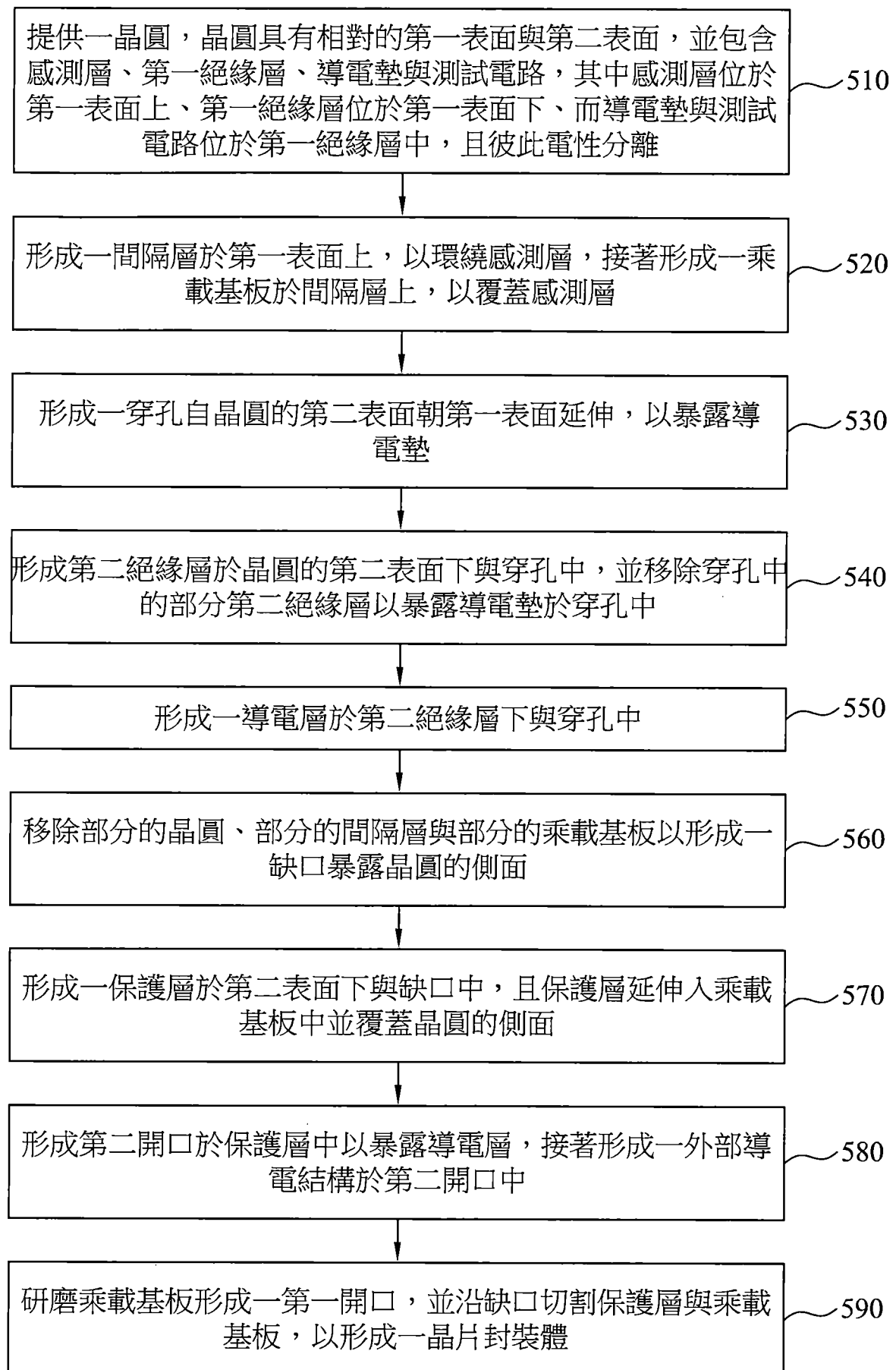
第 1 圖



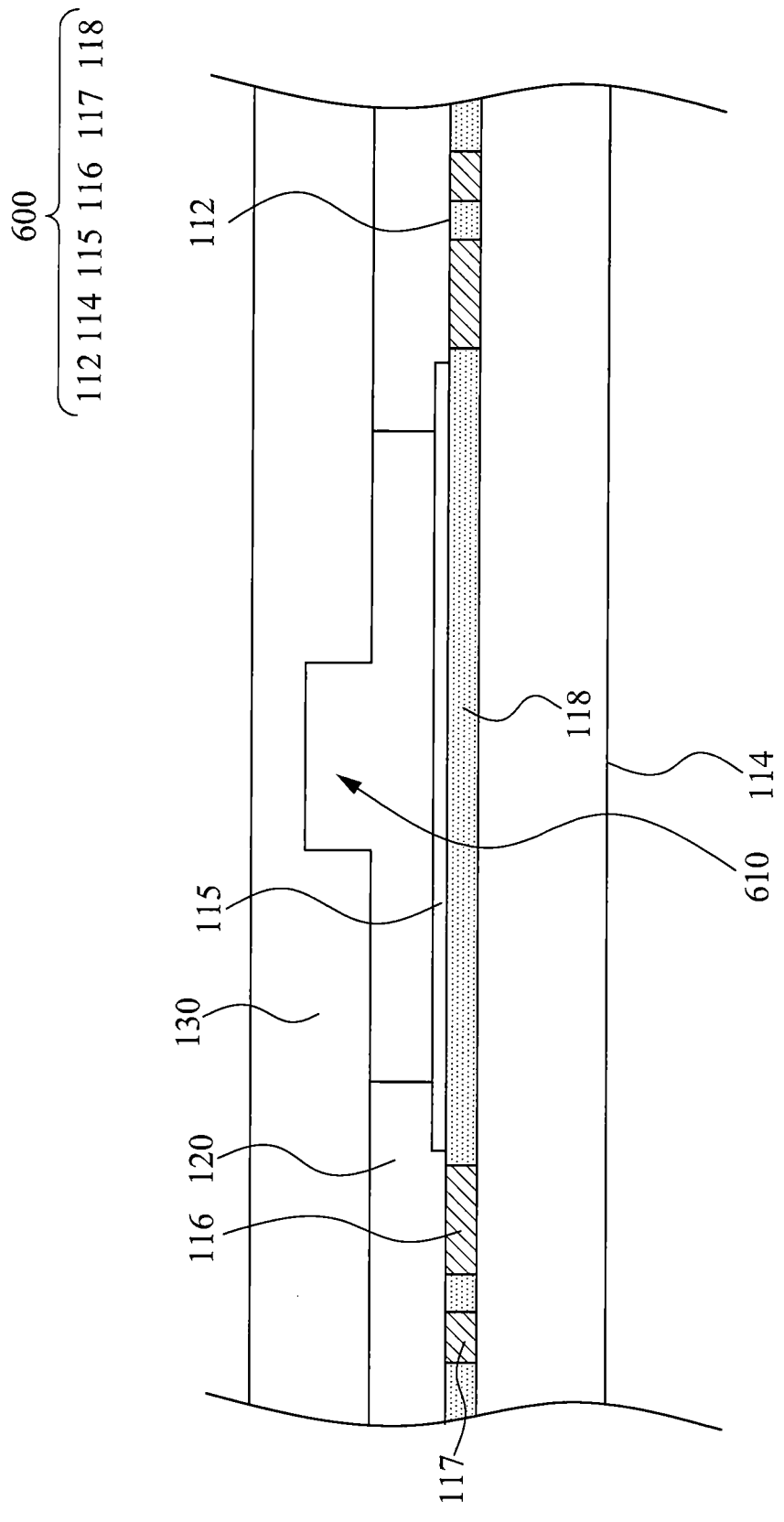
第3圖



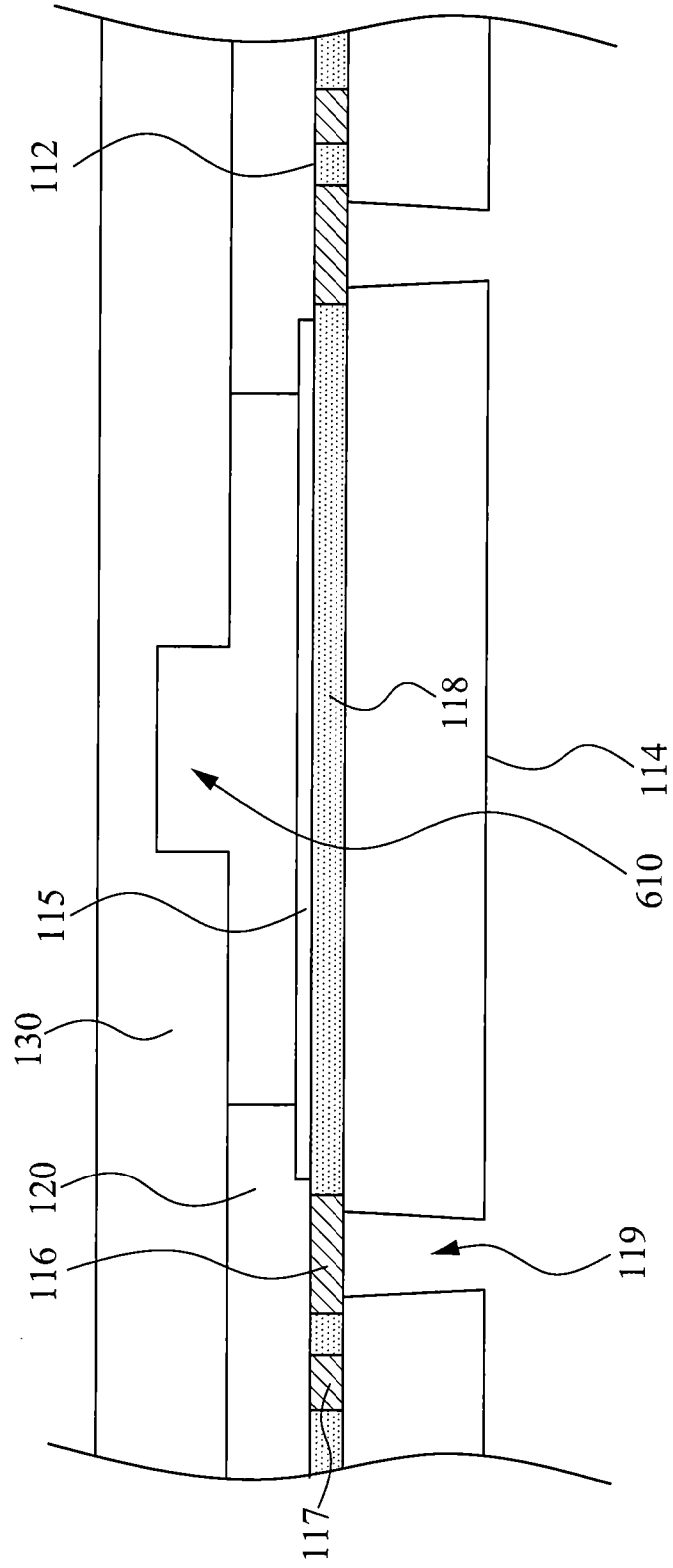
第4圖



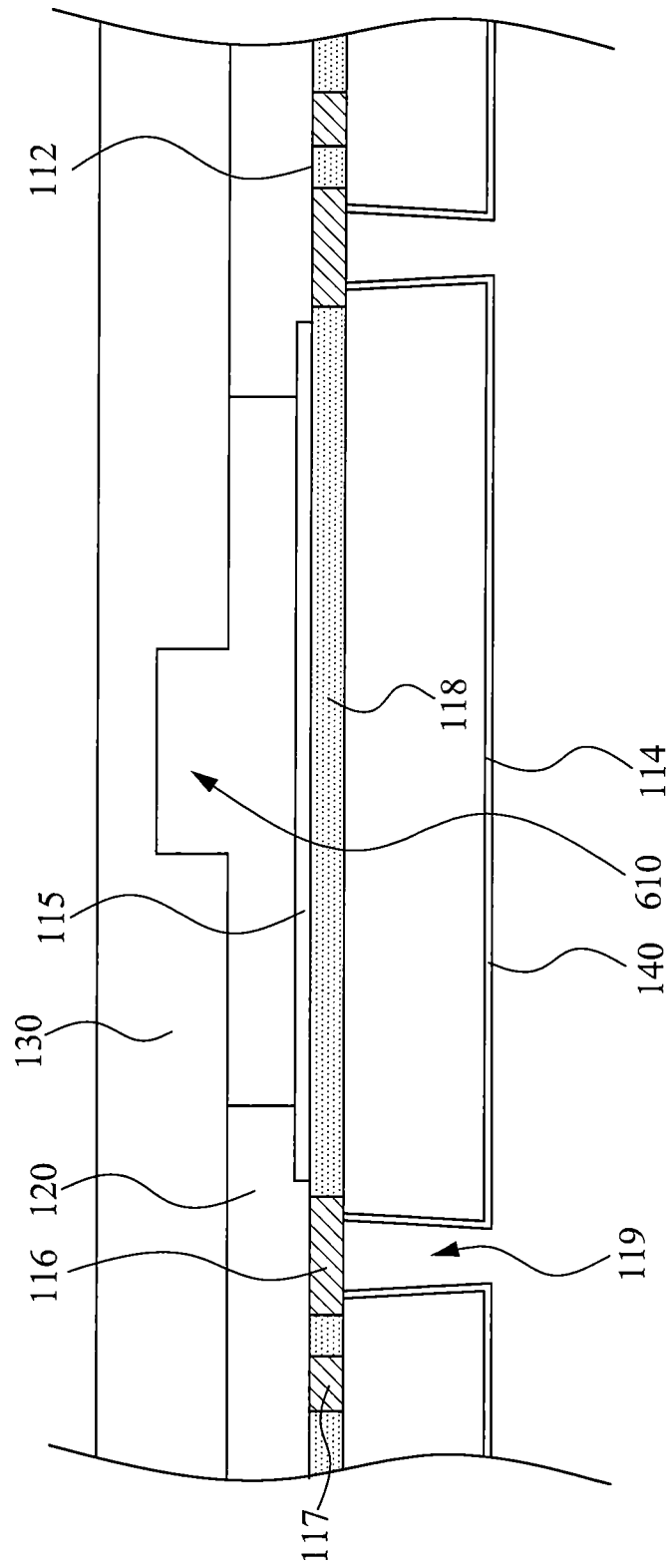
第 5 圖



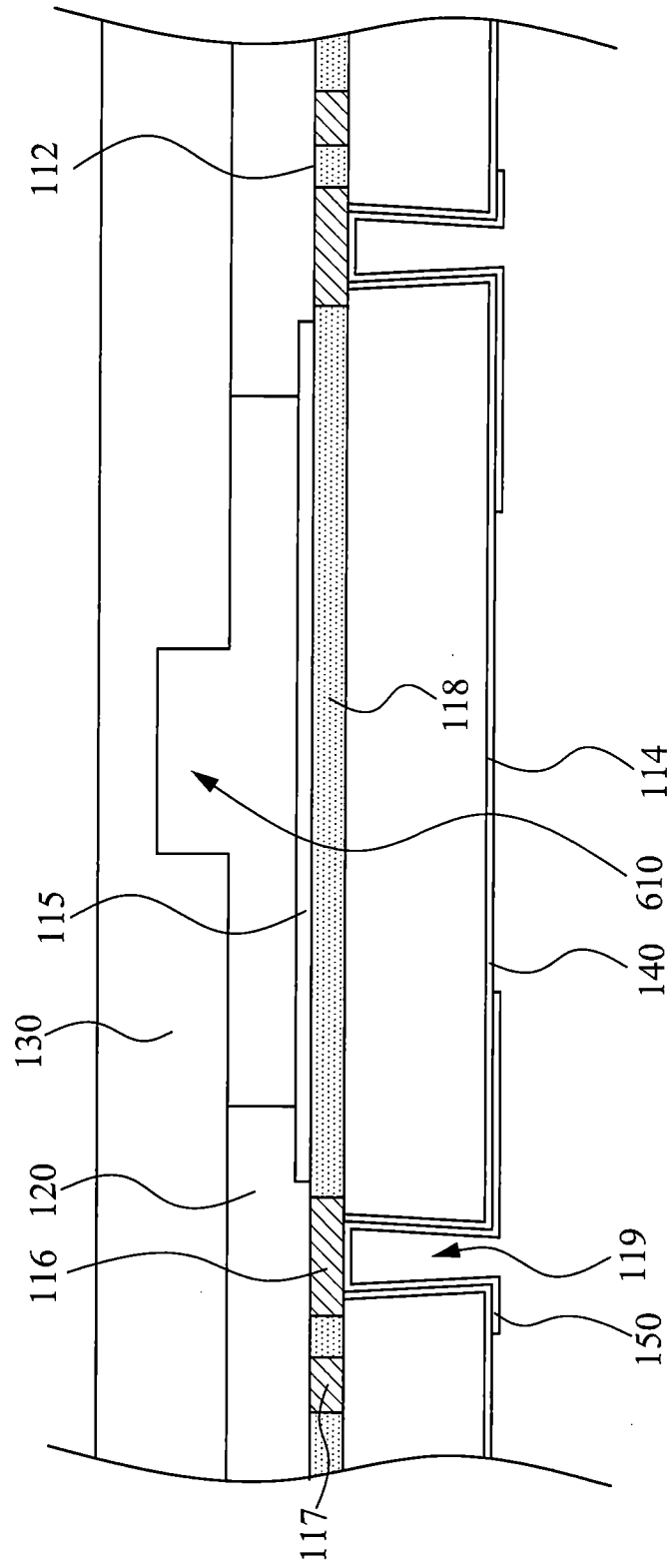
第6A圖



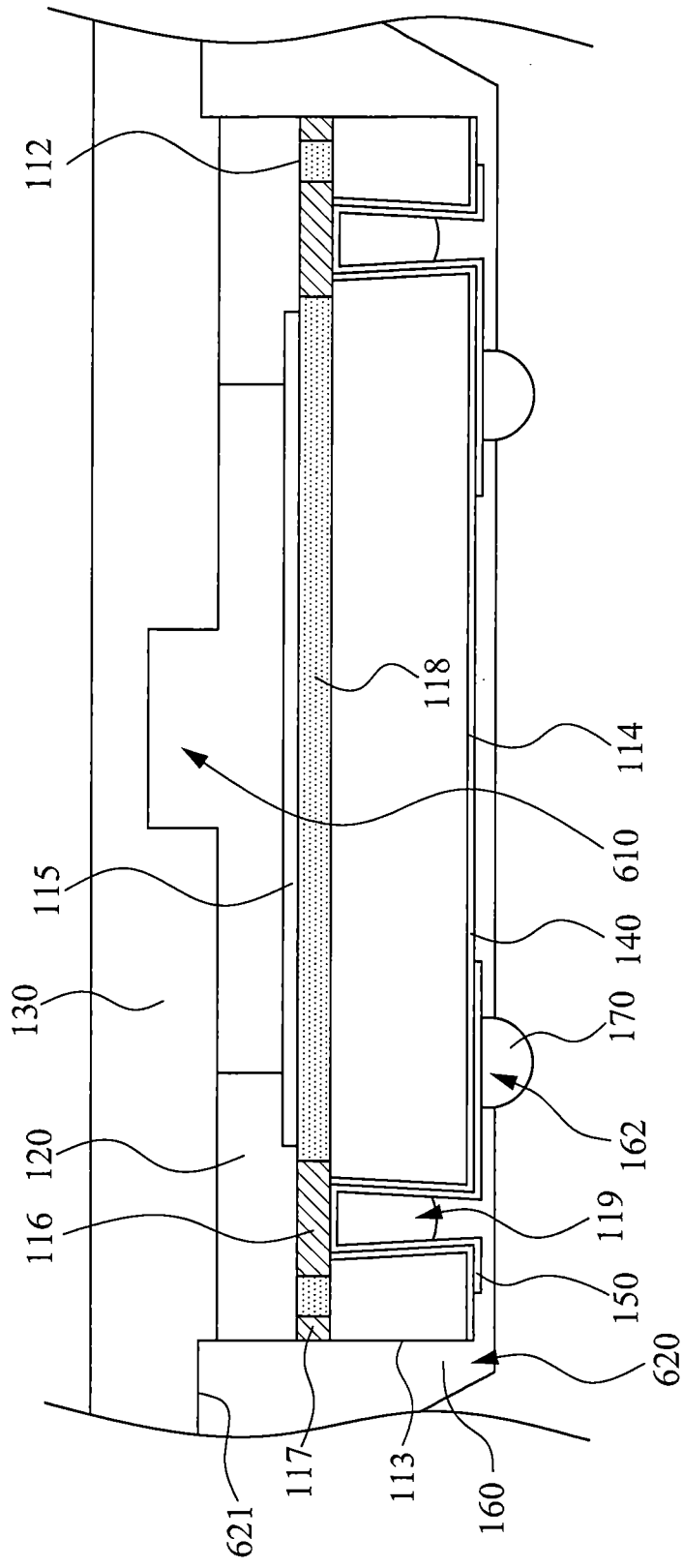
第6B圖



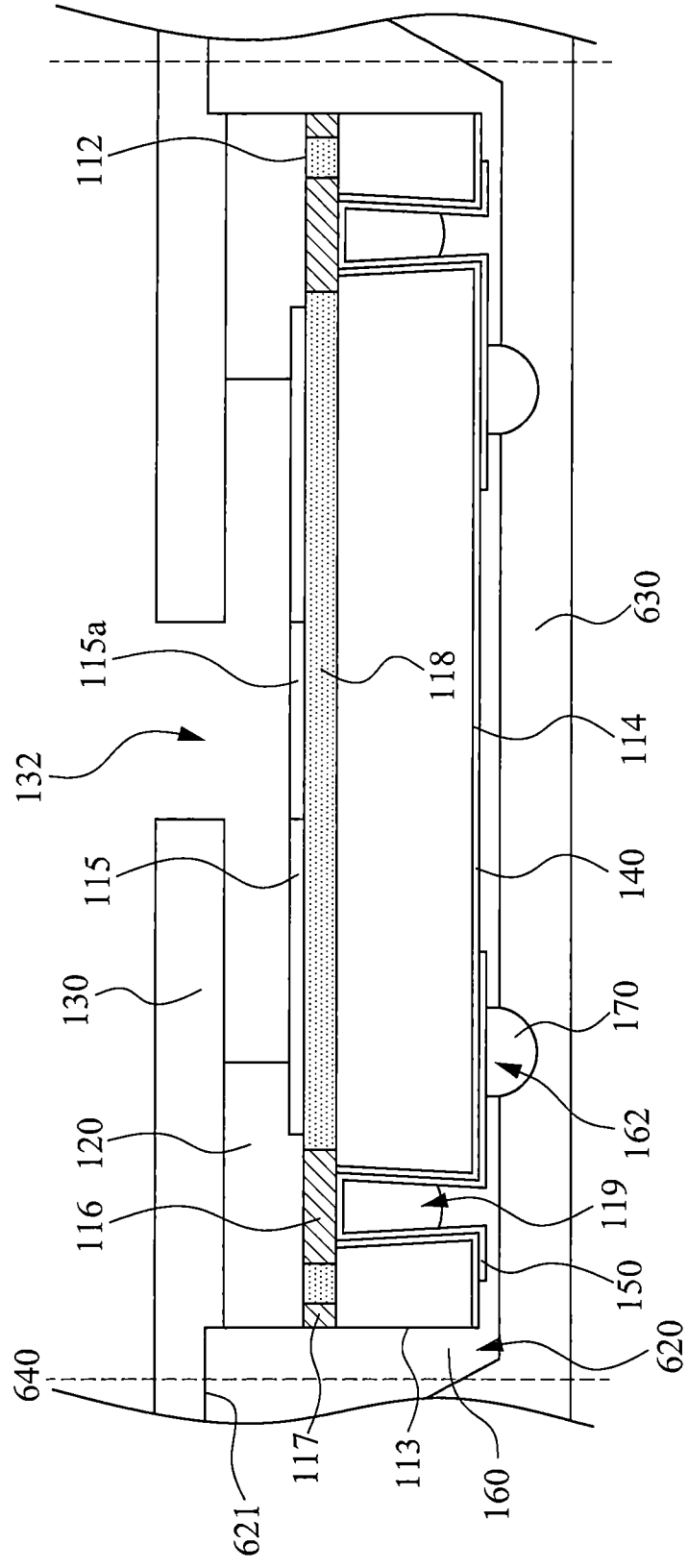
第6C圖



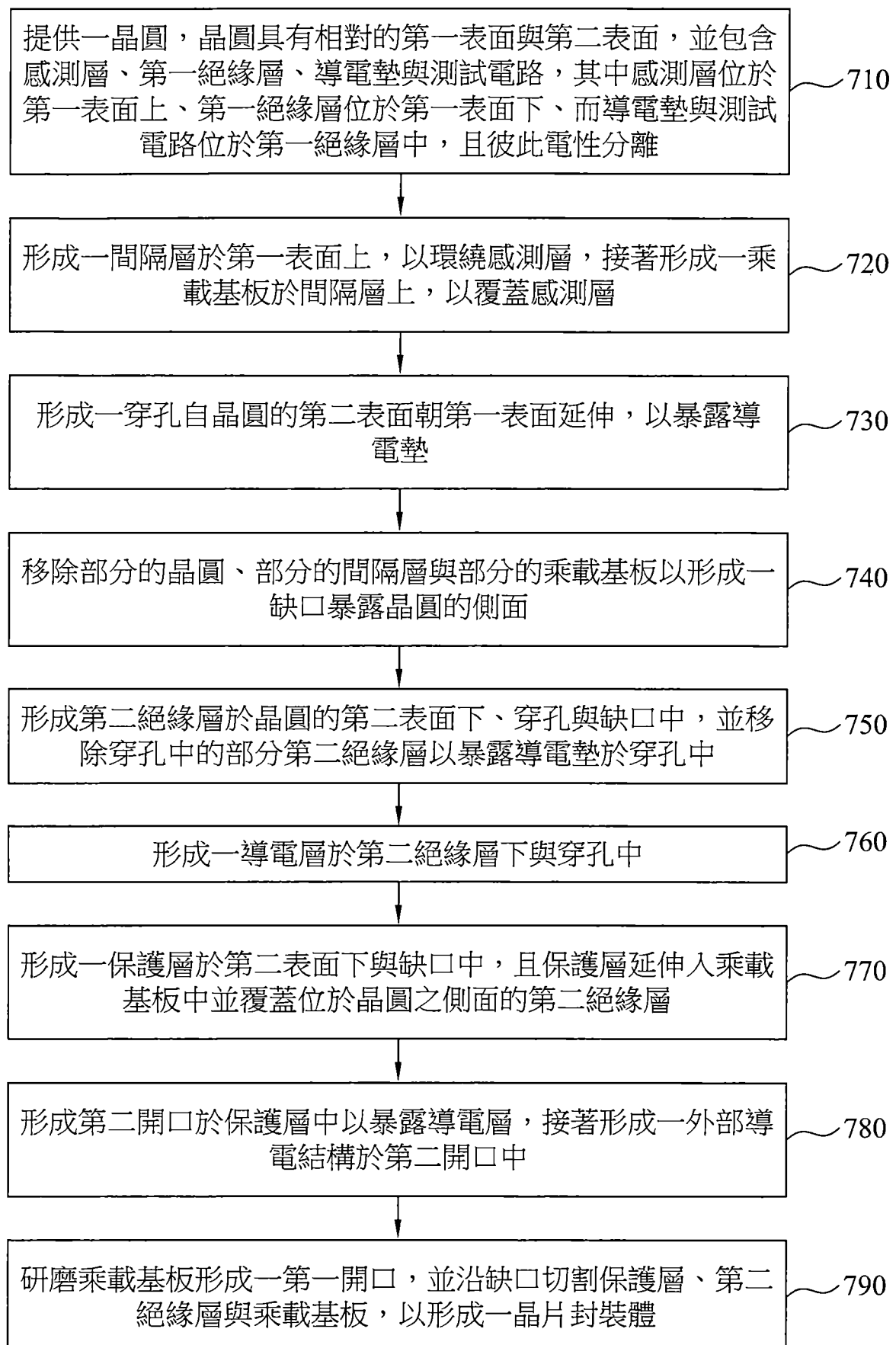
第6D圖



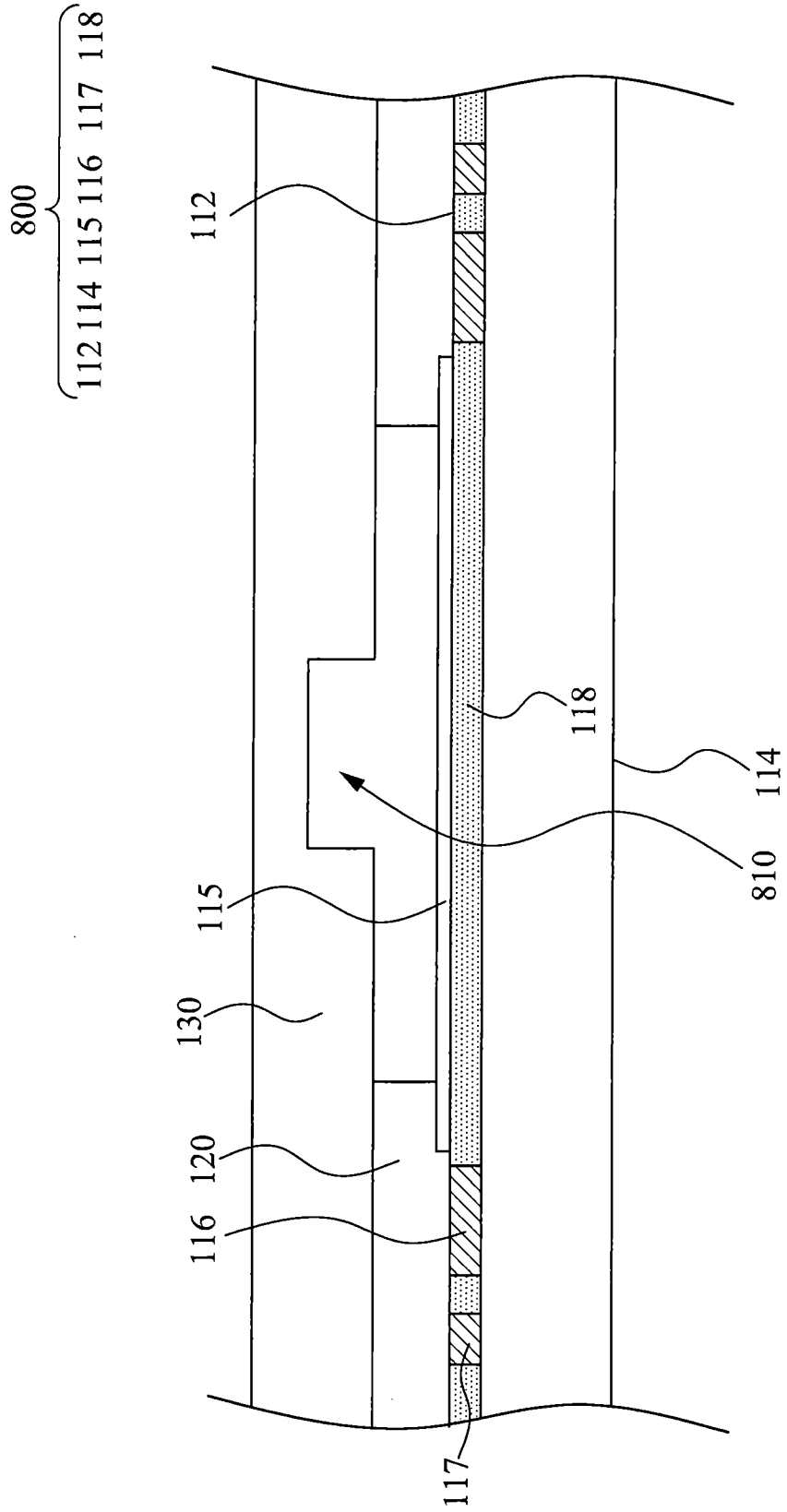
第6F圖



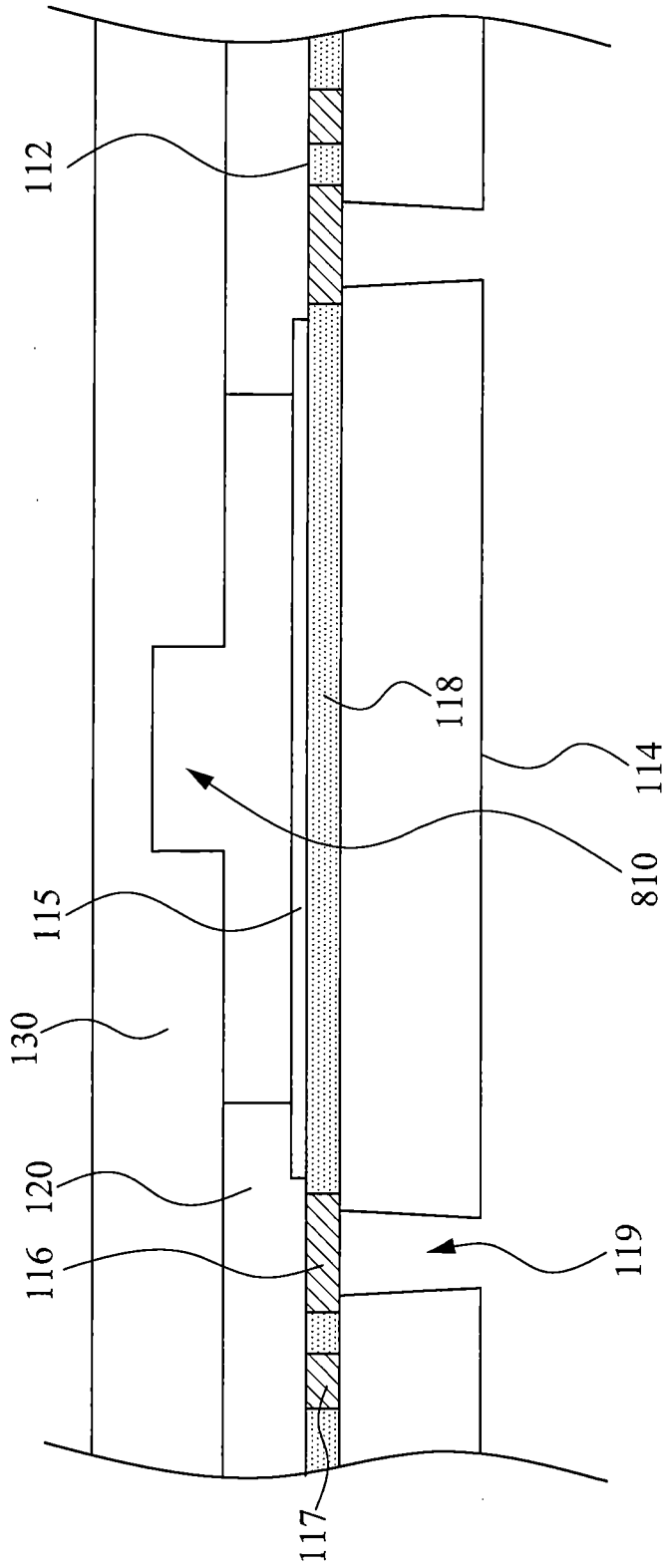
第6G圖



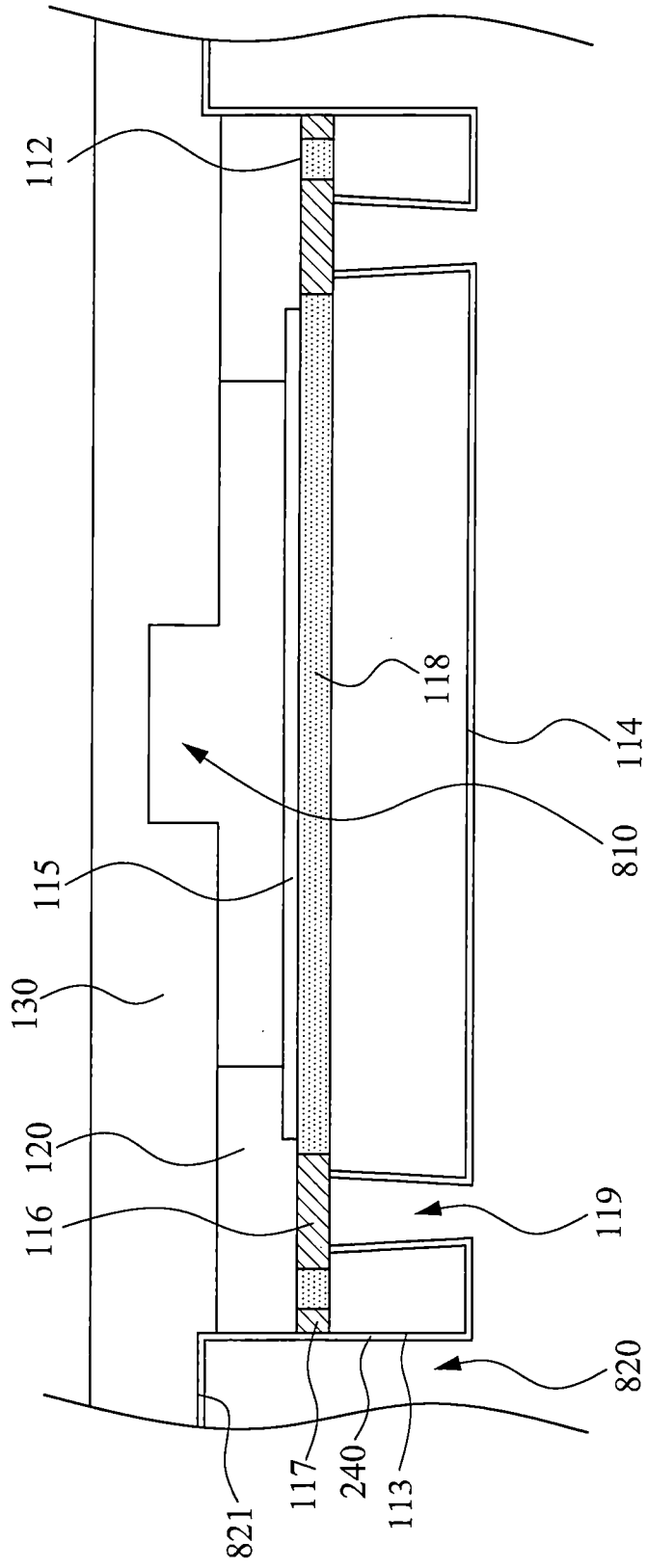
第 7 圖



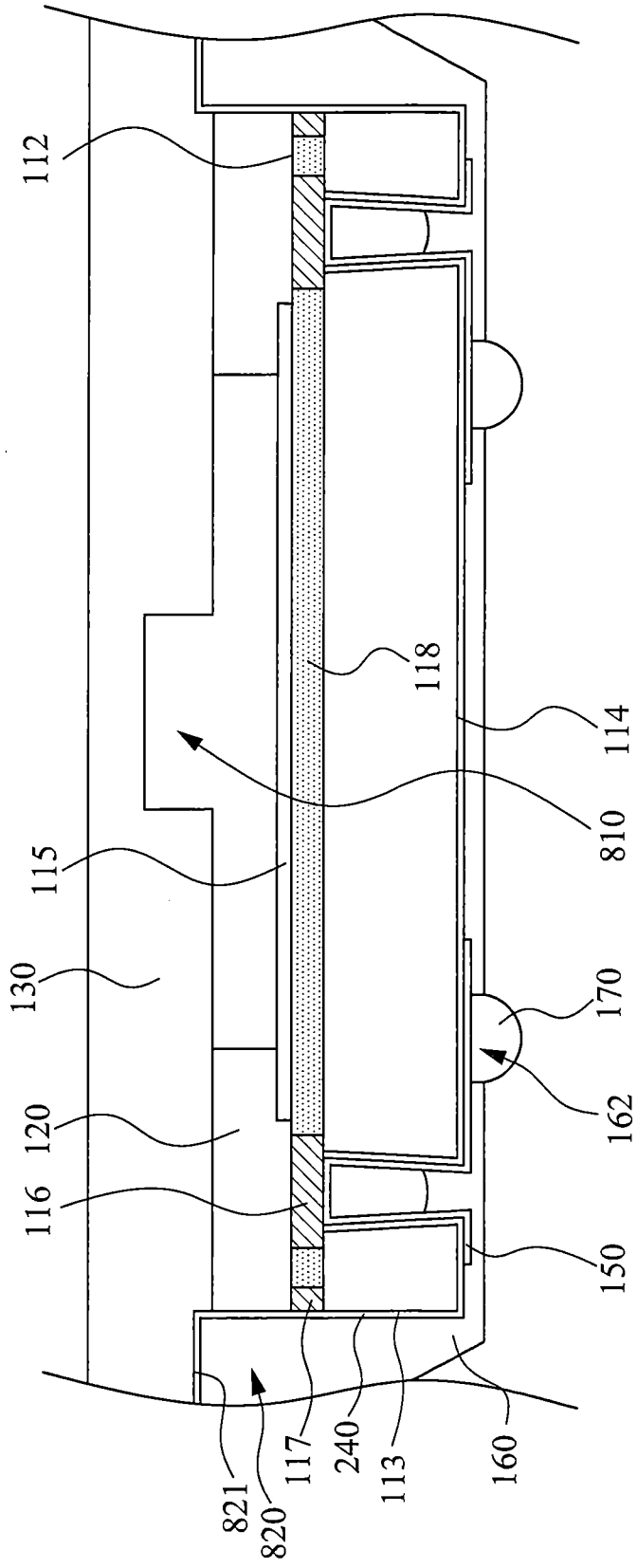
第8A圖



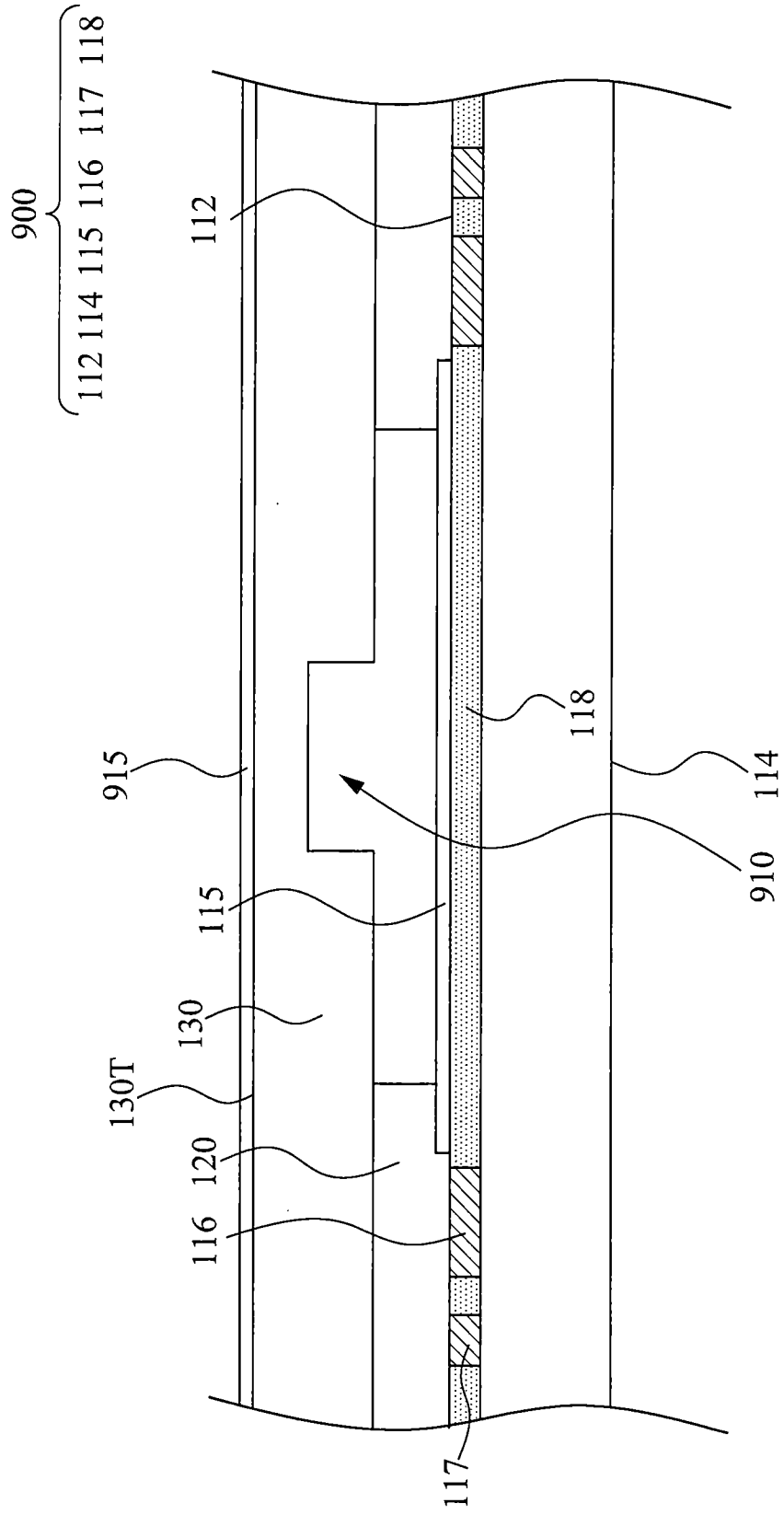
第 8B 圖



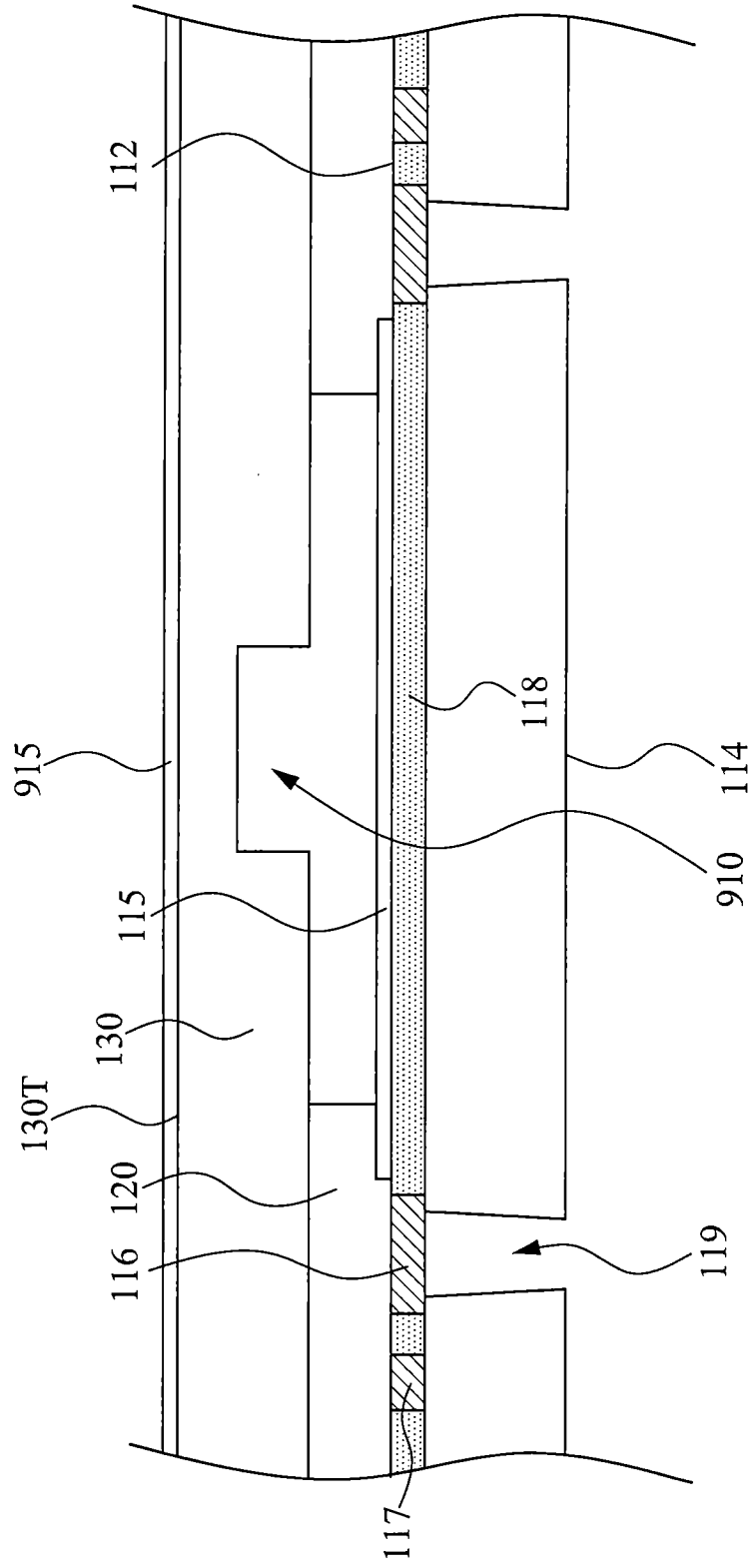
第8D圖



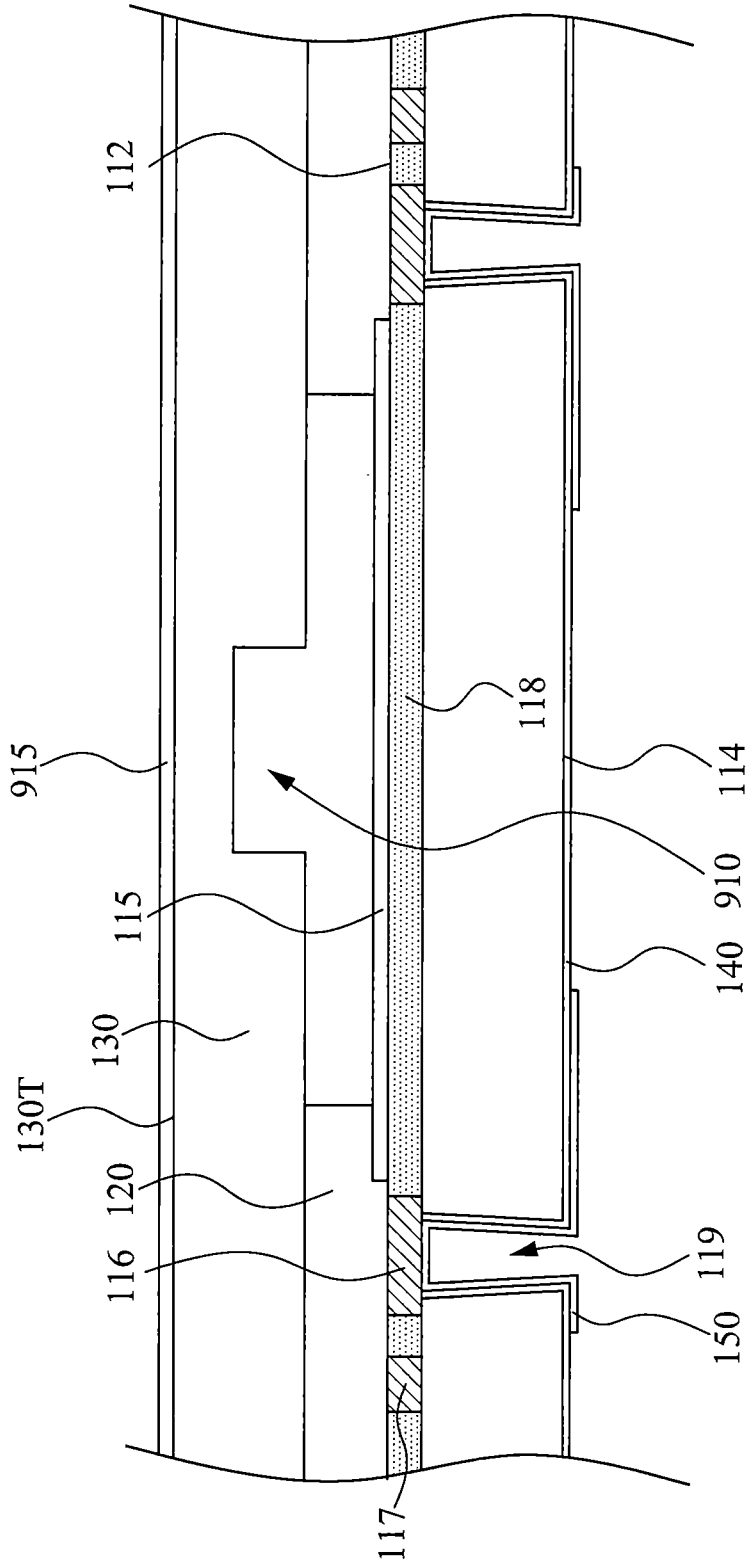
第8F圖



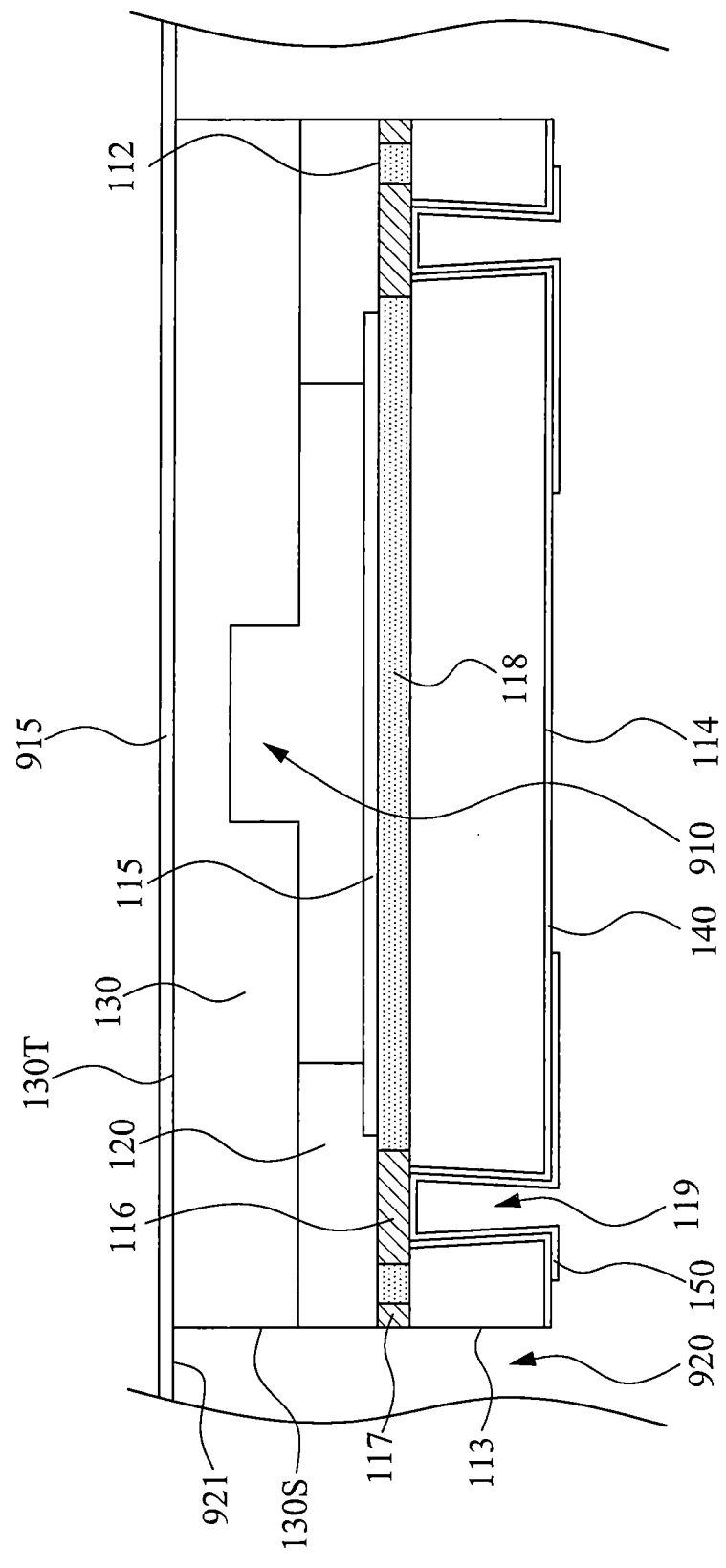
第9A圖



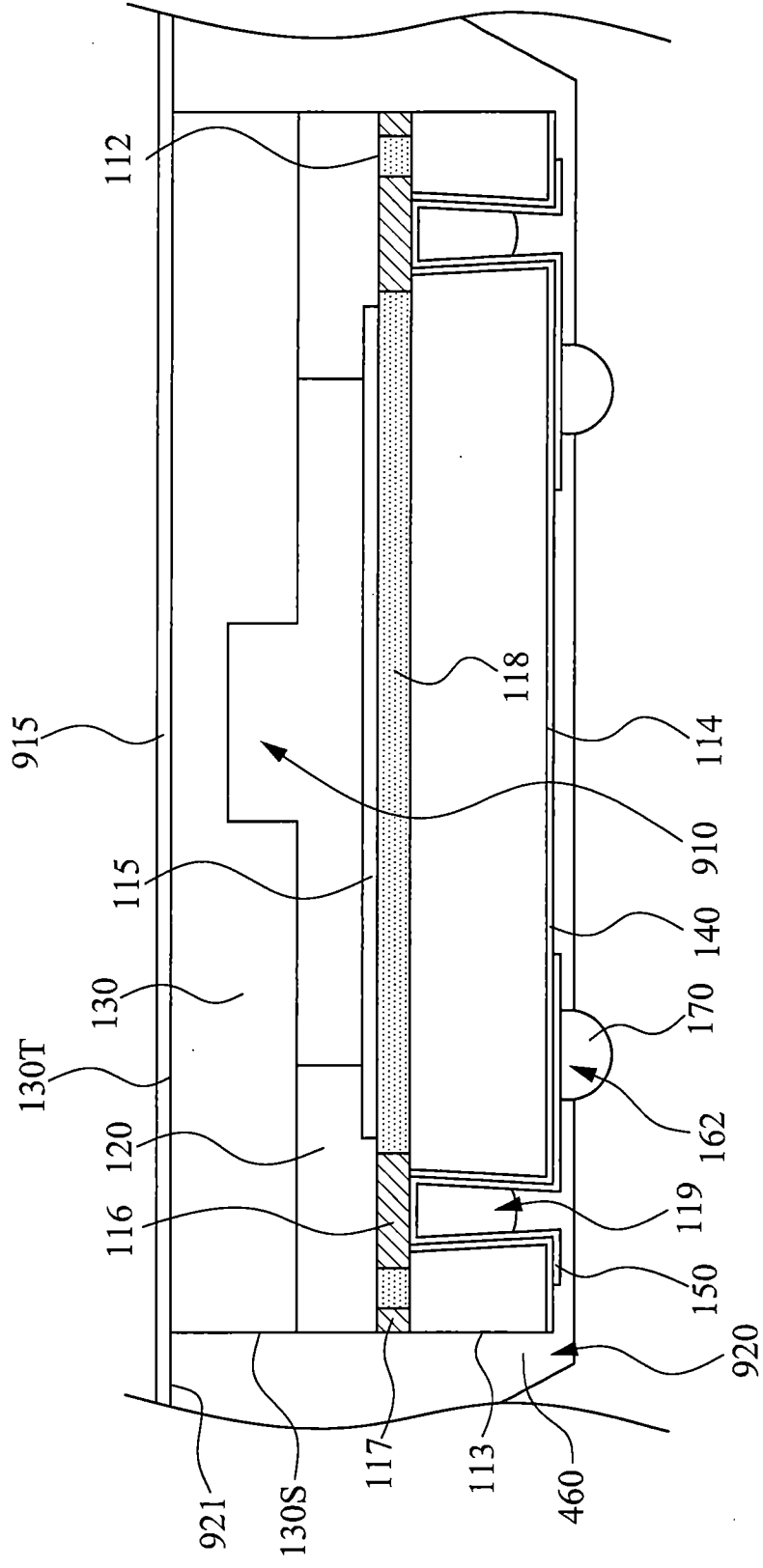
第9B圖



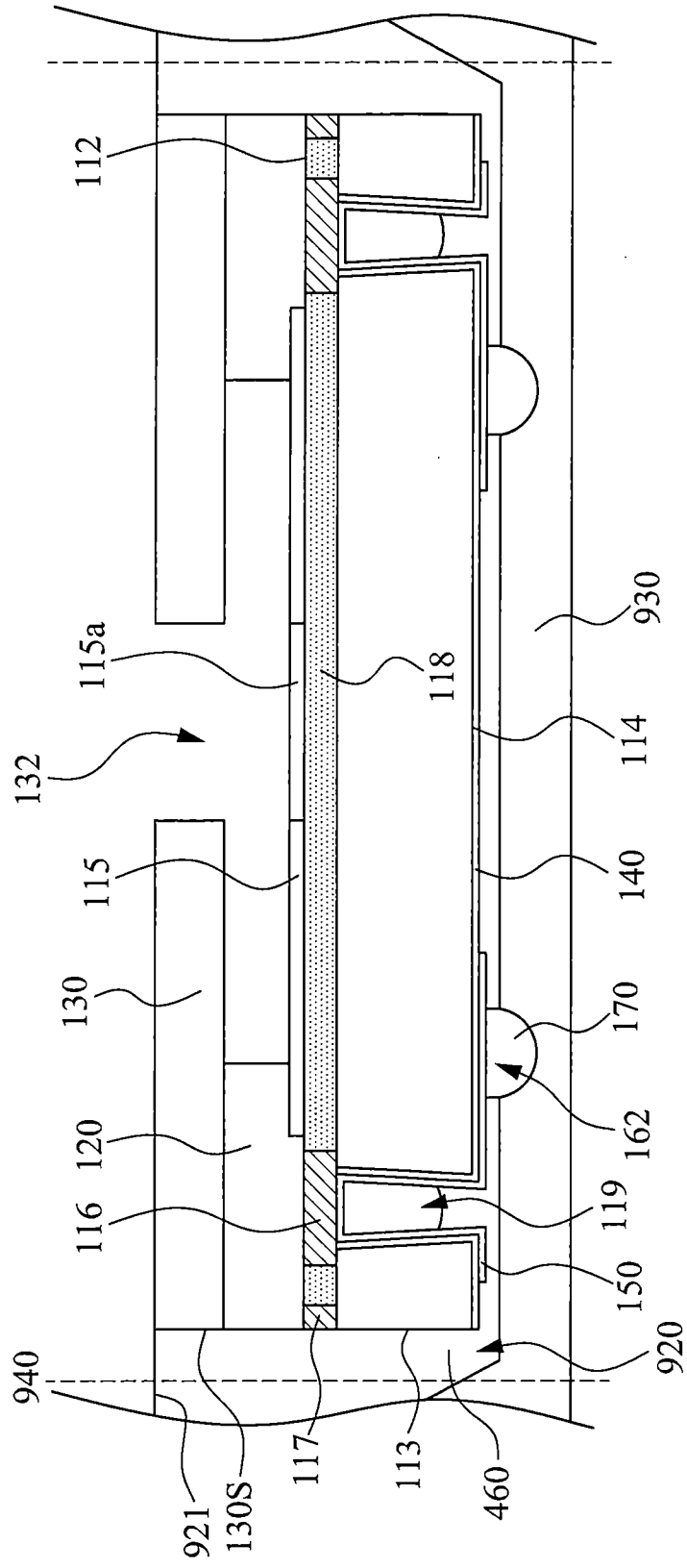
第9D圖



第9E圖



第9F圖



第9G圖