



(12) 发明专利申请

(10) 申请公布号 CN 114759927 A

(43) 申请公布日 2022. 07. 15

(21) 申请号 202210104636.5

(22) 申请日 2022.01.28

(71) 申请人 东南大学

地址 211102 江苏省南京市江宁区东南大学路2号

(72) 发明人 蔡浩 周铭杨

(74) 专利代理机构 南京瑞弘专利商标事务所
(普通合伙) 32249

专利代理师 秦秋星

(51) Int. Cl.

H03M 1/46 (2006.01)

H03M 1/00 (2006.01)

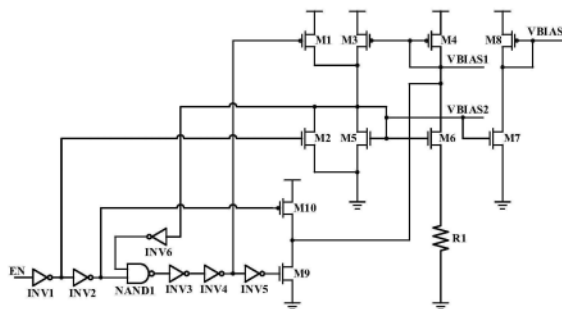
权利要求书2页 说明书6页 附图4页

(54) 发明名称

一种应用于模拟存内计算的逐次逼近型模数转换器电路

(57) 摘要

本发明公开一种应用于模拟存内计算的逐次逼近型模数转换器电路,包括:8位电荷再分配型数模转换器电路、带启动电路的电流偏置电路、运放控制的电压模基准电路、高速锁存比较器电路和实现二进制搜索算法的逐次逼近逻辑控制模块。电流偏置电路连接基准电路、基准电路后附加的缓冲电路以及比较器电路;数模转换器电路由数字逻辑控制模块控制数字输入,利用高速锁存比较器对模拟输入和基准电压进行比较,根本比较结果反馈到数模转换器的数字输入进行调整。本发明对逐次逼近型模数转换器电路中的电流偏置模块、带隙基准模块进行了有效的漏电控制,降低了静态功耗,对比较器模块应用输出失调存储技术,提高了模数转换器的线性度。



1. 一种应用于模拟存内计算的逐次逼近型模数转换器电路,其特征在于,该电路包括以下模块:8位电荷再分配型数模转换器电路、带启动电路的电流偏置电路、运放控制的电压模基准电路、高速锁存比较器电路和一个实现二进制搜索算法的逐次逼近逻辑控制模块;所述电流偏置电路连接电压模基准电路,电压模基准电路后附加的缓冲电路以及高速锁存比较器电路,提供电流或电压偏置;所述数模转换器电路由逐次逼近逻辑控制模块控制数字输入,并利用高速锁存比较器电路对模拟输入和基准电压进行比较,根本比较结果反馈到数模转换器电路的数字输入进行调整,最终以二进制搜索算法的形式实现逐次逼近的模数转换功能。

2. 根据权利要求1所述的一种应用于模拟存内计算的逐次逼近型模数转换器电路,其特征在于,所述8位电荷再分配型数模转换器电路,由电容阵列C0~C8,桥接电容Cc,以及互补CMOS开关S0~S8构成;电容C1~C8分别对应8位数模转换的最低位到最高位码字,电容C0为补足电容,电容量和最低有效位LSB的电容C1相同;为减小电容阵列面积,利用桥接电容Cc串联在高4位电容与低4位电容之间,所述电容C0~C8以及Cc的电容量比值为1:1:2:4:8:2:4:8:16:16/7;

所述电容阵列C0~C8的下极板分别接开关S0~S8,电容阵列的上极板,作为整个8位电荷再分配型数模转换器电路的输出端,连接锁存比较器的输入正端;开关S0~S8由逐次逼近逻辑控制电路的输出信号Sample、B[7:0]进行控制,控制信号Sample同时调控整个模数转换器的模拟输入与基准电压之间的切换,以及电容阵列上极板和锁存比较器中共模电平的重置。

3. 根据权利要求1所述的一种应用于模拟存内计算的逐次逼近型模数转换器电路,其特征在于,所述带启动电路的电流偏置电路由两对构成环路的电流镜和一个电阻构成经典的单调型 $\Delta V_{GS}/R$ 型自偏置电路,其中PMOS管电流镜和NMOS管电流镜分别为模数转换器中的基准电路和基准电路后的缓冲电路提供电流偏置,再利用一个NMOS管和一个PMOS管将电流复制到PMOS管上的栅极电压,为模数转换器中的高速比较器提供电压偏置的同时隔离后级的影响;在此基础上,所述自偏置电路带有一套稳健的启动电路,并在使能为零时具有较低的漏电。

4. 根据权利要求1所述的一种应用于模拟存内计算的逐次逼近型模数转换器电路,其特征在于,所述运放控制的电压模基准电路,使用两对PMOS管和一个电阻构成共源共栅结构,并再增加一对PMOS管对基准源进行使能控制,所述的基准源中使用的两级运放,也增加一个NMOS管和一个PMOS管对运放的两级分别进行使能控制。

5. 根据权利要求1所述的一种应用于模拟存内计算的逐次逼近型模数转换器电路,其特征在于,所述高速锁存比较器电路,由三级锁存比较级和一级输出缓冲级构成,三级锁存比较级为结构相同的静态锁存电路,其作用为将输入比较器正端的模拟电压与负端的共模电平比较判定,然后输出逻辑电平;输出缓冲级电路为一个简单的差分运放,为高速锁存比较器电路提供足够的增益和输出稳定的逻辑电平;

所述高速锁存比较器的四级电路之间,应用输出失调存储OOS技术,开关S1~S4均由两对互补CMOS开关构成,开关S1~S4的一端都连接共模电平VCOM,开关S1~S4另一端分别连接比较器四级电路的正负输入端;所述高速锁存比较器的第一锁存比较级的负输出端与第二锁存比较级的正输入端以电容C1耦合,第一锁存比较级的正输出端与第二锁存比较级的

负输入端以电容C2耦合,第二锁存比较级的负输出端与第三锁存比较级的正输入端以电容C3耦合,第二锁存比较级的正输出端与第三锁存比较级的负输入端以电容C4耦合,第三锁存比较级的负输出端与输出缓冲级的负输入端以电容C5耦合,第三锁存比较级的正输出端与输出缓冲级的正输入端以电容C6耦合。

一种应用于模拟存内计算的逐次逼近型模数转换器电路

技术领域

[0001] 本发明设计集成电路设计领域,尤其是一种可以在各种模拟存内计算应用场景中降低功耗、节省面积开销的逐次逼近型模数转换器电路。

背景技术

[0002] 基于冯诺依曼架构的传统计算系统在根本上受到处理器和内存之间数据传输的瓶颈,在处理器性能飞速提升,远远与存储器速度拉开差距的今天,访存墙瓶颈日益凸显。而机器学习等数据密集型工作的出现迫切需要通过设计一种处理器与内存在同一平台共同计算处理的方案来解决这一瓶颈,这种称为“存内计算”的方案可以通过在内存阵列内部直接进行计算来潜在地消除数据访问和传输的成本。基于电阻式非易失性存储器(NVM)的交叉阵列在用作机器学习工作负载的存内计算系统中显示出巨大的前景,这是因为它们的高密度可以带来更高的片上存储容量,同时它们还可以执行大规模并行矩阵向量乘法(MVM)操作,从而加速机器学习工作负载的主要计算内核。由于器件级和电路级的非理想性,基于电阻式交叉阵列的模拟计算本质上是近似的,此外,用于模拟和数字域之间转换的外围电路的面积和功耗成本会大大降低基于NVM交叉阵列的MVM计算的内在效率。

[0003] 模拟MVM单元计算得到的输出需要与其他计算单元进行数据传输,以组成大规模的神经网络。由于模拟信号对噪声的容忍度较低,因此任何大型网络中的信号传输都需要数字化。因此,MVM计算单元需要外围电路,例如输入端的数模转换器(DAC)和输出端的模数转换器(ADC)。而MVM单元内的这些外围电路,尤其是ADC,在现有的工作中大多占据了MVM单元总能耗的很大一部分。在一些工作中,ADC的功耗高达MVM单元的80%,占用的面积接近MVM单元的70%。因此,以ADC作为外围电路的功耗和面积显著降低了交叉阵列在计算效率和高密度方面的优势。由于ADC的功耗与其精度在函数上呈现正相关,我们可以利用神经网络对错误的容忍性,通过合理配置ADC的精度来在NVM交叉阵列的精度和功耗之间取得平衡。在面向一些对精度要求不高的数据场景时,应尽量追求低功耗和面积最优化的ADC外围电路。

[0004] 附图1为现有技术中较为普遍的一种模拟存内计算模式的结构框图。组成MVM交叉阵列的存储器单元可以是经典的静态随机存取存储器(SRAM)、动态随机存取存储器(DRAM)或浮栅晶体管构成的闪存(Flash)阵列,也可以是一些新型非易失性存储器(NVM),比如忆阻器(ReRAM)、铁电存储器(FeRAM)、相变随机存储器(PCM)或磁性随机存储器(MRAM)等。如附图1所示,左上角虚线框中结构为传统存储器结构,包含单元阵列、读写电路和驱动电路。模式控制器可将这类存算一体芯片从存储模式切换到存内计算模式,此时附图1右下角虚线框中的模块开始工作。以卷积神经网络应用MVM加速为例,权重按照存储介质的不同,一般以阻值的形式记录在单元阵列中,而数字激活 X_{IN} 以输入形式通过DAC转化为模拟信号进入阵列,在阵列中激活和权重以模拟电学信号的形式发生卷积运算,再经由多路选择器(MUX)和ADC,转为数字信号并移位加法获得正式数字结果 Y_{OUT} 后进入下一计算单元。

[0005] 附图2为现有技术中的一种基于闪存器件交叉阵列的矩阵向量乘法器电路的结构

示意图。在这一NOR型Flash存算一体芯片的工作模式中,模拟信号从位线(BL)输入阵列,而神经网络的权重值以浮栅晶体管的栅极阈值电压 V_{TH} 的形式存在阵列中。通过字线(WL)驱动选通浮栅管,浮栅管的输出电流就等于输入电流和权重的相乘,由于输出是电流而不是电压,可以不使用附加的逻辑门而轻易做到累加操作,也就是说,计算结果在基尔霍夫电流定律的作用下自然地在源线(SL)上输出。

[0006] 附图3为现有技术中的一种传统快闪型模数转换器(Flash ADC)电路的结构示意图。快闪型ADC是转换方式最简单的类型,由于工作时它的每一位码字都是同时转换得到的,所以也叫全并行ADC,因此也是各种类型中转换速度最快的ADC。 N 位快闪型ADC的工作原理是将共计 2^N 个电阻串联分压组成电阻网络,电阻网络将基准电压 V_{REF} 分成 2^N 个电压,再将这 2^N 个电压输入到共计 2^N-1 个比较器阵列作为参考电压,参考电压与经过采样保持的输入电压 V_{IN} 比较,获得的一串温度码通过译码器和锁存器获得数字输出。快闪型ADC虽然转换速度很快,但是由于转换是全并行的,所以对比较器之间的匹配精度要求较高,失配将造成很大的误差。另一方面,快闪型ADC需要的电阻和比较器个数是随着分辨率位数指数式增加的,在4位以上提高精度时也就意味着面积和功耗的巨大提高,这在追求低功耗高精度的存内计算中显然是不适用的。

发明内容

[0007] 发明目的:针对现有技术中的上述不足之处,本发明提供了一种应用于模拟存内计算的逐次逼近型模数转换器电路,尤其是应用在对ADC的精度、功耗和面积都有一定要求的存算一体芯片中。

[0008] 技术方案:本发明的目的是通过以下技术方案实现的:

[0009] 为了实现上述发明目的,本发明提供了一种应用于模拟存内计算的逐次逼近型模数转换器电路,该电路包括以下模块:8位电荷再分配型数模转换器电路、带启动电路的电流偏置电路、运放控制的电压模基准电路、高速锁存比较器电路和一个实现二进制搜索算法的逐次逼近逻辑控制模块。所述电流偏置电路连接基准电路、基准电路后附加的缓冲电路以及比较器电路,提供电流或电压偏置;所述数模转换器电路由数字逻辑控制模块控制数字输入,并利用高速锁存比较器对模拟输入和基准电压进行比较,根本比较结果反馈到数模转换器的数字输入进行调整,最终以二进制搜索算法的形式实现逐次逼近的模数转换功能。

[0010] 进一步的,在本发明中:所述8位电荷再分配型数模转换器电路,由电容阵列 $C_0 \sim C_8$,桥接电容 C_c ,以及互补CMOS开关 $S_0 \sim S_8$ 构成。电容 $C_1 \sim C_8$ 分别对应8位数模转换的最低位到最高位码字,电容 C_0 为补足电容,电容量和最低有效位(LSB)的电容 C_1 相同。为减小电容阵列面积,利用桥接电容 C_c 串联在高4位电容与低4位电容之间,所述电容 $C_0 \sim C_8$ 以及 C_c 的电容量比值为 $1:1:2:4:8:2:4:8:16:16/7$ 。所述电容阵列 $C_0 \sim C_8$ 的下极板分别接开关 $S_0 \sim S_8$,电容阵列的上极板,作为整个8位电荷再分配型数模转换器电路的输出端,连接锁存比较器的输入正端。开关 $S_0 \sim S_8$ 由逐次逼近逻辑控制电路的输出信号Sample、 $B[7:0]$ 进行控制,控制信号Sample同时调控整个模数转换器的模拟输入与基准电压之间的切换,以及电容阵列上极板和锁存比较器中共模电平的重置。

[0011] 进一步的,在本发明中:所述带启动电路的电流偏置电路由两对构成环路的电流

镜和一个电阻构成经典的单调型 $\Delta V_{GS}/R$ 型自偏置电路,其中PMOS管电流镜和NMOS管电流镜分别为模数转换器中的基准电路和基准电路后的缓冲电路提供电流偏置,再利用一个NMOS管和一个PMOS管将电流复制到PMOS管上的栅极电压,为模数转换器中的高速比较器提供电压偏置的同时隔离后级的影响。在此基础之上,所述自偏置电路带有一套稳健的启动电路,并在使能为零时具有较低的漏电。

[0012] 进一步的,在本发明中:所述运放控制的电压模基准电路,在经典的基准电压源原理上,使用两对PMOS管和一个电阻构成共源共栅结构,并再增加一对 PMOS管对基准源进行使能控制,所述的基准源中使用的两级运放,也增加一个 NMOS管和一个PMOS管对运放的两级分别进行使能控制。

[0013] 进一步的,在本发明中:所述高速锁存比较器电路,由三级锁存比较级和一级输出缓冲级构成,三级锁存比较级为结构相同的静态锁存电路,其作用为将输入比较器正端的模拟电压与负端的共模电平比较判定,然后输出逻辑电平。输出缓冲级电路为一个简单的差分运放,为比较器提供足够的增益和输出稳定的逻辑电平。所述高速锁存比较器的四级电路之间,应用输出失调存储(OOS)技术,开关S1~S4均由两对互补CMOS开关构成,开关S1~S4的一端都连接共模电平 VCOM,开关S1~S4另一端分别连接比较器四级电路的正负输入端。所述高速锁存比较器的第一锁存比较级的负输出端与第二锁存比较级的正输入端以电容 C1耦合,第一锁存比较级的正输出端与第二锁存比较级的负输入端以电容C2 耦合,第二锁存比较级的负输出端与第三锁存比较级的正输入端以电容C3耦合,第二锁存比较级的正输出端与第三锁存比较级的负输入端以电容C4耦合,第三锁存比较级的负输出端与输出缓冲级的负输入端以电容C5耦合,第三锁存比较级的正输出端与输出缓冲级的正输入端以电容C6耦合。

[0014] 有益效果:由上述本发明提供的技术方案可以看出,本发明提供的一种应用于模拟存内计算的逐次逼近型模数转换器电路,在8位码字的较高精度需求下,对比传统快闪型模数转换器有功耗和面积上的优势。本发明针对低功耗的存算一体芯片需求,对逐次逼近型模数转换器电路中的电流偏置模块、带隙基准模块进行了有效的漏电控制,降低了静态功耗,对比较器模块应用输出失调存储技术,提高了模数转换器的线性度。

附图说明

[0015] 为了更清楚地说明本发明实施例的技术方案,下面将对实施例描述中所需要使用的附图作简单介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域的普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他附图。

[0016] 图1为背景技术提供的现有技术中的一种模拟存内计算电路的结构框图;

[0017] 图2为背景技术提供的现有技术中的一种基于闪存器件交叉阵列的矩阵向量乘法器电路的结构示意图;

[0018] 图3为背景技术提供的现有技术中的一种快闪型模数转换器电路的结构示意图;

[0019] 图4为本发明实施例提出的一种应用于模拟存内计算的逐次逼近型模数转换器(SAR ADC)电路的整体结构示意图;

[0020] 图5为本发明实施例提出的SAR ADC中的带启动电路的电流偏置模块的电路原理

图；

[0021] 图6为本发明实施例提出的SAR ADC中的运放控制的电压模基准模块的电路原理图；

[0022] 图7为本发明实施例提出的SAR ADC中的高速锁存比较器模块的电路原理图；

[0023] 图8为本发明实施例提出的SAR ADC的工作时序示意图(4位ADC输出为1010时的情形)；

[0024] 图9为本发明实施例提出的SAR ADC在0.18um CMOS工艺下绘制的版图。

具体实施方式

[0025] 下面结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部实施例。基于本发明的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明的保护范围。

[0026] 附图4为本发明中所述SAR ADC电路的整体结构示意图,其中也包括所述8位电荷再分配型数模转换器电路原理图,由电容阵列C0~C8,桥接电容C_c,以及互补CMOS开关S0~S8构成。电容C1~C8分别对应8位数模转换的最低位到最高位码字,电容C0为补足电容,电容量和最低有效位(LSB)的电容C1相同。为减小电容阵列面积,利用桥接电容C_c串联在高4位电容与低4位电容之间,所述电容C0~C8以及C_c的电容量比值为1:1:2:4:8:2:4:8:16:16/7。所述电容阵列C0~C8的下极板分别接开关S0~S8,电容阵列的上极板,作为整个8位电荷再分配型数模转换器电路的输出端,连接锁存比较器的输入正端。开关S0~S8由逐次逼近逻辑控制电路的输出信号Sample、B[7:0]进行控制,控制信号Sample同时调控整个模数转换器的模拟输入与基准电压之间的切换,以及电容阵列上极板和锁存比较器中共模电平的重置。

[0027] 具体的,电容阵列C0~C8的高4位电容与低4位电容之间利用一个桥接电容C_c进行串联。当电容C_c容值为16/7个C0时,由电容的串并联计算可得电容C0~C4加上桥接电容C_c,这6个电容的总容值恰好等于电容C5的容值,这样实现了与传统方式按指数排列电容一样的效果。但此时从8位电荷再分配型数模转换器的输出端看去,电容总负载为16个C0,且电容阵列使用的电容容值共为48.3个C0,若按指数方式简单排列8个电容,则电容总负载和总容值均会达到256个C0,大大增加版图面积。

[0028] 具体的,当Sample信号置高,ADC首先进入采样阶段,此时比较器的输入端节点V_P(V_P)和V_N(V_N)处的电压设置为共模电压V_{COM}(V_P=V_N=V_{COM})。将节点V_{IN}设为模拟输入电压V_{IN}后,控制信号B[7:0]和Sample将开关S0~S8从V_{IN}切换到地电位,通过电容C8~C0的交流耦合原理,这使得节点V_P的电压降低V_{IN},此时有V_P=V_{COM}-V_{IN}。

[0029] 采样完成后,进入转换阶段,Sample信号拉低。在此阶段,数字逻辑模块生成控制信号将B[7]从地电位切换到由带隙基准提供的参考电压V_{REF},则V_P增加1/2V_{REF}。此时有,V_P=V_{COM}-V_{IN}+1/2V_{REF}。比较器将V_P与V_N比较,这本质上是V_{IN}与1/2V_{REF}的比较。比较器的输出被给到数字逻辑模块,以确定在下一操作阶段对电容器开关的控制。

[0030] 当V_P>V_N时,表示V_{IN}<1/2V_{REF},在下一个转换的工作阶段,数字逻辑模块产生控制信号将B[7]从V_{REF}切换到地电位,将B[6]从地电位切换到V_{REF},这使得V_P降低了1/4V_{REF}。此时

有, $V_P = V_{COM} - V_{IN} + 1/4V_{REF}$ 。

[0031] 当 $V_P < V_N$ 时, 数字逻辑模块生成控制信号将 B[6] 从地电位切换到 V_{REF} , 而 B[7] 保持不变, 从而将 V_P 再增加 $1/4V_{REF}$ 。此时有, $V_P = V_{COM} - V_{IN} + 1/2V_{REF} + 1/4V_{REF}$ 。

[0032] 经过 8 次转换操作后, SAR ADC 将确定 B[7:0] 以获得最终的数字输出。以上阐述的 ADC 工作原理和时序在附图 8 中以一个 4 位的 SAR ADC 且输出为 1010 时的情形进行了举例。

[0033] 附图 5 为本发明中所述带启动电路的电流偏置电路的原理图。具体的, PMOS 管 M3、M4 和 NMOS 管 M5、M6 两对电流镜首尾连接构成环路, 与电阻 R1 构成经典的单调型 $\Delta VGS/R$ 型自偏置电路。其中, PMOS 管 M3、M4 宽长比为 1:1, NMOS 管 M5、M6 宽长比为 1:N ($N > 1$), 在刚开始上电的时候, 电阻 R1 上的电压近似为零, 此时底下的非线性电流镜近似看成是线性电流镜, 从输入支路到输出支路电流被放大 N 倍, 再通过上面的线性电流镜复制到输入支路, 如此循环下去, 可以看成是一个正反馈, 最终可以稳定到一个近似与电源电压无关的电流偏置。

[0034] 在输出端, VBIAS1 和 VBIAS2 分别为基准电路和缓冲电路提供电流偏置, 晶体管 M7、M8 构成一个 N 管转 P 管的 I-V 变换电流镜, 将 VBIAS2 电流复制到 PMOS 管上的栅极电压, 为比较器提供电压偏置 VBIAS3, 同时隔离后级对前级的影响。

[0035] 在此基础之上, 所述自偏置电路带有一套稳健的启动电路, 并在使能电压为零时具有较低的漏电流。

[0036] 具体的, 当使能 EN 为 0 时, 晶体管 M2 导通, 使晶体管 M5 的栅极、漏极和 M6 的栅极电压被钳位到地。经由反相器 INV1、INV2 到达与非门 NAND1 的一个输入为低电平, 由晶体管 M5 的漏极经由反相器 INV6 到达与非门 NAND1 的另一个输入为高电平, 故与非门 NAND1 输出为高电平。所以反相器 INV4 的输出为高电平, 这使与其连接的晶体管 M1 截止。同时, 由于反相器 INV5 的输出为低电平, 晶体管 M9 截止, 而晶体管 M10 导通, 故晶体管 M4 的栅极、漏极和 M3 的栅极电压被钳位到电源电压 VDD。此时, 两对电流镜都被彻底关断, 支路上没有电流流通。

[0037] 当使能 EN 从 0 开始启动到高电平时, 晶体管 M2、M10 变为截止, 对电流镜的关断作用消失。同时, 与非门 NAND1 的两个输入都转为高电平, 故输出为低电平, 这使得晶体管 M1 开始导通, 此时晶体管 M5 的栅极、漏极和 M6 的栅极电压直接被接到电源电压 VDD, 同时由于 M9 导通, 晶体管 M4 的栅极、漏极和 M3 的栅极电压被钳位到地, 整个偏置电路开始快速上电启动。当偏置电路上电到一定程度, 晶体管 M5 的漏极电压使得反相器 INV6 的输出反转为低电平, 与非门 NAND1 的输出再次转为低电平, 这使得晶体管 M1、M9 关断, 此时启动电路的工作完成, 所有启动电路均与偏置电路隔离。

[0038] 附图 6 为本发明中所述运放控制的电压模基准电路的原理图, 在经典的基准电压源原理上, 使用两对 PMOS 管 M3、M4 和 M5、M6, 以及一个电阻 R1 构成共源共栅结构, 并再增加一对 PMOS 管 M1、M2 对基准源进行使能控制, 所述的基准源中使用的两级运放, 也增加一个 NMOS 管 M8 和一个 PMOS 管 M9 对运放的两级分别进行使能控制。

[0039] 附图 7 为本发明中所述高速锁存比较器电路的原理图, 由三级锁存比较级和一级输出缓冲级构成, 三级锁存比较级为结构相同的静态锁存电路, 其作用为将输入比较器正端的模拟电压与负端的共模电平比较判定, 然后输出逻辑电平。输出缓冲级电路为一个简单的差分运放, 为比较器提供足够的增益和输出稳定的逻辑电平。

[0040] 具体的, 所述高速锁存比较器的四级电路之间, 应用输出失调存储 (OOS) 技术, 开关 S1~S4 均由两对互补 CMOS 开关构成, 开关 S1~S4 的一端都连接共模电平 VCOM, 开关 S1~

S4另一端分别连接比较器四级电路的正负输入端。所述高速锁存比较器的第一锁存比较级的负输出端与第二锁存比较级的正输入端以电容C1耦合,第一锁存比较级的正输出端与第二锁存比较级的负输入端以电容C2耦合,第二锁存比较级的负输出端与第三锁存比较级的正输入端以电容C3 耦合,第二锁存比较级的正输出端与第三锁存比较级的负输入端以电容C4耦合,第三锁存比较级的负输出端与输出缓冲级的负输入端以电容C5耦合,第三锁存比较级的正输出端与输出缓冲级的正输入端以电容C6耦合。在ADC采样阶段开始时,数字逻辑模块发出控制信号使开关S1~S4同时闭合,保证比较器各级的输入输出端电位重置到VCOM共模电平。在采样阶段结束之前,从开关S4 到开关S1逐个断开。

[0041] 附图9为本发明提出的SAR ADC在0.18um CMOS工艺下绘制的版图。版图面积约为464um×130um。抽取寄生参数后仿,在PVT条件(工艺角 t_t, f_f, s_s ,电源电压VDD=1.62V, 1.8V, 1.98V,温度-40°C, 27°C, 125°C)下,ADC平均静态电流小于10nA,平均工作电流小于50uA,最大绝对误差小于7mV,±INL小于1.5个LSB。

[0042] 本发明针对低功耗的存算一体芯片需求,对逐次逼近型模数转换器电路中的电流偏置模块、带隙基准模块进行了有效的漏电控制,降低了静态功耗,对比较器模块应用输出失调存储技术,提高了模数转换器的线性度。

[0043] 本发明未详细公开的部分属于本领域的公知技术。

[0044] 以上所述,仅为本发明较佳的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明披露的技术范围内,可轻易想到的变化或替换,都应涵盖在本发明的保护范围内。因此,本发明的保护范围应该以权利要求书的保护范围为准。

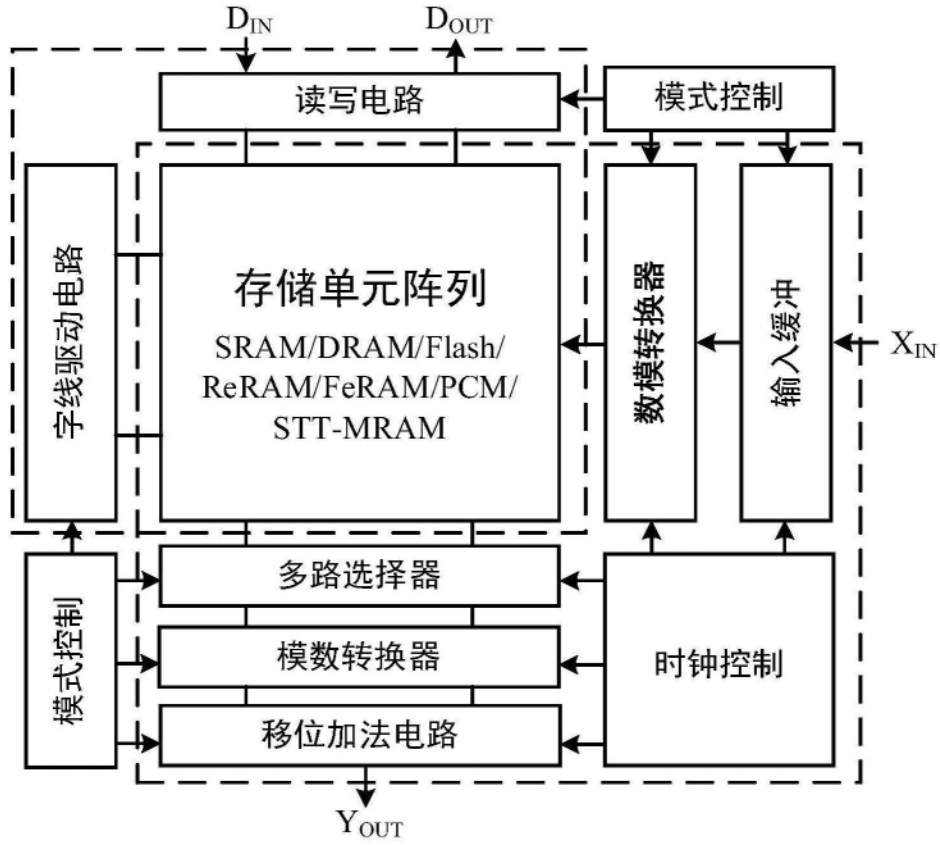


图1

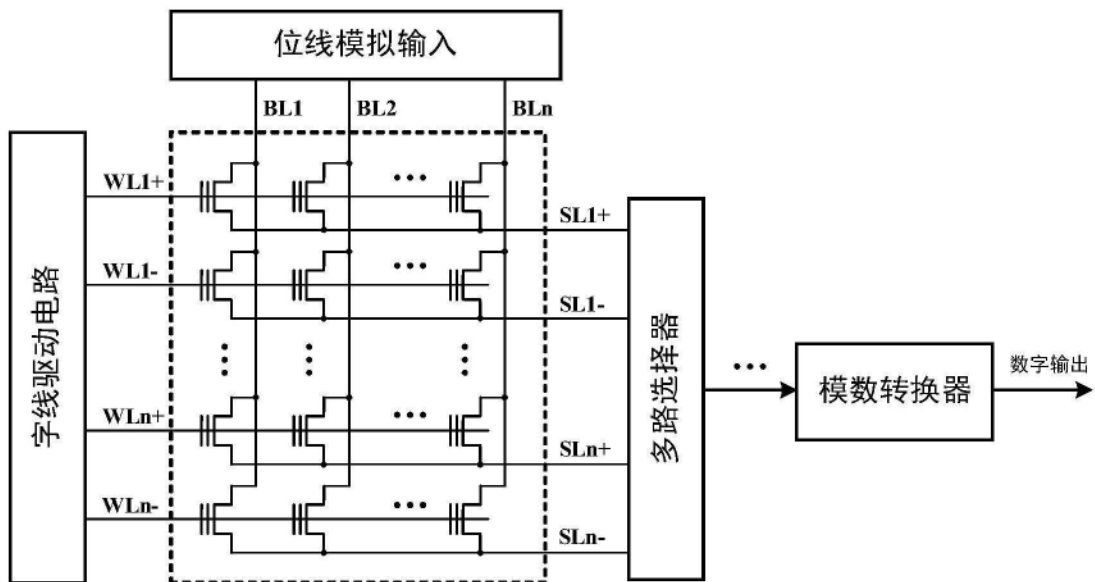


图2

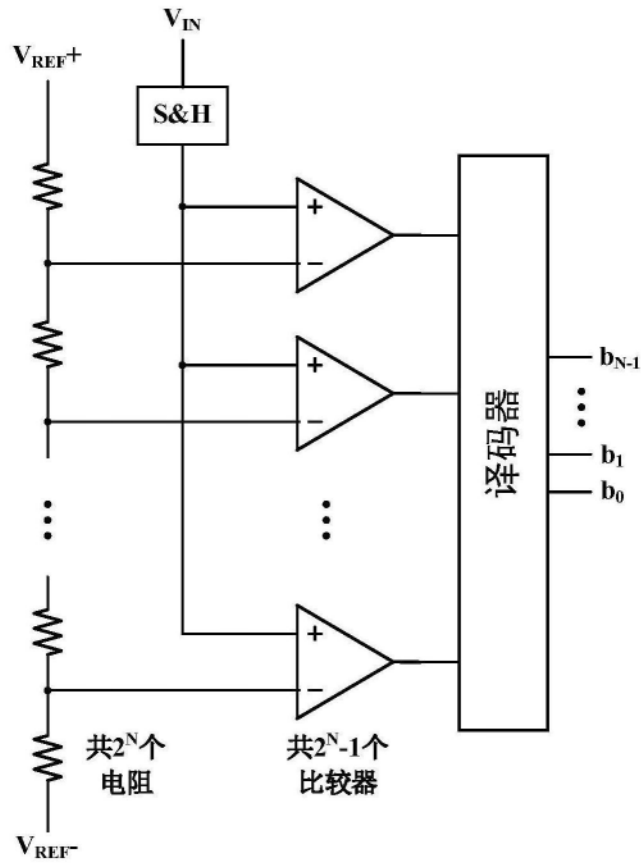


图3

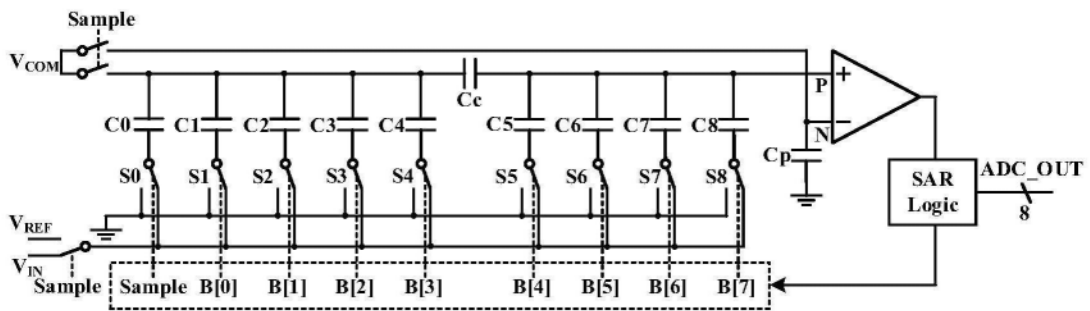


图4

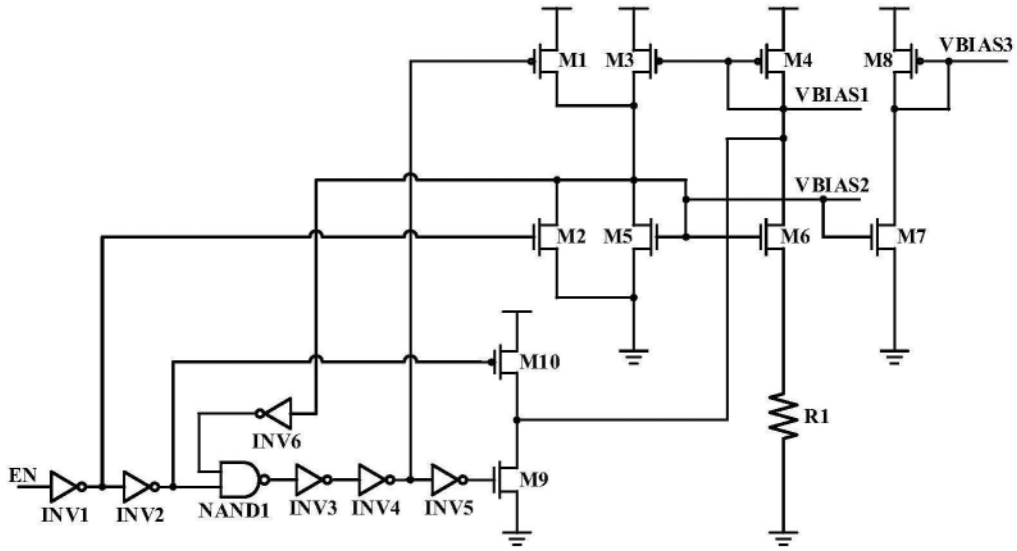


图5

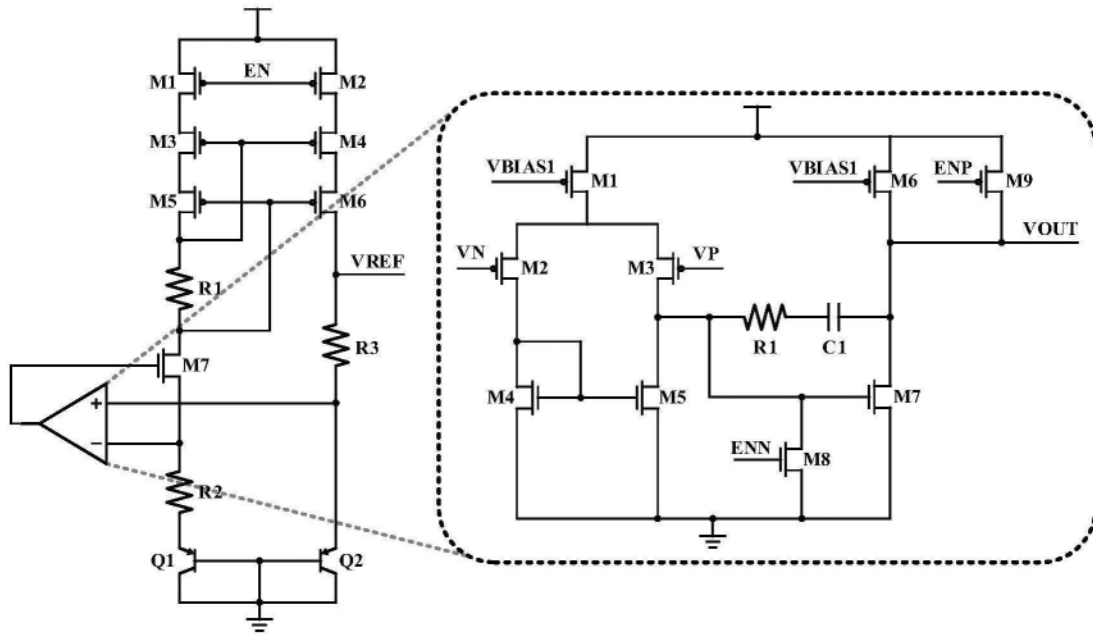


图6

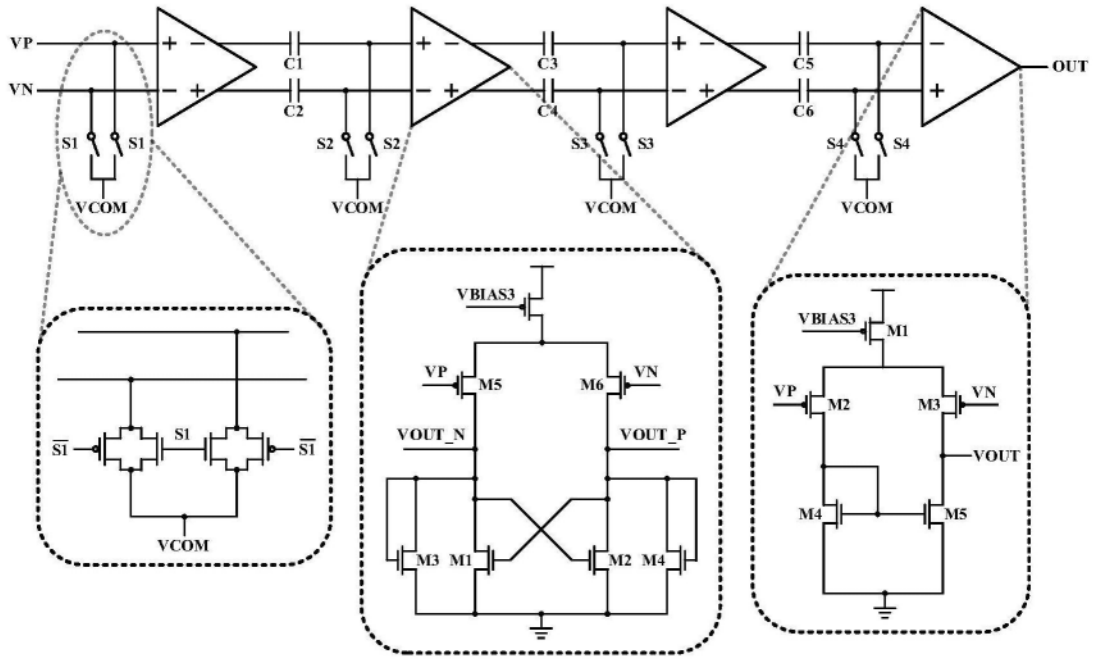


图7

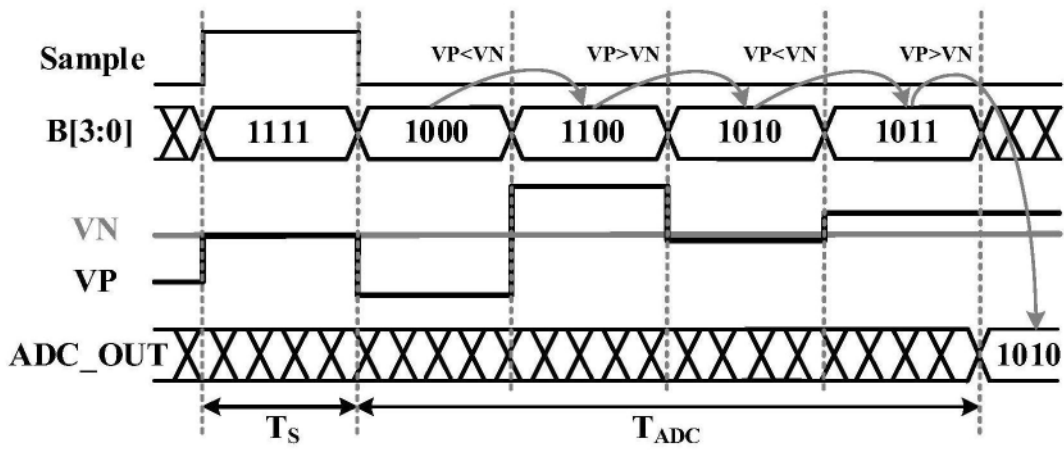


图8

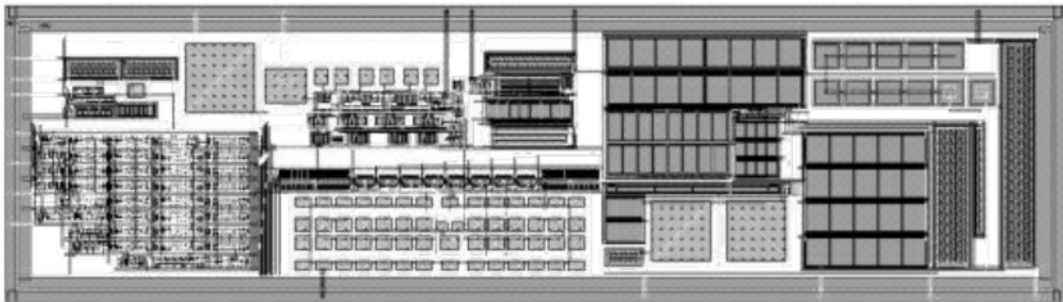


图9