



(12) 发明专利申请

(10) 申请公布号 CN 113644639 A

(43) 申请公布日 2021. 11. 12

(21) 申请号 202111000585.3

(22) 申请日 2021.08.27

(71) 申请人 成都芯源系统有限公司

地址 611731 四川省成都市成都高新综合
保税区科新路8号成都芯源系统有限
公司

(72) 发明人 李磊

(51) Int. Cl.

H02H 9/02 (2006.01)

H02H 9/04 (2006.01)

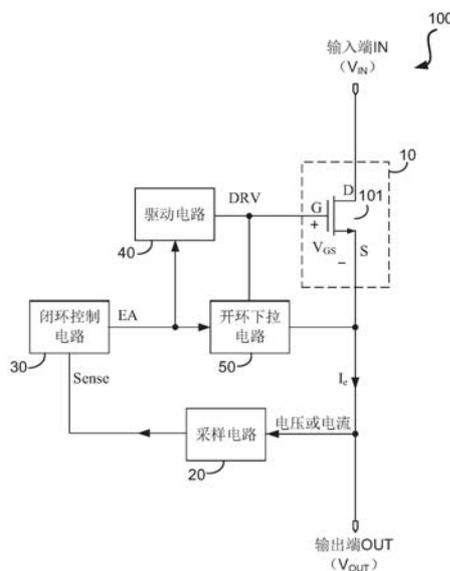
权利要求书2页 说明书6页 附图6页

(54) 发明名称

一种efuse开关电路及控制方法

(57) 摘要

公开了一种efuse开关电路和控制方法。该efuse开关电路包括efuse开关、闭环控制电路和开环下拉电路。闭环控制电路,将代表流过efuse开关的电流的采样信号和参考信号之间的误差放大,产生误差信号。开环下拉电路耦接在efuse开关的控制端和输出端之间。当误差信号大于下拉阈值时,开环下拉电路将efuse开关的控制端和efuse开关的输出端之间的电压钳位到预设电压值。该efuse开关电路可及时地、有效地限制流过efuse开关的电流,防止efuse开关被损坏。



1. 一种电子保险丝 (efuse) 开关电路, 包括:

efuse开关, 具有输入端、输出端和控制端;

闭环控制电路, 接收代表流过efuse开关的电流信号的采样信号, 并将采样信号和参考信号比较, 产生误差信号, 其中, 误差信号代表采样信号和参考信号之间的差值; 以及

开环下拉电路, 具有第一端、第二端和第三端, 开环下拉电路的第一端接收误差信号, 开环下拉电路的第二端耦接至efuse开关的控制端, 开环下拉电路的第三端耦接至efuse开关的输出端, 其中, 当误差信号大于下拉阈值时, 开环下拉电路将efuse开关的控制端和efuse开关的输出端之间的电压钳位到预设电压值。

2. 如权利要求1所述的efuse开关电路, 其中, 当误差信号大于下拉阈值时, 开环下拉电路通过误差信号控制efuse开关的控制端和efuse开关的输出端之间的电流, 进而将efuse开关的控制端和efuse开关的输出端之间的电压钳位到预设电压值。

3. 如权利要求1所述的efuse开关电路, 其中, 所述预设电压值大于efuse开关的导通阈值。

4. 如权利要求1所述的efuse开关电路, 其中, 所述预设电压值为一个自适应电压值, 和efuse开关允许流过的最大电流值相关。

5. 如权利要求4所述的efuse开关电路, 其中, 所述预设电压值等于当流过efuse开关的电流等于允许流过的最大电流值时, efuse开关控制端和efuse开关输出端之间的电压值。

6. 如权利要求1所述的efuse开关电路, 其中, 开环下拉电路包括:

判定电路, 接收误差信号, 并将误差信号与下拉阈值比较, 产生下拉指示信号; 以及

自适应钳位电路, 具有第一端、第二端、第三端和第四端, 自适应钳位电路的第一端接收下拉指示信号, 自适应钳位电路的第二端接收误差信号, 自适应钳位电路的第三端耦接至efuse开关的控制端, 自适应钳位电路的第四端耦接至efuse开关的输出端, 当下拉指示信号为有效状态时, 自适应钳位电路通过误差信号控制其第三端和第四端之间流过的电流保持不变。

7. 如权利要求6所述的efuse开关电路, 其中, 自适应钳位电路包括:

预设电压产生模块, 具有第一端、第二端和第三端, 预设电压产生模块的第一端作为自适应钳位电路的第三端, 预设电压产生模块的第二端作为自适应钳位电路的第四端;

钳位开关, 具有第一端、第二端和控制端, 钳位开关的第一端耦接预设电压产生模块的第三端, 钳位开关的控制端作为自适应钳位电路的第一端接收下拉指示信号;

可控电流源, 具有第一端、第二端和控制端, 可控电流源的第一端电连接至逻辑地, 可控电流源的控制端作为自适应钳位电路的第二端接收误差信号;

第一电流镜电路, 具有第一端、第二端和第三端, 第一电流镜电路的第一端耦接预设电压产生模块的第一端, 第一电流镜电路的第二端耦接可控电流源的第二端, 第一电流镜电路的第三端耦接至钳位开关的第一端; 以及

第二电流镜电路, 具有第一端、第二端和第三端, 第二电流镜电路的第一端耦接至逻辑地, 第二电流镜电路的第二端耦接钳位开关的第二端, 第二电流镜电路的第三端耦接至预设电压产生模块的第一端。

8. 如权利要求7所述的efuse开关电路, 其中, 预设电压产生模块包括:

第一晶体管, 具有第一端、第二端和控制端, 第一晶体管的第一端和控制端耦接在一起

作为预设电压产生模块的第一端;以及

第二晶体管,具有第一端、第二端和控制端,第二晶体管的第一端作为预设电压产生模块的第三端,第二晶体管的第二端耦接第一晶体管的第二端,第二晶体管的控制端作为预设电压产生模块的第二端。

9.如权利要求1所述的efuse开关电路,其中,闭环控制电路不再接收代表流过efuse开关的电流信号的采样信号,而是接收代表efuse开关输入端接收的输入电压信号的采样信号。

10.如权利要求1所述的efuse开关电路,还包括温度判断电路,其中,温度判断电路检测efuse开关的温度,当efuse开关的温度高于预设温度值时,efuse开关被关断。

11.一种用于efuse开关电路的控制方法,包括:

采样流过efuse开关的电流信号,并产生代表流过efuse开关的电流信号的采样信号;

将采样信号和参考信号比较,产生误差信号,其中,误差信号代表采样信号和参考信号之间的差值;

判断误差信号与下拉阈值的大小;以及

当误差信号大于下拉阈值时,将efuse开关的控制端和输出端之间的电压值钳位到预设电压值。

12.如权利要求11所述的控制方法,其中,采样流过efuse开关的电流信号并产生代表流过efuse开关的电流信号的采样信号的步骤可被替换为采样efuse开关输入端接收的输入电压信号,并产生代表efuse开关输入端接收的输入电压信号的采样信号。

一种efuse开关电路及控制方法

技术领域

[0001] 本发明涉及电子电路,尤其涉及一种电子保险丝(efuse)开关电路及控制方法。

背景技术

[0002] 在efuse应用场合,当电流或电压出现过流或过压时,控制电路将拉低efuse开关的栅源电压,以增大efuse的导通电阻,进而降低流过efuse开关的电流或efuse开关输出端的输出电压。图1示出了现有技术中的一种efuse开关的电路结构图。如图1所示,efuse开关耦接在系统的两端,控制电路接收代表流过efuse开关的电流信号 I_e 的电流采样信号CS。控制电路根据电流采样信号CS产生控制信号 C_{GATE} 控制efuse开关的控制端。当流过efuse开关的电流正常时,efuse开关完全导通;当流过efuse开关的电流过流时,控制信号 C_{GATE} 将增大efuse开关的导通电阻,以减小流过efuse开关的电流。在有些应用场合,当电流持续过流时,系统并不希望efuse开关因为过流立刻被关断,然而由于控制环路的带宽限制,往往又不能及时将流过efuse开关的电流调整至期望值,导致efuse开关有被大电流烧毁的风险。

[0003] 因此我们期望提出一种解决方案,能在电流持续过流时,快速地降低流过efuse开关的电流。

发明内容

[0004] 本发明的目的在于解决现有技术中的上述问题,提出一种efuse开关电路以及控制方法。

[0005] 本发明一方面提供了一种efuse开关电路,包括:efuse开关,具有输入端、输出端和控制端;闭环控制电路,接收代表流过efuse开关的电流信号的采样信号,并将采样信号和参考信号比较,产生误差信号,其中,误差信号代表采样信号和参考信号之间的差值;以及开环下拉电路,具有第一端、第二端和第三端,开环下拉电路的第一端接收误差信号,开环下拉电路的第二端耦接至efuse开关的控制端,开环下拉电路的第三端耦接至efuse开关的输出端,其中,当误差信号大于下拉阈值时,开环下拉电路将efuse开关的控制端和efuse开关的输出端之间的电压钳位到预设电压值。

[0006] 本发明另一方面提供了一种用于efuse开关电路的控制方法,包括:采样流过efuse开关的电流信号,并产生代表流过efuse开关的电流信号的采样信号;将采样信号和参考信号比较,产生误差信号,其中,误差信号代表采样信号和参考信号之间的差值;判断误差信号与下拉阈值的大小;以及当误差信号大于下拉阈值时,将efuse开关的控制端和输出端之间的电压值钳位到预设电压值。

附图说明

[0007] 通过参考附图阅读下文的详细描述,本发明实施方式的上述以及其他目的、特征和优点将变得易于理解。在附图中,以示例性而非限制性的方式示出了本发明的若干可行实施方式。

- [0008] 图1所示为现有技术中的一种cfuse开关的电路结构图。
- [0009] 图2所示为根据本发明一实施例的efuse开关电路100的原理示意图。
- [0010] 图3所示为根据本发明一实施例的开环下拉电路50的结构示意图。
- [0011] 图4所示为根据本发明一实施例的efuse开关电路200的具体电路原理图。
- [0012] 图5所示为根据本发明又一实施例的efuse开关电路300的原理示意图。
- [0013] 图6所示为根据本发明一实施例的efuse开关电路控制方法400的流程示意图。
- [0014] 在附图中,相同或对应的标号被用以表示相同或对应的元件。

具体实施方式

[0015] 下面将详细描述本发明的具体实施例,应当注意,这里描述的实施例只用于举例说明,并不用于限制本发明。在以下描述中,为了提供对本发明的透彻理解,阐述了大量特定细节。然而,对于本领域普通技术人员显而易见的是:不必采用这些特定细节来实行本发明。在其他实例中,为了避免混淆本发明,未具体描述公知的电路、材料或方法。

[0016] 图2示出了根据本发明一实施例的efuse开关电路100的原理框图。如图2所示,efuse开关电路100包括efuse开关10、采样电路20、闭环控制电路30、驱动电路40和开环下拉电路50。

[0017] 在图2示出的实施例中,efuse开关10可耦合在系统输入端IN和系统输出端OUT之间。电流信号 I_e 从系统输入端IN流经efuse开关10至输出端OUT。在一个实施例中,输入端IN包括可提供一个电源电压信号的电源的输出端,而输出端OUT包括可接收该电源提供的电源电压信号的开关转换器的输入端。在另一实施例中,输入端IN包括可提供一个输出电压信号的开关转换器的输出端,而输出端OUT包括可接收该输出电压信号的负载的输入端。本领域一般技术人员可以理解输入端IN和输出端OUT可包括任何可能需要保护的元件、电路或系统的端子。efuse开关10包括输入端、输出端和控制端。其中,efuse开关10的输入端耦接至系统输入端IN,输出端耦接至系统输出端OUT。在图2示出的实施例中,efuse开关10被示意为一个N型金属氧化物半导体场效应管(Metal-Oxide-Semiconductor Field Effect Transistor, MOSFET),具有源级S、漏极D和栅极G。其中,efuse开关10的输入端为N型MOSFET的源级S、输出端为N型MOSFET的漏极D,控制端为N型MOSFET的栅极G。本领域一般技术人员可以理解,efuse开关10可以为任何合适的可控半导体开关器件,例如P型MOSFET、绝缘栅双极晶体管(IGBT)、结型场效应晶体管(JFET)等等。

[0018] 在图2示出的实施例中,采样电路20用于采样efuse开关10的电流信号或电压信号,以产生采样信号Sense。在一个实施例中,采样电路20为电流采样电路,采样流过efuse开关10的电流信号 I_e 。此时,采样信号Sense代表流过efuse开关10的电流信号 I_e 。在另一个实施例中,采样电路20为电压采样电路,用于采样efuse开关10的输入端接收的输入电压信号 V_{IN} 。此时,采样信号Sense代表efuse开关10的输入端接收的输入电压信号 V_{IN} 。

[0019] 在图2示出的实施例中,闭环控制电路30耦接采样电路20以接收采样信号Sense,并根据采样信号Sense产生误差信号EA。在一个实施例中,闭环控制电路30将采样信号Sense和一参考信号比较,并将采样信号Sense和参考信号之间的差值放大,产生误差信号EA。其中,误差信号EA代表采样信号Sense和参考信号之间的差值。在一个实施例中,误差信号EA代表流过efuse开关10的电流信号与期望流过的电流信号之间的差值。在另一个实施

例中,误差信号EA代表efuse开关10的输入端接收的输入电压信号 V_{IN} 与期望的输入电压信号之间的差值。在一个实施例中,误差信号EA为一个电压信号。在其他实施例中,误差信号EA也可以为电流信号。

[0020] 驱动电路40接收误差信号EA,并根据误差信号EA产生驱动信号DRV,用于驱动efuse开关10的控制端。在一个实施例中,驱动信号DRV为一个电压信号,其值根据误差信号EA的变化而变化。驱动电路40通过改变驱动信号DRV的值调节栅极G和源级S之间的栅源电压 V_{GS} 的值,进而导通efuse开关10或调节efuse开关10的导通电阻值。

[0021] 开环下拉电路50具有第一端、第二端和第三端。开环下拉电路50的第一端耦接至闭环控制电路30接收误差信号EA;开环下拉电路50的第二端耦接至efuse开关10的控制端;开环下拉电路50的第三端耦接至efuse开关10的输出端。在一个实施例中,开环下拉电路50将误差信号EA和一个下拉阈值比较,当误差信号EA大于下拉阈值时,开环下拉电路50将efuse开关10的控制端和efuse开关10的输出端电连接,并通过误差信号控制efuse开关10的控制端和输出端之间的电流大小,进而将栅源电压 V_{GS} 的值钳位到一个预设电压值。在一个实施例中,该预设电压值大于efuse开关10的导通阈值VGS (TH)。在一个实施例中,该预设电压值为一个自适应电压值,与efuse开关10的器件参数相关。在一个实施例中,该自适应电压值和efuse开关10允许流过的最大电流值 I_{max} 相关。在一个实施例中,预设电压值即为efuse开关10流过电流为 I_{max} 时的栅源电压 V_{GS} 的值。也即是说,当误差信号EA大于下拉阈值时,栅源电压 V_{GS} 将被钳位在efuse开关10流过电流为 I_{max} 时栅源电压 V_{GS} 的值,以保证efuse开关10流过的电流不超过 I_{max} 。在一个实施例中,该预设电压值为1.4V。

[0022] 图3为根据本发明一实施例的开环下拉电路50的结构示意图。如图3所示,开环下拉电路50包括判定电路51和自适应钳位电路52。判定电路51接收误差信号EA,并将误差信号EA与下拉阈值 OC_{TH} 比较,产生下拉指示信号OC。在一个实施例中,当误差信号EA大于下拉阈值 OC_{TH} 时,下拉指示信号OC为有效状态;当误差信号EA小于下拉阈值 OC_{TH} 时,下拉指示信号OC为无效状态。在一个实施例中,下拉指示信号OC为一个逻辑信号具有逻辑高低电平。在一个实施例中,下拉指示信号OC的逻辑高电平为有效状态,下拉指示信号OC的逻辑低电平为无效状态。

[0023] 自适应钳位电路52具有第一端、第二端、第三端和第四端。自适应钳位电路52的第一端接收下拉指示信号OC;自适应钳位电路52的第二端接收误差信号EA;自适应钳位电路52的第三端耦接至efuse开关10的控制端(例如,栅极G);自适应钳位电路52的第四端耦接至efuse开关10的输出端(例如,源级S)。当下拉指示信号OC为有效状态时,自适应钳位电路52基于误差信号EA将其第三端和第四端之间的电压(即:栅源电压 V_{GS})钳位到预设电压值。在一个实施例中,自适应钳位电路52通过误差信号EA控制其第三端和第四端之间流过的电流保持不变,进而将其第三端和第四端之间的电压值钳位到预设电压值。在一个实施例中,自适应钳位电路52将提供一条从其第三端到逻辑地的电流泄放通道,该电流泄放通道流过的电流大小由误差信号EA控制。在一个实施例中,误差信号EA越大,电流泄放通道流过的电流越大。

[0024] 图4为根据本发明一实施例的efuse开关电路100的具体电路原理图。在图4示出的实施例中,采样电路20被示意为一个电流采样电路。本领域的一般技术人员可以理解,在其他实施例中,采样电路可以是其他合适的电压采样电路,用来采样efuse开关10的输入电压

信号 V_{IN} 。在图4中,采样电路20包括采样电阻201和运算放大器202。其中,采样电阻201串联连接在efuse开关10的输出端和系统输出端OUT之间。运算放大器202具有第一输入端、第二输入端和输出端,其中运算放大器202的第一输入端和第二输入端分别耦接在采样电阻201的两端,并在输出端输出采样信号Sense,其中采样信号Sense代表流过efuse开关10的电流 I_e 。在其他实施例中,采样电阻201也可以由一个与efuse开关10并联的晶体管代替。

[0025] 在图4示出的实施例中,闭环控制电路30被示意为一个误差放大器301。误差放大器301具有第一输入端、第二输入端和输出端。误差放大器301的第一端接收采样信号Sense;误差放大器301的第二端接收参考信号REF;误差放大器301将采样信号Sense和参考信号REF进行比较,并将两者的误差放大,产生误差信号EA。

[0026] 在图4示出的实施例中,判定电路51被示意为一个比较器511。比较器511具有第一输入端、第二输入端和输出端。比较器511的第一端接收误差信号EA;比较器511的第二端接收下拉阈值 OC_{TH} ;比较器511将误差信号EA与下拉阈值 OC_{TH} 比较,产生下拉指示信号OC。在图4示出的实施例中,当误差信号EA大于下拉阈值 OC_{TH} 时,下拉指示信号OC为逻辑高电平。

[0027] 在图4示出的实施例中,自适应钳位电路52包括预设电压产生模块521、钳位开关522、第一电流镜电路523、第二电流镜电路524和可控电流源525。

[0028] 预设电压产生模块521,具有第一端、第二端和第三端,其第一端耦接efuse开关10的控制端,其第二端耦接efuse开关10的输出端,其第三端耦接至钳位开关522的第一端。

[0029] 第一电流镜电路523,具有第一端、第二端和第三端,其第一端耦接efuse开关10的控制端,第二端通过可控电流源525耦接至逻辑地,其第三端耦接至钳位开关522的第一端。其中,可控电流源525的大小由误差信号EA控制。在一个实施例中,当流过efuse开关10的电流 I_e 越大,误差信号EA越大,可控电流源525产生的第一下拉电流信号 I_{drop1} 越大。

[0030] 第二电流镜524的第二端,具有第一端、第二端和第三端,其第一端耦接至逻辑地,其第二端耦接钳位开关522的第二端,其第三端耦接至efuse开关10的控制端。

[0031] 钳位开关522的控制端接收下拉指示信号OC。在一个实施例中,当下拉指示信号OC为有效状态时,钳位开关522导通,此时,预设电压产生模块521将efuse开关10的控制端和efuse开关10的输出端电连接。可控电流源525将在第一电流镜电路523的第二端产生第一下拉电流信号 I_{drop1} 。第一电流镜电路523将第二端的第一下拉电流信号 I_{drop1} 镜像放大后在其第一端产生第二下拉电流信号 I_{drop2} 。第二电流镜电路524将其第一端接收的第二下拉电流信号 I_{drop2} 和预设电压产生模块521第三端输出的电流信号的和镜像放大,并在第二电流镜电路524的第二端产生第三下拉电流信号 I_{drop3} 。在一个实施例中,当流过efuse开关10的电流信号 I_e 的电流值超过期望流过的电流值越大,第三下拉电流信号 I_{drop3} 越大,以使预设电压产生模块521的第一端和第二端之间的电压维持在预设电压值不变。在另一个实施例中,当efuse开关10输入端的输入电压 V_{IN} 的电压值超过期望的输入电压值越大,第三下拉电流信号 I_{drop3} 越大,以使得预设电压产生模块521的第一端和第二端之间的电压维持在预设电压值不变。

[0032] 在图4示出的实施例中,预设电压产生模块521包括第一晶体管5211和第二晶体管5212。第一晶体管5211和第二晶体管5212分别具有栅极、源级和漏极。在一个实施例中,第一晶体管5211为N型MOS管,第二晶体管5212为P型MOS管。此时,第一晶体管5211的栅极和漏极耦接在一起,第一晶体管5211的源级耦接第二晶体管5212的源级。第二晶体管5212的栅

极耦接efuse开关10的输出端,第二晶体管5212的漏极耦接钳位开关522的第一端。在图4示出的实施例中,N型MOS管5211等同一个电阻值为 $1/g_m$ 的电阻,其中, g_m 为N型MOS管5211工作于饱和区时的跨导值;P型MOS管5212为一个源跟随器,使得P型MOS管5212的源极电势跟随栅极变化而变化。

[0033] 图5示出了根据本发明又一实施例的efuse开关电路300的原理框图。和图2所示的efuse开关电路200相比,图5所示的efuse开关电路300进一步包括温度判断电路60。温度判断电路60检测efuse开关电路300的温度,并判断efuse开关10的温度是否高于预设温度值,进而产生温度指示信号TC。在图5所示实施例中,驱动电路40基于温度指示信号TC和误差信号EA产生驱动信号DRV。在一个实施例中,当温度指示信号TC指示efuse开关电路300的温度高于预设温度值时,驱动信号DRV将关断efuse开关10。

[0034] 图6示出了根据本发明一实施例的efuse开关电路控制方法400的流程示意图。图6示出的efuse开关电路控制方法可用于图2和图4-5示出的efuse开关电路,以及其他在本发明申请保护范围内的efuse开关电路中。在图6所示实施例中,efuse开关电路控制方法400包括步骤410-450。

[0035] 步骤410,采样efuse开关的电流或电压参数,并产生代表efuse开关10的电流或电压参数的采样信号。在一个实施例中,步骤410包括采样流过efuse开关10的电流,并产生代表流过efuse开关10的电流的电流采样信号。在另一个实施例中,步骤410包括采样efuse开关10输入端的输入电压信号 V_{IN} ,并产生代表efuse开关10输入端的输入电压信号 V_{IN} 的电压采样信号。

[0036] 步骤420,将采样信号和参考信号比较,产生误差信号。其中,误差信号代表采样信号和参考信号之间的差值。所述误差信号用于导通efuse开关10或调节efuse开关10导通时的导通电阻的大小。

[0037] 步骤430,判断误差信号与下拉阈值的大小。当误差信号大于下拉阈值时,转至步骤440;否则继续执行步骤430。

[0038] 步骤440,将efuse开关10的控制端和输出端之间的电压钳位在一个预设电压值。在一个实施例中,该预设电压值大于efuse开关10的导通阈值 $V_{GS(TH)}$ 。在一个实施例中,该预设电压值为一个自适应电压值,该自适应电压值和efuse开关10允许流过的最大电流值 I_{max} 相关。在一个实施例中,预设电压值即为efuse开关10流过电流为 I_{max} 时的栅源电压 V_{GS} 的值。也即是说,当误差信号EA大于下拉阈值时,栅源电压 V_{GS} 将被钳位在efuse开关10流过电流为 I_{max} 时栅源电压 V_{GS} 的值,以保证efuse开关10流过的电流不超过 I_{max} 。在一个实施例中,该预设电压值为1.4V。

[0039] 在整个说明书中,对“一个实施例”、“实施例”、“一个示例”或“示例”的提及意味着:结合该实施例或示例描述的特定特征、结构或特性被包含在本发明至少一个实施例中。因此,在整个说明书的各个地方出现的短语“在一个实施例中”、“在实施例中”、“一个示例”或“示例”不一定都指同一实施例或示例。此外,可以以任何适当的组合和、或子组合将特定的特征、结构或特性组合在一个或多个实施例或示例中。此外,本领域普通技术人员应当理解,在此提供的附图都是为了说明的目的,并且附图不一定是按比例绘制的。应当理解,当称“元件”“连接到”或“耦接”到另一元件时,它可以是直接连接或耦接到另一元件或者可以存在中间元件。相反,当称元件“直接连接到”或“直接耦接到”另一元件时,不存在中间元

件。相同的附图标记指示相同的元件。这里使用的术语“和/或”包括一个或多个相关列出的项目的任何和所有组合。

[0040] 虽然已参照几个典型实施例描述了本发明,但应当理解,所用的术语是说明和示例性、而非限制性的术语。由于本发明能够以多种形式具体实施而不脱离发明的精神或实质,所以应当理解,上述实施例不限于任何前述的细节,而应在随附权利要求所限定的精神和范围内广泛地解释,因此落入权利要求或其等效范围内的全部变化和改型都应随附权利要求所涵盖。

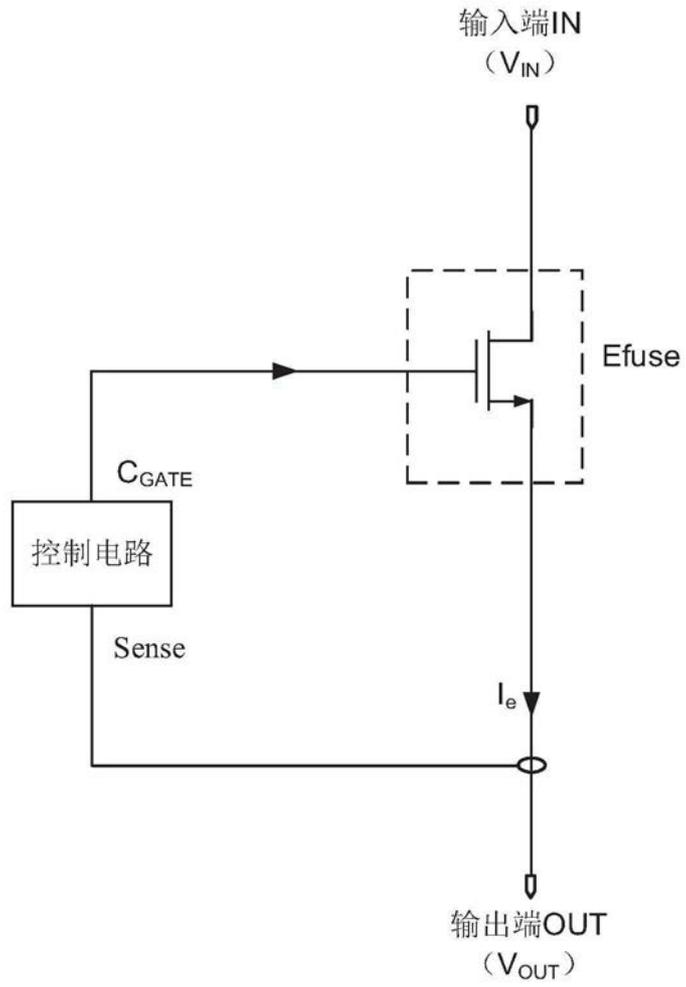


图1

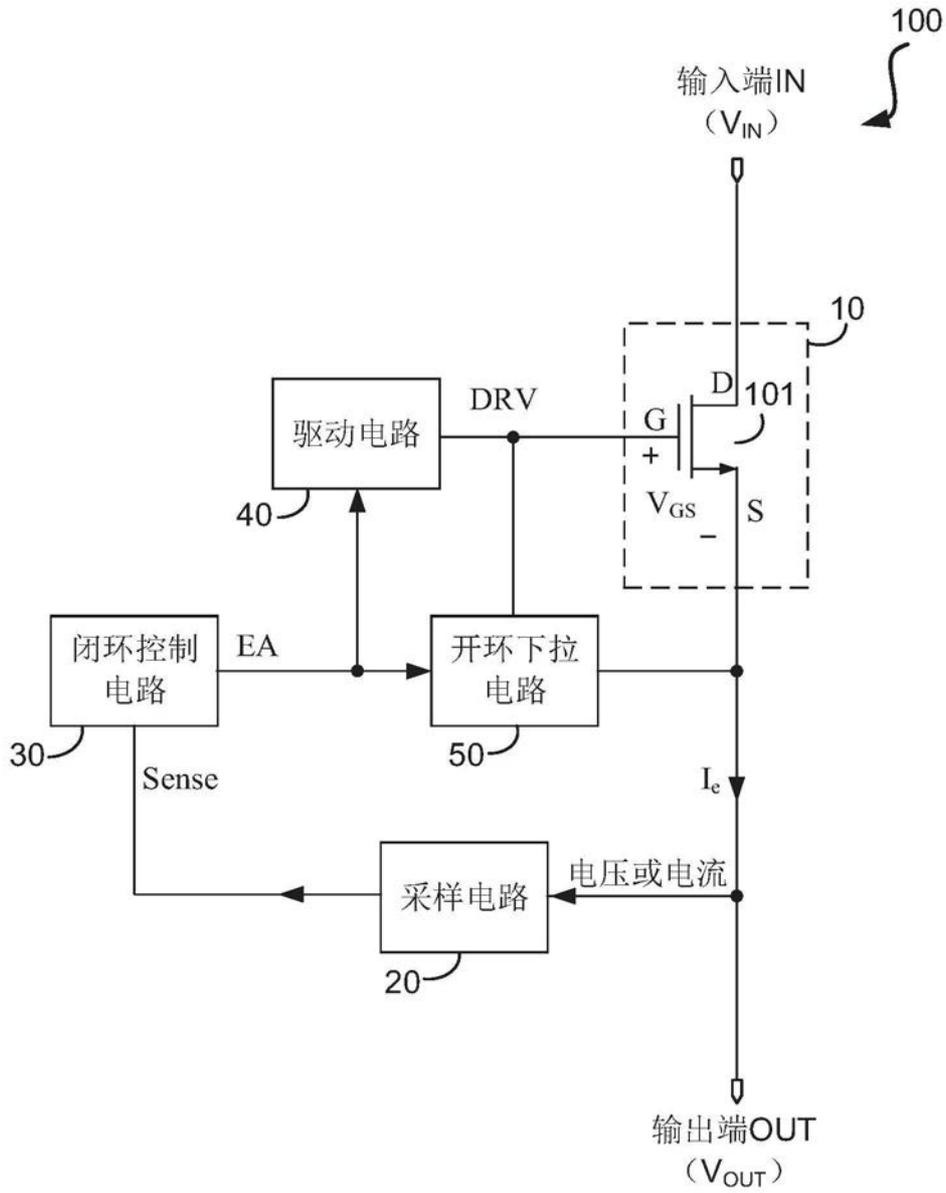


图2

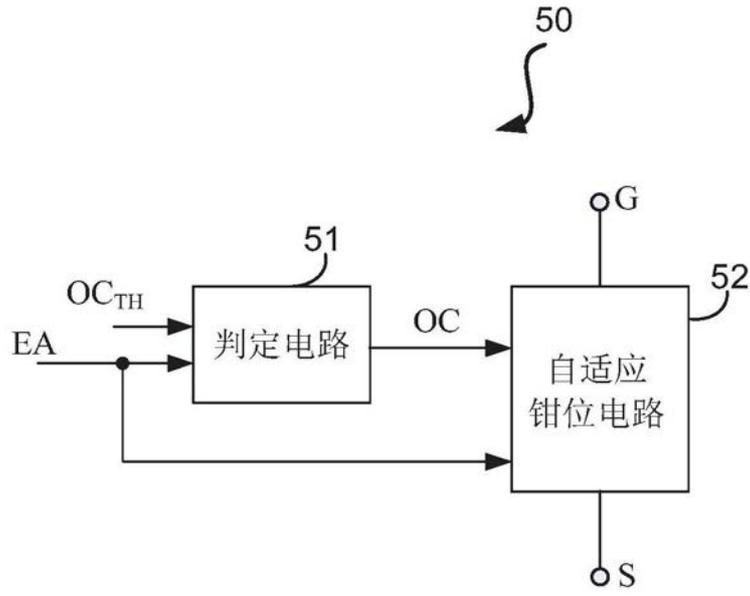


图3

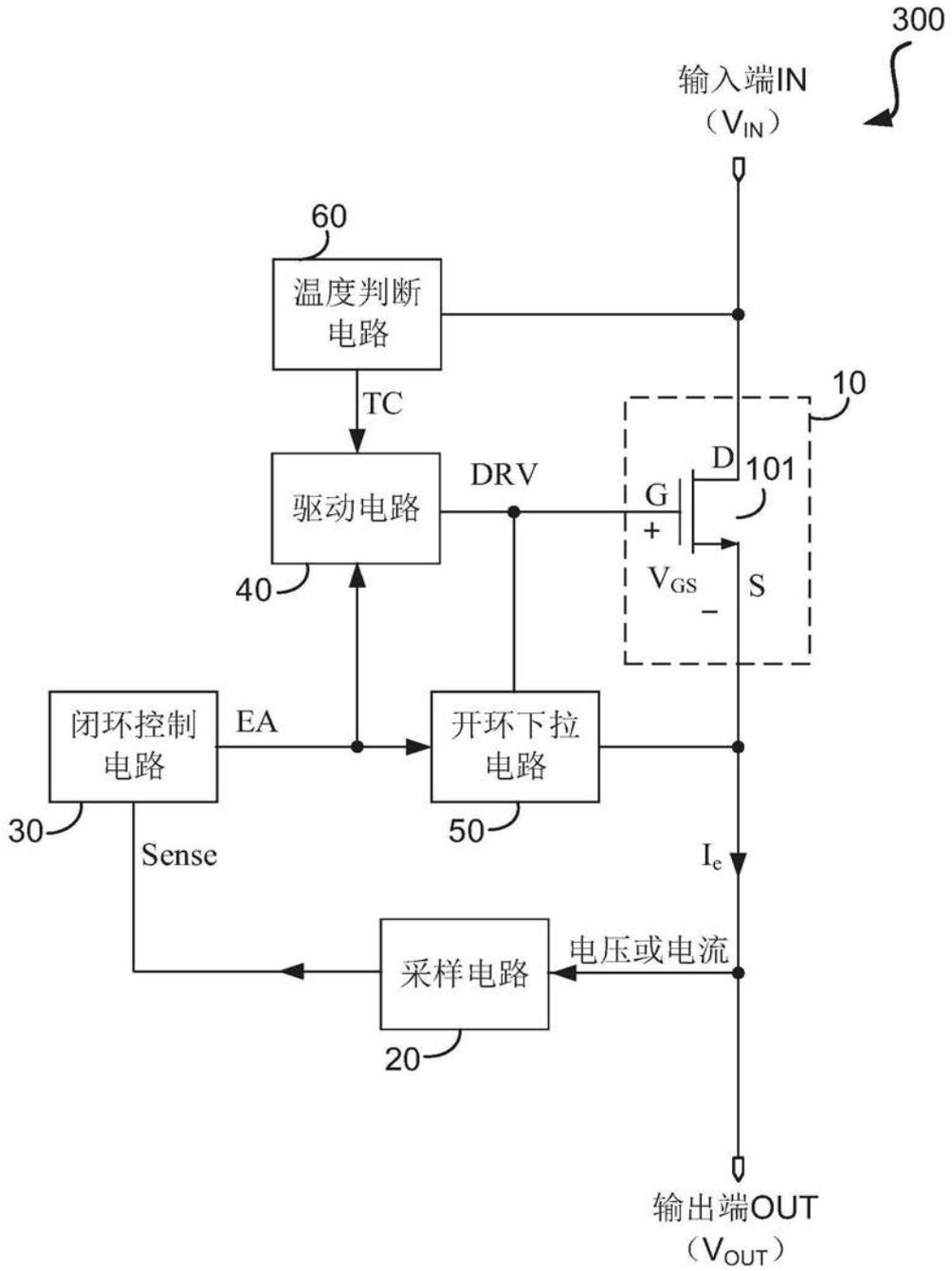


图5

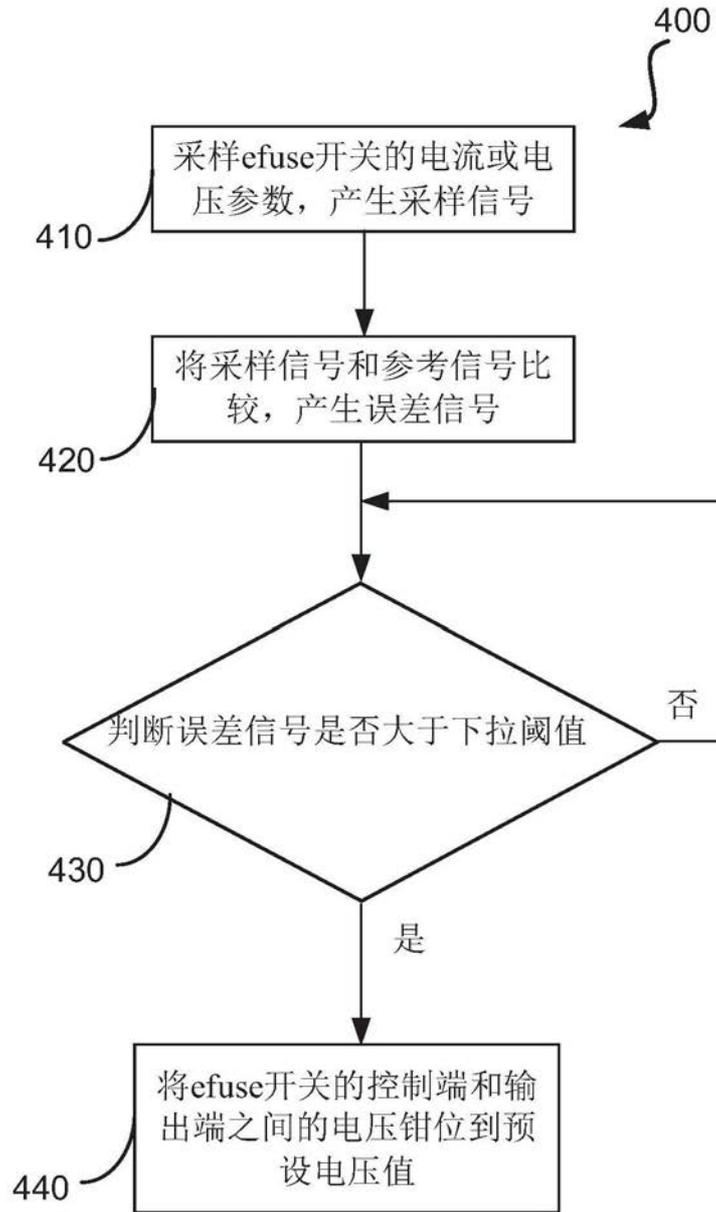


图6