



(12) 发明专利

(10) 授权公告号 CN 110412620 B

(45) 授权公告日 2022. 10. 28

(21) 申请号 201910580679.9

CN 105929384 A, 2016.09.07

(22) 申请日 2019.06.29

CN 104391305 A, 2015.03.04

(65) 同一申请的已公布的文献号

CN 1481094 A, 2004.03.10

申请公布号 CN 110412620 A

KR 20160023325 A, 2016.03.03

US 6292135 B1, 2001.09.18

(43) 申请公布日 2019.11.05

Ping-Tsung Wang 等. "A high

(73) 专利权人 西南电子技术研究所(中国电子科技集团公司第十研究所)

performance FPGA with hierarchical interconnection structure". 《1994 IEEE International Symposium on Circuits and Systems (ISCAS)》. 1994,

地址 610036 四川省成都市金牛区茶店子东街48号

Lei Wang 等. "Set-membership constrained conjugate gradient adaptive filtering algorithm and its application to beamforming". 《2011 17th International Conference on Digital Signal Processing (DSP)》. 2011,

(72) 发明人 唐洪军 郝黎宏 陈能 师帅

沈子龙. "多通道GPS抗干扰接收机的设计与实现". 《中国优秀硕士学位论文全文数据库》. 2012,

(74) 专利代理机构 成飞(集团)公司专利中心

51121

专利代理师 郭纯武

(51) Int. Cl.

G01S 19/21 (2010.01)

G01S 19/37 (2010.01)

G01S 19/40 (2010.01)

杨志伟 等. "子空间重构的一类自适应波束形成算法". 《电子与信息学报》. 2012,

(56) 对比文件

CN 106230478 A, 2016.12.14

CN 108462521 A, 2018.08.28

审查员 朱仲艳

权利要求书3页 说明书6页 附图3页

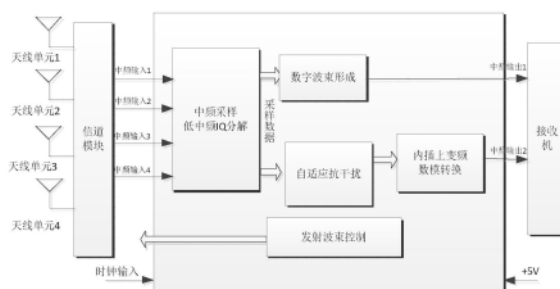
(54) 发明名称

抗干扰天线信号处理装置

拟信号2输出,送往后端GPS接收机中完成信号解调接收。

(57) 摘要

本发明公开的一种抗干扰天线信号处理装置,旨在克服传统卫星导航天线抗干扰能力弱的问题。本发明通过下述技术方案予以实现:在FPGA中首先完成M个通道间相位校准,对校准后的中频采样信号进行低中频IQ分解, IQ分解后的采样数据分成两路,一路进行直接波束合成,并通过内插上变频数模转换成中频信号1输出,另一路进行自适应抗干扰处理,进行相干自适应迭代算出每个通道需要的加权值,将完成干扰信号抑制的信号通过内插上变频数模转换模块转换恢复成中频信号,然后将4个通道数据加权叠加后送给后端数字模拟转换器DAC,以电流、电压或电荷的形式将数字信号转换为抗干扰后中频模



CN 110412620 B

1. 一种抗干扰天线信号处理装置,包括:通过射频通道接收天线阵列射频信号的信道模块,电源模块、数模-模数转换模块,相连在中频采样低中频IQ分解模块与接收机之间的数字波束形成模块及自适应抗干扰模块串联的内插上变频数模转换,其特征在于:信道模块接收前端4个天线单元发出的射频信号,提高阵列输出所需的信号强度,同时降低干扰信号的强度,用正交变换模块ADC将其转换成数字信号,将天线端的射频信号下变频为中频信号,经信道模块下变频后的中频信号,经过正交变换模块ADC模拟/数字转换器采样将其连续变量的模拟信号转换为离散的数字信号送往现场可编程门阵列FPGA,完成通道校准、波束合成和自适应抗干扰信号处理,在FPGA中首先完成4个通道间相位校准,对校准后的中频采样信号经中频采样低中频IQ分解模块接收四路中频采样信号 $X_0 \sim X_3$ 进行低中频IQ分解,IQ分解后的采样数据分成两路,其中一路通过数字波束形成模块进行直接波束合成,输出中频信号1到接收机,实现阵列天线信号叠加后的信噪比增益;另一路送往自适应抗干扰模块进行实时权值计算,相干自适应迭代算出每个通道需要的加权值,得到四个加权系数 $w_0 \sim w_3$,这四个加权系数分别与各自中频采样信号相乘后求和得到干扰信号抑制后输出信号S,采用不同的最佳加权准则去调整加权矢量,选取最佳权值使得阵列输出与有用信号之间的均方误差最小,选取最佳权值使得阵列输出信噪比达到最大;通过调整加权因子的方式对各通道信号进行空域滤波过滤掉干扰信号;进行自适应抗干扰处理后送入内插上变频数模转换内插,将完成干扰信号抑制的信号通过内插上变频数模转换模块转换恢复成中频信号2并输出到接收机,然后通过发射波束控制模块将4个通道数据加权叠加后送给后端数字模拟转换器DAC,以电流、电压或电荷的形式将数字信号转换为抗干扰后中频模拟信号2输出,送往后端GPS接收机中完成信号解调接收,当阵列天线期望信号、干扰信号和噪声互不相关时,接收数据具有相关矩阵理论表达式为

$$\begin{aligned} \mathbf{R} &= E(\mathbf{x}(k)\mathbf{x}^H(k)) \\ &= \sigma_0^2 \mathbf{a}(\theta_1)\mathbf{a}^H(\theta_1) + \sum_{i=1}^{L-1} \sigma_i^2 \mathbf{a}(\theta_i)\mathbf{a}^H(\theta_i) \end{aligned} \quad (1)$$

式中, $\mathbf{x}(k)$ 为输入训练样本, \mathbf{R} 为输入样本的自相关矩阵, $\sigma_i^2 = E(s_i s_i^H)$ 表示第*i*个期望信号或干扰信号的功率, $\mathbf{a}(\theta_i)$ 表示角度为 θ_i 的输入信号的样本值, \mathbf{H} 表示求转置, L 为到达阵列的信号个数, θ_i 为到达阵列的第*i*个信号的角度, $i=1 \sim L-1$ 。

2. 如权利要求1所述的抗干扰天线信号处理装置,其特征在于:天线阵列中的天线单元数为1~4个,1~4个天线单元接收射频信号,通过射频模块分别进行放大、滤波、下变频至中频,得到1~4个中频信号。

3. 如权利要求1所述的抗干扰天线信号处理装置,其特征在于:信道模块接收4路中频信号通过中频采样低中频IQ分解模块完成采样、IQ分解。

4. 如权利要求1所述的抗干扰天线信号处理装置,其特征在于:数模-模数转换模块采用M数为4的中频信号模数转换ADC芯片构成模拟数字转换ADC电路、对所有有源器件的电平转换和供电的电源芯片电路、完成外部时钟变频的时钟电路、RS485电平转换芯片、PECL电平转换TTL电平的芯片、电子抹除式可复写只读存储器EEPROM存储芯片和温度传感器芯片,其中,140M中频输入信号通过通信协议接口送入ADC电路,采集140M中频输入M数为4的中频信号通过4路模数转换ADC芯片,将采集的IF1-IF4通道中频70MHz、带宽20MHz、16bit、4通道

中频信号模拟信号进行阻抗匹配,模数AD转换数据模块进行抗干扰信号后送入现场可编程门阵列FPGA芯片对天线系统状态监测,FPGA芯片电路完成通信指令解析,中频信号模数对采样后数据自适应处理,完成通道校准、直接波束合成和自适应抗干扰计算控制时序输出,实现端机通信指令解析。

5.如权利要求1所述的抗干扰天线信号处理装置,其特征在于:正交变换模块AD转换后的4路数字信号分别分路送至自适应算法模块,通过指向信息和各通道的数据情况自适应迭代出每个通道的加权系数 W ,再将生成的系数和原通道数据相乘求和得到抗干扰后信号 S 。

6.如权利要求1所述的抗干扰天线信号处理装置,其特征在于:现场可编程门阵列FPGA内置包含了命令控制和数据处理的两部分程序软件,命令控制部分通过通用异步收发传输器UART串口命令解析模块接收RS422接口下发的控制命,FPGA芯片对抗干扰信号后通过数模转换芯片DAC将数字量信号转换成模拟量信号,经时钟电路完成外部时钟的变频,通过UART串口命令解析后控制工作模式、频率、方位参数,并将收集的监控信息通过RS422发送给端机,并经外围匹配电路完成FGPA处理后数据模拟中频恢复,将抗干扰后信号转换成模拟中频送往后端接收机。

7.如权利要求6所述的抗干扰天线信号处理装置,其特征在于:时钟电路接收外部系统时钟输入和本地参考时钟两种时钟方案,如果时钟选择开关选择外部系统112M时钟,则时钟驱动器只将时钟进行分路,分别送给AD9779、AD9653、FGPA三个芯片作为芯片的工作时钟;如果时钟选择开关选择内部参考时钟,则时钟驱动器将10M晶振参考信号通过锁相环倍频至112M再分路输出,送给AD9779、AD9653、FGPA三个芯片作为芯片的工作时钟。

8.如权利要求7所述的抗干扰天线信号处理装置,其特征在于:正交变换模块AD转换后的4路数字信号分别分路送至自适应算法模块,通过指向信息和各通道的数据情况自适应迭代出每个通道的加权系数 W ,再将生成的系数和原通道数据相乘求和得到抗干扰后信号 S 。

9.如权利要求5或8所述的抗干扰天线信号处理装置,其特征在于:在FPGA中将正交变换模块后的4路数字信号分别分路送至自适应算法模块,通过指向信息和各通道的数据情况自适应迭代出每个通道的加权系数 w ,再将生成的系数和原通道数据相乘求和得到抗干扰后信号 S ,阵列天线的阵元间距等于入射信号的半波长,阵列天线阵元间距 $d \leq$ 等于窄带入射信号 $s_i(t)$ 的半波长,则有 L 个信号到达阵列,这 L 个信号相互独立,它们的到达角都不相同。

10.如权利要求6所述的抗干扰天线信号处理装置,其特征在于:数据处理部分将4路ADC转换后的数字信号分别通过与4路ADC串联的正交变换模块AD转换成正交的4路I/Q分量信号,送给通道自检模块完成通道工作状态自检,如果通道自检异常则上报端机,如果通道自检都正常则将4路数字信号送往通道校准模块完成4个通道间相位对齐,完成相位校准;完成相位校准后的数据分成两路,一路直接送入数字波束合成模块DBF进行数字波束合成,得到对大信噪比信号,并将该信号送入上变频模块进行上变频,再送往DAC转换成70M中频输出,另一路通过天线链路送往数字波束合成DBF抗干扰模块,完成自适应干扰抑,并将干扰抑制后的信号送入滤波变频模块上变频送往DAC转换成70M中频输出。

11.如权利要求1所述的抗干扰天线信号处理装置,其特征在于:利用期望信号的宽带

信号DOA已知,将方向矢量记为 \tilde{a} ,为了使通信目标的期望信号无损失的通过,并能抑制干扰,自适应波束形成的数学表达式为:

$$\mathbf{w} = \arg \min (\mathbf{w}^H \mathbf{R} \mathbf{w}) \quad s.t. \quad \mathbf{w}^H \tilde{\mathbf{a}} = 1 \quad (3)$$

式中, \mathbf{w} 为加权系数,使用拉格朗日算子可以计算得到最优加权矢量为:

$$\mathbf{w}_{opt} = (\tilde{\mathbf{a}}^H \mathbf{R}^{-1} \tilde{\mathbf{a}})^{-1} \mathbf{R}^{-1} \tilde{\mathbf{a}} \quad (4)$$

式中, $\tilde{\mathbf{a}}$ 为方向矢量, \mathbf{R} 为输入样本的自相关矩阵, \mathbf{w} 为加权系数, \mathbf{w}_{opt} 为最优加权系数。

12.如权利要求11所述的抗干扰天线信号处理装置,其特征在于:定义拉格朗日代价函数

$$J = \mathbf{w}^H \mathbf{R} \mathbf{w} + \lambda_n (\mathbf{w}^H \tilde{\mathbf{a}} - 1) \quad (5)$$

计算得到最优加权矢量的递推表达式为:

$$\mathbf{w}_{n+1} = \mathbf{w}_n - u \nabla_{\mathbf{w}} J \quad (6)$$

拉格朗日代价函数对权值向量求导数可得:权值向量倒数

$$\nabla_{\mathbf{w}} J = 2 \mathbf{R} \mathbf{w} + \lambda_n \tilde{\mathbf{a}} \quad (7)$$

$$\text{将上式代入式(6)可得下一个更新的权值 } \mathbf{w}_{n+1} = \mathbf{w}_n - u(2 \mathbf{R} \mathbf{w}_n + \lambda_n \tilde{\mathbf{a}}) \quad (8)$$

$$\text{上式中的拉格朗日乘子 } \lambda_n \text{ 在每次递推中更新 } \lambda_n = \frac{1}{u} (\tilde{\mathbf{a}}^H \tilde{\mathbf{a}})^{-1} (\tilde{\mathbf{a}}^H \mathbf{w}_n - 2u \tilde{\mathbf{a}}^H \mathbf{R} \mathbf{w}_n - 1) \quad (9)$$

在FPGA中采用单次采样 $\tilde{\mathbf{R}}_n$ 代替统计平均 \mathbf{R}_n 进行权值的迭代计算 $\tilde{\mathbf{R}}_n \approx \mathbf{x}_n \mathbf{x}_n^H$,通过上述过程计算得到最优权值后将其与对应通道采样信号相乘求和、可得到抗干扰后信号输出 S ,式中, u 为迭代步长, $\nabla_{\mathbf{w}}$ 表示对 \mathbf{w} 求导, n 为大于0的常数, \mathbf{w}_n 表示权值迭代过程中第 n 个权值。

抗干扰天线信号处理装置

技术领域

[0001] 本发明涉及卫星导航、卫星通信等领域,特别涉及抗干扰天线信号处理。

背景技术

[0002] 卫星导航也已经广泛应用在交通运输、测绘资源勘探、科学研究、土建工程、社会治安医疗急救等领域。有文献指出,它将是继通信,互联网之后的第三大IT产业,市场大,应用前景广。GPS几乎占全了世界各地的民用全球定位市场。以GPS为代表的全球定位系统发挥着越来越重要的作用,但由于卫星距地表距离较长,经过长距离的路径损耗,到达地球表面的信号功率仅为-160dBw左右,信号是淹没在热噪声中的,这种特点就导致了GPS信号比较容易受到干扰。由于各种干扰手段的不断涌现,极大的影响了定位系统信号的正常接收。导航卫星离地面有2万多公里,而且发射功率不大,信号到达地面接收机时,其强度仅仅相当于电视接收机天线接收信号的十亿分之一。只要事先清楚GPS的信号特征,就可以使用小功率的干扰机对其进行干扰。目前一种功率仅为1W的机载干扰机就可以干扰22千米处的GPS接收机锁定信号。卫星信号来自天空,而卫星干扰信号是从地面来的。干扰波和卫星波都是直线波,行进途中遇到障碍物都会被反射,但这两种电波的区别在于,干扰波的场强大于卫星波数千万倍,致使遇到障碍物及建筑物后会四处反射,而卫星波如没有被天线所反射则易被地表所吸收。地面控制系统GPS系统的地面控制系统是由1个主控站、3个注入站和5个监测站组成的。GPS系统是由GPS卫星星座、地面监控系统和用户接收机三部分组成,对GPS系统的干扰也可以分三部分来进行。对GPS卫星进行干扰。对星座的干扰主要有五种途径:(1)使用专用卫星对注入站发送的上行信号(S波段)进行拦截和发行,对导航卫星进行有效干扰,使导航卫星无法正常工作。(2)扰乱导航卫星的供电系统,致使卫星因能源问题而无法工作。(3)扰乱导航卫星的姿态稳定系统,致使卫星无法保持正常姿态运行。(4)对导航卫星的电子设备进行干扰,致使卫星的电子元件无法正常工作。对地面监控系统的干扰。通过拦截和分析GPS地面监控站的通信信息,寻找对其通信弱点进行有效干扰,导致地面监控系统无法正常工作。对接收机的干扰是干扰GPS系统的一种主要手段。针对接收机的干扰主要有两种完全不同的体制,一种是压制式干扰,另一种是欺骗式干扰。压制式干扰是干扰信号信号进入GPS接收机解扩后的强度高于GPS信号,经解扩后的强度,导致接收机无法正确的获取GPS信号,这种方式的干扰是对GPS信号威胁最大。由于P码的结构是保密的,对采用P码的GPS信号进行压制性干扰难度较大,目前研究比较多的是对C/A码的压制干扰,又分为瞄准式、阻塞式和相干干扰三种。瞄准干扰是利用瞄准技术使载波频率对准GPS信号的载波,针对特定码型的卫星信号进行干扰。阻塞式干扰是针对GPS信号的载频进行的干扰,主要特点是使用一部干扰机可以干扰该区域中出现的所有C/A码的卫星信号,这个方式有单频干扰和宽带均匀频谱干扰两种,其中宽带均匀频谱干扰效果更好。相关干扰方式就是利用产生的干扰信号的伪码序列与GPS信号的伪码序列,具有较大的相关性的特点,而对GPS信号进行干扰的方式,与其他干扰方式相比,会有很多的能量通过接收机的窄带滤波器。欺骗式干扰是发射与GPS信号相同参数而信息码不同的虚假信号,使接收机产生错误的定位

信息。欺骗式干扰有产生式和转发式两种体制。产生式干扰,是指干扰机发射出能够被GPS接收机接收的虚假导航电文,从而导致接收机出现定位误差。该方法适用于C/A码,对于加密后的P码有较大困难。转发式干扰,向GPS接收机中发送过时且经过放大后的GPS信号。这种方法不需要知道信号的形式和伪码的结构,比较容易实现。GPS抗干扰调零天线信号处理系统的设计与实现在提高GPS接收机的抗干扰性能方面,提出了很多方法。当GPS信号受到外界的干扰时,惯性系统INS提供记忆功能并独立进行导航功能,继续完成导航任务;当GPS信号干扰消失后,INS向GPS接收机提供初始化信息,帮助其重新捕获GPS信号。由于这种系统是把GPS长期高精度的特点和INS短期高精度的特点结合起来,使用这种技术可以使用系统的抗干扰能力提高10dB至15dB。自适应调零技术可以有效地处理宽频带的噪声和窄带的干扰源,对于每个干扰源的抑制可以到25dB~35dB,可以抵消的干扰源的数量为天线阵元数减1。这种技术的实现需要复杂的天线阵列和处理器端的电子设备,一般造价高昂,主要应用于复杂的军事环境。采用频域滤波技术对窄带、CW干扰源和强的带外干扰有很好的抑制效果。频域滤波技术通常被用在GPS用户接收机和GPS天线之间,对窄带干扰的抑制可以达到35dB以上,而且成本低廉、体积较小。但是采用这种技术后就会延迟GPS信号的获取和处理时间,削弱GPS信号。这种技术在抑制宽带噪声干扰和多扫频瞄准式噪声效果较差。另外还有一些常用的抗干扰技术,空间波束转换,这种技术主要应用于大型设施内,需要配备大型且昂贵的天线阵列和相应的电子设备。幅度和相位抵消,这种技术主要是针对一个干扰源或者在赤道附近的多个干扰源。目前在卫星导航的行业中,大部分GPS接收机不具备抗干扰功能,如果全部淘汰掉,更换新一代具有抗干扰功能的接收机,会造成巨大的资源浪费。天线阵元的数量与抗干扰的性能有着直接的关系,理论上N个天线阵元可以产生N-1个零陷点,零陷点的深度会受到同一时刻零陷点数量的影响,对系统的抗干扰性能会产生影响。卫星导航接收机采用自适应调零天线技术进行滤波后,波束的方向图仍基本是全向半球覆盖,如果空间存在干扰,天线方向图会自动在干扰的方向产生零陷,可以有效的抑制干扰信号,抗干扰的同时,对接收机的正常接受信号影响不大,从而保证了GPS接收机的正常工作。抗干扰调零天线技术大体可以分为模拟调零天线技术和数字调零天线技术,数字调零天线技术又可分为射频输出方式和中频输出方式。以上的三种方案有各自的优缺点,需要根据背景和要求去选择其中的一种作为系统方案。模拟调零抗干扰系统主要由天线阵列、射频通道、变频模块、电源模块、数模-模数转换模块、信号处理模块和幅相控制模块组成,输出信号为射频信号。只需要更换原来GPS接收机的天线阵列和射频前端,后端的GPS接收机结构可以不变。但是模拟调零天线技术有着自身的问题:1、变频模块的本振泄漏等原因导致输出信号不纯净。2、信号在高频或中频进行幅相调整后,失去原来携带的空间信息,不能再对其做进一步的处理。数字调零射频输出方案是先把天线端的射频信号下变频为中频信号,经过AD的采样变成数字信号,送入到信号处理模块进行波束形成算法处理,算法处理结束后经DA模块恢复成中频模拟信号,再经上变频变成射频信号,送入普通的GPS接收机中。该种方案也存在着一些自身的问题:1、如果上变频采用一次变频的方法,就很可能出现LO泄漏,泄漏到输出的射频信号中,会形成一个新的干扰;如果采用的是两次变频的方法,会加大PCB板的尺寸、电路板的设计难度和成本。2、原来的天线阵元和射频前端尺寸比较小,而采用数字调零天线射频输出方案的尺寸会大大增加,会给改装工作留下很大的困难。3、不同模块之间,会存在信号泄漏的问题。

发明内容

[0003] 本发明的目的是针对上述现有技术存在的问题,本发明提供一种功耗低、体积小,抗干扰性能稳定的抗干扰天线信号处理装置,以克服传统卫星导航天线抗干扰能力弱的问题。

[0004] 本发明的上述目的可以通过以下措施来达到,一种抗干扰天线信号处理装置,包括:通过射频通道接收天线阵列射频信号的信道模块,电源模块、数模-模数转换模块,其特征在于:信道模块接收前端M个天线单元射频信号,将天线端的射频信号下变频为中频信号,经过模拟/数字转换器ADC采样将其连续变量的模拟信号转换为离散的数字信号送往现场可编程门阵列FPGA完成通道校准、波束合成和自适应抗干扰信号处理,在FPGA中首先完成M个通道间相位校准,对校准后的中频采样信号进行低中频IQ分解,IQ分解后的采样数据分成两路,其中一路进行直接波束合成,实现阵列天线信号叠加后的信噪比增益,并通过内插上变频数模转换成中频信号1输出,另一路进行自适应抗干扰处理,进行相干自适应迭代算出每个通道需要的加权值,将完成干扰信号抑制的信号通过内插上变频数模转换模块转换恢复成中频信号,然后将4个通道数据加权叠加后送给后端数字模拟转换器DAC,以电流、电压或电荷的形式将数字信号转换为抗干扰后中频模拟信号2输出,送往后端GPS接收机中完成信号解调接收。

[0005] 本发明相比于现有技术具有如下有益效果是:

[0006] 功耗低、体积小。本发明采用信道模块,电源模块、数模-模数转换模块和现场可编程门阵列FPGA构成的抗干扰天线信号处理装置,功耗低、体积小,避免了现有技术采用两次变频的方法会加大PCB板的尺寸、电路板的设计难度和成本的缺陷。

[0007] 抗干扰性能稳定。本发明根据输入数据的不同,在FPGA中首先完成4个通道间相位校准,对校准后的中频采样信号进行低中频IQ分解,IQ分解后的采样数据分成两路,其中一路进行直接波束合成,自适应地对不同来向的信号进行增强与抑制。另一路进行自适应抗干扰处理,在较宽的范围内抑制干扰,通过相干自适应迭代算出每个通道需要的加权值,采用不同的最佳加权准则去调整加权矢量,选取最佳权值使得阵列输出与有用信号之间的均方误差最小,选取最佳权值使得阵列输出信噪比达到最大;通过调整加权因子的方式对各通道信号进行空域滤波过滤掉干扰信号,增强有用信号和削弱干扰,将完成干扰信号抑制的信号通过内插上变频数模转换模块转换恢复成中频信号,信号流程简洁清楚、实现简单、质量稳定,抗干扰强,克服了传统卫星导航天线抗干扰能力弱的问题。

[0008] 本发明采用信道模块接收前端M=4个天线单元特定方向发出的信号,衰减其它方向的信号,提高阵列输出所需的信号强度,同时降低干扰信号的强度,经信道模块下变频后的中频信号,用ADC将其转换成数字信号送往FPGA完成信号处理,在FPGA中首先完成4个通道间相位校准,校准后的信号进行相干自适应迭代算出每个通道需要的加权值,然后将4个通道数据加权叠加后送给后端DAC,实现抗干扰后中频信号输出。可以将干扰信号抑制后送给后端接收机,可实现全空域内任意三个不同方向干扰信号抑制,抗干扰动态范围到达76dB。

附图说明

[0009] 下面结合附图和实施例对本专利进一步说明:

- [0010] 图1是本发明抗干扰天线信号处理系统的电路原理框图。
- [0011] 图2是图1抗干扰信号处理装置电路原理框图。
- [0012] 图3是图2电源电路的电路原理示意图。
- [0013] 图4是图2时钟电路的电路原理示意图。
- [0014] 图5是图2FPGA中自适应抗干扰软件处理流程图。
- [0015] 图6是图2FPGA自适应波束形成原理图。
- [0016] 下面结合附图进一步详细描述本发明的技术方案。

具体实施方式

[0017] 参阅图1。在以下优选的实施例中，一种抗干扰天线信号处理装置，包括：通过射频通道接收天线阵列射频信号的信道模块，电源模块、数模-模数转换模块，其中：信道模块接收前端M个天线单元射频信号，将天线端的射频信号下变频为中频信号，经过模拟/数字转换器ADC采样将其连续变量的模拟信号转换为离散的数字信号送往现场可编程门阵列FPGA完成通道校准、波束合成和自适应抗干扰信号处理，在FPGA中首先完成M个通道间相位校准，对校准后的中频采样信号进行低中频IQ分解，IQ分解后的采样数据分成两路，其中一路进行直接波束合成，实现阵列天线信号叠加后的信噪比增益，并通过内插上变频数模转换成中频信号1输出，另一路进行自适应抗干扰处理，进行相干自适应迭代算出每个通道需要的加权值，将完成干扰信号抑制的信号通过内插上变频数模转换模块转换恢复成中频信号，然后将4个通道数据加权叠加后送给后端数字模拟转换器DAC，以电流、电压或电荷的形式将数字信号转换为抗干扰后中频模拟信号2输出，送往后端GPS接收机中完成信号解调接收。

[0018] 在可选的实施例中，天线阵列中的天线单元数为1~4个天线单，1~4个天线单元接收射频信号，通过射频模块分别进行放大、滤波、下变频至中频，得到中频信号1~4个中频信号。信道模块接收4路中频信号完成采样、IQ分解。IQ分解后完成干扰信号抑制的信号通过内插上变频后并数模转换恢复成中频信号送往接收机完成信号解调接收。

[0019] 参阅图2。数模-模数转换模块采用M数为4的中频信号模数转换ADC芯片构成模拟数字转换ADC电路、对所有有源器件的电平转换和供电的电源芯片电路、完成外部时钟变频的时钟电路、RS485电平转换芯片、PECL电平转换TTL电平的芯片、电子抹除式可复写只读存储器EEPROM存储芯片和温度传感器芯片，其中，140M中频输入信号通过通信协议接口送入ADC电路，采集140M中频输入M数为4的中频信号通过4路模数转换ADC芯片，将采集的IF1-IF4通道中频70MHz、带宽20MHz、16bit、4通道中频信号模拟信号进行阻抗匹配，模数AD转换数据模块进行抗干扰信号后送入现场可编程门阵列FPGA芯片对天线系统状态监测，FPGA芯片电路完成通信指令解析，中频信号模数对采样后数据自适应处理，完成通道校准、直接波束合成和自适应抗干扰计算控制时序输出，实现端机通信指令解析。FPGA芯片对抗干扰信号后通过数模转换芯片DAC将数字量信号转换成模拟量信号，经时钟电路完成外部时钟的变频，并经外围匹配电路完成FGPA处理后数据模拟中频恢复，将抗干扰后信号转换成模拟中频送往后端接收机。

[0020] 参阅图3。电源电路提供5V输入，将其分成用电感隔离的A5.0V和D5.0V两路，其中一路A5.0V送给DC/DC模块LTM4608将其转换成A2.0V，再通过低压差线性稳压器LDO芯片

MAX8556进一步转换成A1.8V,作为模数AD9653的供电电源,另一路送给低压差线性稳压器LDO芯片LT1764转换成A3.3V,作为模数AD芯片9779模拟3.3V的供电电源,另外一路D5.0V送给DC/DC模块LTM4616将其转换成D1.0V和D3.3V,其中D1.0V作为FPGA数字1.0V的供电电源,D3.3V作为FPGA和模数AD芯片9779数字3.3V供电电源,D3.3V进一步分成两路通过低压差线性稳压器LDO芯片MAX8556分别转换成D2.5V和D1.8V,其中D2.5V作为FPGA的数字2.5V的供电电源,D1.8V作为FPGA和AD9653数字1.8V的供电电源。

[0021] 参阅图4。时钟电路接收外部系统时钟输入和本地参考时钟两种时钟方案,如果时钟选择开关选择外部系统112M时钟,则时钟驱动器只将时钟进行分路,分别送给AD9779、AD9653、FGPA三个芯片作为芯片的工作时钟,如果时钟选择开关选择内部参考,则时钟驱动器将10M晶振参考信号通过锁相环倍频至112M再分路输出,送给AD9779、AD9653、FGPA三个芯片作为芯片的工作时钟。

[0022] 参阅图5。现场可编程门阵列FPGA内置主要包括命令控制和数据处理两部分程序软件,命令控制部分通过通用异步收发传输器UART串口命令解析模块接收RS422接口下发的控制命令,FPGA芯片对抗干扰信号后通过数模转换芯片DAC将数字量信号转换成模拟量信号,经时钟电路完成外部时钟的变频,通过UART串口命令解析后控制工作模式、频率、方位等参数,并将收集的监控信息通过RS422发送给端机。数据处理部分将4路ADC转换后的数字信号分别通过与4路ADC串联的正交变换模块AD转换成正交的4路I/Q分量信号,送给通道自检模块完成通道工作状态自检,如果通道自检异常则上报端机,如果通道自检都正常则将4路数字信号送往通道校准模块完成4个通道间相位对齐,完成相位校准。完成相位校准后的数据分成两路,一路直接送入数字波束合成模块DBF进行数字波束合成,得到对大信噪比信号,并将该信号送入上变频模块进行上变频,再送往DAC转换成70M中频输出。另一路通过天线链路送往数字波束合成DBF抗干扰模块,完成自适应干扰抑,并将干扰抑制后的信号送入滤波变频模块上变频送往DAC转换成70M中频输出。

[0023] 参阅图6。抗干扰信号处理装置接收的四路中频采样信号 $X_0 \sim X_3$ 分别分成两路,其中一路送往自适应算法处理模块进行实时权值计算,得到四个加权系数 $w_0 \sim w_3$,这四个加权系数分别与各自中频采样信号相乘后求和得到干扰信号抑制后输出信号S,计算过程如下。

[0024] 在FPGA中将正交变换模块后的4路数字信号分别分路送至自适应算法模块,通过指向信息和各通道的数据情况自适应迭代出每个通道的加权系数w,再将生成的系数和原通道数据相乘求和得到抗干扰后信号S,设定阵列天线的阵元间距等于入射信号的半波长,阵列天线阵元间距d要小于或者等于窄带入射信号 $s_1(t)$ 的半波长,假设则有L个信号到达阵列,这L个信号相互独立,它们的到达角都不相同。当阵列天线期望信号、干扰信号和噪声互不相关时,接收数据具有相关矩阵理论表达式为

$$\begin{aligned} \mathbf{R} &= E(\mathbf{x}(k)\mathbf{x}^H(k)) \\ [0025] \quad &= \sigma_0^2 \mathbf{a}(\theta_1)\mathbf{a}^H(\theta_1) + \sum_{i=1}^{L-1} \sigma_i^2 \mathbf{a}(\theta_i)\mathbf{a}^H(\theta_i) \end{aligned} \quad (1)$$

[0026] 式中, $\mathbf{x}(k)$ 为输入训练样本, \mathbf{R} 为输入样本的自相关矩阵, $\sigma_i^2 = E(s_i s_i^H)$ 表示期望信号或干扰信号的功率。输出抗干扰后信号为 $\mathbf{y}(n)$,表达式为 $\mathbf{y}(n) = \mathbf{w}(n)^H \mathbf{x}(n)$ (2)

[0027] 期望信号的宽带信号DOA已知,方向矢量记为 $\tilde{\mathbf{a}}$,为了使通信目标的期望信号无损

失的通过,并能抑制干扰,自适应波束形成的数学表达式为:

$$[0028] \quad \mathbf{w} = \arg \min (\mathbf{w}^H \mathbf{R} \mathbf{w}) \quad s.t. \quad \mathbf{w}^H \tilde{\mathbf{a}} = 1 \quad (3)$$

[0029] 式中, \mathbf{w} 为加权系数,使用拉格朗日算子可以计算得到最优加权矢量为:

$$[0030] \quad \mathbf{w}_{opt} = (\tilde{\mathbf{a}}^H \mathbf{R}^{-1} \tilde{\mathbf{a}})^{-1} \mathbf{R}^{-1} \tilde{\mathbf{a}} \quad (4)$$

[0031] 式中, \mathbf{a} 为方向矢量, \mathbf{R} 为输入样本的自相关矩阵, \mathbf{w} 为加权系数, \mathbf{w}_{opt} 为最优加权系数。根据上式得到的加权矢量可以实现抑制干扰的同时,保证通信目标的期望信号增益恒定。由于牵扯到矩阵求逆运算,上述自适应波束形成的数学表达式求解加权矢量的运算非常复杂,为此选用最小均方算法LMS来实现。

$$[0032] \quad \text{定义拉格朗日代价函数 } J = \mathbf{w}^H \mathbf{R} \mathbf{w} + \lambda_n (\mathbf{w}^H \tilde{\mathbf{a}} - 1) \quad (5)$$

[0033] 式中, λ_n 为拉格朗日乘子,可以计算得到最优加权矢量的递推表达式为:

$$[0034] \quad \mathbf{w}_{n+1} = \mathbf{w}_n - u \nabla_{\mathbf{w}} J \quad (6)$$

[0035] 式(5) u 为迭代步长, $\nabla_{\mathbf{w}}$ 表示对 \mathbf{w} 求导, n 为大于0的常数, \mathbf{w}_n 表示权值迭代过程中第 n 个权值。拉格朗日代价函数对权值向量求导数可得:权值向量倒数 $\nabla_{\mathbf{w}} J = 2\mathbf{R}\mathbf{w} + \lambda_n \tilde{\mathbf{a}}$ (7)

$$[0036] \quad \text{将上式代入式(6)可得下一个更新的权值 } \mathbf{w}_{n+1} = \mathbf{w}_n - u(2\mathbf{R}\mathbf{w}_n + \lambda_n \tilde{\mathbf{a}}) \quad (8)$$

$$[0037] \quad \text{上式中的 } \lambda_n \text{ 需要在每次递推中更新 } \lambda_n = \frac{1}{u} (\tilde{\mathbf{a}}^H \tilde{\mathbf{a}})^{-1} (\tilde{\mathbf{a}}^H \mathbf{w}_n - 2u\tilde{\mathbf{a}}^H \mathbf{R}\mathbf{w}_n - 1) \quad (9)$$

[0038] 用统计平均计算输入样本的协方差矩阵 \mathbf{R}_n ,在实时信号处理中很难做到,该信号处理装置在FPGA中采用单次采样 $\tilde{\mathbf{R}}_n$ 代替统计平均 \mathbf{R}_n 进行权值的迭代计算, $\tilde{\mathbf{R}}_n \approx \mathbf{x}_n \mathbf{x}_n^H$ (10)。通过上述过程计算得到最优权值后将其与对应通道采样信号相乘求和可得到抗干扰后信号输出 S 。

[0039] 以上所述仅是实现抗干扰天线信号处理装置的优选实施方案,应当理解本发明并非局限于本文所披露的形式,不应看作是对其他实施例的排除,而可用于各种其他组合、修改和环境,并能够在本文所述构想范围内,通过上述教导或相关领域的技术或知识进行改动。而本领域人员所进行的改动和变化不脱离本发明的精神和范围,则都应在本发明所附权利要求的保护范围内。

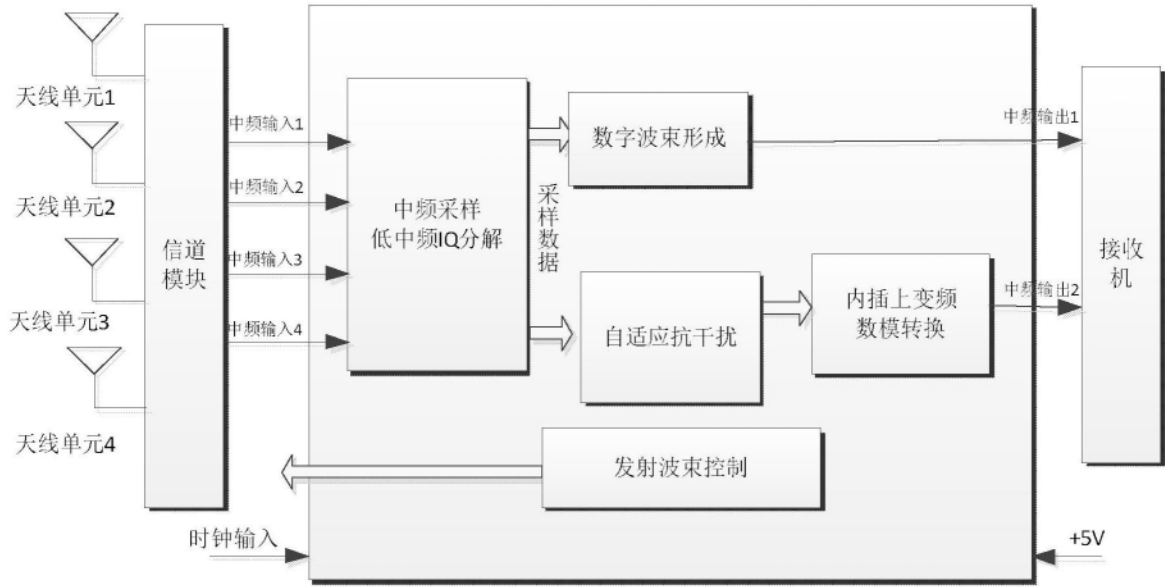


图1

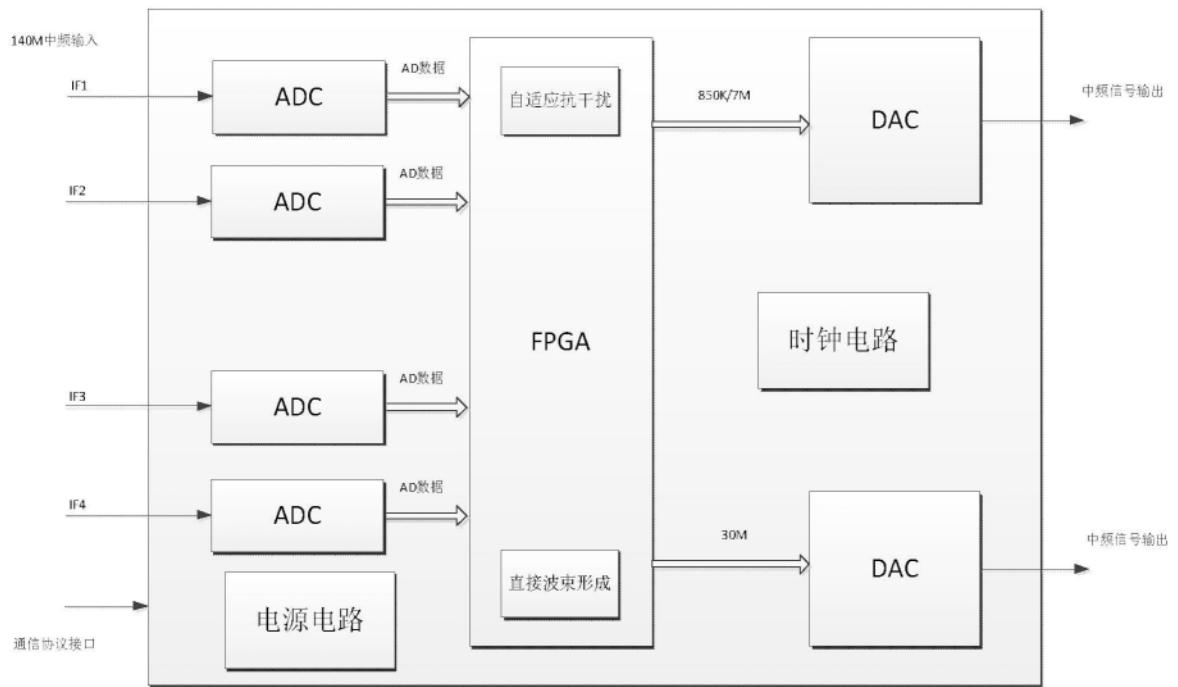


图2

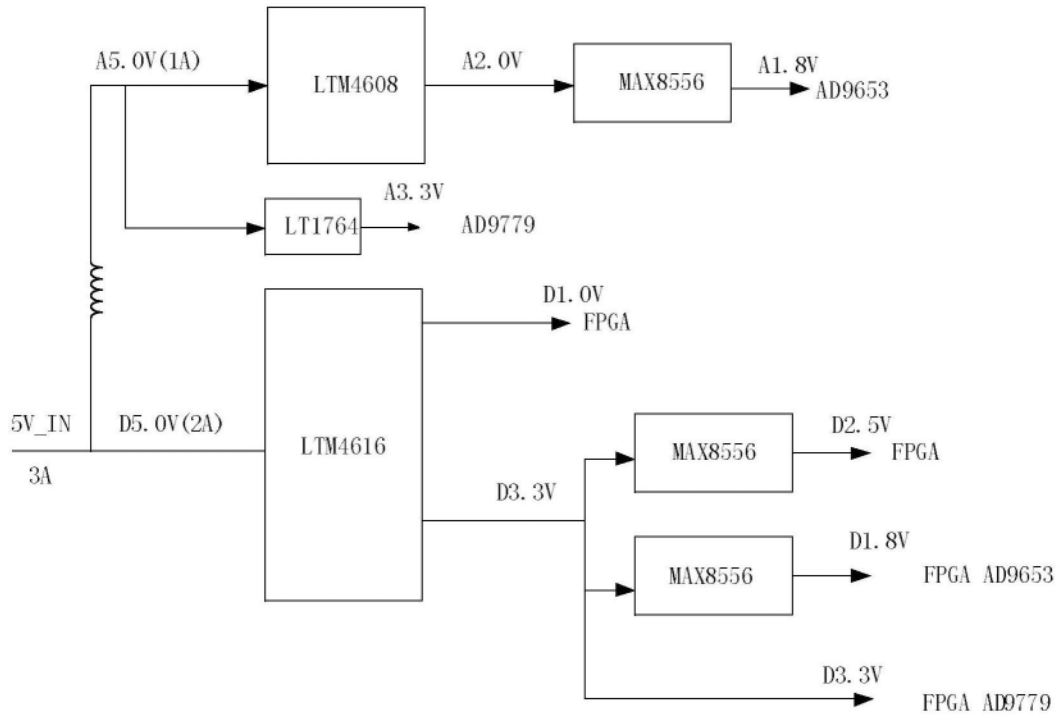


图3

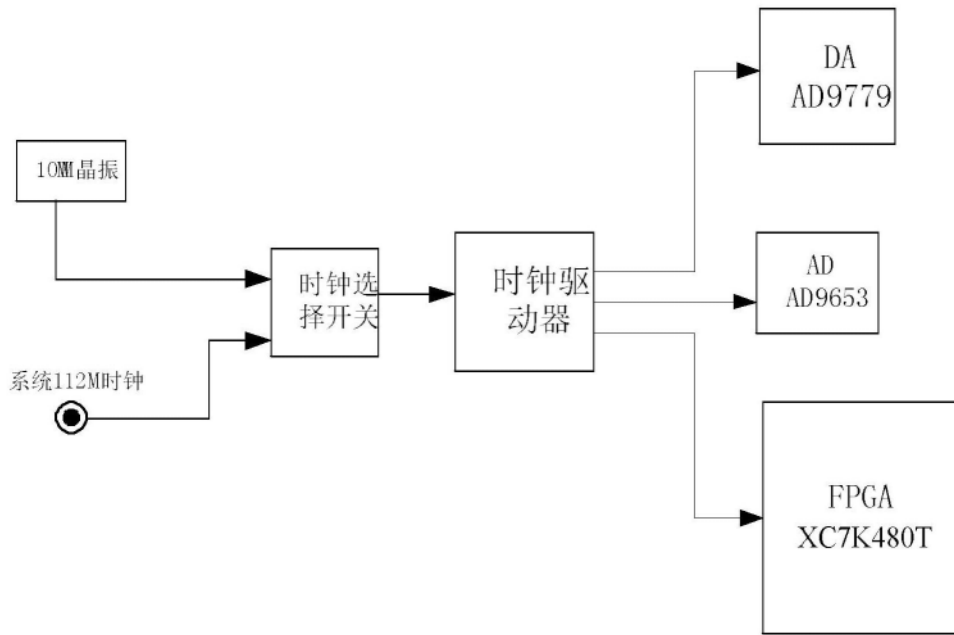


图4

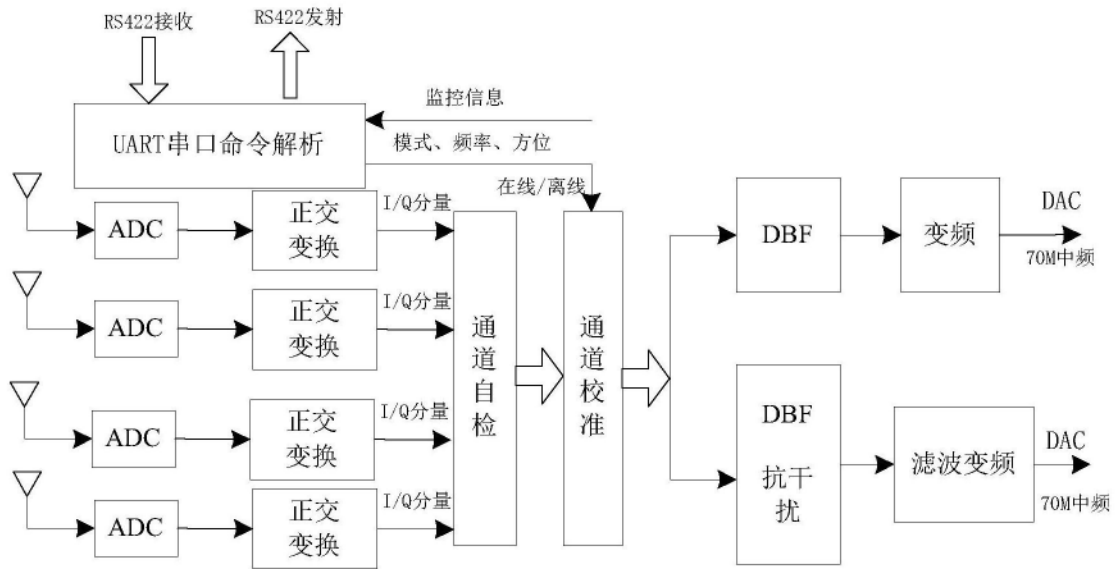


图5

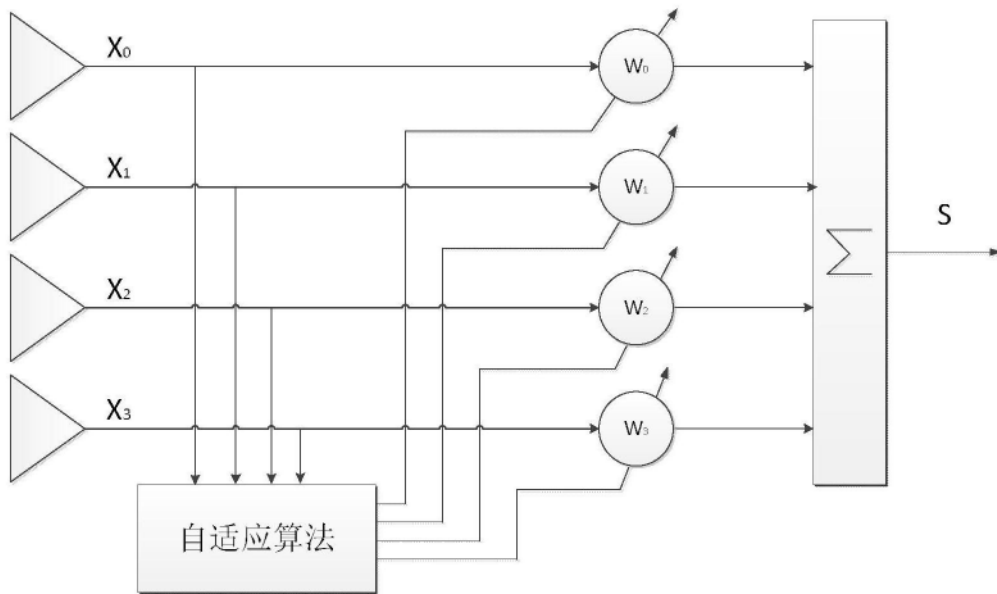


图6