

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5731923号  
(P5731923)

(45) 発行日 平成27年6月10日 (2015. 6. 10)

(24) 登録日 平成27年4月17日 (2015. 4. 17)

(51) Int. Cl. F I  
**HO2M 7/48 (2007.01)** HO2M 7/48 F  
 HO2M 7/48 H

請求項の数 8 (全 18 頁)

(21) 出願番号 特願2011-160705 (P2011-160705)  
 (22) 出願日 平成23年7月22日 (2011. 7. 22)  
 (65) 公開番号 特開2012-55155 (P2012-55155A)  
 (43) 公開日 平成24年3月15日 (2012. 3. 15)  
 審査請求日 平成26年5月21日 (2014. 5. 21)  
 (31) 優先権主張番号 特願2010-175001 (P2010-175001)  
 (32) 優先日 平成22年8月4日 (2010. 8. 4)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 遠藤 正己  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 審査官 下原 浩嗣

最終頁に続く

(54) 【発明の名称】 インバータ回路、電力変換回路、及び電気推進車両

(57) 【特許請求の範囲】

【請求項1】

第1のハイサイドトランジスタ、及び第1のローサイドトランジスタを有する第1のハーフブリッジ回路と、

第2のハイサイドトランジスタ、及び第2のローサイドトランジスタを有する第2のハーフブリッジ回路と、を含むフルブリッジ回路と、

正弦波と第1のノコギリ波とが第1のコンパレータに入力されて得られる第1の出力信号、及び前記第1のノコギリ波を生成するためのデジタル信号における上位ビットの信号を元に得られる第1の制御信号、の論理積によって得られる第1のパルス信号を元に、前記第1のハイサイドトランジスタ及び前記第1のローサイドトランジスタを制御する回路と、

10

前記正弦波と前記第1のノコギリ波から位相が半波長分ずれた第2のノコギリ波とが第2のコンパレータに入力されて得られる第2の出力信号、及び前記第2のノコギリ波を生成するためのデジタル信号における上位ビットの信号を元に得られる第2の制御信号を反転した信号、の論理積によって得られる第2のパルス信号を元に、前記第2のハイサイドトランジスタ及び前記第2のローサイドトランジスタを制御する回路と、を含む前記フルブリッジ回路を制御するパルス幅変調回路と、を有するインバータ回路であって、

前記第1のノコギリ波及び前記第2のノコギリ波の最大の電圧レベルを1とし、最小の電圧レベルを0とし、前記正弦波の電圧レベルをsとすると、 $0.5 < s < 1$ を満たすとき、かつ、前記第1のノコギリ波及び前記第2のノコギリ波の最大の電圧レベルを1と

20

し、最小の電圧レベルを0とし、前記正弦波の電圧レベルをtとすると、 $0 < t < 0.5$ を満たすときに、前記第1のパルス信号及び前記第2のパルス信号のデューティ比が小さくなることを特徴とするインバータ回路。

【請求項2】

第1のハイサイドトランジスタ、及び第1のローサイドトランジスタを有する第1のハーフブリッジ回路と、

第2のハイサイドトランジスタ、及び第2のローサイドトランジスタを有する第2のハーフブリッジ回路と、を含むフルブリッジ回路と、

正弦波と第1のノコギリ波とが第1のコンパレータに入力されて得られる第1の出力信号、及び前記第1のノコギリ波を生成するためのデジタル信号における上位ビットの信号を元に得られる第1の制御信号、の論理積によって得られる第1のパルス信号により前記第1のハイサイドトランジスタを制御し、前記第1のパルス信号を反転した信号により前記第1のローサイドトランジスタを制御する回路と、

前記正弦波と前記第1のノコギリ波から位相が半波長分ずれた第2のノコギリ波とが第2のコンパレータに入力されて得られる第2の出力信号、及び前記第2のノコギリ波を生成するためのデジタル信号における上位ビットの信号を元に得られる第2の制御信号を反転した信号、の論理積によって得られる第2のパルス信号により前記第2のハイサイドトランジスタを制御し、前記第2のパルス信号を反転した信号により前記第2のローサイドトランジスタを制御する回路と、を含む前記フルブリッジ回路を制御するパルス幅変調回路と、を有するインバータ回路であって、

前記第1のノコギリ波及び前記第2のノコギリ波の最大の電圧レベルを1とし、最小の電圧レベルを0とし、前記正弦波の電圧レベルをsとすると、 $0.5 < s < 1$ を満たすとき、かつ、前記第1のノコギリ波及び前記第2のノコギリ波の最大の電圧レベルを1とし、最小の電圧レベルを0とし、前記正弦波の電圧レベルをtとすると、 $0 < t < 0.5$ を満たすときに、前記第1のパルス信号及び前記第2のパルス信号のデューティ比が小さくなることを特徴とするインバータ回路。

【請求項3】

請求項1または請求項2において、

前記第1のパルス信号及び前記第2のパルス信号は、レベルシフト回路を介して、前記第1のハーフブリッジ回路、及び前記第2のハーフブリッジ回路の各トランジスタのゲートに供給されることを特徴とするインバータ回路。

【請求項4】

請求項1乃至請求項3のいずれかーにおいて、

前記正弦波は、正弦波デジタル信号生成回路により正弦波のデジタル信号を生成し、前記正弦波のデジタル信号をアナログ信号に変換して得られる信号であることを特徴とするインバータ回路。

【請求項5】

請求項1乃至請求項4のいずれかーにおいて、

前記第1のノコギリ波は、第1のノコギリ波デジタル信号生成回路により前記第1のノコギリ波を生成するためのデジタル信号を生成し、前記第1のノコギリ波を生成するためのデジタル信号をアナログ信号に変換して得られる信号であることを特徴とするインバータ回路。

【請求項6】

請求項1乃至請求項5のいずれかーにおいて、

前記第2のノコギリ波は、第2のノコギリ波デジタル信号生成回路により前記第2のノコギリ波を生成するためのデジタル信号を生成し、前記第2のノコギリ波を生成するためのデジタル信号をアナログ信号に変換して得られる信号であることを特徴とするインバータ回路。

【請求項7】

請求項1乃至請求項6のいずれかーに記載のインバータ回路を具備することを特徴とす

10

20

30

40

50

る電力変換回路。

【請求項 8】

請求項 7 に記載の電力変換回路を具備することを特徴とする電気推進車両。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インバータ回路に関する。または本発明は、インバータ回路を具備する電力変換回路に関する。または本発明は、電力変換回路を具備する電気推進車両に関する。

【背景技術】

【0002】

パワーデバイスは、掃除機、洗濯機などの高出力を要する電化製品の駆動制御部に欠かせない素子となっている。近年パワーデバイスは、電気自動車等の電気推進車両への応用へと展開している。そのためパワーデバイスは今後、より大きな市場が見込める分野として研究開発が盛んである。

【0003】

パワーデバイスは、大電力用途のスイッチング素子の他、DCDCコンバータ回路、インバータ回路等多岐にわたる。インバータ回路は、絶縁型のDCDCコンバータ回路にも用いられるが、単体の回路としてはDC（直流）からAC（交流）への変換を行う回路である。インバータ回路は、機器の低消費電力化及び小型化を図る上、重要なデバイスである。

【0004】

インバータ回路の中でも、変圧器（トランス）を双方向で励磁できるハーフブリッジ型、フルブリッジ型のインバータ回路が、利用効率の点で優れている。フルブリッジ型のインバータ回路は、入力電圧をそのまま変圧器で利用できるため、電力変換の効率が良く、特に大電力用途に好適である。

【0005】

フルブリッジ型のインバータ回路では、電力変換を効率よく行うために、インバータ回路を構成するハーフブリッジ回路に含まれるトランジスタのスイッチングの制御が重要になる。ハーフブリッジ回路は、ハイサイドトランジスタ及びローサイドトランジスタで構成される。フルブリッジ型のインバータ回路における制御回路は、ハーフブリッジ回路のハイサイドトランジスタ及びローサイドトランジスタのスイッチングの制御を行う。

【0006】

特許文献 1 では、フルブリッジ型のインバータ回路の制御方法について開示している。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開平 7 - 3 1 1 6 3 号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

フルブリッジ型のインバータ回路では、正弦波（サイン波ともいう）とノコギリ波（三角波ともいう）を用いて生成される、ハイサイドトランジスタ及びローサイドトランジスタのオンする期間を制御する信号を出力するパルス幅変調回路により、第 1 のハーフブリッジ回路及び第 2 のハーフブリッジ回路のスイッチングが制御される。第 1 のハーフブリッジ回路と第 2 のハーフブリッジ回路とは、交互に選択され、それぞれのハイサイドトランジスタ及びローサイドトランジスタのオンまたはオフが制御される。

【0009】

図 1 2 ( A ) に簡単なハーフブリッジ回路を具備するインバータ回路について図示する。図 1 2 ( A ) に示すインバータ回路 4 0 0 は、直流電源 4 0 1 からの直流信号が入力端子 I N 1 及び I N 2 より入力され、出力端子 O U T 1 及び O U T 2 により交流信号を出力す

10

20

30

40

50

る。インバータ回路400は、第1のハーフブリッジ回路402、第2のハーフブリッジ回路403、及びパルス幅変調回路404を有する。

【0010】

第1のハーフブリッジ回路402は、ハイサイドトランジスタ405、ローサイドトランジスタ406を有する。第2のハーフブリッジ回路403は、ハイサイドトランジスタ407、ローサイドトランジスタ408を有する。ハイサイドトランジスタ405はパルス幅変調回路404の制御信号Aによりオンまたはオフが制御される。ローサイドトランジスタ406はパルス幅変調回路404の制御信号Cによりオンまたはオフが制御される。ハイサイドトランジスタ407はパルス幅変調回路404の制御信号Bによりオンまたはオフが制御される。ローサイドトランジスタ408はパルス幅変調回路404の制御信号Dによりオンまたはオフが制御される。

10

【0011】

次いで図12(B)には、正弦波及びノコギリ波の波形、図12(A)で示した制御信号A乃至Dの波形についての簡単なタイミングチャートについて示している。図12(B)に示すタイミングチャート図は、正弦波411及びノコギリ波412を示している。また制御信号A及びBは、同じタイミングでオンまたはオフを制御する信号である。また制御信号C及びDは、同じタイミングでオンまたはオフを制御する信号である。制御信号A乃至Dは、パルス幅を変調してオンまたはオフを制御することで、信号に歪みの小さい交流信号とすることができる。

【0012】

ハイサイドトランジスタ及びローサイドトランジスタのスイッチングの制御は、オンする期間を制御する信号のパルス幅を調整しつつ、交互にオンまたはオフを切り替えて動作させることが理想的である。しかしながら制御回路を構成するトランジスタのターンオン時間及び/またはターンオフ時間の遅延等により、ハイサイドトランジスタ及びローサイドトランジスタが共にオンになる場合、出力される信号に歪みが生じてしまう。

20

【0013】

具体的な例としては、図12(C)に示すように、制御信号A及びC、並びに制御信号B及びDにおいてパルス幅を変調した際にパルス幅の間隔Tが狭くなる。一方で、制御回路を構成するトランジスタのターンオン時間及び/またはターンオフ時間の遅延等により、制御信号は信号波形の立ち上がりまたは立ち下がり時間に時間を要することとなる。その結果、ハイサイドトランジスタ及びローサイドトランジスタが共にオンになる短絡期間が増える。この短絡期間は、特に第1のハーフブリッジ回路と第2のハーフブリッジ回路とでオンまたはオフの動作を切り替える際に、出力される信号に歪みが生じてしまう。

30

【0014】

上述の課題に鑑み、本発明の一態様は、フルブリッジ型のインバータ回路の制御回路を工夫することによって、第1のハーフブリッジ回路及び第2のハーフブリッジ回路を構成するハイサイドトランジスタ及びローサイドトランジスタのスイッチングの制御中のエラーによる、出力される信号の歪みを低減することを目的とする。

【課題を解決するための手段】

【0015】

上記課題を解決するため本発明の一態様は、第1のハーフブリッジ回路と第2のハーフブリッジ回路におけるハイサイドトランジスタ及びローサイドトランジスタのオンまたはオフを制御する信号のパルス幅を小さくする。すなわちデューティ比の小さい信号とするものである。その結果、ハイサイドトランジスタ及びローサイドトランジスタが共にオンになる短絡期間を削減し、信号の歪みを低減するものである。

40

【0016】

本発明の一態様は、第1のハイサイドトランジスタ、及び第1のローサイドトランジスタを有する第1のハーフブリッジ回路と、第2のハイサイドトランジスタ、及び第2のローサイドトランジスタを有する第2のハーフブリッジ回路と、を含むフルブリッジ回路と、正弦波と第1のノコギリ波とが第1のコンパレータに入力されて得られる第1の出力信号

50

、及び第1のノコギリ波を生成するためのデジタル信号における上位ビットの信号を元に得られる第1の制御信号、の論理積によって得られる信号を元に、第1のハイサイドトランジスタ及び第1のローサイドトランジスタを制御する回路と、正弦波と第1のノコギリ波から位相が半波長分ずれた第2のノコギリ波とが第2のコンパレータに入力されて得られる第2の出力信号、及び第2のノコギリ波を生成するためのデジタル信号における上位ビットの信号を元に得られる第2の制御信号を反転した信号、の論理積によって得られる信号を元に、第2のハイサイドトランジスタ及び第2のローサイドトランジスタを制御する回路と、を含むフルブリッジ回路を制御するパルス幅変調回路と、を有するインバータ回路である。

【0017】

本発明の一態様は、第1のハイサイドトランジスタ、及び第1のローサイドトランジスタを有する第1のハーフブリッジ回路と、第2のハイサイドトランジスタ、及び第2のローサイドトランジスタを有する第2のハーフブリッジ回路と、を含むフルブリッジ回路と、正弦波と第1のノコギリ波とが第1のコンパレータに入力されて得られる第1の出力信号、及び第1のノコギリ波を生成するためのデジタル信号における上位ビットの信号を元に得られる第1の制御信号、の論理積によって得られる第1の信号により第1のハイサイドトランジスタを制御し、第1の信号を反転した信号により第1のローサイドトランジスタを制御する回路と、正弦波と第1のノコギリ波から位相が半波長分ずれた第2のノコギリ波とが第2のコンパレータに入力されて得られる第2の出力信号、及び第2のノコギリ波を生成するためのデジタル信号における上位ビットの信号を元に得られる第2の制御信号を反転した信号、の論理積によって得られる第2の信号により第2のハイサイドトランジスタを制御し、第2の信号を反転した信号により第2のローサイドトランジスタを制御する回路と、を含むフルブリッジ回路を制御するパルス幅変調回路と、を有するインバータ回路である。

【0018】

本発明の一態様において、第1の信号及び第2の信号は、レベルシフト回路を介して第1のハーフブリッジ回路、及び第2のハーフブリッジ回路の各トランジスタのゲートに供給されるインバータ回路でもよい。

【0019】

本発明の一態様において、正弦波は、正弦波デジタル信号生成回路により正弦波のデジタル信号を生成し、正弦波のデジタル信号をアナログ信号に変換して得られる信号であるインバータ回路でもよい。

【0020】

本発明の一態様において、第1のノコギリ波は、第1のノコギリ波デジタル信号生成回路により第1のノコギリ波を生成するためのデジタル信号を生成し、第1のノコギリ波を生成するためのデジタル信号をアナログ信号に変換して得られる信号であるインバータ回路でもよい。

【0021】

本発明の一態様において、第2のノコギリ波は、第2のノコギリ波デジタル信号生成回路により第2のノコギリ波を生成するためのデジタル信号を生成し、第2のノコギリ波を生成するためのデジタル信号をアナログ信号に変換して得られる信号であるインバータ回路でもよい。

【発明の効果】

【0022】

フルブリッジ型のインバータ回路の制御回路を工夫することによって、第1のハーフブリッジ回路及び第2のハーフブリッジ回路を構成するハイサイドトランジスタ及びローサイドトランジスタのスイッチングの制御中のエラーによる、出力される信号の歪みを低減することができる。

【図面の簡単な説明】

【0023】

- 【図 1】実施の形態 1 を説明するための回路図。
- 【図 2】実施の形態 1 を説明するための回路図。
- 【図 3】実施の形態 1 を説明するための波形図。
- 【図 4】実施の形態 1 を説明するための波形図。
- 【図 5】実施の形態 1 を説明するための波形図。
- 【図 6】実施の形態 1 を説明するための波形図。
- 【図 7】実施の形態 1 を説明するためのタイミングチャート図。
- 【図 8】実施の形態 1 を説明するためのタイミングチャート図。
- 【図 9】実施の形態 1 を説明するための波形図。
- 【図 10】電力変換回路の一例を示す図。
- 【図 11】電子機器の図。
- 【図 12】インバータ回路を説明する図。

10

【発明を実施するための形態】

【0024】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じ物を指し示す符号は異なる図面間において共通とする。

【0025】

20

なお、各実施の形態の図面等において示す各構成の、大きさ、層の厚さ、信号波形、または領域は、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。

【0026】

なお本明細書にて用いる第 1、第 2、第 3、乃至第 N (N は自然数) という用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。なお自然数は、特に断りのない限り、1 以上として説明する。

【0027】

(実施の形態 1)

図 1 (A)、(B) では、本発明の一態様に係るフルブリッジ型のインバータ回路の構成を示す。

30

【0028】

図 1 (A) には、フルブリッジ型のインバータ回路におけるハーフブリッジ回路の構成を示している。図 1 (A) に示すインバータ回路 100 は、直流電源 101 からの直流信号が入力端子 IN1 及び IN2 より入力され、出力端子 OUT1 及び OUT2 により交流信号を出力する。インバータ回路 100 は、第 1 のハーフブリッジ回路 102、第 2 のハーフブリッジ回路 103、及びパルス幅変調回路 104 を有する。

【0029】

第 1 のハーフブリッジ回路 102 は、ハイサイドトランジスタ 105、ローサイドトランジスタ 106 を有する。第 2 のハーフブリッジ回路 103 は、ハイサイドトランジスタ 107、ローサイドトランジスタ 108 を有する。ハイサイドトランジスタ 105 のソース端子とドレイン端子との間にはダイオード素子 109 を設ける。ローサイドトランジスタ 106 のソース端子とドレイン端子との間にはダイオード素子 110 を設ける。ハイサイドトランジスタ 107 のソース端子とドレイン端子との間にはダイオード素子 111 を設ける。ローサイドトランジスタ 108 のソース端子とドレイン端子との間にはダイオード素子 112 を設ける。なお以下の図でダイオード素子 109 乃至ダイオード素子 112 は動作に特に寄与しないため、省略して説明することとする。また、第 1 のハーフブリッジ回路 102 及び第 2 のハーフブリッジ回路 103 をまとめて、フルブリッジ回路ともいう。

40

【0030】

50

また、ハイサイドトランジスタ105、ローサイドトランジスタ106、ハイサイドトランジスタ107、及びローサイドトランジスタ108のゲート端子は、パルス幅変調回路104に接続されており、各トランジスタのオンまたはオフ（導通状態または非導通状態ともいう）が制御される。なお、ハイサイドトランジスタ105、ローサイドトランジスタ106、ハイサイドトランジスタ107、及びローサイドトランジスタ108は、スイッチング素子と機能するものであり、単にスイッチと呼ぶこともある。

【0031】

図1(A)の構成において、ハイサイドトランジスタ105、ローサイドトランジスタ106、ハイサイドトランジスタ107、及びローサイドトランジスタ108に適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ(TFT)、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを適用することができる。なお本実施の形態の説明では、単極性のトランジスタとしてnチャネル型のトランジスタを例に挙げて説明を行うが、他のトランジスタを用いる構成としてもよい。例えば単極性のトランジスタとしてpチャネル型のトランジスタを用いる構成としてもよいし、pチャネル型のトランジスタとnチャネル型のトランジスタとを組み合わせた構成としてもよい。

10

【0032】

次いで図1(B)では、図1(A)におけるパルス幅変調回路104の構成について、詳細に示したものである。

20

【0033】

図1(B)に示すパルス幅変調回路104は、正弦波デジタル信号生成回路121、正弦波デジタルアナログ変換回路122（正弦波D/A変換回路ともいう）、第1のノコギリ波デジタル信号生成回路123、第1のノコギリ波デジタルアナログ変換回路124（第1のノコギリ波D/A変換回路ともいう）、第2のノコギリ波デジタル信号生成回路125、第2のノコギリ波デジタルアナログ変換回路126（第2のノコギリ波D/A変換回路ともいう）、第1のコンパレータ127（第1の比較回路ともいう）、第2のコンパレータ128（第2の比較回路ともいう）、NOT回路129（インバータ、否定回路ともいう）、第1のAND回路130（論理積回路ともいう）、第2のAND回路131（論理積回路ともいう）、第1のレベルシフト回路132、NOT回路133、第2のレベルシフト回路134、第3のレベルシフト回路135、NOT回路136、及び第4のレベルシフト回路137を有する。

30

【0034】

正弦波デジタル信号生成回路121は、正弦波を生成するためのデジタル信号を出力する回路である。正弦波デジタルアナログ変換回路122は、正弦波デジタル信号生成回路121からのデジタル信号を元にアナログ信号の正弦波を出力する回路である。

【0035】

第1のノコギリ波デジタル信号生成回路123は、第1のノコギリ波を生成するためのデジタル信号を生成する回路である。第1のノコギリ波デジタルアナログ変換回路124は、第1のノコギリ波デジタル信号生成回路123からのデジタル信号を元にアナログ信号の第1のノコギリ波を出力する回路である。

40

【0036】

第2のノコギリ波デジタル信号生成回路125は、第2のノコギリ波を生成するためのデジタル信号を生成する回路である。第2のノコギリ波デジタルアナログ変換回路126は、第2のノコギリ波デジタル信号生成回路125からのデジタル信号を元にアナログ信号の第2のノコギリ波を出力する回路である。なお第1のノコギリ波と第2のノコギリ波とは、1/2周期遅れた（進んだ）関係の信号である。

【0037】

第1のコンパレータ127は、非反転入力端子に正弦波デジタルアナログ変換回路122より正弦波が入力される。また第1のコンパレータ127は、反転入力端子に第1のノコ

50

ギリ波デジタルアナログ変換回路 1 2 4 より第 1 のノコギリ波が入力される。

【 0 0 3 8 】

第 2 のコンパレータ 1 2 8 は、非反転入力端子に第 2 のノコギリ波デジタルアナログ変換回路 1 2 6 より第 2 のノコギリ波が入力される。また第 2 のコンパレータ 1 2 8 は、反転入力端子に正弦波デジタルアナログ変換回路 1 2 2 より正弦波が入力される。

【 0 0 3 9 】

第 1 の AND 回路 1 3 0 は、第 1 の入力端子に第 1 のコンパレータ 1 2 7 の出力信号が入力される。また第 1 の AND 回路 1 3 0 は、第 2 の入力端子に、第 1 のノコギリ波デジタル信号生成回路 1 2 3 の第 1 の制御信号が入力される。第 1 の制御信号は、第 1 のノコギリ波を生成するためのデジタル信号における上位ビットの信号を元に得られる信号である。

10

【 0 0 4 0 】

第 2 の AND 回路 1 3 1 は、第 1 の入力端子に第 2 のコンパレータ 1 2 8 の出力信号が入力される。また第 2 の AND 回路 1 3 1 は、第 2 の入力端子に、第 2 のノコギリ波デジタル信号生成回路 1 2 5 の第 2 の制御信号を NOT 回路 1 2 9 に入力し出力される信号が入力される。第 2 の制御信号は、第 2 のノコギリ波を生成するためのデジタル信号における上位ビットの信号を元に得られる信号である。

【 0 0 4 1 】

第 1 のレベルシフト回路 1 3 2 は、第 1 の AND 回路 1 3 0 の出力端子より得られる信号の電圧レベルを、ハイサイドトランジスタ 1 0 5 をオンにするのに十分な電圧レベルに昇圧するための回路である。

20

【 0 0 4 2 】

第 2 のレベルシフト回路 1 3 4 は、第 1 の AND 回路 1 3 0 の出力端子より得られる信号を NOT 回路 1 3 3 に入力し出力される信号の電圧レベルを、ローサイドトランジスタ 1 0 6 をオンにするのに十分な電圧レベルに昇圧するための回路である。

【 0 0 4 3 】

第 3 のレベルシフト回路 1 3 5 は、第 2 の AND 回路 1 3 1 の出力端子より得られる信号の電圧レベルを、ハイサイドトランジスタ 1 0 7 をオンにするのに十分な電圧レベルに昇圧するための回路である。

【 0 0 4 4 】

30

第 4 のレベルシフト回路 1 3 7 は、第 2 の AND 回路 1 3 1 の出力端子より得られる信号を NOT 回路 1 3 6 に入力し出力される信号の電圧レベルを、ローサイドトランジスタ 1 0 8 をオンにするのに十分な電圧レベルに昇圧するための回路である。

【 0 0 4 5 】

なお、第 1 のレベルシフト回路 1 3 2、第 2 のレベルシフト回路 1 3 4、第 3 のレベルシフト回路 1 3 5、及び第 4 のレベルシフト回路 1 3 7 は、第 1 の AND 回路 1 3 0 及び第 2 の AND 回路 1 3 1 より出力される信号の電圧レベルが、ハイサイドトランジスタ 1 0 5、ローサイドトランジスタ 1 0 6、ハイサイドトランジスタ 1 0 7、及びローサイドトランジスタ 1 0 8 をオンにするのに十分な電圧レベルであれば省略することも可能である。

40

【 0 0 4 6 】

次いで図 1 ( B ) で説明したパルス幅変調回路 1 0 4 の動作について説明するため、各回路より出力される信号に符号を付して説明していくことにする。なお以下の説明では、正弦波デジタルアナログ変換回路 1 2 2 の出力信号を図 2 に示すように「 a 」で表す。また第 1 のノコギリ波デジタルアナログ変換回路 1 2 4 の出力信号を図 2 に示すように「 b 」で表す。また第 2 のノコギリ波デジタルアナログ変換回路 1 2 6 の出力信号を図 2 に示すように「 c 」で表す。また第 1 のコンパレータ 1 2 7 の出力信号を図 2 に示すように「 d 」で表す。また第 2 のコンパレータ 1 2 8 の出力信号を図 2 に示すように「 e 」で表す。また第 1 のノコギリ波デジタル信号生成回路 1 2 3 より出力される第 1 の制御信号を図 2 に示すように「 f 」で表す。また第 2 のノコギリ波デジタル信号生成回路 1 2 5 より出力

50



される第2の制御信号を図2に示すように「g」で表す。またNOT回路129の出力信号を図2に示すように「h」で表す。また第1のAND回路130の出力信号(第1の信号ともいう)を図2に示すように「i」で表す。また第2のAND回路131の出力信号(第2の信号ともいう)を図2に示すように「j」で表す。またNOT回路133の出力信号を図2に示すように「k」で表す。またNOT回路136の出力信号を図2に示すように「l」で表す。

【0047】

次いで図3(A)では、正弦波デジタルアナログ変換回路122の出力信号である正弦波の波形、及び第1のノコギリ波デジタルアナログ変換回路124の出力信号である第1のノコギリ波の波形について示している。なお、正弦波と第1のノコギリ波の関係は、図3(A)に示すように、最大の電圧レベルと最小の電圧レベルの差で見積もられる電圧振幅が同じ信号となる。なお正弦波の周波数が例えば50Hz程度であるのに対し、第1のノコギリ波の周波数は250kHz程度とすることが好ましい。第1のノコギリ波の周波数を正弦波の周波数より大きくすることで、インバータ回路100で交流信号を得る際に歪みの小さい交流信号とすることができる。

10

【0048】

なお以下の説明で正弦波と第1のノコギリ波を図示する際は、説明のため、誇張した表記または略した表記とすることもある。例えば、正弦波と第1のノコギリ波との大小関係により得られる信号は、図示できる分解能の程度まで図示するに留めるものとする。

【0049】

20

次いで図3(B)では図3(A)と同じく、正弦波デジタルアナログ変換回路122の出力信号である正弦波の波形、及び第1のノコギリ波デジタルアナログ変換回路124の出力信号である第1のノコギリ波の波形について拡大した波形図を示している。また図3(C)には、図3(B)の正弦波デジタルアナログ変換回路122の出力信号である正弦波の波形、及び第1のノコギリ波デジタルアナログ変換回路124の出力信号である第1のノコギリ波の波形についてさらに拡大した波形図を示している。

【0050】

図3(B)、図3(C)に示すように、第1のコンパレータ127の出力信号は、正弦波の電圧レベルが第1のノコギリ波の電圧レベルよりも高い場合に、高い電圧レベル(以下、Hレベル)の出力信号となる。逆に第1のノコギリ波の電圧レベルが正弦波の電圧レベルよりも高い場合に、低い電圧レベル(以下、Lレベル)の出力信号となる。従って、図3(B)、図3(C)に示すように、第1のコンパレータ127の出力信号として、パルス幅の変調した信号が得られることとなる。

30

【0051】

次いで図4(A)には、図3(A)と同様にして、正弦波デジタルアナログ変換回路122の出力信号である正弦波の波形、及び第2のノコギリ波デジタルアナログ変換回路126の出力信号である第2のノコギリ波の波形についての波形図を示している。なお、正弦波と第2のノコギリ波の関係は、図4(A)に示すように、最大の電圧レベルと最小の電圧レベルの差で見積もられる電圧振幅が同じ信号となる。なお第2のノコギリ波の周波数は、第1のノコギリ波と同じ周波数、例えば250kHz程度とすることが好ましい。なお第2のノコギリ波は、上述したように、第1のノコギリ波と1/2周期遅れた(進んだ)関係の信号である。

40

【0052】

次いで図4(B)では図4(A)と同じく、正弦波デジタルアナログ変換回路122の出力信号である正弦波の波形、及び第2のノコギリ波デジタルアナログ変換回路126の出力信号である第2のノコギリ波の波形について拡大した波形図を示している。また図4(C)には、図4(B)の正弦波デジタルアナログ変換回路122の出力信号である正弦波の波形、及び第2のノコギリ波デジタルアナログ変換回路126の出力信号である第2のノコギリ波の波形についてさらに拡大した波形図を示している。

【0053】

50

図4(B)、図4(C)に示すように、第2のコンパレータ128の出力信号は、第2のノコギリ波の電圧レベルが正弦波の電圧レベルよりも高い場合に、Hレベルの出力信号となる。逆に正弦波の電圧レベルが第2のノコギリ波の電圧レベルよりも高い場合に、Lレベルの出力信号となる。従って、図4(B)、図4(C)に示すように、第2のコンパレータ128の出力信号として、パルス幅の変調した信号が得られることとなる。

【0054】

次いで、図5(A)では、第1のノコギリ波デジタル信号生成回路123より出力される第1の制御信号の波形図について説明する。第1の制御信号は、上述したように第1のノコギリ波を生成するためのデジタル信号における上位ビットの信号を元に得られる信号である。図5(A)を参照して説明すると第1の制御信号は、第1のノコギリ波の最大の電圧レベルを1、最小の電圧レベルを0、とした場合に、ノコギリ波の電圧レベルが0.5よりも高い期間、Hレベルの出力信号となる信号である。従って、第1の制御信号は、図5(A)に示すようにデューティ比50%の矩形波となる。

10

【0055】

第1の制御信号について、簡単な構成を挙げて図5(B)で説明する。図5(B)では、第1の制御信号が生成される第1のノコギリ波を生成するためのデジタル信号を2ビットのデジタル信号として考える。すなわち、「00」、「01」、「10」、「11」の4値を元にデジタルアナログ変換を行い、第1のノコギリ波を得る元の信号である。図5(B)で第1のノコギリ波を生成するためのデジタル信号における上位ビットの信号は、「10」、「11」となる期間であり、上述のデューティ比50%の矩形波が得られる。

20

【0056】

なお第2のノコギリ波デジタル信号生成回路125より出力される第2の制御信号についても、第1の制御信号と同様である。

【0057】

次いで図6では、第1のノコギリ波及び第2のノコギリ波について示し、併せて第1の制御信号及び第2の制御信号についての波形図を示している。第1のノコギリ波と第2のノコギリ波とは、上述したように、1/2周期遅れた(進んだ)関係の信号である。そのため、得られる第1の制御信号及び第2の制御信号は、図6に示すように、逆位相の矩形波である。従って第2の制御信号をNOT回路129に入力し出力される信号(図6のh)は、第1の制御信号と同位相となる。

30

【0058】

図3(B)、図3(C)に示すように、第1のコンパレータ127の出力信号は、正弦波の電圧レベルが第1のノコギリ波の電圧レベルよりも高い場合に、Hレベルの出力信号となる。逆に第1のノコギリ波の電圧レベルが正弦波の電圧レベルよりも高い場合に、Lレベルの出力信号となる。従って、図3(B)、図3(C)に示すように、第1のコンパレータ127の出力信号として、周波数の変調した信号が得られることとなる。同様に、図4(B)、図4(C)に示すように、第2のコンパレータ128の出力信号は、第2のノコギリ波の電圧レベルが正弦波の電圧レベルよりも高い場合に、Hレベルの出力信号となる。逆に正弦波の電圧レベルが第2のノコギリ波の電圧レベルよりも高い場合に、Lレベルの出力信号となる。従って、図4(B)、図4(C)に示すように、第2のコンパレータ128の出力信号として、周波数の変調した信号が得られることとなる。

40

【0059】

以上説明した図1(B)の各回路の出力信号の関係について、図7、図8に示すタイミングチャート図を用いて説明する。なお図7では、第1のノコギリ波及び第2のノコギリ波の最大の電圧レベルを1、最小の電圧レベルを0として、正弦波の電圧レベルが0.5より大きい一定の値「s」とした場合( $0.5 < s < 1$ )を具体例として説明する。また図8では、第1のノコギリ波及び第2のノコギリ波の最大の電圧レベルを1、最小の電圧レベルを0として、正弦波の電圧レベルが0.5より小さい一定の値「t」とした場合( $0 < t < 0.5$ )を具体例として説明する。

【0060】

50

図7に示す第1のノコギリ波と正弦波により、第1のコンパレータ127、第1のAND回路130を介して得られる第1のAND回路130の出力信号(図7のi)は、第1のコンパレータ127の出力信号よりもデューティ比の小さい信号として得られる。第1のAND回路130の出力信号は、第1のコンパレータ127の出力信号よりも、デューティ比が小さく、且つ周波数の変調した信号である。また、NOT回路133の出力信号(図7のk)は、第1のAND回路130の出力信号が反転した信号が得られる。

【0061】

なおデューティ比は、パルスとしてHレベルまたはLレベルが出現する期間の割合である。第1のAND回路130の出力信号でいえば、Hレベルの信号が出現する期間の割合である。NOT回路133の出力信号でいえば、Lレベルの信号が出現する期間の割合である。

10

【0062】

また図7に示す第2のノコギリ波と正弦波により、第2のコンパレータ128、第2のAND回路131を介して得られる第2のAND回路131の出力信号(図7のj)は、Lレベルの信号として得られる。また、NOT回路136の出力信号(図7のl)は、第2のAND回路131の出力信号が反転したHレベルの信号が得られる。

【0063】

図7と同様にして、図8に示す第1のノコギリ波と正弦波により、第1のコンパレータ127、第1のAND回路130を介して得られる第1のAND回路130の出力信号(図8のi)はLレベルの信号として得られる。また、NOT回路133の出力信号(図8のk)は、第1のAND回路130の出力信号が反転したHレベルの信号が得られる。

20

【0064】

また図7と同様にして、図8に示す第2のノコギリ波と正弦波により、第2のコンパレータ128、第2のAND回路131を介して得られる第2のAND回路131の出力信号(図8のj)は、第2のコンパレータ128の出力信号よりもデューティ比の小さい信号として得られる。第2のAND回路131の出力信号は、第2のコンパレータ128の出力信号よりも、デューティ比が小さく、且つ周波数の変調した信号である。また、NOT回路136の出力信号(図8のl)は、第2のAND回路131の出力信号が反転した信号が得られる。

【0065】

30

以上図7、図8で説明したように、図7に示す第1のノコギリ波と正弦波により得られる第1のAND回路130の出力信号(図7のi)及びNOT回路133の出力信号(図7のk)、並びに図8に示す第2のノコギリ波と正弦波により得られる第2のAND回路131の出力信号(図8のj)及びNOT回路136の出力信号(図8のl)は、第1のコンパレータ127及び第2のコンパレータ128の出力信号よりもデューティ比の小さい信号として得られる。

【0066】

具体的な例としては、図9に示す波形図のように、第1のAND回路130または第2のAND回路131で第1の制御信号と第一の比較回路127の出力信号または第2の制御信号をNOT回路129で反転した信号と第二の比較回路128の出力信号と論理積をとった分(図9の点線部分901)、パルス幅の間隔Tが広がる。その結果、ハイサイドトランジスタ及びローサイドトランジスタが共にオンになる短絡期間を削減することができる。この短絡期間の削減により、特に第1のハーフブリッジ回路と第2のハーフブリッジ回路とでオンまたはオフの動作を切り替える際の出力される信号の歪みを低減することができる。

40

【0067】

従って、本実施の形態の構成により、第1の制御信号及び第2の制御信号を用いて論理積をとるといった簡単な構成を追加することでデューティ比の小さい信号を得ることができる。そしてハイサイドトランジスタ及びローサイドトランジスタが共にオンになる短絡期間を削減し、第1のハーフブリッジ回路と第2のハーフブリッジ回路とでオンまたはオフ

50

の動作を切り替える際の出力される信号の歪みを低減することができる。

【0068】

(実施の形態2)

本実施の形態では、上記実施の形態1で説明したインバータ回路を具備する電力変換回路(電源回路ともいう)の構成の一形態について説明する。図10に電力変換回路の一形態について示す。

【0069】

図10に示す電力変換回路は、交流電源601と、スイッチ602と、コンバータ回路603と、インバータ回路604と、変圧器605と、コンバータ回路606と、負荷607と、を有している。コンバータ回路603と、インバータ回路604と、変圧器605と、コンバータ回路606とが、電力変換回路を構成している。

10

【0070】

図10に示すコンバータ回路603には、スイッチ602をオンにすることで交流電源601より交流信号が入力される。コンバータ回路603は、当該交流信号の電圧を降圧し、整流化及び平滑化された直流信号としてインバータ回路に入力する。

【0071】

インバータ回路604に入力された直流信号は上記実施の形態1の各構成によって交流信号に変換され、出力される。すなわち、インバータ回路604より出力される交流信号は、信号の歪みを低減した信号が得られることとなる。

【0072】

変圧器605は、一次コイルと二次コイルを有している。一次コイル側よりインバータ回路604からの交流信号が入力され、二次コイル側より変圧された交流信号を得ることができる。インバータ回路604からの交流信号の電圧は、予めコンバータ回路603により降圧しておくことで、変圧器605の小型化が図れるため好適である。

20

【0073】

図10に示すコンバータ回路606には、変圧器605より交流信号が入力される。コンバータ回路606は、当該交流信号の電圧レベルを、負荷を駆動するための電圧レベルに昇圧し、次いで整流化及び平滑化がなされることで、所望の電圧レベルの直流信号が得られる。当該直流信号は、負荷607に入力され、負荷607が動作する。

【0074】

なお、本実施の形態において、各々の図で述べた内容は、別の実施の形態で述べた内容に対して、適宜、組み合わせ、または置き換えなどを自由に行うことができる。

30

【0075】

(実施の形態3)

本実施の形態では、実施の形態2で説明した電力変換回路の用途について説明する。実施の形態2で説明した電力変換回路は、例えば、バッテリー等の電力で駆動する電気推進車両等に使用することができる。

【0076】

図11を参照して、電気推進車両の応用例について説明する。

【0077】

図11(A)は、電力変換回路を具備する電気推進車両の応用例として、電動自転車1010を示している。電動自転車1010は、モーター部1011に電流を流すことによって動力を得るものである。また電動自転車1010は、モーター部1011に流す電流を供給するためのバッテリー1012、及び電力変換回路1013を有する。なお図11(A)では、バッテリー1012を充電するための手段として特に図示しないが、別途発電機等を設けて充電する構成でもよい。実施の形態2で説明した電力変換回路は、電力変換回路1013に用いることができる。そのため電力変換回路1013が具備するインバータ回路より出力される信号の歪みを低減することができ、不具合の低減された電動自転車1010の駆動を実現できる。なお、図11(A)ではペダルを図示したが、なくてもよい。

40

50

## 【 0 0 7 8 】

図 1 1 ( B ) は、電力変換回路を具備する電気推進車両の応用例として、電気自動車 1 0 2 0 を示している。電気自動車 1 0 2 0 は、モーター部 1 0 2 1 に電流を流すことによって動力を得るものである。また電気自動車 1 0 2 0 は、モーター部 1 0 2 1 に流す電流を供給するためのバッテリー 1 0 2 2、及び電力変換回路 1 0 2 3 を有する。なお図 1 1 ( B ) では、バッテリー 1 0 2 2 を充電するための手段として特に図示しないが、別途発電機等を設けて充電する構成でもよい。実施の形態 2 で説明した電力変換回路は、電力変換回路 1 0 2 3 に用いることができる。そのため電力変換回路 1 0 2 3 が具備するインバータ回路より出力される信号の歪みを低減することができ、不具合の低減された電気自動車 1 0 2 0 の駆動を実現できる。

10

## 【 0 0 7 9 】

なお、本実施の形態において、各々の図で述べた内容は、別の実施の形態で述べた内容に対して、適宜、組み合わせ、または置き換えなどを自由に行うことができる。

## 【 符号の説明 】

## 【 0 0 8 0 】

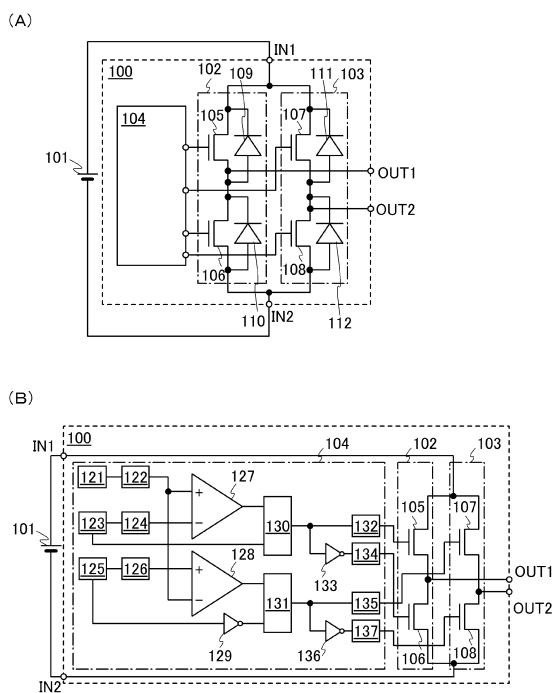
1 0 0	インバータ回路	
1 0 1	直流電源	
1 0 2	第 1 のハーフブリッジ回路	
1 0 3	第 2 のハーフブリッジ回路	
1 0 4	パルス幅変調回路	20
1 0 5	ハイサイドトランジスタ	
1 0 6	ローサイドトランジスタ	
1 0 7	ハイサイドトランジスタ	
1 0 8	ローサイドトランジスタ	
1 0 9	ダイオード素子	
1 1 0	ダイオード素子	
1 1 1	ダイオード素子	
1 1 2	ダイオード素子	
1 2 1	正弦波デジタル信号生成回路	
1 2 2	正弦波デジタルアナログ変換回路	30
1 2 3	ノコギリ波デジタル信号生成回路	
1 2 4	ノコギリ波デジタルアナログ変換回路	
1 2 5	ノコギリ波デジタル信号生成回路	
1 2 6	ノコギリ波デジタルアナログ変換回路	
1 2 7	第 1 のコンパレータ	
1 2 8	第 2 のコンパレータ	
1 2 9	NOT 回路	
1 3 0	第 1 の AND 回路	
1 3 1	第 2 の AND 回路	
1 3 2	第 1 のレベルシフト回路	40
1 3 3	NOT 回路	
1 3 4	第 2 のレベルシフト回路	
1 3 5	第 3 のレベルシフト回路	
1 3 6	NOT 回路	
1 3 7	第 4 のレベルシフト回路	
4 0 0	インバータ回路	
4 0 1	直流電源	
4 0 2	第 1 のハーフブリッジ回路	
4 0 3	第 2 のハーフブリッジ回路	
4 0 4	パルス幅変調回路	50

- 4 0 5     ハイサイドトランジスタ
- 4 0 6     ローサイドトランジスタ
- 4 0 7     ハイサイドトランジスタ
- 4 0 8     ローサイドトランジスタ
- 4 1 1     正弦波
- 4 1 2     ノコギリ波
- 6 0 1     交流電源
- 6 0 2     スイッチ
- 6 0 3     コンバータ回路
- 6 0 4     インバータ回路
- 6 0 5     変圧器
- 6 0 6     コンバータ回路
- 6 0 7     負荷
- 9 0 1     点線部分
- 1 0 1 0    電動自転車
- 1 0 1 1    モーター部
- 1 0 1 2    バッテリー
- 1 0 1 3    電力変換回路
- 1 0 2 0    電気自動車
- 1 0 2 1    モーター部
- 1 0 2 2    バッテリー
- 1 0 2 3    電力変換回路

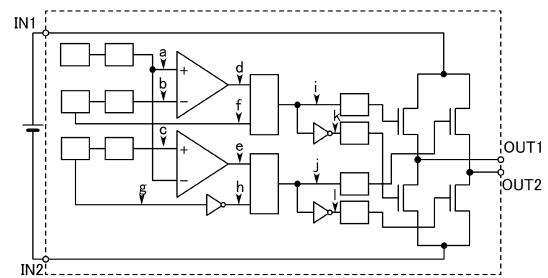
10

20

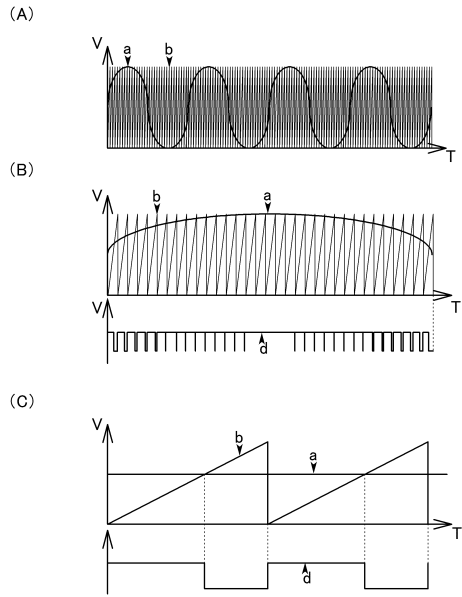
【図 1】



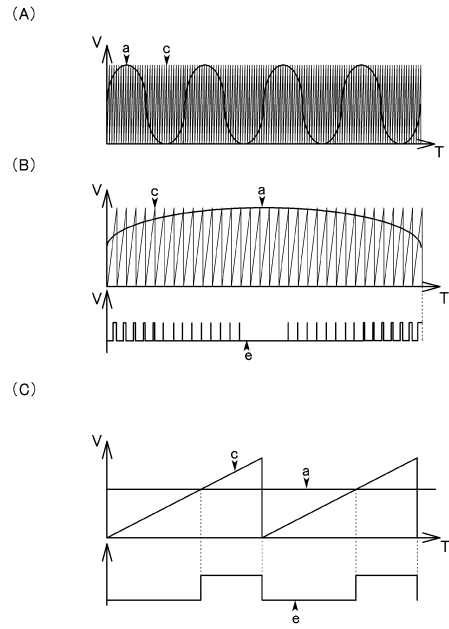
【図 2】



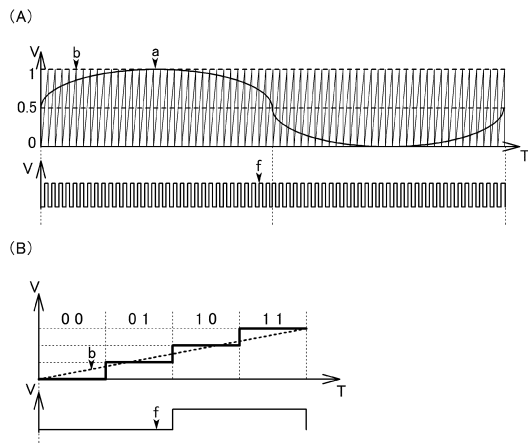
【 図 3 】



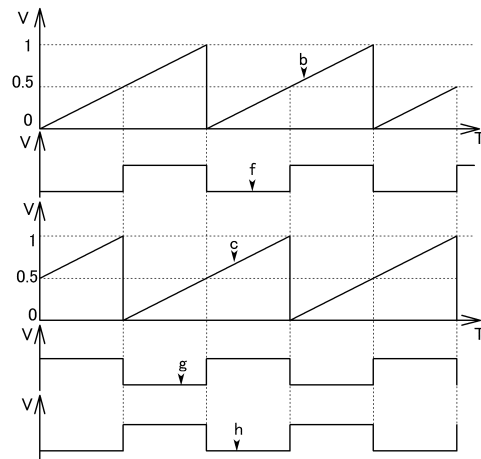
【 図 4 】



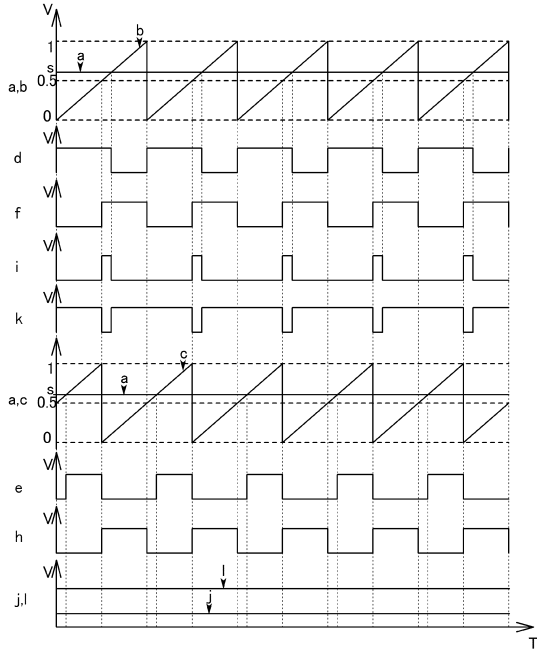
【 図 5 】



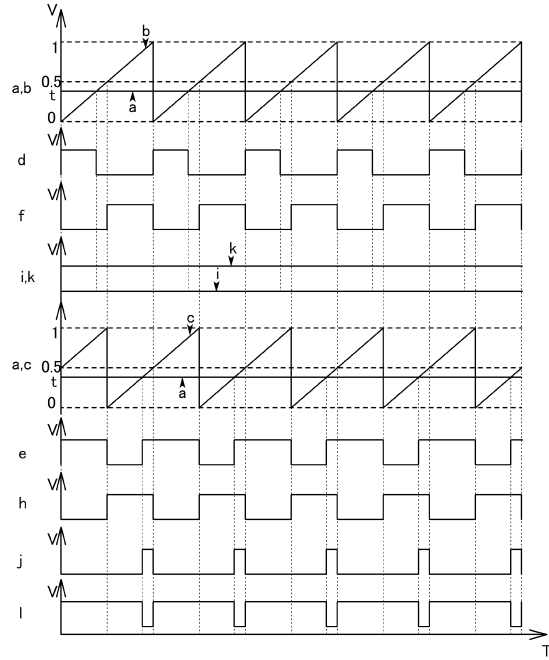
【 図 6 】



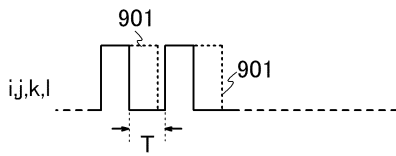
【 図 7 】



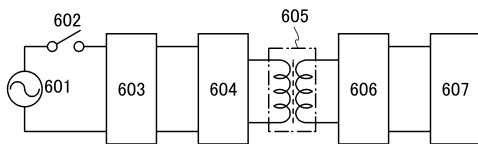
【 図 8 】



【 図 9 】

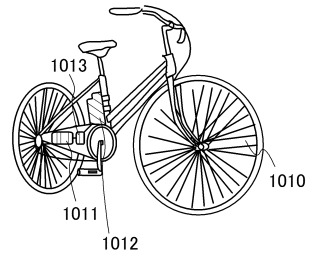


【 図 1 0 】

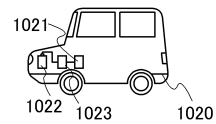


【 図 1 1 】

(A)

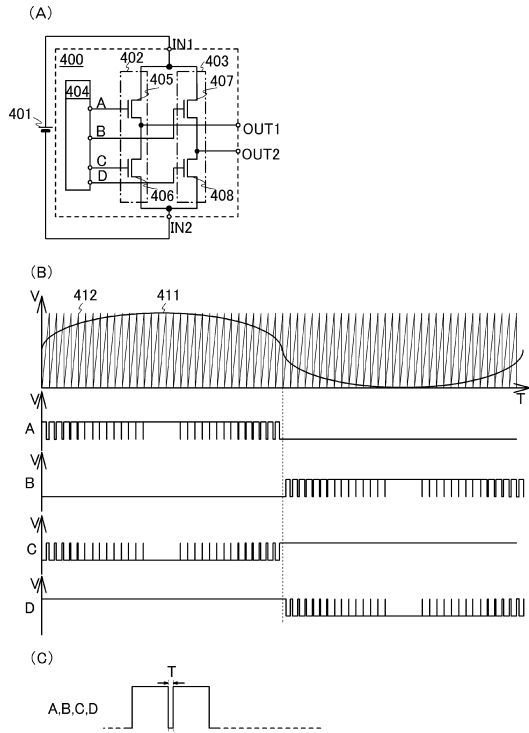


(B)





【 図 1 2 】



---

フロントページの続き

- (56)参考文献 特開平02 - 307370 (JP, A)  
特開平07 - 046859 (JP, A)  
特開平10 - 150790 (JP, A)  
特開2003 - 348829 (JP, A)  
特開2003 - 110364 (JP, A)  
特開2008 - 301192 (JP, A)  
特開平07 - 031163 (JP, A)  
特開2003 - 031388 (JP, A)  
特開平01 - 311872 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H02M 7/48