

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4390305号
(P4390305)

(45) 発行日 平成21年12月24日(2009.12.24)

(24) 登録日 平成21年10月16日(2009.10.16)

(51) Int.Cl.	F I	
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34	3 7 1 K
G 1 1 C 11/413 (2006.01)	G 1 1 C 11/34	3 3 5 A
G 1 1 C 11/4074 (2006.01)	G 1 1 C 11/34	3 5 4 F
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34	3 6 2 H
H O 1 L 21/82 (2006.01)	G 1 1 C 11/34	3 6 2 S
請求項の数 10 (全 50 頁) 最終頁に続く		

(21) 出願番号	特願平11-225	(73) 特許権者	503121103
(22) 出願日	平成11年1月4日(1999.1.4)		株式会社ルネサステクノロジ
(65) 公開番号	特開2000-195254(P2000-195254A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成12年7月14日(2000.7.14)	(74) 代理人	100064746
審査請求日	平成17年12月22日(2005.12.22)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行
最終頁に続く			

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1の電源電位が与えられる第1のメイン電源線と、
 前記第1の電源電位より低い第2の電源電位が与えられる第2のメイン電源線と、
 前記第1のメイン電源線に対応して設けられる第1のサブ電源線と、
 前記第2のメイン電源線に対応して設けられる第2のサブ電源線と、
 第1および第2の電源ノードを有し、前記第1の電源ノードが前記第1のサブ電源線に
 接続され、前記第2の電源ノードが前記第2のサブ電源線に接続され、少なくとも1つの
 入力信号をうけて所定の動作を行う第1の内部回路と、
 動作モード時に前記第1のメイン電源線と前記第1のサブ電源線とを接続し、待機モード 10
 時に前記第1のメイン電源線と前記第1のサブ電源線とを分離する第1の接続回路と、
 前記動作モード時に前記第2のメイン電源線と前記第2のサブ電源線とを接続し、前記
 待機モード時に前記第2のメイン電源線と前記第2のサブ電源線とを分離する第2の接続
 回路と、
 前記第1、第2のメイン電源線および前記第1、第2のサブ電源線に接続される電源ノ
 イズ低減回路とを備え、
 前記電源ノイズ低減回路は、
 前記第1のメイン電源線と前記第2のサブ電源線とのあいだに接続される第1のキャパ
 シタと、
 前記第1のサブ電源線と前記第2のメイン電源線とのあいだに接続される第2のキャパ 20

シタと、

前記第 1 のサブ電源線と前記第 2 のサブ電源線とのあいだに接続される第 3 のキャパシタを含む、半導体装置。

【請求項 2】

前記第 1 の接続回路は、

前記第 1 のメイン電源線と前記第 1 のサブ電源線との間に接続され、前記動作モードと前記待機モードとの切換えに応じて論理レベルが反転する第 1 の制御信号をゲートに受ける第 1 の P チャンネル MOS トランジスタを含み、

前記第 2 の接続回路は、

前記第 2 のメイン電源線と前記第 2 のサブ電源線との間に接続され、前記第 1 の制御信号と相補な第 2 の制御信号をゲートに受ける第 1 の N チャンネル MOS トランジスタを含み、

10

前記第 1 の内部回路は、

前記第 1 の P チャンネル MOS トランジスタよりしきい値電圧の絶対値が小さい第 2 の P チャンネル MOS トランジスタと、

前記第 1 の N チャンネル MOS トランジスタよりしきい値電圧の絶対値が小さい第 2 の N チャンネル MOS トランジスタとを含む、請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 の制御信号を伝達する第 1 の信号線をさらに備え、

前記第 1 の接続回路は、

ソースが前記第 1 のメイン電源線に接続される第 3 の P チャンネル MOS トランジスタと

20

、
前記第 3 の P チャンネル MOS トランジスタのドレインを前記第 1 のメイン電源線および前記第 1 のサブ電源線のいずれか一方と選択的に接続する第 1 のスイッチ回路と、

前記第 3 の P チャンネル MOS トランジスタのゲートを前記第 2 のサブ電源線および前記第 1 の信号線のいずれか一方と選択的に接続する第 2 のスイッチ回路とをさらに含む、請求項 2 に記載の半導体装置。

【請求項 4】

前記第 1 の制御信号を伝達する第 1 の信号線をさらに備え、

前記第 1 の接続回路は、

ドレインが前記第 1 のサブ電源線に接続される第 3 の P チャンネル MOS トランジスタと

30

、
前記第 3 の P チャンネル MOS トランジスタのソースを前記第 1 のメイン電源線および前記第 1 のサブ電源線のいずれか一方と選択的に接続する第 1 のスイッチ回路と、

前記第 3 の P チャンネル MOS トランジスタのゲートを前記第 2 のサブ電源線および前記第 1 の信号線のいずれか一方と選択的に接続する第 2 のスイッチ回路とをさらに含む、請求項 2 に記載の半導体装置。

【請求項 5】

前記第 2 の制御信号を伝達する第 2 の信号線をさらに備え、

前記第 2 の接続回路は、

ソースが前記第 2 のメイン電源線に接続される第 3 の N チャンネル MOS トランジスタと

40

、
前記第 3 の N チャンネル MOS トランジスタのドレインを前記第 2 のメイン電源線および前記第 2 のサブ電源線のいずれか一方と選択的に接続する第 1 のスイッチ回路と、

前記第 3 の N チャンネル MOS トランジスタのゲートを前記第 1 のサブ電源線および前記第 2 の信号線のいずれか一方と選択的に接続する第 2 のスイッチ回路とをさらに含む、請求項 2 に記載の半導体装置。

【請求項 6】

前記第 2 の制御信号を伝達する第 2 の信号線をさらに備え、

前記第 2 の接続回路は、

50

ドレインが前記第2のサブ電源線に接続される第3のNチャネルMOSトランジスタと

、
前記第3のNチャネルMOSトランジスタのソースを前記第2のメイン電源線および前記第2のサブ電源線のいずれか一方と選択的に接続する第1のスイッチ回路と、

前記第3のNチャネルMOSトランジスタのゲートを前記第1のサブ電源線および前記第2の信号線のいずれか一方と選択的に接続する第2のスイッチ回路とをさらに含む、請求項2に記載の半導体装置。

【請求項7】

前記第1、第2のサブ電源線にそれぞれ接続される第1および第2のパッドをさらに備える、請求項2に記載の半導体装置。

10

【請求項8】

各々が、第3および第4の電源ノードを有し、かつ、少なくとも1つの入力信号をうけて所定の動作を行う第2の内部回路と、

前記第2の内部回路の前記第3の電源ノードに対応して設けられる第3のサブ電源線と

、
前記第1のサブ電源線および前記第3のサブ電源線の電位を観測するための第1のパッドと、

前記第1のサブ電源線および前記第3のサブ電源線のうちいずれか1つを選択的に前記第1のパッドに接続する選択回路とをさらに備える、請求項2に記載の半導体装置。

【請求項9】

20

前記第1の接続回路は、

前記第1のメイン電源線と前記第1のサブ電源線との間に接続され、前記動作モードと前記待機モードとの切換えに応じて論理レベルが反転する第1の制御信号をゲートに受ける第1のPチャネルMOSトランジスタと、

前記第1のメイン電源線と前記第1のサブ電源線との間に順方向に接続され、前記第1のPチャネルMOSトランジスタが非導通状態の時に前記第1のサブ電源線の電位を保持する第1のダイオード回路とを含み、

前記第2の接続回路は、

前記第2のメイン電源線と前記第2のサブ電源線との間に接続され、前記第1の制御信号と相補な第2の制御信号をゲートに受ける第1のNチャネルMOSトランジスタと、

30

前記第2のサブ電源線と前記第2のメイン電源線との間に順方向に接続され、前記第1のNチャネルMOSトランジスタが非導通状態の時に前記第2のサブ電源線の電位を保持する第2のダイオード回路とを含む、請求項1に記載の半導体装置。

【請求項10】

前記半導体装置は、半導体基板の主表面上に形成され、

前記電源ノイズ低減回路は、前記主表面上の四角形の領域内に配置され、

前記第1のキャパシタは、

ゲートが前記第2のサブ電源線に接続され、ソースおよびドレインが前記第1のメイン電源線に接続される第1のMOSトランジスタを含み、

前記第2のキャパシタは、

40

ゲートが前記第2のメイン電源線に接続され、ソースおよびドレインが前記第1のサブ電源線に接続される第2のMOSトランジスタを含み、

前記第3のキャパシタは、

ゲートが前記第2のサブ電源線に接続され、ソースおよびドレインが前記第1のサブ電源線に接続される第3のMOSトランジスタを含み、

前記第1のメイン電源線および前記第1のサブ電源線は、前記四角形の領域の第1の辺に沿うように配置され、

前記第2のメイン電源線および前記第2のサブ電源線は、前記第1の辺に対向する前記四角形の第2の辺に沿うように配置される、請求項1に記載の半導体装置。

【発明の詳細な説明】

50

【 0 0 0 1 】

【 発明の属する技術分野 】

この発明は、半導体装置に関し、より特定的には階層的な電源線構造を有する半導体装置に関する。

【 0 0 0 2 】

【 従来技術 】

トランジスタの微細化とともにトランジスタ耐圧が低下するので、必然的に動作電圧を下げる必要がある。また、携帯機器では電池駆動が前提であるが、電池駆動では低電圧、低電力動作が不可欠である。

【 0 0 0 3 】

一般に動作電圧を下げると動作速度は遅くなってしまいうため、動作速度を損なわずに低電圧動作を実現するためには、MOSトランジスタのしきい値電圧を下げなければならない。しかしこのしきい値電圧を下げすぎると、トランジスタを十分カットオフできなくなり、トランジスタがオフ状態のときにも無視できないサブスレッショルド電流が流れるようになる。このため従来のCMOS回路の最大の特徴である低消費電力特性が失われてしまう。

【 0 0 0 4 】

図44は、従来の半導体装置におけるインバータ1500の構成を示す回路図である。

【 0 0 0 5 】

図44を参照して、インバータ1500は、ゲートに入力信号INを受け、ソースが電源電位V_{dd}に結合されたPチャネルMOSトランジスタ1501と、ゲートに入力信号INを受け、ソースが接地電位にV_{ss}に結合されドレインがPチャネルMOSトランジスタ1501のドレインに接続されたNチャネルMOSトランジスタ1502とを含む。

【 0 0 0 6 】

NチャネルMOSトランジスタ1502のドレインからは出力信号OUTが出力される。NチャネルMOSトランジスタ1502のしきい値電圧をV_tとすると、トランジスタの動作速度はほぼV_{dd} - V_tに反比例するので、速度低下を抑えるためには電源電位V_{dd}の低下に見合っしてしきい値電圧V_tも低くしなければならない。

【 0 0 0 7 】

しかし、しきい値電圧V_tを低くしすぎると入力信号INとして電位0Vを与えたときにもNチャネルMOSトランジスタ1502には無視できないサブスレッショルド電流I_Lが流れるようになる。

【 0 0 0 8 】

図45は、NチャネルMOSトランジスタのゲート - ソース間電圧V_{GS}とドレイン電流I_{DS}との関係を示す図である。

【 0 0 0 9 】

この図ではゲート - ソース間電圧V_{GS}がしきい値電圧V_t付近においてゲート - ソース間電圧V_{GS}が変化したときのドレイン電流の変化を示し、ドレイン電流を縦軸として対数プロットしたものである。

【 0 0 1 0 】

図45を参照して、グラフ1504において一定の電流I₀がトランジスタに流れる場合のゲート - ソース間電圧の値をしきい値電圧V_tとする。低い電源電圧でも使用可能なようにしきい値電圧V_tに代えてより低い値であるしきい値電圧V_{t2}を有するNチャネルMOSトランジスタを使用する場合を考える。

【 0 0 1 1 】

このNチャネルMOSトランジスタのドレイン電流とゲート - ソース間電圧の関係はグラフ1506で表わされる。ゲート - ソース間電圧V_{GS}が0のときにおけるグラフ1504とグラフ1506のドレイン電流の値を比較すると、ドレイン電流I_{DS}の値はI_LからI_{L2}へと上昇してしまう。このため、高集積化および電源電圧の低電圧化とともにサブスレッショルド電流は無視できなくなり、電池駆動の携帯機器では待機電流の増加が致

10

20

30

40

50

命的な問題となる。

【 0 0 1 2 】

図 4 6 は、従来において提案されているソース電圧を切換えてサブスレッショルド電流を低減するインバータ 1 5 1 0 を示す回路図である。

【 0 0 1 3 】

図 4 6 を参照して、インバータ 1 5 1 0 は、電源ノードに電源電位 V_{dd} が結合され、接地ノードがノード N_{100} に接続され入力信号 I_N を受けて出力信号 O_{UT} を出力するインバータ 1 5 1 1 と、ゲートに制御信号 S_{CRC} を受けてドレインがノード N_{100} に接続されソースが接地電位 V_{ss} に結合された N チャネル MOS トランジスタ 1 5 1 6 とを含む。

10

【 0 0 1 4 】

インバータ 1 5 1 1 は、ゲートに入力信号 I_N を受けソースが電源ノードに接続されドレインが出力ノードに接続された P チャネル MOS トランジスタ 1 5 1 2 と、ゲートに入力信号 I_N を受け、ソースがノード N_{100} に接続されドレインが出力ノードに接続された N チャネル MOS トランジスタ 1 5 1 4 とを含む。

【 0 0 1 5 】

図 4 7 は、トランジスタの種類を説明するための図である。図 4 7 (a) はしきい値電圧の高いトランジスタの記号を説明するための図であり、図 4 7 (b) はしきい値電圧の低いトランジスタの記号を説明するための図である。

【 0 0 1 6 】

図 4 7 を参照して、本明細書においては (a) に示すトランジスタ 1 5 1 8 の記号はしきい値電圧の高いトランジスタを表わし、(b) に示すトランジスタ 1 5 2 0 の記号はしきい値電圧の低いトランジスタを表わすものとする。

20

【 0 0 1 7 】

再び図 4 6 を参照して、この回路は通常動作時には制御信号 S_{CRC} によって N チャネル MOS トランジスタ 1 5 1 6 を導通状態としノード N_{100} の電位 V_N を接地電位としインバータ 1 5 1 1 に通常の論理動作を行なわせる。

【 0 0 1 8 】

入力信号 I_N によって与えられる電位が L (ロー) レベルの場合は P チャネル MOS トランジスタ 1 5 1 2 は導通し N チャネル MOS トランジスタ 1 5 1 4 は非導通状態となり、出力信号 O_{UT} の出力電位は H (ハイ) レベルとなる。この場合には非導通状態である N チャネル MOS トランジスタ 1 5 1 4 にサブスレッショルド電流が流れ電源電位 V_{dd} が与えられている電源ノードから接地電位 V_{ss} が与えられている接地ノードにサブスレッショルド電流による電流が流れる。

30

【 0 0 1 9 】

一方、入力信号 I_N の入力レベルが H (ハイ) のときは P チャネル MOS トランジスタ 1 5 1 2 は非導通状態となり N チャネル MOS トランジスタ 1 5 1 4 は導通状態となり、出力信号 O_{UT} のレベルは L レベルとなる。この場合は非導通状態である P チャネル MOS トランジスタ 1 5 1 2 にサブスレッショルド電流が流れ、電源ノードから接地ノードへとサブスレッショルド電流が流れてしまう。このように通常の動作状態においてはサブスレッショルド電流による電流消費は避けられない。

40

【 0 0 2 0 】

しかし、入力論理が予め固定されていることがわかっている期間中、たとえばチップが待機状態になっているスタンバイ期間においてはこの回路を用いるとサブスレッショルド電流による電力消費は低減できる。

【 0 0 2 1 】

待機状態においてはこの回路の入力信号 I_N は L レベルになるとすると、 P チャネル MOS トランジスタ 1 5 1 2 が導通し N チャネル MOS トランジスタ 1 5 1 4 が非導通状態となる。このとき出力信号 O_{UT} のレベルは H レベルである。

【 0 0 2 2 】

50

この状態で動作状態から待機状態に制御を切換えるため制御信号 S C R C のレベルを H レベルから L レベルへと切換えると、N チャンネル M O S トランジスタ 1 5 1 6 は非導通状態となる。ここで、N チャンネル M O S トランジスタ 1 5 1 6 のしきい値電圧は N チャンネル M O S トランジスタ 1 5 1 4 のしきい値電圧よりも絶対値が大きい値であるため、N チャンネル M O S トランジスタ 1 5 1 6 によって流れるサブスレッシュヨルド電流は N チャンネル M O S トランジスタ 1 5 1 4 に流れるサブスレッシュヨルド電流よりも問題にならないほど小さい値になる。

【 0 0 2 3 】

したがって、電源ノードから接地ノードに流れるリーク電流は N チャンネル M O S トランジスタ 1 5 1 6 のサブスレッシュヨルド電流によって決まるため、待機状態におけるサブスレッシュヨルド電流による電力消費を低減することができる。

10

【 0 0 2 4 】

N チャンネル M O S トランジスタ 1 5 1 6 のしきい値電圧が高くても N チャンネル M O S トランジスタ 1 5 1 6 が導通状態にあるときは、インバータ 1 5 1 1 の動作速度には影響が生じない。また動作状態から待機状態への切換速度は、インバータ 1 5 1 1 の動作速度ほどはスピードが要求されないため、N チャンネル M O S トランジスタ 1 5 1 6 のしきい値電圧が高く若干動作速度が遅くとも問題にはならない。

【 0 0 2 5 】

以上説明したように入力信号 I N が L レベルの場合は制御信号 S C R C を制御することによりこの回路を待機状態とし出力信号 O U T の出力電位をスタティックに保持しつつ待機させることができるのである。

20

【 0 0 2 6 】

図 4 8 は、制御信号 S C R C の切換え前後のノード N 1 0 0 の電位であるサブ接地電位 V N の変化を説明するための波形図である。

【 0 0 2 7 】

図 4 6、図 4 8 を参照して、制御信号 S C R C のレベルが電源電位から 0 V に変化すると、N チャンネル M O S トランジスタ 1 5 1 6 が非導通状態となる。すると、N チャンネル M O S トランジスタ 1 5 1 6 にはサブスレッシュヨルド電流が流れ、その電流と同じ大きさの電流が N チャンネル M O S トランジスタ 1 5 1 4 にも流れる。

【 0 0 2 8 】

したがって、ノード N 1 0 0 の電位は、制御信号 S C R C を切り替えて暫く立つと、0 V より少し浮き上がった $0 V + V_{vn}$ となる。

30

【 0 0 2 9 】

図 4 9 は、待機状態における N チャンネル M O S トランジスタ 1 5 1 4 に流れるドレイン電流 I D S とゲート - ソース間電圧 V G S との関係を示すためのグラフである。

【 0 0 3 0 】

図 4 6、図 4 9 を参照して、待機状態においては、ノード N 1 0 0 の電位 V N は、 V_{vn} となり、この時の入力信号 I N のレベルは 0 V である。したがって、N チャンネル M O S トランジスタ 1 5 1 4 においては、ゲート - ソース間電圧 V G S は負電圧 $-V_{vn}$ になる。図 4 9 のグラフより N チャンネル M O S トランジスタ 1 5 1 4 に流れるサブスレッシュヨルド電流は N チャンネル M O S トランジスタ 1 5 1 6 を設けることにより I L から I L 1 に減少する。この電流 I L 1 は、すなわち、N チャンネル M O S トランジスタ 1 5 1 6 のサブスレッシュヨルド電流でもある。

40

【 0 0 3 1 】

また、待機時において入力信号 I N が H レベルになる場合には、逆にしきい値電圧の高い P チャンネル M O S トランジスタをインバータ 1 5 1 1 の電源ノード側に挿入することにより同様の効果が得られる。

【 0 0 3 2 】

図 5 0 は、図 4 6 のインバータを直列接続して使用する回路 1 5 3 0 の構成および待機時における各ノードの状態を説明するための回路図である。

50

【0033】

図50を参照して、この回路1530は、入力信号INを受けて反転しノードN106に出力するインバータ1536と、ノードN106の電位を受けて反転し出力をノードN108に出力するインバータ1538と、ノードN108の電位を受けて反転しノードN110に出力するインバータ1540と、ノードN110の電位を受けて反転し出力信号OUTを出力するインバータ1542とを含む。

【0034】

回路1530はさらに、制御信号/SCRCをゲートに受け、ソースが電源電位Vddと結合されドレインがノードN102(サブ電源線)に接続されたPチャンネルMOSトランジスタ1532と、制御信号SCRCをゲートに受け、ソースが接地電位Vssに結合されドレインがノードN104(サブ接地線)に接続されたNチャンネルMOSトランジスタ1534とを含む。

10

【0035】

インバータ1536の電源ノードおよびインバータ1540の電源ノードは電源電位Vddに結合される。インバータ1538の電源ノードおよびインバータ1542の電源ノードはノードN102に接続される。インバータ1536の接地ノードおよびインバータ1540の接地ノードはノードN104に接続される。インバータ1538の接地ノードおよびインバータ1542の接地ノードは接地電位Vssに結合される。

【0036】

PチャンネルMOSトランジスタ1532はインバータ1536~1542に含まれるPチャンネルMOSトランジスタのしきい値電圧より絶対値の大きいしきい値電圧を有する。またNチャンネルMOSトランジスタ1534は、インバータ1536~1542に含まれるNチャンネルMOSトランジスタのしきい値電圧より絶対値の大きいしきい値電圧を有する。

20

【0037】

インバータ1536~1542の構成は図46に示したインバータ1511と同様であるので説明は繰返さない。

【0038】

次に、回路1530の待機時の状態について説明する。

待機状態の場合は、制御信号/SCRCはHレベルに設定され、ノードN102は電源ノードから切離される。また、制御信号SCRCはLレベルに設定され、ノードN104は接地ノードから切離される。待機時には入力信号INはLレベルであり、ノードN106およびノードN110の状態はHレベルとなり、ノードN108および出力信号OUTの状態はLレベルとなる。ノードN104の電位VNは接地電位Vssよりやや高くなり、インバータ1536、1540に含まれるNチャンネルMOSトランジスタのサブスレッショルド電流は低減される。ノードN102の電位VPは電源電位Vddよりやや低くなり、インバータ1538、1542に含まれるPチャンネルMOSトランジスタのサブスレッショルド電流は低減される。

30

【0039】

図51は、回路1530の通常動作時における各ノードの状態を説明するための回路図である。

40

【0040】

通常動作状態では制御信号/SCRCとしてLレベルが与えられ、ノードN102の電位VPは電源電位Vddとなる。また、制御信号SCRCとしてHレベルが与えられ、ノードN104の電位VNは接地電位となる。この状態において入力信号INをH/Lレベルに適宜切換えて論理動作が行なわれる。

【0041】

入力信号INとしてHレベルが与えられた場合の各ノードの状態が図51に示されている。入力信号INがHレベルのときは、ノードN106およびノードN110の状態はLレベルとなり、ノードN108および出力信号OUTの状態はHレベルとなる。

50

【 0 0 4 2 】

入力信号 I N として L レベルが与えられた場合のノード N 1 0 6、N 1 1 0、N 1 0 8 および出力信号 O U T の状態は、図 5 0 の場合と同様であり説明は繰返さない。

【 0 0 4 3 】

【 発明が解決しようとする課題 】

以上説明したような、サブスレッシュド電流を低減するための階層的な電源線の構成をとった場合には、サブ電源電位 V_P 、サブ接地電位 V_N をコントロールするための P チャネル MOS トランジスタ Q H P と N チャネル MOS トランジスタ Q H N とを制御する必要がある。これらのトランジスタは、サブ電源線に接続されている回路の消費電流量に応じて、サイズを調整する必要がある。

10

【 0 0 4 4 】

このような場合、トランジスタサイズが、消費する電流量に相当するサイズよりも小さければ回路の消費電流によるサブ電源線の電位降下が生じ、サブ電源線のノイズが大きくなり回路動作速度に悪影響を与える。

【 0 0 4 5 】

階層電源構造を採用する場合に、サブ電源を駆動するためのトランジスタのサイズを最適な状態に調整することが必要であるが、この調整が難しいという問題点があった。

【 0 0 4 6 】

図 5 2 は、図 5 0、図 5 1 で説明した回路 1 5 3 0 が、待機状態と動作状態を繰返した場合におけるサブ電源線の電位 V_P およびサブ接地線の電位 V_N を説明するための波形図である。

20

【 0 0 4 7 】

図 5 1、図 5 2 を参照して、時刻 t_1 までに電源電位 V_{dd} が立ち上がる。時刻 t_1 においては制御信号 S C R C、 $\overline{S C R C}$ はサブ電源線、サブ接地線を非活性な状態にするように設定されている。つまり、回路 1 5 3 0 は、待機状態にされる。

【 0 0 4 8 】

電源電位 V_{dd} とサブ電源線の電位 V_P との電位差 V_{d0} は P チャネル MOS トランジスタ 1 5 3 2 のしきい値電圧 V_{tph} とゲート幅によって定まる。接地電位 V_{ss} とサブ接地線の電位 V_N との電位差 V_{g0} は N チャネル MOS トランジスタ 1 5 3 4 のしきい値電圧 V_{tnh} とゲート幅によって定まる。これらは、最悪の状態を考慮すると、最大値をとる場合として $V_{d0} = V_{tph}$ 、 $V_{g0} = V_{tnh}$ となる。

30

【 0 0 4 9 】

時刻 t_2 において、制御信号 S C R C、 $\overline{S C R C}$ が変化し、サブ電源線およびサブ接地線が活性化され、回路はアクティブ状態となる。この時の電位レベルの変動はあわせて 1 V 近くにもなる。

【 0 0 5 0 】

このように、サブ電源線およびサブ接地線の電位変動が大きいと、回路の活性化に時間を要するため、回路動作をさせるタイミングにたいし、いつ制御信号 S C R C、 $\overline{S C R C}$ を切替えるかが問題となる。制御信号の切り替えタイミングが遅いと、回路の動作速度が遅くなり、切り替えタイミングが早すぎるとサブスレッシュド電流が増大し消費電流が増えてしまう。このタイミングを決めるのが難しいという問題点があった。

40

【 0 0 5 1 】

また、起動前後の電位差が大きいこと自体も、サブ電源線、サブ接地線を活性化するための起動時間が大きくなる原因である。しかし、電位差が小さすぎるとサブスレッシュド電流を小さく抑えることができない。この電位差は、製造時のプロセスパラメータのばらつきにより、しきい値電圧等の変動が生ずるため、最適値にすることが難しいという問題点があった。

【 0 0 5 2 】

この発明の目的は、階層電源構造を有する半導体装置において、サブ電源線およびサブ接地線上に生ずるノイズを低減させ回路動作の高速化を図った半導体装置を提供することで

50

ある。

【 0 0 5 3 】

この発明の他の目的は、内部回路の動作タイミングに対してサブ電源線およびサブ接地線を活性化するタイミングを調整することが可能な半導体装置を提供することである。

【 0 0 5 4 】

この発明のさらに他の目的は、最適な待機時のサブ電源線、サブ接地線の電位を調査、調整することが可能な、半導体装置を提供することである。

【 0 0 5 5 】

【課題を解決するための手段】

この発明のある局面における半導体装置は、第1の電源電位が与えられる第1のメイン電源線と、第1の電源電位より低い第2の電源電位が与えられる第2のメイン電源線と、第1のメイン電源線に対応して設けられる第1のサブ電源線と、第2のメイン電源線に対応して設けられる第2のサブ電源線と、第1および第2の電源ノードを有し、第1の電源ノードが第1のサブ電源線に接続され、第2の電源ノードが第2のサブ電源線に接続され、少なくとも1つの入力信号をうけて所定の動作を行う第1の内部回路と、動作モード時に第1のメイン電源線と第1のサブ電源線とを接続し、待機モード時に第1のメイン電源線と第1のサブ電源線とを分離する第1の接続回路と、動作モード時に第2のメイン電源線と第2のサブ電源線とを接続し、待機モード時に第2のメイン電源線と第2のサブ電源線とを分離する第2の接続回路と、第1、第2のメイン電源線および第1、第2のサブ電源線に接続される電源ノイズ低減回路とを備え、電源ノイズ低減回路は、第1のメイン電源線と第2のサブ電源線とのあいだに接続される第1のキャパシタと、第1のサブ電源線と第2のメイン電源線とのあいだに接続される第2のキャパシタと、第1のサブ電源線と第2のサブ電源線とのあいだに接続される第3のキャパシタとを含む。

【 0 0 5 6 】

好ましくは、第1の接続回路は、第1のメイン電源線と第1のサブ電源線との間に接続され、動作モードと待機モードとの切換えに応じて論理レベルが反転する第1の制御信号をゲートに受ける第1のPチャンネルMOSトランジスタを含み、第2の接続回路は、第2のメイン電源線と第2のサブ電源線との間に接続され、第1の制御信号と相補な第2の制御信号をゲートに受ける第1のNチャンネルMOSトランジスタを含み、第1の内部回路は、第1のPチャンネルMOSトランジスタよりしきい値電圧の絶対値が小さい第2のPチャンネルMOSトランジスタと、第1のNチャンネルMOSトランジスタよりしきい値電圧の絶対値が小さい第2のNチャンネルMOSトランジスタとを含む。

【 0 0 5 7 】

より好ましくは、半導体装置は、第1の制御信号を伝達する第1の信号線をさらに備え、第1の接続回路は、ソースが第1のメイン電源線に接続される第3のPチャンネルMOSトランジスタと、第3のPチャンネルMOSトランジスタのドレインを第1のメイン電源線および第1のサブ電源線のいずれか一方と選択的に接続する第1のスイッチ回路と、第3のPチャンネルMOSトランジスタのゲートを第2のサブ電源線および第1の信号線のいずれか一方と選択的に接続する第2のスイッチ回路とをさらに含む。

【 0 0 5 8 】

より好ましくは、半導体装置は、第1の制御信号を伝達する第1の信号線をさらに備え、第1の接続回路は、ドレインが第1のサブ電源線に接続される第3のPチャンネルMOSトランジスタと、第3のPチャンネルMOSトランジスタのソースを第1のメイン電源線および第1のサブ電源線のいずれか一方と選択的に接続する第1のスイッチ回路と、第3のPチャンネルMOSトランジスタのゲートを第2のサブ電源線および第1の信号線のいずれか一方と選択的に接続する第2のスイッチ回路とをさらに含む。

【 0 0 5 9 】

より好ましくは、半導体装置は、第2の制御信号を伝達する第2の信号線をさらに備え、第2の接続回路は、ソースが第2のメイン電源線に接続される第3のNチャンネルMOSトランジスタと、第3のNチャンネルMOSトランジスタのドレインを第2のメイン電源線

10

20

30

40

50

および第2のサブ電源線のいずれか一方と選択的に接続する第1のスイッチ回路と、第3のNチャンネルMOSトランジスタのゲートを第1のサブ電源線および第2の信号線のいずれか一方と選択的に接続する第2のスイッチ回路とをさらに含む。

【0060】

より好ましくは、半導体装置は、第2の制御信号を伝達する第2の信号線をさらに備え、第2の接続回路は、ドレインが第2のサブ電源線に接続される第3のNチャンネルMOSトランジスタと、第3のNチャンネルMOSトランジスタのソースを第2のメイン電源線および第2のサブ電源線のいずれか一方と選択的に接続する第1のスイッチ回路と、第3のNチャンネルMOSトランジスタのゲートを第1のサブ電源線および第2の信号線のいずれか一方と選択的に接続する第2のスイッチ回路とをさらに含む。

10

【0061】

より好ましくは、半導体装置は、第1、第2のサブ電源線にそれぞれ接続される第1および第2のパッドをさらに備える。

【0062】

より好ましくは、半導体装置は、各々が、第3および第4の電源ノードを有し、かつ、少なくとも1つの入力信号を受けて所定の動作を行う第2の内部回路と、第2の内部回路の第3の電源ノードに対応して設けられる第3のサブ電源線と、第1のサブ電源線および第3のサブ電源線の電位を観測するための第1のパッドと、第1のサブ電源線および第3のサブ電源線のうちいずれか1つを選択的に第1のパッドに接続する選択回路とをさらに備える。

20

【0063】

好ましくは、第1の接続回路は、第1のメイン電源線と第1のサブ電源線との間に接続され、動作モードと待機モードとの切換えに応じて論理レベルが反転する第1の制御信号をゲートに受ける第1のPチャンネルMOSトランジスタと、第1のメイン電源線と第1のサブ電源線との間に順方向に接続され、第1のPチャンネルMOSトランジスタが非導通状態の時に第1のサブ電源線の電位を保持する第1のダイオード回路とを含み、第2の接続回路は、第2のメイン電源線と第2のサブ電源線との間に接続され、第1の制御信号と相補な第2の制御信号をゲートに受ける第1のNチャンネルMOSトランジスタと、第2のサブ電源線と第2のメイン電源線との間に順方向に接続され、第1のNチャンネルMOSトランジスタが非導通状態の時に第2のサブ電源線の電位を保持する第2のダイオード回路とを含む。

30

【0064】

好ましくは、半導体装置は、半導体基板の主表面上に形成され、電源ノイズ低減回路は、主表面上の四角形の領域内に配置され、第1のキャパシタは、ゲートが第2のサブ電源線に接続され、ソースおよびドレインが第1のメイン電源線に接続される第1のMOSトランジスタを含み、第2のキャパシタは、ゲートが第2のメイン電源線に接続され、ソースおよびドレインが第1のサブ電源線に接続される第2のMOSトランジスタを含み、第3のキャパシタは、ゲートが第2のサブ電源線に接続され、ソースおよびドレインが第1のサブ電源線に接続される第3のMOSトランジスタを含み、第1のメイン電源線および第1のサブ電源線は、四角形の領域の第1の辺に沿うように配置され、第2のメイン電源線および第2のサブ電源線は、第1の辺に対向する四角形の第2の辺に沿うように配置される。

40

【0075】

【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

【0076】

[実施の形態1]

図1は、本発明の実施の形態1における半導体装置1の主要部構成を機能的に示すブロック図である。

50

【 0 0 7 7 】

図 1 においては、半導体装置の例として $\times 8$ ビット構成クロック信号に同期して動作する同期型ダイナミックランダムアクセスメモリ（以下、SDRAM と呼ぶ。）の 1 ビットの入出力データに関連する機能的部分の構成が示される。

【 0 0 7 8 】

データ入出力端子 DQ_i に関連するメモリセルアレイ部分は、バンク A を構成するメモリセルアレイ 7 1 a と、バンク B を構成するメモリセルアレイ 7 1 b を含む。

【 0 0 7 9 】

バンク A は、アドレス信号に応じて選択されるメモリセルアレイバンク A 0 とメモリセルアレイバンク A 1 とに分割され、バンク B は、メモリセルアレイバンク B 0 および B 1 に分割されている。

10

【 0 0 8 0 】

メモリセルアレイバンク A 0 および A 1 に対しては、それぞれ、アドレス信号 $A_0 \sim A_j$ をデコードしてメモリセルアレイ 7 1 a の対応する行を選択する複数のロウデコーダを含む X デコーダ群 5 2 a と、列アドレス信号 $Y_1 \sim Y_k$ をデコードしてメモリセルアレイ 7 1 a の対応する列を選択する列選択信号を発生する複数のコラムデコーダを含む Y デコーダ群 5 3 a と、メモリセルアレイ 7 1 a の選択された行に接続されるメモリセルのデータを検知して増幅するセンスアンプ群 5 4 a が設けられている。

【 0 0 8 1 】

X デコーダ群 5 2 a は、メモリセルアレイ 7 1 a の各ワード線に対応して設けられるロウデコーダを含む。アドレス信号 $X_0 \sim X_j$ に従って、対応するロウデコーダがワード線を選択状態とする。

20

【 0 0 8 2 】

Y デコーダ群 5 3 a は、メモリセルアレイ 7 1 a の列選択線それぞれに対して設けられるコラムデコーダを含む。1 本の列選択線は、4 対のビット線対を選択状態とする。X デコーダ群 5 2 a および Y デコーダ群 5 3 a により、メモリセルアレイバンク A 0 および A 1 において、それぞれ 4 ビットのメモリセルが同時に選択状態とされる。X デコーダ群 5 2 a および Y デコーダ群 5 3 a は、それぞれバンク指定信号 B A により活性化される。一方、メモリセルアレイバンク B 0 および B 1 に対しても、それぞれ X デコーダ群 5 2 b および Y デコーダ群 5 3 b が設けられ、これらはそれぞれバンク指定信号 B B により活性化される。

30

【 0 0 8 3 】

バンク A には、さらに、センスアンプ群 5 4 a により検知増幅されたデータを伝達するとともに、書込データをメモリセルアレイ 7 1 a の選択されたメモリセルへ伝達するための内部データ伝達線（グローバル I O 線）が設けられている。メモリセルアレイバンク A 0 に対しては、グローバル I O 線バス G I O 0 が設けられ、メモリセルアレイバンク A 1 に対してはグローバル I O 線バス G I O 1 が設けられている。1 つのグローバル I O 線バスは、同時に選択された 4 ビットのメモリセル同時にデータ授受を行なうために 4 対のグローバル I O 線対を含んでいる。

【 0 0 8 4 】

メモリセルアレイバンク A 0 に対するグローバル I O 線バス G I O 0 に対応して、ライト用レジスタ 5 9 a およびライトバッファ群 6 0 a が設けられ、メモリセルアレイバンク A 1 に対するグローバル I O 線バス G I O 1 に対応して、ライト用レジスタ 5 9 a 2 およびライトバッファ群 6 0 a 2 が設けられている。

40

【 0 0 8 5 】

1 ビット幅の入力バッファ 5 8 a は、データ入出力端子 DQ_i に与えられた入力データから内部書込データを生成する。セレクト 6 9 a は、第 2 の制御信号発生回路 6 3 から出力されるセレクト制御信号 S E A により制御され、入力バッファ 5 8 a の出力を切換えて 2 つのライト用レジスタ 5 9 a または 5 9 a 2 に与える。すなわち、入出力バッファ 5 8 a は、入力バッファ活性化信号 D B A に応じて活性化され、データ入出力端子 DQ_i に

50

与えられた入力データから内部書込データを生成し、セクタ69aは、アドレス信号に応じて第2制御信号発生回路63から出力されたセクタ制御信号SEAに応じて制御され、ライト用レジスタ59aおよび59a2のいずれか一方に対して、内部書込データを出力する。ライト用レジスタ59aおよび59a2は、それぞれレジスタ活性化信号RWA0またはRWA1にตอบสนองして活性化され、セクタ69aから出力された書込データを順次格納する。ライトバッファ群60aおよび60a2は、書込バッファ活性化信号WBA0またはWBA1にตอบสนองして活性化され、対応するライト用レジスタ59aまたは59a2に格納されたデータを増幅して対応するグローバルIO線対バスGIO0またはGIO1へ伝達する。

【0086】

イコライズ回路群61aは、2系統のグローバルIO線バスGIO0およびGIO1に共通に設けられ、イコライズ活性化信号WEQAにตอบสนองして活性化され、グローバルIO線バスGIO0およびGIO1のイコライズを行なう。

【0087】

ライトバッファ群60aおよび60a2ならびにライトレジスタ59aおよび59a2は、それぞれ8ビット幅を有する。

【0088】

バンクBも同様に、メモリセルアレイバンクB0およびB1を含む。メモリセルアレイバンクB0およびB1はおのおの、Xデコーダ群52bと、Yデコーダ群53bと、センスアンプ活性化信号SABにตอบสนองして活性化されるセンスアンプ群54bと、イコライズ回路活性化信号WEQBにตอบสนองして活性化されるイコライズ回路群61bと、バッファ活性化信号WBB0またはWBB1にตอบสนองして活性化されるライトバッファ群60bおよび60b2と、レジスタ活性化信号RWB0またはRWB1にตอบสนองして活性化されるライト用レジスタ59bおよび59b2と、セクタ制御信号SEBによって制御されるセクタ69bと、およびバッファ活性化信号DBBにตอบสนองして活性化される入力バッファ58bとを含む。

【0089】

バンクAの構成とバンクBの構成は同一である。ライト用レジスタ59aおよび59a2ならびに59bおよび59b2を設けることにより、高速のクロック信号に同期してデータの入出力を行なうことが可能となる。

【0090】

バンクAおよびバンクBに対する各制御信号については、バンク指定信号BAおよびBBに従って、いずれか一方のバンクに対する制御信号のみが発生される。

【0091】

図1に示す機能ブロック100が各データ入出力端子に対応して設けられている。x8ビット構成のSDRAMの場合、機能ブロック100を各データ入出力端子に対応して8個含んでいる。

【0092】

バンクAおよびBをほぼ同一の構成とし、バンク指定信号BAおよびBBにより一方のみを選択することにより、バンクAおよびBは互いにほぼ完全に独立して動作することが可能となる。

【0093】

バンクAおよびBを、それぞれ独立に駆動するための制御系として、第1の制御信号発生回路62、第2の制御信号発生回路63およびクロックカウンタ64が設けられている。

【0094】

第1の制御信号発生回路62は、外部から与えられる制御信号、すなわち、外部ロウアドレスストロープ信号ext./RAS、外部コラムアドレスストロープ信号ext./CAS、外部出力イネーブル信号ext./OEおよび、外部書込イネーブル信号(書込許可信号)ext./WEを、外部クロック信号CLKに同期して取込み、内部制御信号xa、ya、W、O、R、およびCを発生する。

10

20

30

40

50

【0095】

第2の制御信号発生回路63は、バンク指定信号BAおよびBBと、外部からのアドレス信号の最下位ビットのY0と、内部制御信号W、O、RおよびCとクロックカウンタ64の出力にตอบสนองしてバンクAおよびBをそれぞれ独立に駆動するための制御信号、すなわち、イコライズ回路活性化信号WEQAおよびWEQB、センスアンプ活性化信号SAAおよびSAB、ライトバッファ活性化信号WBA0、WBA1、WBB0およびWBB1と、ライト用レジスタ活性化信号RWA0、RWA1、RWB0およびRWB1と、セレクト制御信号SEAおよびSEBと、入力バッファ活性化信号DBAおよびDBBと、内部からの制御信号のタイミングが書込動作であれば活性(Lレベル)となる信号CAS0と、書込動作期間中は活性(Hレベル)となるライトデコードイネーブル信号WDEとを発生する。

10

【0096】

半導体装置1はさらに、周辺回路として、内部制御信号xaにตอบสนองして外部アドレス信号ext.A0ないしext.Aiを取込み、内部アドレス信号X0~Xjとバンク指定信号BAおよびBBを発生するXアドレスバッファ65と、内部制御信号yaにตอบสนองして活性化され、列選択線を指定するための列選択信号Y0~Ykを出力するYアドレスバッファ66とを含む。

【0097】

半導体装置1は更に、周辺回路として、外部クロック信号CLKにより制御され、Yアドレスバッファの出力信号である列選択信号Y0~Yk、信号CAS0および信号WDEを受けて、列アドレス信号Y1~YkとYデコーダ活性化信号ENC SLとを出力するYアドレスオペレーション回路68を含む。

20

【0098】

以上説明したようなSDRAMにおいては、外部クロック信号CLKに同期して取込まれた外部から与えられる制御信号の値に応じて動作モードが決定される。たとえば、連続して読出あるいは書込が行われるデータのビット数はバースト長と呼ばれるが、SDRAMにおいては、内部から与えられる制御信号によって第1の制御信号発生回路62中に含まれるモードレジスタの値を変更することによって1、2、4、8ビットのいずれかに設定される。他にも、モードレジスタにはCASレイテンシの設定値やバーストタイプのインターリーブ/シーケンシャルモードの設定値などが保持されている。

30

【0099】

ここで、SDRAMは、常に外部とデータをやり取りしているわけではなく、たとえばマイクロプロセッサがデータ処理を行なっている間待機状態におかれる場合が一般的である。このような待機状態においてSDRAMが消費する消費電力を低減するためにMOSトランジスタのサブスレッシュホールド電流を減らすことが有効である。

【0100】

本発明は待機時におけるサブスレッシュホールド電流を低減するものであり、ここでは半導体装置の例としてSDRAMを示したが、特にSDRAMをはじめとする半導体記憶装置には限定されるものではなく、MOS回路を備えたすべての半導体装置(たとえばマイクロプロセッサ、ロジックLSIなど)に共通して適用することが可能である。

40

【0101】

図2は、実施の形態1の半導体装置に含まれる内部回路の構成例を示す回路図である。

【0102】

図2を参照して、この内部回路は、電源電位Vddが与えられるメイン電源線MVLと、接地電位Vssが与えられるメイン接地線MGLと、制御信号/SCRCに応じてメイン電源線より電流供給を受けるサブ電源線SVLと、制御信号/SCRCに応じてメイン接地線より電流供給を受けるサブ接地線SGLと、制御信号/SCRCをゲートに受けメイン電源線MVLとサブ電源線SVLとの間に接続されるしきい値電圧の高いPチャンネルMOSトランジスタQHPと、制御信号/SCRCをゲートに受けメイン接地線MGLとサブ接地線SGLとの間に接続されるしきい値電圧の高いNチャンネルMOSトランジスタQHN

50

とを含む。

【0103】

この内部回路は、さらに、メイン電源線MVLおよびサブ接地線SGLに接続され入力信号INを受けるインバータ104と、サブ電源線SVLおよびメイン接地線MGLに接続されインバータ104の出力を受けて反転し出力信号OUTを出力するインバータ106と、メイン電源線MVL、サブ電源線SVL、サブ接地線SGLおよびメイン接地線MGLに接続される電源間容量セル102とを含む。

【0104】

インバータ104は、メイン電源線MVLとサブ接地線SGLとの間に直列に接続されゲートとともに入力信号INを受けるPチャンネルMOSトランジスタQLP1およびNチャンネルMOSトランジスタQLN1を含む。PチャンネルMOSトランジスタQLP1とNチャンネルMOSトランジスタQLN1との接続ノードからはインバータ104の出力信号が出力される。

10

【0105】

インバータ106は、サブ電源線SVLとメイン接地線MGLとの間に直列に接続されゲートとともにインバータ104の出力を受けるPチャンネルMOSトランジスタQLP2およびNチャンネルMOSトランジスタQLN2とを含む。PチャンネルMOSトランジスタQLP2とNチャンネルMOSトランジスタQLN2との接続ノードからはインバータ106の出力信号OUTが出力される。

20

【0106】

ここで、PチャンネルMOSトランジスタQLP1、QLP2はPチャンネルMOSトランジスタQHPよりもしきい値電圧が低い。また、NチャンネルMOSトランジスタQLN1、QLN2は、NチャンネルMOSトランジスタQHNよりしきい値電圧が低い。

【0107】

このように、メイン電源線、及びサブ電源線を設け、しきい値電圧が異なる2種類のPチャンネルMOSトランジスタを使用しているのは、この回路が待機状態にある時の待機時の消費電流を抑えるためであり、このような階層電源構造を採用することにより待機時におけるサブスレッシュヨルド電流が低減される。

【0108】

PチャンネルMOSトランジスタQHPはサブスレッシュヨルド電流を低減させるためにしきい値電圧の大きなトランジスタが使用され、PチャンネルMOSトランジスタQLP1、QLP2は動作速度を上げるためしきい値電圧が低いトランジスタが使用される。NチャンネルMOSトランジスタ側にも同様なことがいえる。

30

【0109】

電源間容量セル102は、サブ電源線SVLとサブ接地線SGLとの間に接続されるキャパシタSCと、メイン電源線MVLとサブ接地線SGLとの間に接続されるキャパシタVDCと、サブ電源線SVLとメイン接地線MGLとの間に接続されるキャパシタVSCとを含む。

【0110】

電源間容量セル102は、キャパシタSC、VDC、VSCを1つのセルとして常に組合わせて配置することを示す。このようにキャパシタを各電源線と接続することにより、常にサブ電源線SVLおよびサブ接地線SGLを安定させることが可能となり、サブ電源線SVLおよびサブ接地線SGLに接続される回路の動作の安定化が図られる。

40

【0111】

図3は、図2における電源間容量セル102を使用した場合と使用しない場合との動作波形を示す図である。

【0112】

図2、図3を参照して、入力信号INがLレベルからHレベルに変化した場合を考える。このとき制御信号SCRCはHレベルになり、NチャンネルMOSトランジスタQHNおよびPチャンネルMOSトランジスタQHPは導通状態となる。インバータ104、106の

50

動作により、入力信号の変化に応じて出力信号OUTもLレベルからHレベルへと変化する。このときに、インバータ104、106において消費される電流により、サブ電源線SVLの電位すなわちサブ電源線電位VPは、PチャンネルMOSトランジスタQHPの抵抗分だけにより電圧降下する。一方、サブ接地線SGLの電位すなわちサブ接地電位VNは、NチャンネルMOSトランジスタQHNの抵抗分だけ電位が浮き上がってしまう。これらの電圧変動により、出力信号OUTに遅延が生じる。このときのサブ電源電位の波形、サブ接地電位の波形および出力信号の波形をそれぞれVP1、VN1、OUT1に示す。

【0113】

この出力遅延を小さくするために、電源間容量セル102を付加する。この場合は、インバータ104、106において消費される電流は、その一部が電源間容量セル102から供給される。したがって、サブ電源線SVL、サブ接地線SGL上に現われるノイズは低減される。このときのサブ電源電位VP、サブ接地電位VNおよび出力信号OUTの波形は、それぞれ図3のVP2、VN2、OUT2である。

10

【0114】

図3より、電源間容量セル102を配置することにより内部回路の出力遅延が改善されることが示される。

【0115】

図4は、図2に示した電源間容量セル102をスタンダードセルにすることを説明するための概略図である。

【0116】

図4を参照して、電源間容量セル110は、長形状のセル枠の短辺方向に沿ってそれぞれ平行に配置されるメイン電源線MVL、サブ電源線SVL、サブ接地線SGLおよびメイン接地線MGLを含む。

20

【0117】

サブ電源線とサブ接地線との間には、キャパシタSC、VDC、VSCが配置される。キャパシタSCの一方の電極はコンタクトセル114によってサブ電源線SVLと接続される。キャパシタSCの他方の電極は、コンタクトセル118によってサブ接地線SGLに接続される。

【0118】

キャパシタVDCの一方の電極は、コンタクトセル112によってメイン電源線MVLに接続される。キャパシタVDCの他方の電極は、サブ接地線SGLにコンタクトセル120によって接続される。

30

【0119】

キャパシタVSCの一方の電極は、コンタクトセル116によってサブ電源線SVLに接続される。キャパシタVSCの他方の電極は、メイン接地線MGLにコンタクトセル122によって接続される。

【0120】

ここで、コンタクトセルとは、層間絶縁膜にスルーホールが設けられる部分を示し、スルーホール内に金属層が充填されることにより各電源線と各キャパシタの電極層とが接続される部分である。

40

【0121】

図5は、図4に示した電源間容量セルの各素子の配置を示すレイアウト図である。

【0122】

図5を参照して、電源間容量セル110は、長形状のNウエルNWの長辺方向に沿ってそれぞれ平行に配置されるメイン電源線MVL、サブ電源線SVL、サブ接地線SGLおよびメイン接地線MGLを含む。これらの電源線、接地線は第2層目の金属配線が使用される。

【0123】

サブ電源線とサブ接地線との間には、キャパシタSC、VDC、VSCが配置される。キャパシタSC、VDC、VSCは、MOSトランジスタを用いて作られる。これらのMO

50

Sトランジスタでは、それぞれソースとドレインとが接続されキャパシタの一方の電極とされ、ゲートがキャパシタの他方の電極とされる。

【0124】

以下、説明の便宜のため、与えられる電位の高低に関わらずMOSトランジスタの一方の接続ノードをソースと呼び、他方の接続ノードをドレインと呼ぶ。

【0125】

キャパシタSCでは、MOSトランジスタのソース160とドレイン180とがコンタクトセル158、178、第1層金属配線156によって接続され、ポリシリコンで作られるゲート132は、コンタクトセル134によって第1層金属配線136と接続される。

【0126】

キャパシタSCの一方の電極である第1層金属配線156は、コンタクトセル114によってサブ電源線SVLと接続される。キャパシタSCの他方の電極である第1層金属配線136は、コンタクトセル118によってサブ接地線SGLに接続される。

【0127】

キャパシタVDCでは、MOSトランジスタのソース166とドレイン186とがコンタクトセル164、184、第1層金属配線162によって接続され、ポリシリコンで作られるゲート132は、コンタクトセル142によって第1層金属配線144と接続される。

【0128】

キャパシタVDCの一方の電極である第1層金属配線162は、コンタクトセル112によってメイン電源線MVLに接続される。キャパシタVDCの他方の電極である第1層金属配線144は、サブ接地線SGLにコンタクトセル120によって接続される。

【0129】

キャパシタSC、VDCはともに、他方の電極がサブ接地線SGLに接続されるためゲート132は共通のポリシリコンになっている。ゲート132は、電位安定化のため、キャパシタSCとキャパシタVDCとの間の部分で、コンタクトセル138によって第1層金属配線140と接続され、第1層金属配線140は、コンタクトセル119によってサブ接地線SGLに接続される。

【0130】

キャパシタVSCでは、MOSトランジスタのソース172とドレイン192とがコンタクトセル170、190、第1層金属配線168によって接続され、ポリシリコンで作られるゲート154は、コンタクトセル150によって第1層金属配線152と接続される。

【0131】

キャパシタVSCの一方の電極である第1層金属配線168は、コンタクトセル116によってサブ電源線SVLに接続される。キャパシタVSCの他方の電極である第1層金属配線152は、メイン接地線MGLにコンタクトセル122によって接続される。

【0132】

ゲート154は、電位安定化のため、キャパシタVDCに隣接する部分で、コンタクトセル146によって第1層金属配線148と接続され、第1層金属配線148は、コンタクトセル123によってメイン接地線MGLに接続される。

【0133】

図6は、図4、図5に示した電源間容量セルを用いて回路ブロックのレイアウトを作成する場合を説明するためのフローチャートである。

【0134】

図6を参照して、まずステップST21においてロジックゲートセルおよび電源間容量セルの配置を行なう。続いて、ステップST22において、メイン電源線MVL、サブ電源線SVL、メイン接地線MGLおよびサブ接地線SGLの配線を行なう。通常は、これらの電源配線には2層目の金属配線層が用いられる。

【0135】

10

20

30

40

50

ステップST21において配置された各ロジックゲートセルおよび電源間容量セルの各電源線同士が、ステップST22においてそれぞれ接続される。

【0136】

次にステップST23において、設計する回路ブロックへの入力信号から出力信号に至るまでの信号配線が配置される。

【0137】

そして回路ブロックのレイアウトデータが完成する。図6で示したスタンダードセルを用いた回路ブロックの設計フローは、回路の接続情報や、各ロジックセルおよび電源間容量セルのサイズの情報をもとにコンピュータが自動で実施する。

【0138】

図7は、回路の配置例を示す模式図である。

図7を参照して、ロジックゲートセル132に隣接して電源間容量セル110が配置される。そして、ロジックゲートセル132と電源間容量セル110との各電源線がそれぞれ接続されるようにメイン電源線MVL、サブ電源線SVL、サブ接地線SGLおよびメイン接地線MGLが配置される。

【0139】

このように、電源間容量セル中に3つのキャパシタを含ませ、1セルとし、これを用いてレイアウトデータを作成することにより、各キャパシタをそれぞれ別々に配置するよりも、配置面積を少なくできるとともに、配置点の管理が楽になる。図2に示した、サブ電源線SVLに電流供給をするPチャンネルMOSトランジスタQHPや、サブ接地線SGLに電流供給をするNチャンネルMOSトランジスタQHNから、ブロック内において離れた場所の回路に対して電源間容量セルを近くに配置することにより効果が上げられる。

【0140】

つまり、ブロック内において、この電源間容量セルの効果的な配置点を考慮せねばならず、その上で、3つのキャパシタを1つにまとめたセルとすることは半導体装置の設計工数の削減にもつながる。

【0141】

次に、この電源間容量セルを使用する第2の階層電源構造の例を示す。

図8は、第2の階層電源構造の説明をするための回路図である。

【0142】

図8を参照して、この階層電源構造を有する回路ブロックは、PチャンネルMOSトランジスタQHPに換えて接続回路202を含み、NチャンネルMOSトランジスタQHNに換えて接続回路204を含み、インバータ104、106は双方ともサブ電源線およびサブ接地線から電流供給を受ける点が、図2に示した内部回路と異なる。他の構成は図2に示した内部回路と同様であるので説明は繰返さない。

【0143】

接続回路202は、制御信号SCRCをゲートに受けメイン電源線MVLとサブ電源線SVLとの間に接続されるPチャンネルMOSトランジスタQLP0と、メイン電源線MVLとサブ電源線SVLとの間に順方向に接続されるダイオード206とを含む。

【0144】

接続回路204は、制御信号SCRCをゲートに受けサブ接地線SGLとメイン接地線MGLとの間に接続されるNチャンネルMOSトランジスタQLN0と、サブ接地線SGLとメイン接地線MGLとの間に順方向に接続されるダイオード208とを含む。

【0145】

図8に示した回路では、PチャンネルMOSトランジスタQLP0、NチャンネルMOSトランジスタQLP0のしきい値電圧は、それぞれインバータ104等の内部回路に使用されるPチャンネルMOSトランジスタ、NチャンネルMOSトランジスタと等しくてよい。したがって、しきい値電圧が複数必要とされないので製造プロセスも簡単にできる。

【0146】

このような構成を有する回路にも、電源間容量セル102を用いることによりサブ電源線

10

20

30

40

50

、サブ接地線に生ずるノイズを低減でき、回路の高速動作に有利である。

【 0 1 4 7 】

以上説明したように、実施の形態 1 における半導体装置は、階層電源構造を有する回路ブロックにおいて、電源間容量セルを使用することにより、回路の動作速度を改善する効果が得られる。また、このセルをスタンダードセル化してブロックのレイアウトデータ設計時に使用することで、設計工数の削減にもつながる。

【 0 1 4 8 】

[実施の形態 2]

実施の形態 2 では、サブ電源線のノイズ低減とサブ電源線の活性化に要する時間を小さくするための調整について述べる。

【 0 1 4 9 】

図 9 は、サブ電源線の立上がりとサブ電源線のノイズについて説明するための回路図である。

【 0 1 5 0 】

図 9 を参照して、この内部回路は、トランジスタ駆動回路 3 0 2 をさらに含む。トランジスタ駆動回路 3 0 2 は、制御信号 S C R C を受けて反転し P チャネル M O S トランジスタ Q H P のゲートに出力するインバータ 3 0 4 と、制御信号 / S C R C を受けて反転し N チャネル M O S トランジスタ Q H N のゲートに出力するインバータ 3 0 6 を含む。以上の点が図 2 に示した回路と異なる。他の構成は、図 2 に示した回路と同様であるので説明は繰返さない。

【 0 1 5 1 】

この回路では、実施の形態 1 で示したように、電源間容量セル 1 0 2 でサブ電源線のノイズを低減している。

【 0 1 5 2 】

図 1 0 は、図 9 に示した回路の動作波形図である。

図 9、図 1 0 を参照して、時刻 t_1 までは、サブ電源線 S V L およびサブ接地線 S G L にそれぞれ電流供給を行なう P チャネル M O S トランジスタ Q H P および N チャネル M O S トランジスタ Q H N は、ともに非導通状態であり、サブ電源線 S V L およびサブ接地線 S G L はそれぞれ非活性化状態である。サブ電源線 S V L およびサブ接地線 S G L に電流供給を行なう P チャネル M O S トランジスタ Q H P および N チャネル M O S トランジスタ Q H N を以降スリープトランジスタと称する。

【 0 1 5 3 】

時刻 t_1 において、制御信号 S C R C が H レベルとなり、応じてスリープトランジスタ Q H P、Q H N が導通状態となる。すると、活性化時間 T_a 経過後の時刻 t_2 において、サブ電源線 S V L の電位は電源電位 V_{dd} となり、サブ接地線 S G L の電位は、接地電位 V_{ss} となる。つまり時刻 t_2 以降は、サブ電源線 S V L やサブ接地線 S G L に接続された回路がアクティブな状態となる。ここで、時刻 t_3 において、入力信号 I N の変化に応じて出力信号 O U T が変化するが、電源間容量セル 1 0 2 の有無によって動作遅延時間が変化する。すなわち、電源間容量セルがない場合には、時刻 t_5 において出力信号 O U T が立上がり（波形 O U T 1 に示す）、電源間容量セル 1 0 2 がある場合には、時刻 t_4 において出力信号 O U T が立上がる（波形 O U T 2 で示す）。したがって、電源間容量セルの有無により内部回路の動作遅延時間は T_{d1} 、 T_{d2} となる。

【 0 1 5 4 】

スリープトランジスタのサイズが大きいほど、サブ電源線、サブ接地線を充電する電流をより多く供給できるため、活性化時間 T_a は、短くなる。また、内部回路の出力遅延時間を短くする上では、電源間容量セル 1 0 2 の容量値を大きくする方が有利である。ここで、スリープトランジスタのサイズを大きくする代わりに、サイズの等しいスリープトランジスタを複数個並列的にメイン電源線とサブ電源線との間に設けても構わない。メイン接地線とサブ接地線との間に接続されるスリープトランジスタにも同様のことがいえる。一方、電源間容量セル 1 0 2 の容量値を大きくする代わりに、複数の電源間容量セルを並列

10

20

30

40

50

的に配置しても同様の効果が得られる。

【 0 1 5 5 】

図 1 1 は、並列的にスリープトランジスタや容量セルを設けた場合の、活性化時間 T_a および遅延時間 T_d の変化の関係を示す図である。

【 0 1 5 6 】

図 1 1 を参照して、並列的に設けるスリープトランジスタの数をより増やす場合は、活性化時間 T_a は小さくなり、内部回路の遅延時間 T_d はスリープトランジスタの数が増えると小さくなる。

【 0 1 5 7 】

一方、容量セルの数が増えると、サブ電源線およびサブ接地線の容量値が増えるため充電するための時間がかかるので活性化時間 T_a は大きくなる。また、容量セルが増えると実施の形態 1 で説明したように、遅延時間 T_d は小さくなる。

【 0 1 5 8 】

しかし、スリープトランジスタの数や容量セルの数を増やす場合でも、それらがどこに配置されるかによってそれぞれ効果は違ってくる。したがって、スリープトランジスタとしても使用が可能で、設定を切換えることにより電源間容量セルとしても使用できるセルの構成とすれば、内部回路の電流の消費状態に応じて、階層電源構造を有する内部回路における電源間容量セルおよびスリープトランジスタの配置の最適化を図ることができる。

【 0 1 5 9 】

図 1 2 は、PチャネルMOSトランジスタQHPを当初スリープトランジスタとして用いるセルP__SLEEPの構成を示す回路図である。

【 0 1 6 0 】

図 1 2 を参照して、セルP__SLEEPは、PチャネルMOSトランジスタQHPと、PチャネルMOSトランジスタQHPのゲートに接続されるスイッチ回路SW1Pと、PチャネルMOSトランジスタQHPのドレインに接続されるスイッチ回路SW2Pとを含む。PチャネルMOSトランジスタQHPのソースにはセルの入力ノードPVccが接続される。

【 0 1 6 1 】

スイッチ回路SW1Pは、初期設定時には、セルの入力ノードP/SCRCとPチャネルMOSトランジスタQHPのゲートとを接続するが、後に設定を変更することにより入力ノードPGNDをPチャネルMOSトランジスタQHPのゲートに接続することが可能である。

【 0 1 6 2 】

スイッチ回路SW2Pは、初期設定時には、セルの入力ノードPVPとPチャネルMOSトランジスタQHPのドレインとを接続するが、後に設定を変更することにより入力ノードPVccをPチャネルMOSトランジスタQHPのドレインに接続することが可能である。

【 0 1 6 3 】

したがって、セルP__SLEEPは、当初はスリープトランジスタとして動作するが、必要に応じて設定を変えることにより、ノードPVccとノードPGNDとの間に接続されるキャパシタとなる。

【 0 1 6 4 】

図 1 3 は、PチャネルMOSトランジスタQHPを当初MOSキャパシタとして用いるセルP__CAPの構成を示す回路図である。

【 0 1 6 5 】

図 1 3 を参照して、セルP__CAPは、PチャネルMOSトランジスタQHPと、PチャネルMOSトランジスタQHPのゲートに接続されるスイッチ回路SW1Pと、PチャネルMOSトランジスタQHPのドレインに接続されるスイッチ回路SW2Pとを含む。PチャネルMOSトランジスタQHPのソースにはセルの入力ノードPVccが接続される。

。

10

20

30

40

50

【0166】

スイッチ回路SW1Pは、初期設定時には、セルの入力ノードPGNDとPチャンネルMOSトランジスタQHPのゲートとを接続するが、後に設定を変更することにより入力ノードP/SCRCをPチャンネルMOSトランジスタQHPのゲートに接続することが可能である。

【0167】

スイッチ回路SW2Pは、初期設定時には、セルの入力ノードPVccとPチャンネルMOSトランジスタQHPのドレインとを接続するが、後に設定を変更することにより入力ノードPVPをPチャンネルMOSトランジスタQHPのドレインに接続することが可能である。

10

【0168】

したがって、セルP__CAPは、当初はノードPVccとノードPGNDとの間に接続されるキャパシタとなるが、必要に応じて設定を変えることにより、スリープトランジスタとして動作する。

【0169】

図14は、NチャンネルMOSトランジスタQHNを当初スリープトランジスタとして用いるセルN__SLEEPの構成を示す回路図である。

【0170】

図14を参照して、セルN__SLEEPは、NチャンネルMOSトランジスタQHNと、NチャンネルMOSトランジスタQHNのゲートに接続されるスイッチ回路SW1Nと、NチャンネルMOSトランジスタQHNのドレインに接続されるスイッチ回路SW2Nとを含む。PチャンネルMOSトランジスタQHNのソースにはセルの入力ノードPVssが接続される。

20

【0171】

スイッチ回路SW1Nは、初期設定時には、セルの入力ノードPSCRCとNチャンネルMOSトランジスタQHNのゲートとを接続するが、後に設定を変更することにより入力ノードPVD DをNチャンネルMOSトランジスタQHNのゲートに接続することが可能である。

【0172】

スイッチ回路SW2Nは、初期設定時には、セルの入力ノードPVNとNチャンネルMOSトランジスタQHNのドレインとを接続するが、後に設定を変更することにより入力ノードPVssをNチャンネルMOSトランジスタQHNのドレインに接続することが可能である。

30

【0173】

したがって、セルN__SLEEPは当初はスリープトランジスタとして動作するが、必要に応じて設定を変えることにより、ノードPVssとノードPVD Dとの間に接続されるキャパシタとなる。

【0174】

図15は、NチャンネルMOSトランジスタQHNを当初MOSキャパシタとして用いるセルN__CAPの構成を示す回路図である。

40

【0175】

図15を参照して、セルN__CAPは、NチャンネルMOSトランジスタQHNと、NチャンネルMOSトランジスタQHNのゲートに接続されるスイッチ回路SW1Nと、NチャンネルMOSトランジスタQHNのドレインに接続されるスイッチ回路SW2Nとを含む。PチャンネルMOSトランジスタQHNのソースにはセルの入力ノードPVssが接続される。

【0176】

スイッチ回路SW1Nは、初期設定時には、セルの入力ノードPVD DとNチャンネルMOSトランジスタQHNのゲートとを接続するが、後に設定を変更することにより入力ノードPSCRCをNチャンネルMOSトランジスタQHNのゲートに接続することが可能であ

50

る。

【0177】

スイッチ回路SW2Nは、初期設定時には、セルの入力ノードPVSSとNチャネルMOSトランジスタQHNのドレインとを接続するが、後に設定を変更することにより入力ノードPVNをNチャネルMOSトランジスタQHNのドレインに接続することが可能である。

【0178】

したがって、セルN__CAPは、当初はノードPVSSとノードPVDDとの間に接続されるキャパシタとなるが、必要に応じて設定を変えることにより、スリープトランジスタとして動作する。

【0179】

図16は、マスクパターンによる接続の切換を説明するための図である。

図16を参照して、ノードAとノードYを接続するためには、ノードBとノードYとの間の配線の接続パターンを除去する。

【0180】

反対にノードBをノードYと接続する場合は、ノードAとノードYとの間の配線パターンを除去する。

【0181】

このように、配線層のマスクパターンだけを変更するだけで配線層以下のマスク(トランジスタの形成等に使用されるマスク)を変更することなく切換ができる。

【0182】

図17は、図12に示したセルP__SLEEPのレイアウトを示す図である。

図17を参照して、セルP__SLEEPは、セルの入力ノードPVCC、PVP、PGNDにそれぞれ相当する第2層金属配線220、222、224と、セルの入力ノードP/SCRCに相当する第1層金属配線226と、Nウエル内部に設けられるPチャネルMOSトランジスタQHPとを含む。

【0183】

PチャネルMOSトランジスタQHPでは、ソース236がコンタクトセル234、230および第1層金属配線232によって第2層金属配線220と接続され、ドレイン257はコンタクトセル258によって第1層金属配線256に接続される。ポリシリコンによって作られるゲート264は、コンタクトセル262によって第1層金属配線260と接続される。

【0184】

スイッチSW1Pにおいては、第1層金属配線260が、コンタクトセル242によって第2層金属配線224に接続されている第1層金属配線246と入力ノードP/SCRCに相当する第1層金属配線226とのいずれか一方に接続される。図17の状態では切換えパターンである第1層金属配線248が、第1層金属配線260と第1層金属配線226とを接続するように設けられている。

【0185】

スイッチSW2Pにおいては、第1層金属配線256が、コンタクトセル250によって第2層金属配線222に接続されている第1層金属配線252とコンタクトセル238によって第2層金属配線220に接続されている第1層金属配線240とのいずれか一方に接続される。図17の状態では切換えパターンである第1層金属配線254が、第1層金属配線256と第1層金属配線252とを接続するように設けられている。

【0186】

図18は、図13に示したセルP__CAPのレイアウトを示す図である。

図18を参照して、セルP__CAPは、スイッチSW1Pにおいては、切換えパターンである第1層金属配線249が、第1層金属配線260と第1層金属配線246とを接続するように設けられ、スイッチSW2Pにおいては、切換えパターンである第1層金属配線255が、第1層金属配線256と第1層金属配線240とを接続するように設けられて

10

20

30

40

50

いる。以上の点が図 17 に示したセル P__S L E E P と異なる。他の構成は図 17 に示したセル P__S L E E P と同様であるので、説明は繰返さない。

【 0 1 8 7 】

また、図 14、図 15 に示した N__S L E E P、N__C A P のレイアウトは、図示しないが、以上説明した P__S L E E P、P__C A P のレイアウトから容易に作ることができる。

【 0 1 8 8 】

図 19 は、ヒューズ素子を用いてスイッチの切換を用いる回路例と接続状態を示す図である。

【 0 1 8 9 】

図 19 を参照して、スイッチ回路では、ノード A とノード B とのいずれか一方がノード Y に接続される。ノード A とノード Y との間には大きな抵抗値を有する抵抗 R 1 が接続される。ノード B とノード Y との間にはヒューズ素子 H 1 が接続される。ここで、ノード B をノード Y と接続状態とする場合は、ヒューズ素子 H 1 はそのままである。この場合は、ヒューズ素子 H 1 の抵抗値が低く抵抗 R 1 の抵抗値は大きいいため、ノード B とノード Y が接続されている状態となる。

【 0 1 9 0 】

一方ノード A がノード Y と接続される場合は、ヒューズ素子 H 1 はレーザ光線等で切断される。すると、ノード Y はノード B の影響を受けず、ノード A がノード Y に接続される状態となる。

【 0 1 9 1 】

図 20 は、図 19 で示したヒューズを含む切換えスイッチのレイアウトを説明するための図である。

【 0 1 9 2 】

図 19、図 20 を参照して、この切換えスイッチは、ノード A に対応する第 1 層金属配線 272 と、一端がノード B に対応し他端がノード Y に対応する第 2 層金属配線 280 と、抵抗 R 1 と、抵抗 R 1 とノード Y とを接続するための第 1 層金属配線 278 とを含む。

【 0 1 9 3 】

抵抗 R 1 は、例えば、高抵抗を有する N 型または P 型の不純物領域である。抵抗 R 1 の一端は、コンタクトセル 274 によって第 1 層金属配線 272 と接続される。抵抗 R 1 の他端は、コンタクトセル 276 によって第 1 層金属配線 278 と接続される。

【 0 1 9 4 】

第 2 層金属配線 280 の中央を横断するように半導体基板の保護酸化膜にヒューズブロー用窓 284 が設けられる。第 2 層金属配線 280 のうちヒューズブロー用窓 284 で囲まれた部分がヒューズ素子 H 1 に相当する。第 2 層金属配線 280 のうちヒューズブロー用窓 284 よりノード Y 側の部分はコンタクトセル 278 によって第 1 層金属配線 282 に接続される。

【 0 1 9 5 】

このような切換えスイッチを図 17 で示したスイッチ SW 1 P、SW 1 N として対応する領域に配置することにより、配線形成後においても接続を変えることができ、スリープトランジスタからキャパシタに切換えたり、キャパシタからスリープトランジスタに切換えたりすることが可能となる。

【 0 1 9 6 】

図 21 は、図 12 ~ 図 15 の回路を階層電源構成を有する回路ブロックに配置した例を示す図である。

【 0 1 9 7 】

図 21 を参照して、この回路は、電源間容量セル 102 の代わりに、電源間容量セル P S 1 ~ P S 3、N S 1 ~ N S 3 と制御信号 S C R C を受けて反転し電源間容量セル P S 1 ~ P S 3 に供給するインバータ 312 と、制御信号 / S C R C を受けて反転し電源間容量セル N S 1 ~ N S 3 に与えるインバータ 314 とを含む点が図 9 の回路と異なる。他の構成

10

20

30

40

50

は図9に示した回路と同様であるので説明は繰返さない。

【0198】

電源間容量セルPS1は、図12に示した構成を有しており、メイン電源線MVLとサブ電源線SVLとの間に設けられるスリープトランジスタとして動作する。

【0199】

電源間容量セルPS2、PS3は図13に示した構成を有しており、電源間容量セルPS2は、メイン電源線MVLとサブ接地線SGLとの間に設けられるデカップリング容量となり、電源間容量セルPS3は、サブ電源線SVLとサブ接地線SGLとの間に設けられるデカップリング容量となる。

【0200】

電源間容量セルNS1は、図14に示したような構成を有し、メイン接地線MGLとサブ接地線SGLとの間に接続されるスリープトランジスタとして動作する。

【0201】

電源間容量セルNS2、NS3は図15に示した構成を有しており、電源間容量セルNS2は、サブ電源線SVLとメイン接地線MGLとの間に設けられるデカップリング容量となり、電源間容量セルNS3は、サブ電源線SVLとサブ接地線SGLとの間に設けられるデカップリング容量となる。

【0202】

これらの電源間容量セルは、内部にヒューズ等を含むスイッチ回路を有しており、必要に応じてスリープトランジスタに変更することができる。

【0203】

このような構成とすることにより、実際に内部回路の動作をさせてそのときのサブ電源の状態を見ながらスリープトランジスタの数および電源間容量の数と配置関係を調整し最適化を図ることが可能となる。

【0204】

[実施の形態3]

図22は、実施の形態3の半導体装置の回路ブロックの構成を示す図である。

【0205】

図22を参照して、この回路ブロックは、電源電位Vddが与えられているメイン電源線MVLと、接地電位Vssが与えられているメイン接地線MGLと、PチャネルMOSトランジスタQHPによって制御信号/SCRCがLレベルのときに電源電位Vddが与えられるサブ電源線SVLと、制御信号SCRCがHレベルのときにNチャネルMOSトランジスタQHNによって接地電位が与えられるサブ接地線SGLとを含む。

【0206】

この回路ブロックは、さらに、内部回路の例として直列に接続されたインバータ104、106を含む。

【0207】

インバータ104は、メイン電源線MVLとサブ接地線SGLとの間に直列に接続されともに入力信号INをゲートに受けるPチャネルMOSトランジスタQLP1およびNチャネルMOSトランジスタQLN1を含む。PチャネルMOSトランジスタQLP1とNチャネルMOSトランジスタQLN1との接続ノードからはインバータ104の出力信号が出力される。

【0208】

インバータ106は、サブ電源線SVLとメイン接地線MGLとの間に直列に接続されともゲートにインバータ104の出力を受けるPチャネルMOSトランジスタQLP2およびNチャネルMOSトランジスタQLN2を含む。PチャネルMOSトランジスタQLP2とNチャネルMOSトランジスタQLN2との接続ノードからはインバータ106の出力信号OUTが出力される。

【0209】

ここで、PチャネルMOSトランジスタQLP1、QLP2はPチャネルMOSトランジ

10

20

30

40

50

スタQHPよりもしきい値電圧が低い。また、NチャネルMOSトランジスタQLN1、QLN2はNチャネルMOSトランジスタQHNよりもしきい値電圧が低い。

【0210】

この回路ブロックは、さらに、電源間容量セルPS1、NS1を含む。電源間容量セルPS1は、図12に示したような回路構成を有する。そして、スリープトランジスタとして動作する。電源間容量セルNS1は、図14で示した回路と同様の構成を有する。そしてスリープトランジスタとして動作する。したがって、説明は繰返さない。

【0211】

この回路ブロックは、さらに、サブ電源線SVLに接続されるパッド322と、サブ接地線SGLに接続されるパッド324とを含む。これらのパッドを含む点の実施の形態3の半導体装置の特徴である。また、電源間容量セルPS1、NS1は代表として電源側接地側にそれぞれ1つずつ示したが、実際には複数個の電源間容量セルが並列的に設けられる。

10

【0212】

パッド322、324を使用して外部からサブ電源線、サブ接地線の電位変動を観測しながら、複数個設けられた電源間容量セルのそれぞれの内部設定を変更することにより、スリープトランジスタとして動作させる電源間容量セルの個数と配置を最適化することができる。

【0213】

したがって、実際に回路動作をさせた状態でサブ電源線の状態を観測しながら調整することが可能となり、スリープトランジスタおよび電源間容量の最適化をより正確かつ簡単におこなうことができる。

20

【0214】

[実施の形態4]

図23は、実施の形態4の半導体装置の概略構成を示すブロック図である。

【0215】

図23を参照して、半導体装置400は、クロック信号CLKおよびクロックイネーブル信号CKEに応じて制御信号/RAS、/CAS、/WEおよび/CSを取込むタイミングレジスタ414と、タイミングレジスタ414からの制御信号に従ってアドレス信号A0~Ai(iは自然数)を内部に取込むロウアドレスバッファ416と、ロウアドレスバッファ416が取込んだ内部ロウアドレス信号をプリデコードするロウプリデコーダ418と、データ信号DQ0~DQnを外部との間でやり取りする入出力バッファ422と、タイミングレジスタ414の制御信号に応じてコラムアドレスを取込んでデコードするコラムデコーダ420と、ロウプリデコーダ418およびコラムデコーダ420が指定するアドレスにデータ信号が授受されるメモリアレイ404と、電源電位Vccおよび接地電位Vssを受けて階層電源の制御を行なう階層電源制御回路412とを含む。

30

【0216】

メモリアレイ404は、ロウプリデコーダ418からロウアドレス信号を受取りデコードするロウデコーダ407と、ロウデコーダ407およびコラムデコーダ420の出力する信号に応じて対応するメモリセルにデータを書込むサブメモリアレイSMA0~SMA nとを含む。各サブメモリアレイには、ワード線WLを活性化するワードドライバWDと、ビット線に読出されたメモリセルのデータを増幅するセンスアンプS/Aが設けられる。

40

【0217】

階層電源制御回路412は、サブ電源線SVL1~SVL4とサブ接地線SGL1~SGL4の制御を行なう。サブ電源線SVL1およびサブ接地線SGL1は、ロウデコーダ407を含む回路ブロック406に電源電位VP1、VN1をそれぞれ供給する。サブ電源線SVL2、サブ接地線SGL2はコラムデコーダ420を含む回路ブロック408に電源電位VP2、VN2をそれぞれ供給する。サブ電源線SVL3、サブ接地線SGL3は入出力バッファ422を含む回路ブロック410に電源電位VP3、VN3をそれぞれ供

50

給する。サブ電源線 S V L 4、サブ接地線 S G L 4 は、タイミングレジスタ 4 1 4 とロウアドレスバッファ 4 1 6 とロウプリデコーダ 4 1 8 とを含む回路ブロック 4 0 2 に電源電位 V P 4、V N 4 をそれぞれ供給する。

【 0 2 1 8 】

このように、階層電源が回路ブロック単位やバンク単位で分割され複数のサブ電源線を持つ場合には、すべてのサブ電源線に対応するモニタ用のパッドを配置することはチップ面積の増大につながるという問題がある。実施の形態 4 では、モニタパッドを削減するための回路構成を示す。

【 0 2 1 9 】

図 2 4 は、実施の形態 4 の半導体装置における階層電源テスト回路の概略ブロック図である。

10

【 0 2 2 0 】

図 2 4 を参照して、この階層電源テスト回路は、外部パッドから入力されるテスト信号 T S 1、T S 2 を受けてその組合せをデコードするテストモードセクタ 4 2 4 と、テストモードセクタの出力信号 T M 1 ~ T M 4 を受け電源電位 V P 1 ~ V P 4 のいずれかをパッド P A D A に与え電源電位 V N 1 ~ V N 4 のいずれかをパッド P A D B に与える階層電源制御回路 4 1 2 とを含む。

【 0 2 2 1 】

図 2 5 は、階層電源制御回路 4 1 2 の構成を示す回路図である。

図 2 5 を参照して、階層電源制御回路 4 1 2 は、電源電位 V c c および接地電位 V s s を受けて電源電位 V P 1 ~ V P 4 を出力するサブ電源回路 4 3 4 と、信号 T M 1 が H レベルのときに電源電位 V P 1 をパッド P A D A に与えるスイッチ回路 4 2 6 と、信号 T M 2 が H レベルのときに電源電位 V P 2 をパッド P A D A に与えるスイッチ回路 4 2 8 と、信号 T M 3 が H レベルのときに電源電位 V P 3 をパッド P A D A に与えるスイッチ回路 4 3 0 と、信号 T M 4 が H レベルのときに電源電位 V P 4 をパッド P A D A に与えるスイッチ回路 4 3 2 とを含む。

20

【 0 2 2 2 】

スイッチ回路 4 2 6 は、信号 T M 1 を受けて反転するインバータ 4 3 6 と、サブ電源線 S V L 1 とパッド P A D A との間に接続されゲートに信号 T M 1 を受ける N チャネル M O S トランジスタ 4 3 8 と、サブ電源線 S V L 1 とパッド P A D A との間に接続されゲートにインバータ 4 3 6 の出力を受け P チャネル M O S トランジスタ 4 4 0 とを含む。スイッチ回路 4 2 8、4 3 0 および 4 3 2 もスイッチ回路 4 2 6 と同様の構成を有するため説明は繰返さない。

30

【 0 2 2 3 】

図 2 6 は、図 2 4 に示したテストモードセクタ 4 2 4 の構成を示す回路図である。

【 0 2 2 4 】

図 2 6 を参照して、テストモードセクタ 4 2 4 は、テスト信号 T S 1 を受けて反転し信号 / T S 1 を出力するインバータ 4 5 4 と、テスト信号 T S 2 を受けて反転し信号 / T S 2 を出力するインバータ 4 5 2 と、テスト信号 T S 1 と信号 / T S 2 とを受け NAND 回路 4 5 6 と、NAND 回路 4 5 6 の出力を受けて反転し信号 T M 1 を出力するインバータ 4 5 8 とを含む。

40

【 0 2 2 5 】

テストモードセクタ 4 2 4 は、さらに、信号 / T S 2 および / T S 1 を受ける NAND 回路 4 6 0 と、NAND 回路 4 6 0 の出力を受けて反転し信号 T M 2 を出力するインバータ 4 6 2 と、テスト信号 T S 1 とテスト信号 T S 2 とを受け NAND 回路 4 6 4 と、NAND 回路 4 6 4 の出力を受けて反転し信号 T M 3 を出力するインバータ 4 6 6 と、信号 / T S 1 とテスト信号 T S 2 とを受け NAND 回路 4 6 8 と、NAND 回路 4 6 8 の出力を受けて反転し信号 T M 4 を出力するインバータ 4 7 0 とを含む。

【 0 2 2 6 】

このような構成とすることで、テスト信号 T S 1、T S 2 の論理の組合せにて信号 T M 1

50

～ T M 4 のうちの 1 つが H レベルとなり、それに対応したスイッチ回路が導通しモニタパッド P A D A とサブ電源線のモニタ配線を接続する。ここでは、切換のためのテスト信号 T S 1、T S 2 を専用パッドから入力したが、動作に影響のないピンを組み合わせによりテスト信号を発生してもよい。

【 0 2 2 7 】

以上説明したように、実施の形態 4 の半導体装置では、サブ電源線ごとにモニタパッドを設ける必要がないので、少ないモニタパッドの数で各サブ電源線の状況を観測することが可能であり、実施の形態 3 のようにそれぞれの回路ブロックにおいて電源間容量とスリープトランジスタとの切換の最適化を調整することが可能である。

【 0 2 2 8 】

[実施の形態 5]

図 2 7 は、実施の形態 5 の半導体装置のロウ系の電源配線に関する構成を示す回路図である。

【 0 2 2 9 】

図 2 7 を参照して、実施の形態 5 の半導体装置は、データを記憶するメモリアレイ M A 1 ~ M A 4 と、メモリアレイ M A 1 ~ M A 4 のメモリセルに書込まれたデータを増幅して読出すセンスアンプ S A 1 ~ S A 5 と、メモリアレイ M A 1 ~ M A 4 のワード線を活性化するメインワードドライバ M W D 1 ~ M W D 4 とを含む。

【 0 2 3 0 】

メインワードドライバ M W D 1 ~ M W D 4 にはサブ電源線 S V L 1 ~ S V L 4 がそれぞれ対応して設けられる。サブ電源線 S V L 1 ~ S V L 4 にはスリープトランジスタである P チャネル M O S トランジスタ Q H P 1 ~ Q H P 4 が対応して設けられる。

【 0 2 3 1 】

スリープトランジスタ Q H P 1 は、電源電位 V d d が与えられるメイン電源線 M V L とサブ電源線 S V L 1 との間に接続されゲートに制御信号 / S C R C を受ける。スリープトランジスタ Q H P 2 は、メイン電源線 M V L とサブ電源線 S V L 2 との間に接続されゲートに制御信号 / S C R C を受ける。スリープトランジスタ Q H P 3 は、メイン電源線 M V L とサブ電源線 S V L 3 との間に接続されゲートに制御信号 / S C R C を受ける。スリープトランジスタ Q H P 4 は、メイン電源線 M V L とサブ電源線 S V L 4 との間に接続されゲートに制御信号 / S C R C を受ける。

【 0 2 3 2 】

この半導体装置は、さらに、信号 T E S T 1、T E S T 2 および N O R M A L の状態に応じてロウ系のタイミング信号 R A S F、R X、R X D の中から 1 つの信号を反転して制御信号 / S C R C として出力する選択回路 4 8 2 を含む。

【 0 2 3 3 】

ロウ系のタイミング信号 R A S F、R X、R X D は、外部からのコマンド信号およびクロック信号から制御信号を生成するチップ中央に通常設けられる制御回路で発生されるロウ系基準信号である。

【 0 2 3 4 】

選択回路 4 8 2 は、タイミング信号 R A S F と信号 T E S T 1 とを受取る N A N D 回路 4 8 8 と、タイミング信号 R X と信号 T E S T 2 とを受取る N A N D 回路 4 9 0 と、タイミング信号 R X D と信号 N O R M A L とを受取る N A N D 回路 4 9 2 と、N A N D 回路 4 8 8、4 9 0、4 9 2 の出力を受取る 3 入力 N A N D 回路 4 8 6 と、N A N D 回路 4 8 6 の出力を受けて反転し制御信号 / S C R C を出力するインバータ 4 8 4 とを含む。

【 0 2 3 5 】

タイミング信号 R A S F、R X、R X D は、外部から与えられる信号 e x t . / R A S、e x t . / C A S、e x t . / W E をもとにチップ中央の制御信号発生回路で発生されるロウ系の制御信号である。例えば、R A S F はロウ系の一番早い信号で、バンクの活性化等の基準となる信号であり、R X はワード線の活性化のタイミングを制御する信号であり

10

20

30

40

50

、 R X Dはセンスアンプの活性化のタイミングを制御する信号である。

【 0 2 3 6 】

図 2 8 は、ワード線ドライバとコラムデコーダに接続されるサブ電源線の活性化タイミングを説明するための波形図である。

【 0 2 3 7 】

図 2 8 を参照して、時刻 t_1 においてロウ系の回路の動作タイミングに先んじてメインワード線ドライバのサブ電源線がオン状態とされる。そしてロウアドレス信号等の入力信号に備える。時刻 t_2 において、ロウアドレス信号が各メモリアレイに到達すると、メインワード線が活性化され、続いて、サブワード線 S W L が活性化される。そしてビット線対 B L , / B L にアドレスに対応するメモリセルのデータが読み出され、センスアンプ S A の活性化によりデータが増幅される。

10

【 0 2 3 8 】

時刻 t_3 においてコラムデコーダの電源線がオン状態とされ続いて、時刻 t_4 にてコラム選択線が活性化し対応するビット線が選択されデータがデータバスに読み出される。

【 0 2 3 9 】

階層電源構造を有する回路では、ある程度の回路の塊を単位としてサブ電源線とメイン電源線を接続する。このときに、あまり早くサブ電源線を活性化すると、高速動作は実現できるが、その分リークによる消費電流が多くなる。一方、サブ電源線を活性化させるタイミングを遅らせると、リークによる消費電流は抑えることができるが、サブ電源線の電源電位が十分に回復しないうちにアドレス信号等の入力信号が入力され回路が動き出してしまいうため高速動作ができなくなってしまう。

20

【 0 2 4 0 】

図 2 9 は、タイミング信号 R A S F、R X、R X Dの活性化のタイミングを説明するための波形図である。

【 0 2 4 1 】

図 2 9 を参照して、ロウ系のタイミング信号 R A S F が最初に活性化され、次いでタイミング信号 R X が活性化され、さらに続いてタイミング信号 R X D が活性化される。

【 0 2 4 2 】

図 2 7、図 2 9 を参照して、通常動作時には信号 N O R M A L が H レベルであるために、各サブ電源線はタイミング信号 R X D が活性化されるに従って電源オン状態となる。テストモードに入った後に、信号 T E S T 1、T E S T 2 のいずれかが H レベルになると、サブ電源線の活性化のトリガ信号が切換わる。

30

【 0 2 4 3 】

つまり、ポイントとなるのは通常の設定では一番遅い信号で制御するが、さらに早いタイミングでサブ電源線に充電を開始するテストも行なうことができる点である。

【 0 2 4 4 】

高速動作の実現と、リークによる消費電流の低減とが折り合う最適なタイミングをこのテストによって評価可能である。

【 0 2 4 5 】

実施の形態 5 のようなテスト回路を備えることにより、サブ電源線を活性化する最適なタイミングを見つけ出すことが可能となる。

40

【 0 2 4 6 】

[実施の形態 6]

図 3 0 は、実施の形態 6 の半導体装置のコラム系の電源配線に関する構成を示す回路図である。

【 0 2 4 7 】

図 3 0 を参照して、実施の形態 6 の半導体装置は、データを記憶するメモリアレイ M A 1 ~ M A 4 と、メモリアレイ M A 1 ~ M A 4 のメモリセルにアクセスするためのサブワード線を駆動するサブワードドライバ S W D 1 ~ S W D 5 と、メモリアレイ M A 1 ~ M A 4 のビット線を選択するコラムデコーダ C D 1 ~ C D 4 とを含む。コラ

50

ムデコーダCD 1～CD 4にはサブ電源線SVL 5～SVL 8がそれぞれ対応して設けられる。サブ電源線SVL 5～SVL 8にはスリープトランジスタであるPチャンネルMOSトランジスタQHP 5～QHP 8が対応して設けられる。

【0248】

スリープトランジスタQHP 5は、電源電位Vddが与えられるメイン電源線MVLとサブ電源線SVL 5との間に接続されゲートに制御信号/SCRC2を受ける。スリープトランジスタQHP 6は、メイン電源線MVLとサブ電源線SVL 6との間に接続されゲートに制御信号/SCRC2を受ける。スリープトランジスタQHP 7は、メイン電源線MVLとサブ電源線SVL 7との間に接続されゲートに制御信号/SCRC2を受ける。スリープトランジスタQHP 8は、メイン電源線MVLとサブ電源線SVL 8との間に接続されゲートに制御信号/SCRC2を受ける。

10

【0249】

この半導体装置は、さらに、信号TEST3およびNORMALの状態に応じてコラム系のタイミング信号RW、TAd dの中から1つの信号を選択し、反転して制御信号/SCRC2として出力する選択回路602を含む。

【0250】

選択回路602は、信号RWと信号TEST3とを受けるNAND回路608と、信号TAd dと信号NORMALとを受けるNAND回路610と、NAND回路608、610の出力を受けるNAND回路606と、NAND回路606の出力を受けて反転し制御信号/SCRC2を出力するインバータ604とを含む。

20

【0251】

コラム系の動作においては、リードライトの識別クロックである信号RWがまず各メモリアレイに対して与えられ、続いてコラムアドレスを各メモリアレイに出力するタイミングを示す信号TAd dが与えられる。信号TAd dは、アドレスのプリデコードに要する時間だけ、信号RWより遅く変化する。

【0252】

したがって、通常時とテスト時とでこのトリガ信号を切換えることにより、実施の形態5における場合と同様に階層電源線の活性化の最適なタイミングを調べることができる。

【0253】

[実施の形態7]

図31は、実施の形態7の半導体装置の電源配線に関する構成を示す回路図である。

30

【0254】

図31を参照して、実施の形態7の半導体装置は、選択回路482に代えて、タイミング信号RAS Fを受ける遅延回路650を備える点が図27に示した構成と異なる。他の構成は図27に示した構成と同様であるので説明は繰返さない。

【0255】

図32は、遅延回路650の構成を示す回路図である。

図32を参照して、遅延回路650は、タイミング信号RAS Fを受ける直列に接続されたインバータ652、654と、インバータ654の出力を受ける直列に接続されたインバータ658、670と、インバータ670の出力を受ける直列に接続されたインバータ674、676とを含む。

40

【0256】

遅延回路650は、さらに、信号NORMALが活性化状態においてインバータ676の出力を制御信号/SCRCとして出力ノードに与えるスイッチ678と、信号TEST1が活性化状態においてインバータ654の出力信号を制御信号/SCRCとして出力ノードに与えるスイッチ回路656と、信号TEST2が活性化状態のときにインバータ670の出力信号を制御信号/SCRCとして与えるスイッチ回路672とを含む。

【0257】

このような遅延回路を設けることにより、テストモードにおいて信号NORMALを非活性化し信号TEST1、TEST2のいずれか一方を活性化することにより通常動作時に

50

比べて制御信号 / S C R C の活性化のタイミングを早めることができるので、実施の形態 1 と同様の効果を得ることができ、サブ電源線の活性化の最適なタイミングを調べることが可能となる。

【 0 2 5 8 】

[実施の形態 8]

実施の形態 8 における半導体装置は、階層電源構造を有する半導体装置の待機状態のリーク電流のモニタが可能となるものである。

【 0 2 5 9 】

図 3 3 は、実施の形態 8 におけるリーク電流テスト回路の要部の構成を示す図である。

【 0 2 6 0 】

図 3 3 を参照して、内部回路 7 0 4 は、メイン電源線 L 1、サブ電源線 L 2、メイン接地線 L 3 およびサブ接地線 L 4 から動作電流の供給を受ける。内部回路 7 0 4 は、メイン電源線 L 1 およびサブ接地線 L 4 から動作電流の供給を受けるインバータ X 1 と、サブ電源線 L 2 およびメイン接地線 L 3 から動作電源電流の供給を受けインバータ X 1 の出力を受けて反転するインバータ X 2 と、メイン電源線 L 1 とサブ接地線 L 4 から動作電源電流の供給を受けインバータ X 2 の出力を受けて反転するインバータ X 3 とを含む。メイン電源線 L 1 とサブ電源線 L 2 との間には、スリープトランジスタ P 0 が設けられる。メイン接地線 L 3 とサブ接地線 L 4 との間にはスリープトランジスタ N 0 が接続される。スリープトランジスタ P 0 はしきい値電圧が高い P チャネル M O S トランジスタでありゲートに制御信号 / D L C C を受ける。スリープトランジスタ N 0 は、しきい値電圧の高い N チャネル M O S トランジスタであり、ゲートに制御信号 D L C C を受ける。

【 0 2 6 1 】

スリープトランジスタ P 0、N 0 を駆動する制御信号を発生するために制御信号 / C S および基準電位 V_{ref0} を受け制御信号 / D L C C、D L C C を発生する信号発生回路 7 0 2 が設けられる。

【 0 2 6 2 】

さらに、メイン電源線 L 1 とサブ電源線 L 2 との間には、電位差が一定の値以上に大きくならないようにするため、ダイオード接続された N チャネル M O S トランジスタ N 7 が設けられる。また、サブ接地線 L 4 とメイン接地線 L 3 との間には、電位差が一定値以上に大きくならないようにするためダイオード接続された P チャネル M O S トランジスタ P 7 が設けられる。

【 0 2 6 3 】

メイン電源線 L 1 およびサブ電源線 L 2 は、電圧発生回路 V D C H 1 によってそれぞれの電位が与えられる。

【 0 2 6 4 】

サブ接地線 L 4 は電圧発生回路 V D C L 1 によって電位が与えられる。メイン接地線 L 3 には、接地電位 V_{ss} が与えられる。

【 0 2 6 5 】

サブ電源線 L 2 およびサブ接地線 L 4 にはそれぞれの電位に応じて内部回路 7 0 4 に発生するリーク電流をモニタするためのリークテスト回路 7 0 6 が接続される。リークテスト回路には外部端子 T L C、T O U T P、T O U T N が接続される。

【 0 2 6 6 】

図 3 4 は、信号発生回路 7 0 2 の構成を示す回路図である。

図 3 4 を参照して、信号発生回路 7 0 2 は、制御信号 / C S を受け基準電位 V_{ref0} と比較し信号 / O U T を出力する差動増幅回路 7 0 7 と、差動増幅回路 7 0 7 の出力を受けるバッファ 7 0 8 と、バッファ 7 0 8 の出力を受け遅延させる遅延回路 7 1 8、7 0 9 と、遅延回路 7 1 8 の出力を受けて反転するインバータ 7 2 0 と、バッファ 7 0 8 の出力およびインバータ 7 2 0 の出力を受ける N A N D 回路 7 2 2 と、バッファ 7 0 8 の出力を受けて反転するインバータ 7 1 0 と、インバータ 7 1 0 の出力と遅延回路 7 0 9 の出力を受ける N A N D 回路 7 1 2 とを含む。

10

20

30

40

50

【 0 2 6 7 】

信号発生回路 7 0 2 は、さらに、NAND 回路 7 2 2、7 1 2 の出力を受けるラッチ回路 7 1 1 と、ラッチ回路 7 1 1 の出力を受けて反転するインバータ 7 1 3 と、インバータ 7 1 3 の出力を受け制御信号 / D L C C を出力するバッファ 7 1 4 と、インバータ 7 1 3 の出力を受けて反転するインバータ 7 1 5 と、インバータ 7 1 5 の出力を受け制御信号 D L C C を出力するバッファ 7 1 6 とを含む。

【 0 2 6 8 】

差動増幅回路 7 0 7 は、電源電位 V_{cc} がゲートに与えられドレインが接地電位に結合されている N チャンネル MOS トランジスタ N 4 と、制御信号 / C S をゲートに受けソースが N チャンネル MOS トランジスタ N 4 のドレインに接続される N チャンネル MOS トランジスタ N 5 a と、ゲートおよびドレインが N チャンネル MOS トランジスタ N 5 a のドレインに接続されソースが電源電位 V_{cc} に結合される P チャンネル MOS トランジスタ P 5 a と、ゲートに基準電位 V_{ref0} を受けソースが N チャンネル MOS トランジスタ N 4 のドレインに接続される N チャンネル MOS トランジスタ N 5 b と、ゲートが N チャンネル MOS トランジスタ N 5 a に接続されソースが電源電位 V_{cc} に結合されドレインが N チャンネル MOS トランジスタ N 5 b のドレインに接続される P チャンネル MOS トランジスタ P 5 b を含む。N チャンネル MOS トランジスタ N 5 b のドレインからは信号 / O U T が出力される。

10

【 0 2 6 9 】

ラッチ回路 7 1 1 は、交差結合された NAND 回路 7 1 1 a、7 1 1 b を含む。NAND 回路 7 1 1 a の入力ノードには NAND 回路 7 2 2 の出力が与えられる。NAND 回路 7 1 1 b の入力ノードには NAND 回路 7 1 2 の出力が与えられる。NAND 回路 7 1 1 a の出力はラッチ回路 7 1 1 の出力としてインバータ 7 1 3 の入力ノードに与えられる。

20

【 0 2 7 0 】

信号発生回路 7 0 2 は、制御信号 / C S の立下がり立上がりに応じて階層電源を制御する制御信号 D L C C、/ D L C C を発生させる。

【 0 2 7 1 】

図 3 5 は、電圧発生回路 V D C H 1 の構成を示す回路図である。

図 3 5 を参照して、電圧発生回路 V D C H 1 は、基準電位 V_{refH} 、 V_{refL} を発生する基準電位発生回路 7 3 2 a と、基準電位 V_{refH} が正入力ノードに与えられ出力および負入力ノードがメイン電源線 L 1 に接続され制御信号 D L C C に応じて活性化する差動増幅器 V 3 a と、基準電位 V_{refL} が正入力ノードに与えられ、負入力ノードおよび出力ノードがメイン電源線 L 1 に接続される差動増幅器 V 3 b と、正入力ノードに基準電位 V_{refL} が与えられ負入力ノードおよび出力ノードにメイン電源線 L 1 が接続され信号 A C T に応じて活性化する差動増幅器 V 3 c と、基準電位 V_{refL} が正入力ノードに与えられ、負入力ノードおよび出力ノードがサブ電源線 L 2 に接続される差動増幅器 V 3 d とを含む。

30

【 0 2 7 2 】

基準電位発生回路 7 3 2 a は、電源ノードとノード N D 1 の間に接続される定電流源 7 3 4 a と、ノード N D 1 とノード N D 2 との間に並列に接続される P チャンネル MOS トランジスタ P 9 a、可変抵抗 7 3 6 a と、ノード N D 2 とノード N D 3 との間に接続される P チャンネル MOS トランジスタ P 8 a と、ノード N D 2 とノード N D 3 との間に直列に接続される P チャンネル MOS トランジスタ P 9 b、抵抗 7 3 8 a と、ノード N D 3 と接地ノードとの間に直列に接続される 7 つの P チャンネル MOS トランジスタ P 8 b ~ P 8 h とを含む。

40

【 0 2 7 3 】

P チャンネル MOS トランジスタ P 9 a は、ゲートに制御信号 T E S T P H を受ける。P チャンネル MOS トランジスタ P 9 b は、ゲートに制御信号 T E S T P L を受ける。P チャンネル MOS トランジスタ P 8 a ~ P 8 h は、ゲートがともに接地ノードに接続される。可変抵抗 7 3 6 a は制御信号 T U N a に応じて抵抗値が変化する。

【 0 2 7 4 】

50

制御信号TESTPHは、通常の動作時にはLレベルに設定され、制御信号TESTPLは、通常動作時にはHレベルに設定される。したがって、通常動作時にはPチャネルMOSトランジスタP9aは導通状態となり、制御信号TUNaの状態にかかわらず、ノードND1から出力される基準電位VrefHとノードND3から出力される基準電位VrefLとは一定の値になる。

【0275】

一方、リークモニタテストを実施する場合には、制御信号TESTPHはHレベルとされ、制御信号TESTPLはLレベルとされる。したがってテスト時には、PチャネルMOSトランジスタP9aは非導通状態となり、制御信号TUNaの状態に応じて可変抵抗736aの抵抗値が変化し、応じて基準電位VrefHおよびVrefLの値を変化させることが可能となる。

10

【0276】

図36は、電圧発生回路VDC1の構成を示す回路図である。

図36を参照して、電圧発生回路VDC1は、基準電位VrefL2を発生する基準電位発生回路732bと基準電位VrefL2が正入力ノードに与えられ、負入力ノードおよび出力ノードはサブ接地線L4に接続され制御信号/DLCCに应答して活性化される差動増幅器V4を含む。

【0277】

基準電位発生回路732bは、電源ノードとノードND4との間に接続される定電流源734bと、ノードND4とノードND6との間に接続されゲートに制御信号TESTSHを受けるNチャネルMOSトランジスタN9aと、ノードND4とノードND6との間に接続され制御信号TUNbに応じて抵抗値が変化する可変抵抗736bと、ノードND6とノードND7との間に接続されゲートが接地ノードに接続されるPチャネルMOSトランジスタP8iと、ノードND6とノードND7との間に直列に接続されるNチャネルMOSトランジスタN9bおよび抵抗738bと、ノードND7と接地ノードとの間に直列に接続され、ともにゲートが接地ノードに接続されるPチャネルMOSトランジスタP8j、P8kとを含む。

20

【0278】

NチャネルMOSトランジスタN9bのゲートは制御信号TESTSLを受ける。

【0279】

電圧発生回路VDC1においては、通常動作時には制御信号TESTSHはHレベルに設定され、制御信号TESTSLはLレベルに設定される。したがってNチャネルMOSトランジスタN9aは導通状態となるので通常動作時には制御信号TUNbの状態に影響されず基準電位VrefL2は一定の電位となる。

30

【0280】

リークモニタテストを実施するテスト時には、制御信号TESTSHはLレベルに設定され、制御信号TESTSLはHレベルに設定される。この場合は、NチャネルMOSトランジスタN9aは非導通状態となり、制御信号TUNbに応じて可変抵抗736bの抵抗値が変化するために基準電位VrefL2を変化させることが可能となる。

【0281】

図37は、図33におけるリークテスト回路706の構成を示す回路図である。

40

【0282】

図37を参照して、リークテスト回路706は、テスト端子TLCとノードND10aとの間に接続されゲートに制御信号ENPを受けるNチャネルMOSトランジスタ748aと、サブ電源線L2とノードND13aとの間に接続されゲートに制御信号/ENPを受けるPチャネルMOSトランジスタ752aと、ノードND13aとノードND12aとの間に接続されゲートにメイン電源線L1が接続されるPチャネルMOSトランジスタ750aと、ノードND10aに流入する電流とノードND12aに流入する電流とを比較して比較結果をノードND11aに出力する電流比較回路742aと、ノードND11aに入力が接続され出力がテスト端子TOUTPに接続されるバッファ746aとを含む。

50

【 0 2 8 3 】

リークテスト回路 7 0 6 は、さらに、テスト端子 T L C とノード N D 1 0 b との間に接続されゲートに制御信号 E N N を受ける N チャンネル M O S トランジスタ 7 4 8 b と、サブ接地線 L 4 とノード N D 1 3 b との間に接続されゲートに制御信号 E N N を受ける N チャンネル M O S トランジスタ 7 5 2 b と、ゲートがメイン接地線 L 3 に接続されノード N D 1 3 b とノード N D 1 2 b との間に接続される N チャンネル M O S トランジスタ 7 5 0 b と、ノード N D 1 0 b から流出する電流とノード N D 1 2 b から流出する電流とを比較し比較結果をノード N D 1 1 b に出力する電流比較回路 7 4 2 b と、ノード N D 1 1 b が入力に接続され出力がテスト端子 T O U T N に接続されるバッファ 7 4 6 b とを含む。

【 0 2 8 4 】

電流比較回路 7 4 2 a は、ノード N D 1 0 a にゲートとドレインが接続されソースが接地ノードに接続される N チャンネル M O S トランジスタ 7 5 4 a と、ゲートが N チャンネル M O S トランジスタ 7 5 4 a のドレインと接続されソースが接地ノードに接続される N チャンネル M O S トランジスタ 7 5 6 a と、ゲートとドレインがともに N チャンネル M O S トランジスタ 7 5 6 a のドレインに接続されソースが電源ノードに接続される P チャンネル M O S トランジスタ 7 5 8 a と、ノード N D 1 1 a と電源ノードとの間に接続されゲートが N チャンネル M O S トランジスタ 7 5 6 a のドレインに接続される P チャンネル M O S トランジスタ 7 6 0 a と、ノード N D 1 1 a と接地ノードとの間に接続されゲートがノード N D 1 2 a に接続される N チャンネル M O S トランジスタ 7 6 2 a と、ゲートおよびドレインがともにノード N D 1 2 a に接続されソースが接地ノードに接続される N チャンネル M O S トランジスタ 7 6 4 a とを含む。

【 0 2 8 5 】

電流比較回路 7 4 2 b は、ゲートとドレインがともにノード N D 1 0 b に接続されソースが電源ノードに接続される P チャンネル M O S トランジスタ 7 5 4 b と、ゲートがノード N D 1 0 b に接続されソースが電源ノードに接続される P チャンネル M O S トランジスタ 7 5 6 b と、ゲートおよびドレインがともに P チャンネル M O S トランジスタ 7 5 6 b のドレインに接続されソースが接地ノードに接続される N チャンネル M O S トランジスタ 7 5 8 b と、ゲートが P チャンネル M O S トランジスタ 7 5 6 b のドレインに接続されノード N D 1 1 b と接地ノードとの間に接続される N チャンネル M O S トランジスタ 7 6 0 b と、電源ノードとノード N D 1 1 b との間に接続されゲートがノード N D 1 2 b に接続される P チャンネル M O S トランジスタ 7 6 2 b と、ソースが電源ノードに接続されゲートおよびドレインがノード N D 1 2 b に接続される P チャンネル M O S トランジスタ 7 6 4 b とを含む。

【 0 2 8 6 】

続いて、実施の形態 8 におけるリークテストの回路動作を説明する。

図 3 5、3 7 を参照して、まず、メイン電源線およびサブ電源線の電位に応じて内部回路に生ずるリーク電流をモニタする場合を説明する。この場合、制御信号 E N P は H レベルとされ制御信号 E N N は L レベルされる。これにより、P チャンネル M O S トランジスタ 7 5 0 a のゲートにはメイン電源線 L 1 が接続されソースにはサブ電源線 L 2 が接続されることになる。この状態は、図 3 3 のインバータ X 2 に含まれる P チャンネル M O S トランジスタの待機時の状態と同じである。したがって、内部回路 7 0 4 中におけるカットオフされている P チャンネル M O S トランジスタに流れるリーク電流と同様のリーク電流が P チャンネル M O S トランジスタ 7 5 0 a に流れる。一方、電流比較回路 7 4 2 a のノード N D 1 0 a は、N チャンネル M O S トランジスタ 7 4 8 a が導通するため、テスト端子 T L C に接続される。そこで、外部からテスト端子 T L C に電流を徐々に流し込むと、ある電流値において、P チャンネル M O S トランジスタ 7 5 0 a のリーク電流より大きくなるため、テスト端子 T O U T P に出力される論理レベルが反転する。このときの電流値が内部回路 7 0 4 に流れる P チャンネル M O S トランジスタのリーク電流と相関関係がある。

【 0 2 8 7 】

高速動作のためには、サブ電源線とメイン電源線との待機状態における電位差は小さければ小さいほどよい、一方、内部回路 7 0 4 における P チャンネル M O S トランジスタのリー

10

20

30

40

50

ク電流を小さくするためには、メイン電源線 L 1 とサブ電源線 L 2 の間の電位差は大きい方がよい。同様に、高速の動作のためには、メイン接地線 L 3 とサブ接地線 L 4 との待機時における電位差は小さい方が有利である。しかし内部回路の待機時における N チャネル MOS トランジスタに生じるリーク電流を小さく抑えるためには、この電位差は大きい方がよい。

【 0 2 8 8 】

このときに、図 3 5 に示した電圧発生回路 V D C H 1 の制御信号 T U N a を変化させることによりメイン電源線 L 1 の電位とサブ電源線 L 2 の電位とを変化させることができ、リーク電流が生じない最適なメイン電源線 L 1 の電位およびサブ電源線 L 2 の電位を測定することが可能である。

10

【 0 2 8 9 】

一方、制御信号 E N P を L レベルとし、制御信号 E N N を H レベルとすると、N チャネル MOS トランジスタ 7 5 0 b には内部回路 7 0 4 におけるインバータ X 3 が含む N チャネル MOS トランジスタの待機状態と同じ状態となるので、内部回路 7 0 4 の N チャネル MOS トランジスタに流れるリーク電流をモニタすることができる。

【 0 2 9 0 】

この場合も、図 3 5 に示した電圧発生回路 V D C L 1 に入力される制御信号 T U N b を調整することによりサブ接地線 L 4 の電位を変化させることができるのでリーク電流が生じない最適なサブ電源線の電位を測定することが可能である。

【 0 2 9 1 】

[実施の形態 9]

図 3 8 は、実施の形態 9 におけるリークテストに関する回路構成の主要部を示す回路図である。

20

【 0 2 9 2 】

図 3 8 を参照して、実施の形態 9 の半導体装置の回路構成は、図 3 3 に示した回路構成において、電圧発生回路 V D C H 1 に代えて電圧発生回路 V D C H 2 を含み、電圧発生回路 V D C L 1 に代えて電圧発生回路 V D C L 2 を含む点が図 3 3 に示した回路と異なる。他の構成は図 3 3 に示した回路と同様であるので説明は繰返さない。

【 0 2 9 3 】

図 3 9 は、図 3 8 における電圧発生回路 V D C H 2 の構成を示す回路図である。

30

【 0 2 9 4 】

図 3 9 を参照して、電圧発生回路 V D C H 2 は、基準電圧発生回路 7 3 2 a に代えて基準電圧発生回路 7 7 1 a を含み、基準電圧発生回路が出力する基準電位 V r e f H を受けて変換し差動増幅器 V 3 a に与える電圧変換回路 7 7 0 a をさらに含み、基準電位 V r e f L を受けて変換し差動増幅器 V 3 b、V 3 c、V 3 d の正入力ノードに与える電圧変換回路 7 7 0 b をさらに含む点が図 3 5 に示した電圧発生回路 V D C H 1 と異なる。他の点は、電圧発生回路 V D C H 1 と同様の構成を有するため説明は繰返さない。

【 0 2 9 5 】

基準電位発生回路 7 7 1 a は、可変抵抗 7 3 6 a に代えて抵抗 7 8 6 a を含む点が図 3 5 に示した基準電位発生回路 7 3 2 a と異なる。他の構成は基準電位発生回路 7 3 2 a と同様であるので説明は繰返さない。

40

【 0 2 9 6 】

電圧変換回路 7 7 0 a は、基準電位発生回路 7 7 1 a が発生する基準電位 V r e f H を負入力ノードに受ける比較回路 7 7 2 a と、比較回路 7 7 2 a の出力をゲートに受けソースが電源ノードに接続される P チャネル MOS トランジスタ 7 7 4 a と、P チャネル MOS トランジスタ 7 7 4 a のドレインと接地ノードとの間に直列に接続される抵抗 7 7 6 a、7 7 8 a、7 8 0 a および 7 8 2 a とを含む。

【 0 2 9 7 】

P チャネル MOS トランジスタ 7 7 4 a と抵抗 7 7 6 a との出力ノードの電位は変換電位 V r 1 となる。抵抗 7 7 6 a と抵抗 7 7 8 a との出力ノードの電位は変換電位 V r 2 と

50

なる。抵抗 778 a と抵抗 780 a との接続ノードの電位は変換電位 V_{r3} となる。抵抗 780 a と抵抗 782 a との出力ノードの電位は変換電位 V_{r4} となる。変換電位 V_{r3} は比較回路 772 a の正入力ノードに与えられる。

【0298】

電圧変換回路 770 a は、さらに、変換電位 $V_{r1} \sim V_{r4}$ を受けて選択信号 $HSEL1$ に応じていずれか 1 の変換電位を出力するセレクタ 784 a をさらに含む。セレクタ 784 a の出力は差動増幅器 $V3_a$ の正入力ノードに与えられる。

【0299】

電圧変換回路 770 b は、基準電位発生回路 771 a が発生する基準電位 V_{refH} を負入力ノードに受ける比較回路 772 b と、比較回路 772 b の出力をゲートに受けソースが電源ノードに接続される P チャネル MOS トランジスタ 774 b と、P チャネル MOS トランジスタ 774 b のドレインと接地ノードとの間に直列に接続される抵抗 776 b、778 b、780 b および 782 b とを含む。

10

【0300】

P チャネル MOS トランジスタ 774 b と抵抗 776 b との出力ノードの電位は変換電位 V_{r5} となる。抵抗 776 b と抵抗 778 b との出力ノードの電位は変換電位 V_{r6} となる。抵抗 778 b と抵抗 780 b との接続ノードの電位は変換電位 V_{r7} となる。抵抗 780 b と抵抗 782 b との出力ノードの電位は変換電位 V_{r8} となる。変換電位 V_{r7} は比較回路 772 b の正入力ノードに与えられる。

【0301】

20

電圧変換回路 770 b は、さらに、変換電位 $V_{r5} \sim V_{r8}$ を受けて選択信号 $HSEL2$ に応じていずれか 1 の変換電位を出力するセレクタ 784 b をさらに含む。セレクタ 784 b の出力は、差動増幅器 $V3_b$ 、 $V3_c$ 、 $V3_d$ の正入力ノードに与えられる。

【0302】

図 40 は、電圧発生回路 VDC_L2 の構成を示す回路図である。

図 40 を参照して、電圧発生回路 VDC_L2 は、基準電位を発生する基準電位発生回路 771 b と、771 b の発生する基準電位 V_{refL2} を変換する電圧変換回路 770 c と、電圧変換回路 770 c の出力を正入力ノードに受け出力ノードと負入力ノードがサブ接地線 $L4$ に接続され制御信号 $NDLCC$ に応じて活性化される差動増幅器 $V4$ とを含む。

【0303】

30

基準電位発生回路 771 b は、可変抵抗 736 b に代えて抵抗 786 b を含む点が図 36 における基準電位発生回路 732 b と異なる。他の構成は基準電位発生回路 732 b と同様であるので説明は繰返さない。

【0304】

電圧変換回路 770 c は、基準電位発生回路 771 b が発生する基準電位 V_{refL2} を負入力ノードに受ける比較回路 772 c と、ゲートに比較回路 772 c の出力を受けソースが接地ノードに接続される N チャネル MOS トランジスタ 774 c と、電源ノードと N チャネル MOS トランジスタ 774 c のドレインとの間に直列に接続される抵抗 782 c、780 c、778 c、776 c とを含む。

【0305】

40

抵抗 782 c と抵抗 780 c との接続ノードからは変換電位 V_{r9} が出力される。抵抗 780 c と抵抗 778 c との接続ノードからは変換電位 V_{r10} が出力される。抵抗 778 c と抵抗 776 c との接続ノードからは変換電位 V_{r11} が出力される。抵抗 776 c と N チャネル MOS トランジスタ 774 c との接続ノードからは変換電位 V_{r12} が出力される。変換電位 V_{r10} は比較回路 772 c の正入力ノードに与えられる。

【0306】

電圧変換回路 770 c は、さらに、変換電位 $V_{r9} \sim V_{r12}$ を受けて、制御信号 $LSEL$ に応じていずれか 1 の変換電位を出力するセレクタ 784 c を含む。セレクタ 784 c の出力は差動増幅器 $V4$ の正入力ノードに入力される。

【0307】

50

以上のような構成とすることで、実施の形態 9 の半導体装置においては、図 3 7 に示したリークモニタ用のトランジスタ 7 5 0 a、7 5 0 b に流れる待機時のリーク電流をモニタしながら外部からサブ電源線およびサブ接地線のレベルを変化させることが可能であるので、最適な階層電源レベルに調整することができる。

【 0 3 0 8 】

[実施の形態 1 0]

図 4 1 は、実施の形態 1 0 の半導体装置に用いられる回路ブロックの構成を示す回路図である。

【 0 3 0 9 】

図 4 1 を参照して、回路ブロック 8 0 0 は、電源電位 V_{dd} が与えられるメイン電源線 $MVL9$ と接地電位 V_{ss} が与えられるメイン接地線 $MGL9$ と、制御信号 1 をゲートに受けソースが メイン接地線 $MGL9$ に接続される N チャンネル MOS トランジスタ $QHN9$ と、制御信号 2 をゲートに受けソースが メイン接地線 $MGL9$ に接続される N チャンネル MOS トランジスタ $QLN9$ と、N チャンネル MOS トランジスタ $QHN9$ のドレインおよび N チャンネル MOS トランジスタ $QLN9$ のドレインに接続されるサブ接地線 $SSL9$ と、制御信号 / 1 をゲートに受けソースがメイン電源線に接続される P チャンネル MOS トランジスタ $QHP9$ と、制御信号 / 2 をゲートに受けソースがメイン電源線 $MVL9$ に接続される P チャンネル MOS トランジスタ $QLP9$ と、P チャンネル MOS トランジスタ $QHP9$ のドレインおよび P チャンネル MOS トランジスタ $QLP9$ のドレインに接続されるサブ電源線 $SVL9$ とを含む。

【 0 3 1 0 】

P チャンネル MOS トランジスタ $QHP9$ および N チャンネル MOS トランジスタ $QHN9$ はしきい値電圧が高いトランジスタである。

【 0 3 1 1 】

回路ブロック 8 0 0 は、さらに、入力信号 SIN を受ける直列に接続されたインバータ 8 0 2、8 0 4、8 0 6、8 0 8 および 8 1 0 を含む。

【 0 3 1 2 】

インバータ 8 0 2、8 0 6 および 8 1 0 はメイン電源線 $MVL9$ およびサブ接地線 $SSL9$ によって動作電圧が与えられる。インバータ 8 0 4、8 0 8 はサブ電源線 $SVL9$ およびメイン接地線 $MGL9$ により動作電圧が与えられる。

【 0 3 1 3 】

インバータ 8 0 2 ~ 8 1 0 が含む MOS トランジスタは、動作の高速化のためしきい値電圧が低いものが用いられ、P チャンネル MOS トランジスタ $QLP9$ および N チャンネル MOS トランジスタ $QLN9$ はこれらのインバータに用いられるトランジスタと同様な低いしきい値電圧を有する。

【 0 3 1 4 】

図 4 2 は、回路ブロック 8 0 0 の各電源線の駆動状態を説明するための波形図である。

【 0 3 1 5 】

図 4 1、図 4 2 を参照して、時刻 t_1 までに電源電位 V_{dd} が立上がる。時刻 $t_1 \sim t_2$ において、回路ブロック 8 0 0 は待機状態となり、信号 SIN は L レベルにされ、制御信号 1 は L レベルに設定され、制御信号 / 2 は H レベルに設定される。制御信号 / 1 は H レベルに設定され、2 は L レベルに設定される。したがって待機時すなわちスタンバイ状態においては P チャンネル MOS トランジスタ $QHP9$ および N チャンネル MOS トランジスタ $QHN9$ は非導通状態となり、P チャンネル MOS トランジスタ $QLP9$ および N チャンネル MOS トランジスタ $QLN9$ も非導通状態となる。

【 0 3 1 6 】

ここで、P チャンネル MOS トランジスタ $QHP9$ および N チャンネル MOS トランジスタ $QHN9$ はインバータ 8 0 2 ~ 8 1 0 が動作するときに動作電流を供給するためのトランジスタでありゲート幅は大きいものが使用される。これに対し、P チャンネル MOS トランジスタ $QLP9$ および N チャンネル MOS トランジスタ $QLN9$ は、待機時にそれぞれサブ

10

20

30

40

50

電源線SVL9、サブ接地線SGL9の電位レベルを保持するためのトランジスタであるため、ゲート幅Wは小さいものが用いられ、非導通状態においてサブスレッシュヨルド電流が流れるが極めて高い抵抗値を有する。

【0317】

したがって、スタンドバイ時におけるサブ電源線SVL9の電位VP9は電源電位VdよりVd1だけ低い電位となり、この電位差Vd1は、NチャネルMOSトランジスタQLB9を設けていない場合よりも小さな値となる。

【0318】

同様に、スタンドバイ時におけるサブ接地線SGL9の電位VN9は接地電位VssよりもVd1だけ高い電位となる。この電位差Vd1はNチャネルMOSトランジスタQLN9を設けていない場合よりも小さな値にすることができる。

10

【0319】

したがって、制御信号1がHレベル、制御信号/1がLレベルとなりサブ電源線およびサブ接地線が活性化する場合における活性化に要する時間を短くすることができる。サブ電源線およびサブ接地線を活性化させる場合における制御信号/2、2はそれぞれLレベル、Hレベルに設定されPチャネルMOSトランジスタQLP9およびNチャネルMOSトランジスタQLN9は導通状態に設定されるが、制御信号/2をHレベルに固定し、制御信号2をLレベルに固定した場合でもサブ電源線およびサブ接地線の電位が同じになる(図42の波形W1、W2に示す)。

【0320】

20

つまり、実施の形態10における回路ブロック800には、内部回路に動作時の電源電流を供給するゲート幅の大きなしきい値電圧の高いPチャネルMOSトランジスタQHP9、NチャネルMOSトランジスタQHN9に加えて、待機時のサブ電源線およびサブ接地線の電位を決定するレベル保持用のPチャネルMOSトランジスタQLP9およびNチャネルMOSトランジスタQLN9を設ける。

【0321】

このような構成とすることにより、実施の形態10の半導体装置は、サブ電源線およびサブ接地線の待機時における電位レベルをそれぞれメイン電源線およびメイン接地線の電位に近づけることにより、待機状態から回路ブロックを活性状態にするための起動時間を短くすることができる。また、レベル保持用のトランジスタのゲート幅を小さくすることにより、レベル保持用のトランジスタを設けることによるスタンドバイ時のリーク電流の増大は問題にならない。

30

【0322】

[実施の形態11]

図43は、実施の形態11において用いられる回路ブロック820の構成を示す回路図である。

【0323】

図43を参照して、回路ブロック820は、PチャネルMOSトランジスタQLP9に代えて、メイン電源線MVL9とサブ電源線SVL9との間に接続される調整回路822を含み、NチャネルMOSトランジスタQLN9に代えてサブ接地線SGL9とメイン接地線MGL9との間に接続される調整回路824を含む点が図41に示した回路ブロック800と異なる。他の構成は回路ブロック800と同様であるので説明は繰返さない。

40

【0324】

調整回路822は、メイン電源線MVL9とサブ電源線SVL9との間に直列に接続されるヒューズ素子HPi、PチャネルMOSトランジスタQLPiを含む(iは1~n)。PチャネルMOSトランジスタQLPiのゲートには電源電位Vddが与えられる。

【0325】

調整回路824は、サブ接地線SGL9とメイン接地線MGL9との間に直列に接続されるNチャネルMOSトランジスタQLNiおよびヒューズ素子HNiを含む(iは1

50

～n)。NチャネルMOSトランジスタQLN_iのゲートにはそれぞれ接地電位が与えられる。

【0326】

実施の形態10で設けたレベル保持用のPチャネルMOSトランジスタQLP₉およびNチャネルMOSトランジスタQLN₉のゲート幅Wが大きすぎると、待機時における電流が大きくなりすぎてしまう。これらのトランジスタのゲート幅すなわちトランジスタサイズの最適値は、製造工程におけるプロセスパラメータのばらつきにより大きく左右され、予めこれを最適化することは困難である。つまり、製造工程におけるプロセスパラメータのばらつきにより待機時の消費電流すなわちリーク電流やサブ電源線およびサブ接地線を活性化するための所要時間が大きく作用されるという可能性がある。

10

【0327】

実施の形態11においては、調整回路822、824を設け、レベル保持用のトランジスタをそれぞれヒューズ素子を介して並列的に接続する。調整回路822、824におけるヒューズ素子を適宜切断することにより、レベル保持用のトランジスタの数を調整することができる。このような構成とすることにより待機時のサブ電源線およびサブ接地線の電位レベルを調整することができ、これらの電位を最適値に調整することができる。したがって、階層電源構造を有する内部回路の回路動作の高速化と待機時におけるスタンバイ電流の低減を図ることができる。

【0328】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

20

【0329】

【発明の効果】

本発明のある局面における半導体装置は、階層電源構造を有する回路ブロックにおいて、電源間容量セルを使用することにより、回路の動作速度を改善する効果が得られる。

【0330】

加えて、スリープトランジスタの数および電源間容量の数と配置関係を調整し最適化を図ることが可能となる場合がある。

30

【0331】

加えて、実際に内部回路の動作をさせてそのときのサブ電源の状態を見ながらスリープトランジスタの数および電源間容量の数と配置関係をより正確に調整し最適化を図ることが可能となる場合がある。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における半導体装置1の主要部構成を機能的に示すブロック図である。

【図2】 実施の形態1の半導体装置に含まれる内部回路の構成例を示す回路図である。

【図3】 図2における電源間容量セル102を使用した場合と使用しない場合との動作波形を示す図である。

40

【図4】 図2に示した電源間容量セル102をスタンダードセルにすることを説明するための概略図である。

【図5】 図4に示した電源間容量セルの各素子の配置を示すレイアウト図である。

【図6】 図4、図5に示した電源間容量セルを用いて回路ブロックのレイアウトを作成する場合を説明するためのフローチャートである。

【図7】 回路の配置例を示す模式図である。

【図8】 第2の階層電源構造の説明をするための回路図である。

【図9】 サブ電源線の立上がりとサブ電源線のノイズについて説明するための回路図である。

【図10】 図9に示した回路の動作波形図である。

50

- 【図 1 1】 並列的にスリープトランジスタや容量セルを設けた場合の、活性化時間 T_a および遅延時間 T_d の変化の関係を示す図である。
- 【図 1 2】 PチャネルMOSトランジスタQHPを当初スリープトランジスタとして用いるセルP__SLEEPの構成を示す回路図である。
- 【図 1 3】 PチャネルMOSトランジスタQHPを当初MOSキャパシタとして用いるセルP__CAPの構成を示す回路図である。
- 【図 1 4】 NチャネルMOSトランジスタQHNを当初スリープトランジスタとして用いるセルN__SLEEPの構成を示す回路図である。
- 【図 1 5】 NチャネルMOSトランジスタQHNを当初MOSキャパシタとして用いるセルN__CAPの構成を示す回路図である。 10
- 【図 1 6】 マスクパターンによる接続の切換を説明するための図である。
- 【図 1 7】 図 1 2 に示したセルP__SLEEPのレイアウトを示す図である。
- 【図 1 8】 図 1 3 に示したセルP__CAPのレイアウトを示す図である。
- 【図 1 9】 ヒューズ素子を用いてスイッチの切換を用いる回路例と接続状態を示す図である。
- 【図 2 0】 図 1 9 で示したヒューズを含む切換えスイッチのレイアウトを説明するための図である。
- 【図 2 1】 図 1 2 ~ 図 1 5 の回路を階層電源構成を有する回路ブロックに配置した例を示す図である。
- 【図 2 2】 実施の形態 3 の半導体装置の回路ブロックの構成を示す図である。 20
- 【図 2 3】 実施の形態 4 の半導体装置の概略構成を示すブロック図である。
- 【図 2 4】 実施の形態 4 の半導体装置における階層電源テスト回路の概略ブロック図である。
- 【図 2 5】 階層電源制御回路 4 1 2 の構成を示す回路図である。
- 【図 2 6】 図 2 4 に示したテストモードセクタ 4 2 4 の構成を示す回路図である。
- 【図 2 7】 実施の形態 5 の半導体装置のロウ系の電源配線に関する構成を示す回路図である。
- 【図 2 8】 ワード線ドライバとコラムデコーダに接続されるサブ電源線の活性化タイミングを説明するための波形図である。
- 【図 2 9】 タイミング信号 RASF、RX、RXD の活性化のタイミングを説明するための波形図である。 30
- 【図 3 0】 実施の形態 6 の半導体装置のコラム系の電源配線に関する構成を示す回路図である。
- 【図 3 1】 実施の形態 7 の半導体装置の電源配線に関する構成を示す回路図である。
- 【図 3 2】 遅延回路 6 5 0 の構成を示す回路図である。
- 【図 3 3】 実施の形態 8 におけるリーク電流テスト回路の要部の構成を示す図である。
- 【図 3 4】 信号発生回路 7 0 2 の構成を示す回路図である。
- 【図 3 5】 電圧発生回路 VDC H 1 の構成を示す回路図である。
- 【図 3 6】 電圧発生回路 VDC L 1 の構成を示す回路図である。
- 【図 3 7】 図 3 3 におけるリークテスト回路 7 0 6 の構成を示す回路図である。 40
- 【図 3 8】 実施の形態 9 におけるリークテストに関する回路構成の主要部を示す回路図である。
- 【図 3 9】 図 3 8 における電圧発生回路 VDC H 2 の構成を示す回路図である。
- 【図 4 0】 電圧発生回路 VDC L 2 の構成を示す回路図である。
- 【図 4 1】 実施の形態 1 0 の半導体装置に用いられる回路ブロックの構成を示す回路図である。
- 【図 4 2】 回路ブロック 8 0 0 の各電源線の駆動状態を説明するための波形図である。
- 【図 4 3】 実施の形態 1 1 において用いられる回路ブロック 8 2 0 の構成を示す回路図である。
- 【図 4 4】 従来半導体装置におけるインバータ 1 5 0 0 の構成を示す回路図である。 50

【図45】 NチャネルMOSトランジスタのゲート-ソース間電圧VGSとドレイン電流IDSとの関係を示す図である。

【図46】 従来において提案されているソース電圧を切換えてサブスレッショルド電流を低減するインバータ1510を示す回路図である。

【図47】 トランジスタの種類を説明するための図である。図47(a)はしきい値電圧の高いトランジスタの記号を説明するための図であり、図47(b)はしきい値電圧の低いトランジスタの記号を説明するための図である。

【図48】 制御信号SCRCの切換え前後のノードN100の電位であるサブ接地電位VNの変化を説明するための波形図である。

【図49】 待機状態におけるNチャネルMOSトランジスタ1514に流れるドレイン電流IDSとゲート-ソース間電圧VGSとの関係を説明するためのグラフである。

【図50】 図46のインバータを直列接続して使用する回路1530の構成および待機時における各ノードの状態を説明するための回路図である。

【図51】 回路1530の通常動作時における各ノードの状態を説明するための回路図である。

【図52】 図50、図51で説明した回路1530が、待機状態と動作状態を繰り返した場合におけるサブ電源線の電位VPおよびサブ接地線の電位VNを説明するための波形図である。

【符号の説明】

1 半導体装置、DQi データ入出力端子、71a, 71b メモリセルアレイ、52a, 52b Xデコーダ群、53a, 53b Yデコーダ群、Y0~Yk 列アドレス信号、58a, 58b 入力バッファ、63 第2制御信号発生回路、62 第1制御信号発生回路、68 Yアドレスオペレーション回路、QHP, QLP1, QLP2, QHP1~QHP8, P0, P7, QHP9, QLP9, QLP1~QLPn, 750a, 752a PチャネルMOSトランジスタ、QHN, N0, N7, QHN9, QLN9, QLN1~QLNn, 748a, 748b, 750b, 752b NチャネルMOSトランジスタ、MVL, L1, MVL9 メイン電源線、MGL, L3, MGL9 メイン接地線、SVL, SVL1~SVL4, SVL1~SVL8, SVL9 サブ電源線、SGL, SGL1~SGL4, L4, SGL9 サブ接地線、102, 110, PS1~PS3, NS1~NS3 電源間容量セル、SC, VDC, VSC キャパシタ、104, 106, 304, 306, X1~X3, 652, 654, 658, 670, 674, 676, 802~810 インバータ、SW1P, SW2P, SW1N, SW2N, 426~432 スイッチ回路、H1, HP1~HPn ヒューズ素子、R1, 738a, 738b, 786a, 776a, 778a, 780, 782a, 776b, 778b, 780b, 782b, 782c, 780c, 770c, 776c 抵抗、402, 406, 408, 410, 800, 820 回路ブロック、412 階層電源制御回路、482, 602 選択回路、656, 672, 678 スイッチ回路、702 信号発生回路、VDCH1, VDCH2, VDCL1, VDCL2 電圧発生回路、706 リークテスト回路、732a, 732b, 771a, 771b 基準電位発生回路、742a, 742b 電流比較回路、770a, 770b, 770c 電圧変換回路、V3a, V3b, V3c, V3d, V4 差動増幅器、822, 824 調整回路。

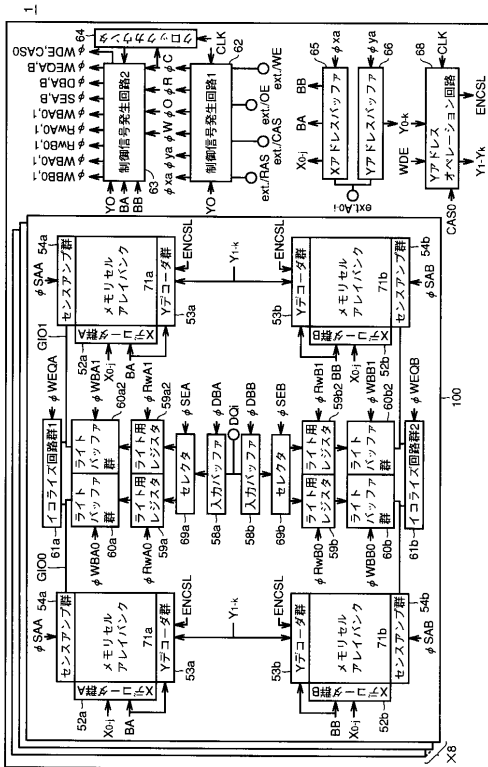
10

20

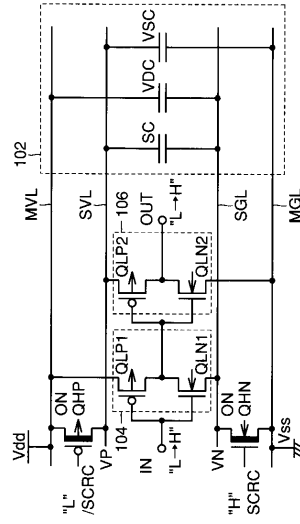
30

40

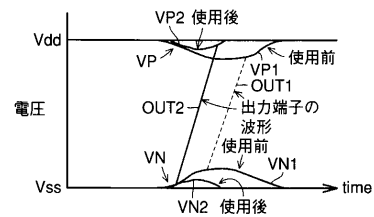
【図1】



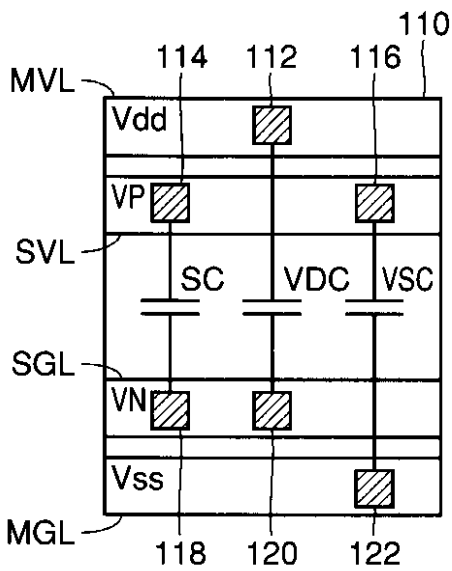
【図2】



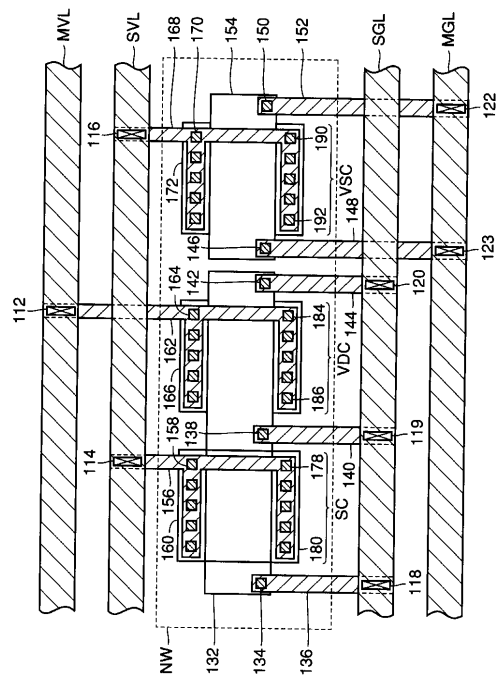
【図3】



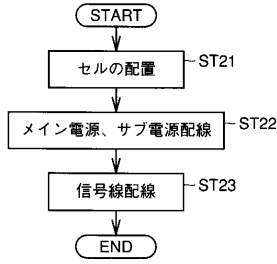
【図4】



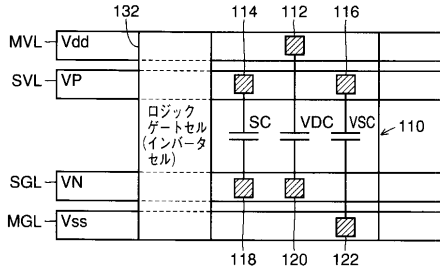
【図5】



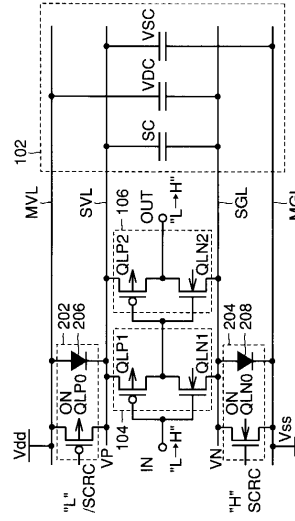
【 図 6 】



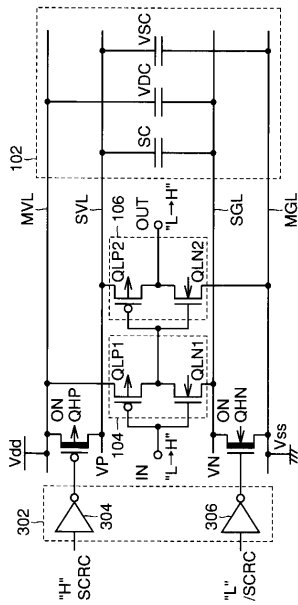
【 図 7 】



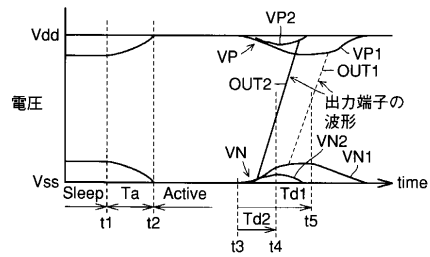
【 図 8 】



【 図 9 】



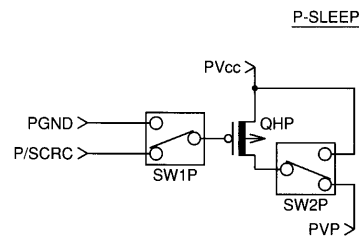
【 図 10 】



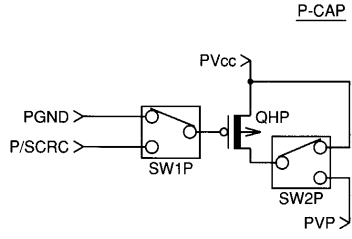
【 図 11 】

	活性化時間 (Ta)	遅延時間 (Td)
SleepTr.増	小	小
容量セル増	大	小

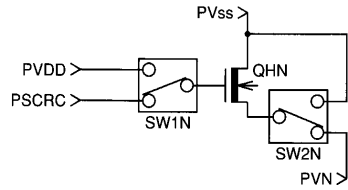
【 図 12 】



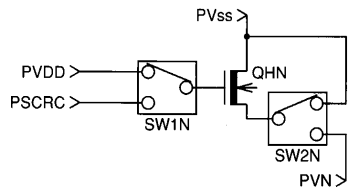
【図 13】



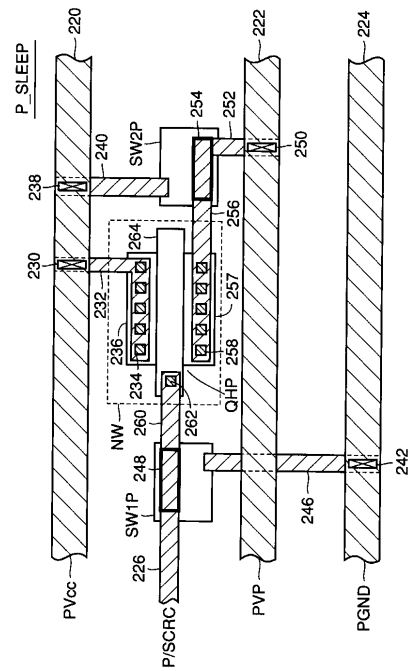
【図 14】



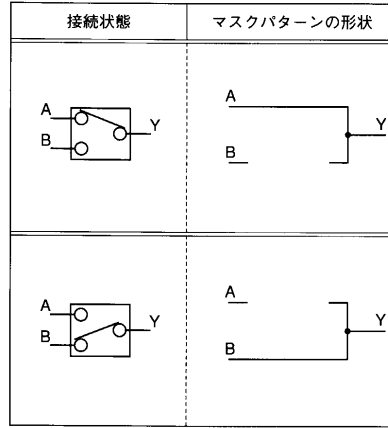
【図 15】



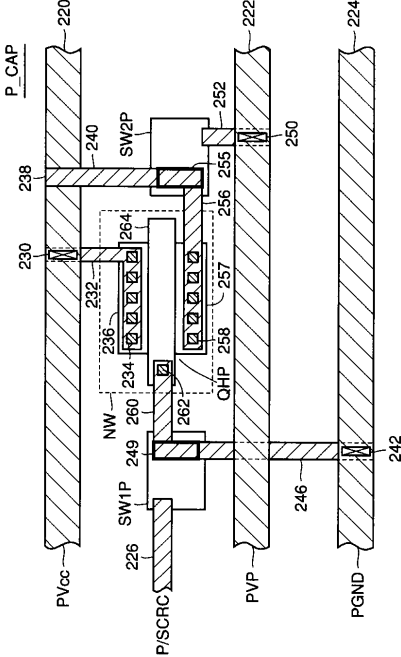
【図 17】



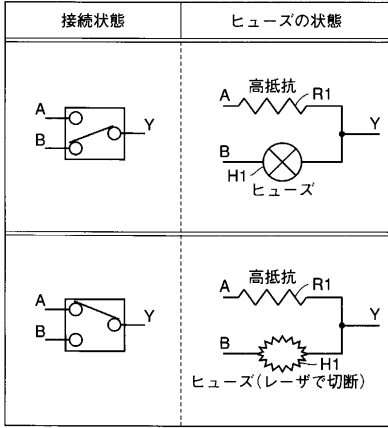
【図 16】



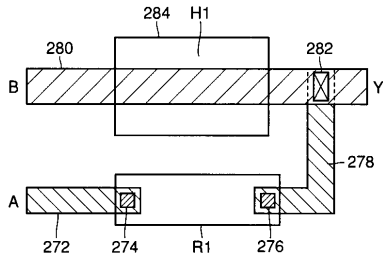
【図 18】



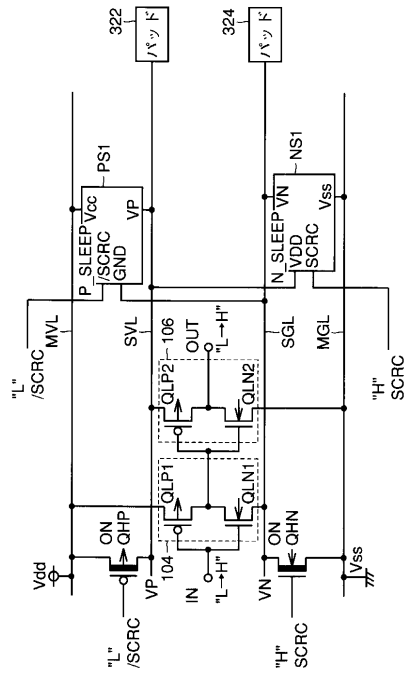
【図19】



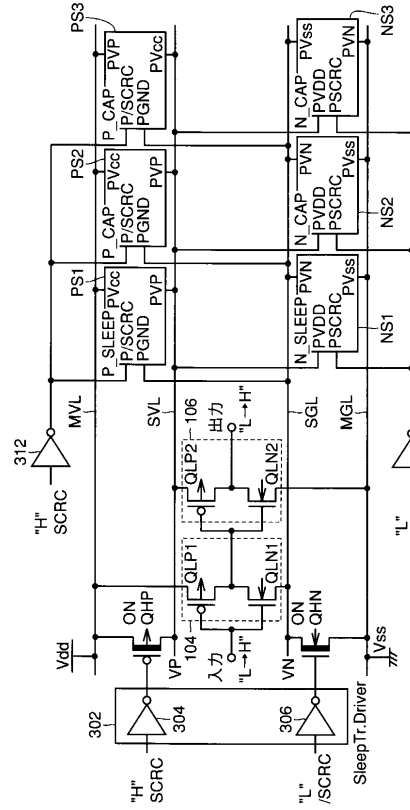
【図20】



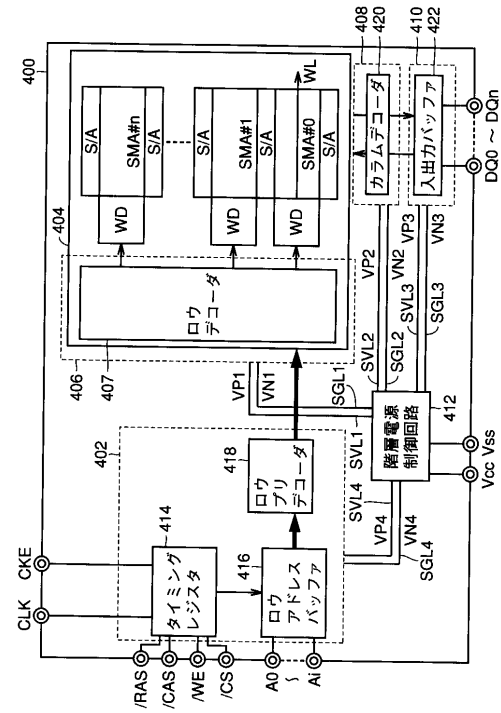
【図22】



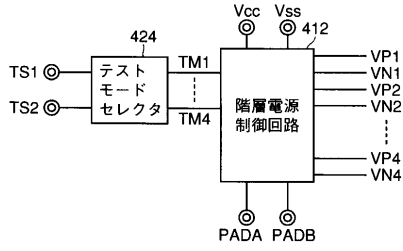
【図21】



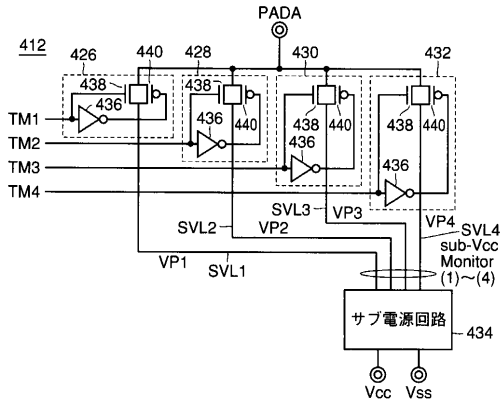
【図23】



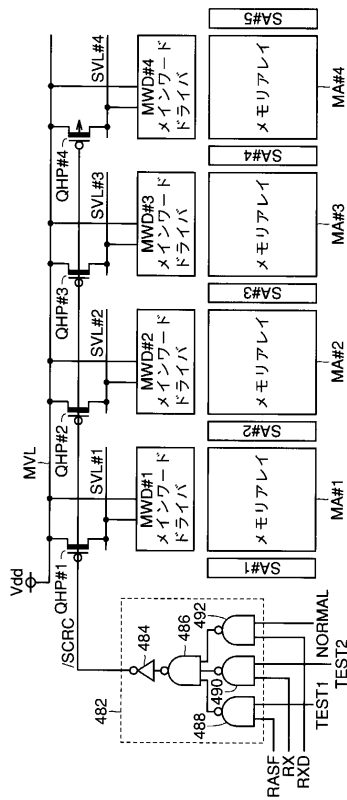
【図24】



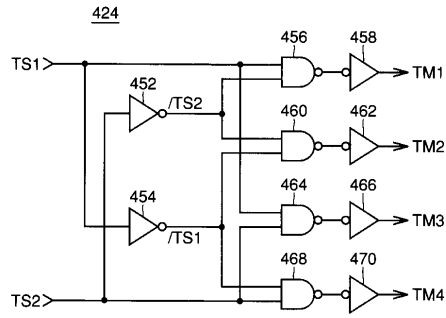
【図25】



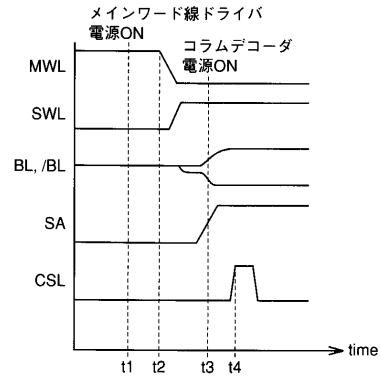
【図27】



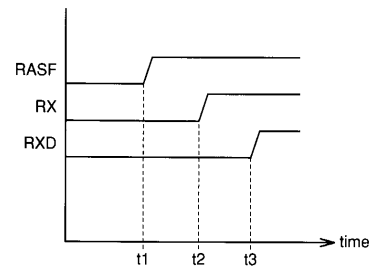
【図26】



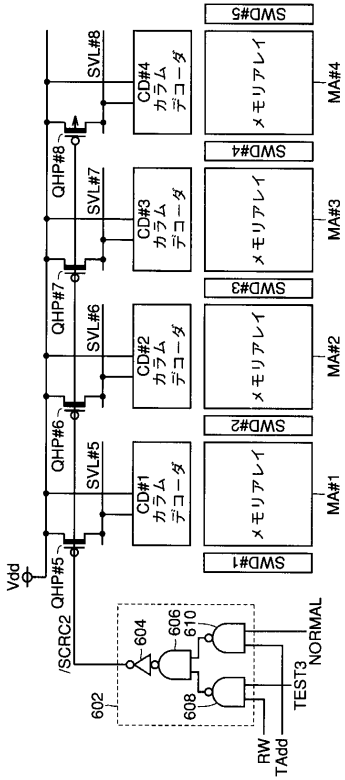
【図28】



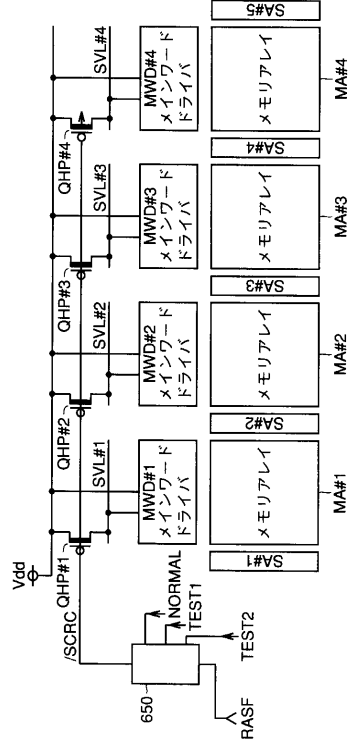
【図29】



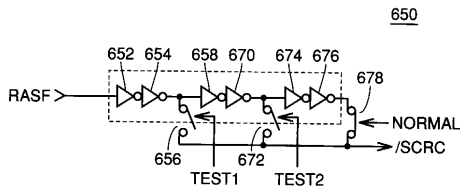
【図 30】



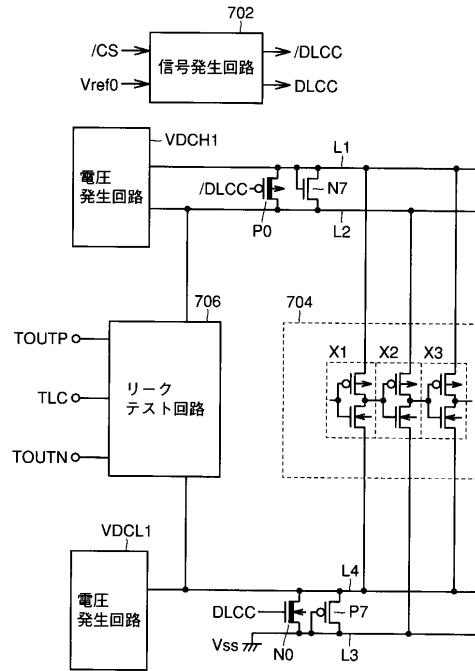
【図 31】



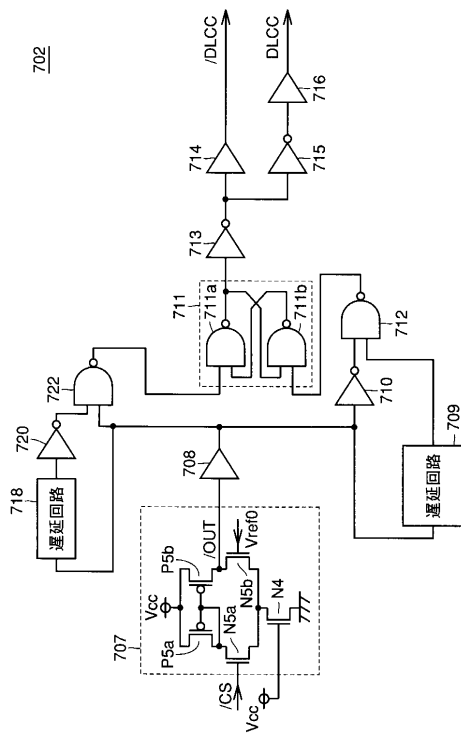
【図 32】



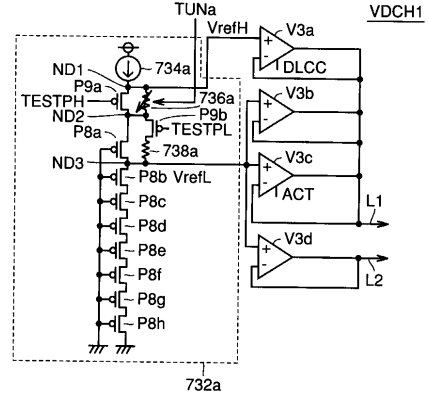
【図 33】



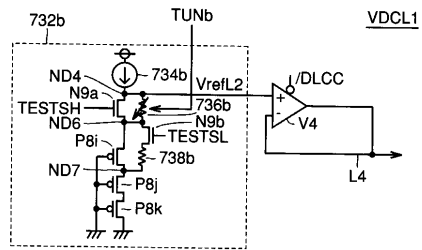
【図 3 4】



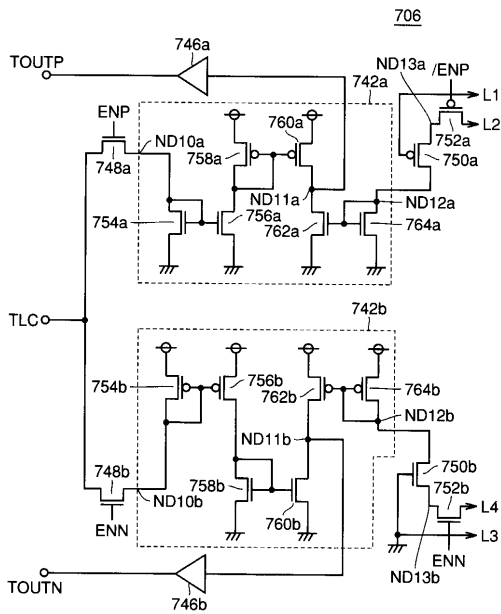
【図 3 5】



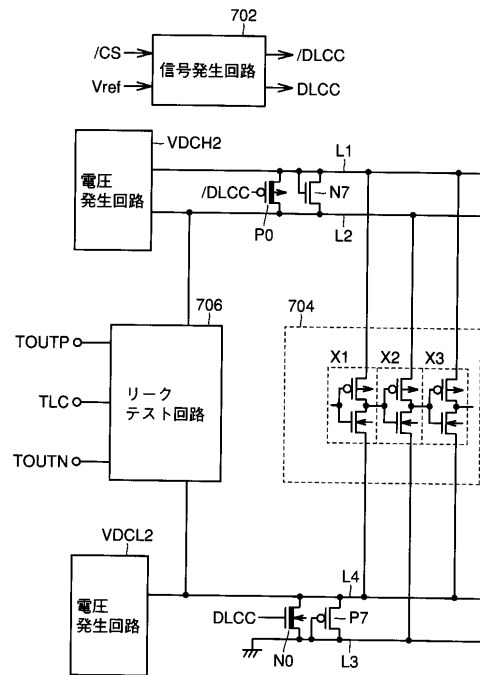
【図 3 6】



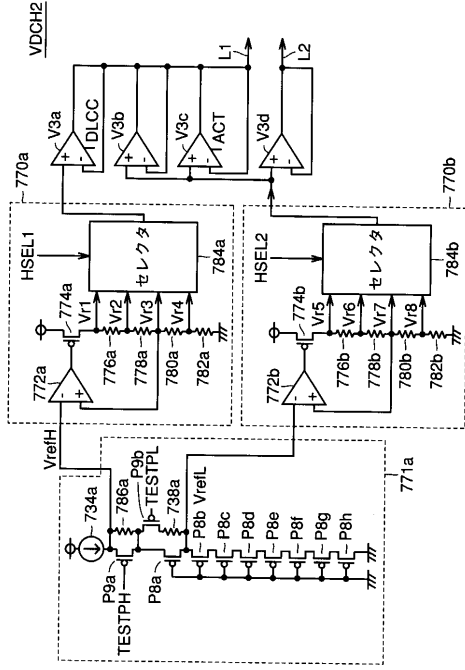
【図 3 7】



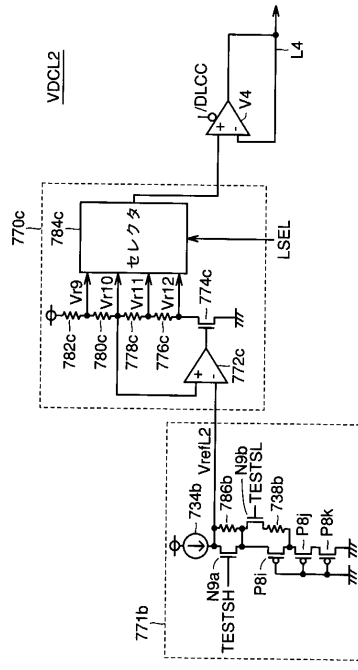
【図 3 8】



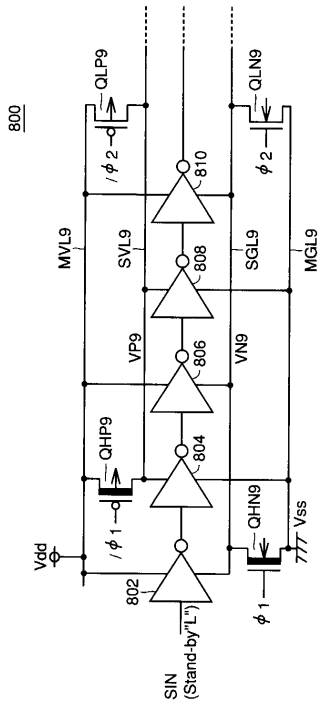
【 図 39 】



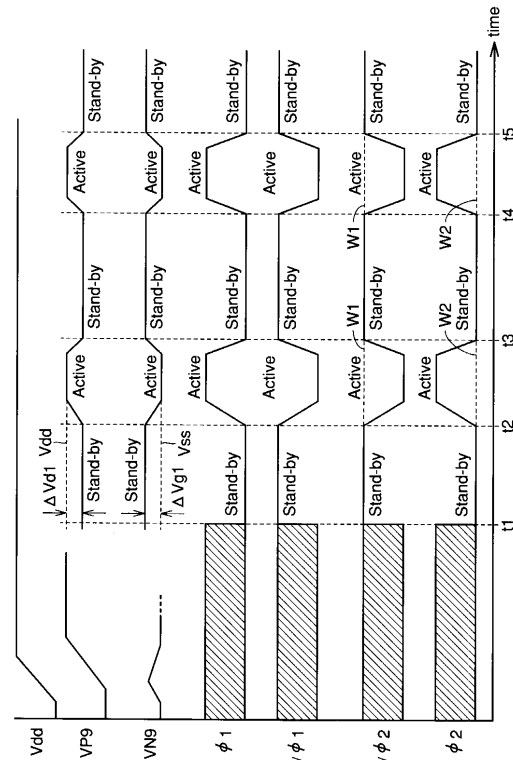
【 図 40 】



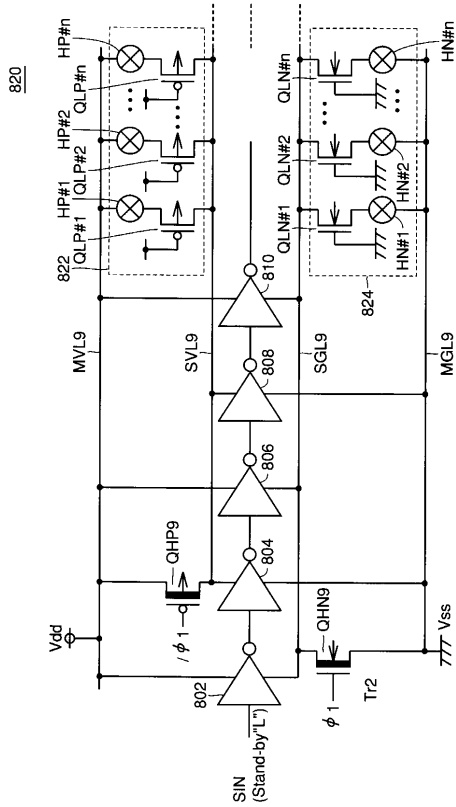
【 図 41 】



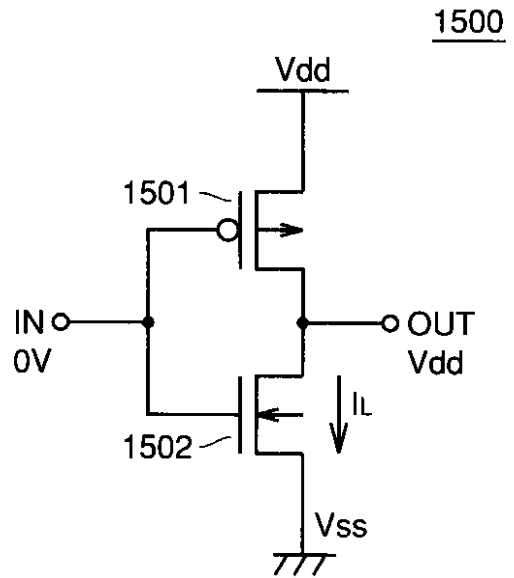
【 図 42 】



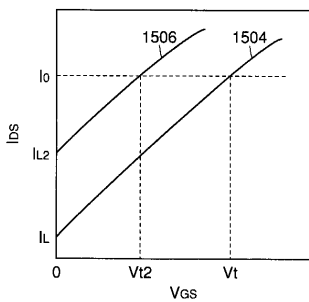
【 図 4 3 】



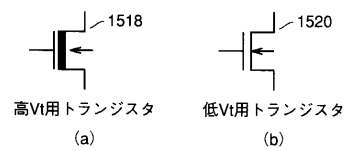
【 図 4 4 】



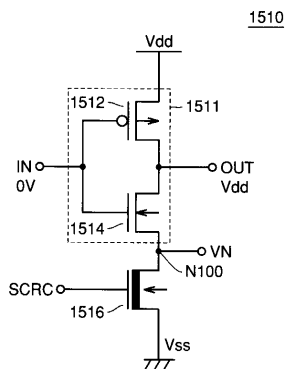
【 図 4 5 】



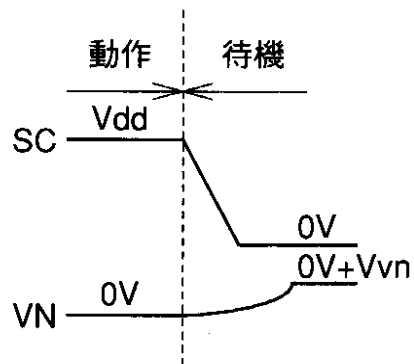
【 図 4 7 】



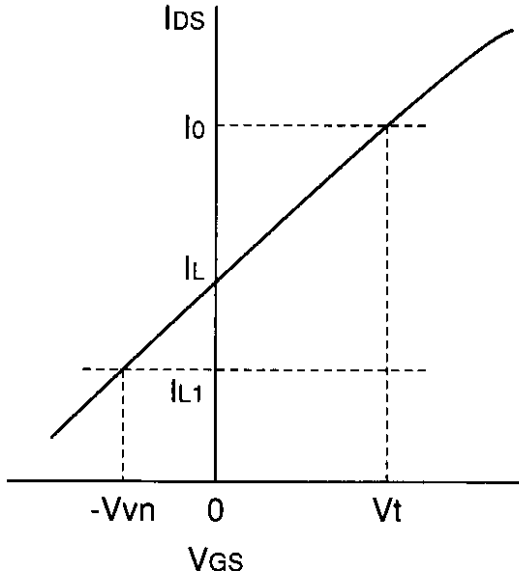
【 図 4 6 】



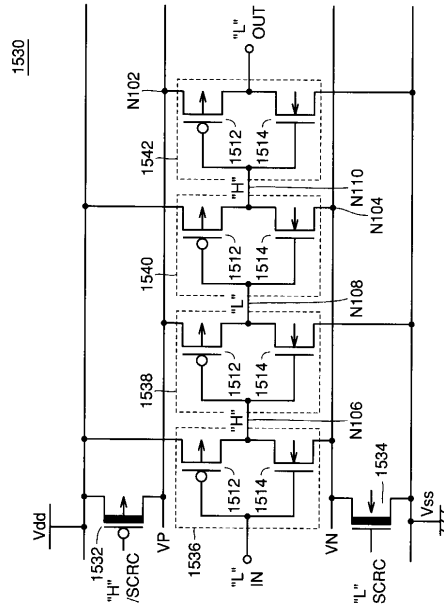
【 図 4 8 】



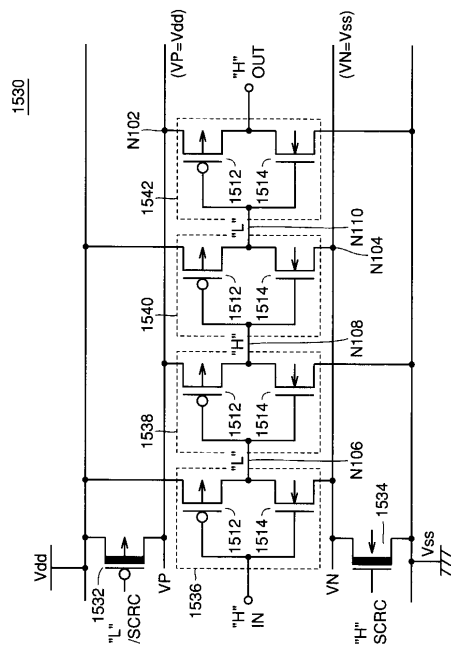
【 49 】



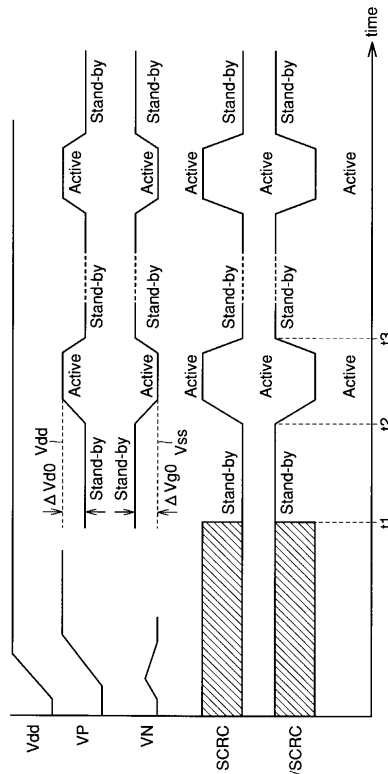
【 50 】



【 51 】



【 52 】



フロントページの続き

(51)Int.Cl.		F I	
H 0 1 L 21/822 (2006.01)		H 0 1 L 21/82	L
H 0 1 L 27/04 (2006.01)		H 0 1 L 27/04	
H 0 1 L 21/8238 (2006.01)		H 0 1 L 27/08	3 2 1 F
H 0 1 L 27/092 (2006.01)			

- (72)発明者 谷崎 弘晃
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 大石 司
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 富嶋 茂樹
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 石川 正敏
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 日高 秀人
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 辻 高晴
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 園田 康弘

- (56)参考文献 特開平08-083487(JP,A)
特開平05-347550(JP,A)
特開平10-107235(JP,A)
特開平10-233488(JP,A)
特開平10-208465(JP,A)
特開平09-101347(JP,A)
特開平08-227580(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/401
G11C 11/407
G11C 11/4074
G11C 11/413
H01L 21/82
H01L 21/822
H01L 21/8238
H01L 27/04
H01L 27/092