

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6597917号  
(P6597917)

(45) 発行日 令和1年10月30日(2019.10.30)

(24) 登録日 令和1年10月11日(2019.10.11)

(51) Int.Cl. F I  
HO2M 7/487 (2007.01) HO2M 7/487

請求項の数 7 (全 12 頁)

(21) 出願番号	特願2018-563199 (P2018-563199)	(73) 特許権者	000005234
(86) (22) 出願日	平成29年12月4日 (2017.12.4)		富士電機株式会社
(86) 国際出願番号	PCT/JP2017/043527		神奈川県川崎市川崎区田辺新田1番1号
(87) 国際公開番号	W02018/135159	(74) 代理人	100112003
(87) 国際公開日	平成30年7月26日 (2018.7.26)		弁理士 星野 裕司
審査請求日	平成30年12月28日 (2018.12.28)	(72) 発明者	陳 ▲爽▼清
(31) 優先権主張番号	特願2017-7128 (P2017-7128)		神奈川県川崎市川崎区田辺新田1番1号
(32) 優先日	平成29年1月18日 (2017.1.18)		富士電機株式会社内
(33) 優先権主張国・地域又は機関	日本国 (JP)	審査官	麻生 哲朗

最終頁に続く

(54) 【発明の名称】 3レベル・インバータ

(57) 【特許請求の範囲】

【請求項1】

直流高電位端子と交流出力端子との間に設けられて正電圧出力モード時にオン・オフされる第1の半導体スイッチング素子、並びにこの第1の半導体スイッチング素子に逆並列に設けられた第1の還流ダイオードと、

直流高電位端子と対をなす直流低電位端子と前記交流出力端子との間に設けられて負電圧出力モード時にオン・オフされる第2の半導体スイッチング素子、並びにこの第2の半導体スイッチング素子に逆並列に設けられた第2の還流ダイオードと、

前記直流高電位端子と前記直流低電位端子との間に印加される直流電圧を分圧した直流中間電圧に応じて前記交流出力端子の電位を変化させて前記第1および第2の半導体スイッチング素子のゲート電圧を制御する半導体回路と、

前記第1および第2の還流ダイオードにそれぞれ直列に接続された第1および第2のインダクタンス素子と

を具備したことを特徴とする3レベル・インバータ。

【請求項2】

前記第1および第2の半導体スイッチング素子のそれぞれは絶縁ゲート型半導体素子であって、前記第1および第2の還流ダイオードのそれぞれはユニポーラ型半導体のダイオードである請求項1に記載の3レベル・インバータ。

【請求項3】

前記ユニポーラ型の第1および第2の還流ダイオードのそれぞれは、ワイドバンドギャ

10

20

ップ半導体のダイオードである請求項 2 に記載の 3 レベル・インバータ。

【請求項 4】

前記半導体回路は、第 3 および第 4 の半導体スイッチング素子を逆並列に接続して構成され、前記直流中間電圧が印加される直流中間電位端子と前記交流出力端子との間に設けられた双方向スイッチング回路からなる請求項 1 に記載の 3 レベル・インバータ。

【請求項 5】

前記半導体回路は、通電方向を逆向きにして直列に接続した第 3 の半導体スイッチング素子と第 4 の半導体スイッチング素子と、これらの第 3 および第 4 の半導体スイッチング素子にそれぞれ逆並列に接続した第 3 および第 4 のダイオードとを備えて構成され、前記直流中間電圧が印加される直流中間電位端子と前記交流出力端子との間に設けられた双方向スイッチング回路からなる請求項 1 に記載の 3 レベル・インバータ。

10

【請求項 6】

前記半導体回路は、前記第 1 の半導体スイッチング素子と前記交流出力端子との間に設けられた第 5 の半導体スイッチング素子、および前記第 2 の半導体スイッチング素子と前記交流出力端子との間に設けられた第 6 の半導体スイッチング素子とからなる補助スイッチング回路と、

この補助スイッチング回路の両端間に前記直流中間電圧を選択的に印加するダイオード回路とからなる請求項 1 に記載の 3 レベル・インバータ。

【請求項 7】

前記直流中間電圧は、前記直流高電位端子と前記直流低電位端子との間に設けられた第 1 および第 2 のコンデンサにより容量分圧して前記直流高電位端子と前記直流低電位端子との間に印加される直流電圧の  $[ 1 / 2 ]$  倍の直流電圧として生成されるものである請求項 1 に記載の 3 レベル・インバータ。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、直流電圧を交流電圧に変換する 3 レベル・インバータに関する。

【背景技術】

【0002】

直流電圧を交流電圧に変換する電力変換装置としてインバータが知られている。特に最近では、直流電圧  $E_d$  からゼロ点を中心とした  $\pm E_d$  の PWM パルス電圧を生成して交流出力を得る 2 レベル・インバータと比較して、ゼロ点を中心とした  $\pm E_d$  と  $\pm (E_d / 2)$  とからなる 2 種類の PWM パルス電圧を生成して交流出力を得る 3 レベル・インバータが注目されている。

30

【0003】

図 5 は、いわゆる ANPC (Advanced Neutral Point Clamped) 方式の 3 レベル・インバータ 1 の概略構成を示す図である。この 3 レベル・インバータ 1 は、直流高電位端子 P と直流低電位端子 N との間に印加される直流電圧  $E_d$  を直流中間電圧 ( $E_d / 2$ ) でクランプした電圧でスイッチングすることで、交流出力端子 AC に上述した 2 段階の電圧レベルの PWM パルス電圧を生成する。これらの PWM パルス電圧を、例えば図示しない LC フィルタで濾波 (フィルタリング) することで交流電圧が生成される。この 3 レベル・インバータ 1 により生成される交流電圧の波形は、2 レベル・インバータにより生成される交流電圧の波形よりも滑らかな正弦波形に近いものとなる。

40

【0004】

具体的には 3 レベル・インバータ 1 は、直流高電位端子 P と交流出力端子 AC との間に設けられて正電圧出力モード時にオン・オフされる第 1 の半導体スイッチング素子 T1 と、この第 1 の半導体スイッチング素子 T1 に逆並列に接続された第 1 の還流ダイオード D1 とを備える。また 3 レベル・インバータ 1 は、直流高電位端子 P と対をなす直流低電位端子 N と交流出力端子 AC との間に設けられて負電圧出力モード時にオン・オフされる第 2 の半導体スイッチング素子 T2 と、この第 2 の半導体スイッチング素子 T2 に逆並列に

50

接続された第2の還流ダイオードD2とを備える。ちなみに第1および第2の半導体スイッチング素子T1, T2は、例えば高耐圧のIGBT (Insulated Gate Bipolar Transistor) からなる。また第1および第2の還流ダイオードD1, D2は、一般的にはSiをベースとしたバイポーラ・ダイオードからなる。

【0005】

更に3レベル・インバータ1は、直流中間電位端子Mと交流出力端子ACとの間に設けられた双方向スイッチ回路BSWを備える。この双方向スイッチ回路BSWは、例えば逆耐圧を有するIGBTからなる第3および第4の半導体スイッチング素子T3, T4を逆並列に接続して構成された、いわゆるRB-IGBT (Reverse Blocking IGBT) からなる。また直流中間電位端子Mには、直流高電位端子Pと直流低電位端子Nとの間に直列に設けられたコンデンサC1, C2により直流電圧Edを分圧した直流中間電圧 ( $E_d/2$ ) が印加される。

10

【0006】

双方向スイッチ回路BSWは、直流中間電位端子Mに与えられる直流中間電圧 ( $E_d/2$ ) を交流出力端子ACに選択的に加えることで第1および第2の半導体スイッチング素子T1, T2にそれぞれ印加される電圧を、電圧Edまたは電圧 ( $E_d/2$ ) としてそれぞれ2段階に変化させる役割を担う。

【0007】

このように構成された3レベル・インバータ1の基本動作については、例えば特許文献1等に詳しく紹介される通りである。ちなみに3相交流出力を得る電力変換装置は、上述した構成の3レベル・インバータ1を並列に3組設け、これらの3レベル・インバータ1を120°の位相差を持たせて駆動することでU相・V相・W相からなる3相の交流電圧を生成するように構成される。

20

【0008】

ここで特許文献2には、第1および第2の還流ダイオードD1, D2として、従来一般的なシリコン (Si) をベースとしたバイポーラ・ダイオードに代えてワイドバンドギャップ半導体である、例えばシリコン・カーバイド (SiC) をベースとしたユニポーラ・ダイオードを用いることが提唱されている。このようなユニポーラ・ダイオード (SiCダイオード) を第1および第2の還流ダイオードD1, D2として用いることで、特許文献2に紹介されるように第1および第2の半導体スイッチング素子T1, T2の逆回復動作に伴うスイッチング損失、いわゆるリカバリ損失を抑えることが可能となる。

30

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2012-130224号公報

【特許文献2】特開2014-57520号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

ところで上述した構成の3レベル・インバータにおいて、例えば直流電圧Edが加わった状態で第2の半導体スイッチング素子T2がターン・オフすると、第2の半導体スイッチング素子T2の逆回復動作時に伴って本来オフ状態である第1の還流ダイオードD1を経由して1μs以下の微小時間に亘って逆回復電流が流れることがある。このような現象は直流電圧Edが加わった状態で第1の半導体スイッチング素子T1がターン・オフした場合にも同様に発生する。この場合には、第1の半導体スイッチング素子T1の逆回復動作時に伴って本来オフ状態である第2の還流ダイオードD2を経由して1μs以下の微小時間に亘って逆回復電流が流れる。

40

【0011】

ちなみに第1の還流ダイオードD1を経由して流れる逆回復電流は、第2の半導体スイッチング素子T2に高いサージ電圧Vcepを発生させる要因となる。このサージ電圧Vcep

50

は、電流経路の回路インダクタンスを $L$ とし、ターン・オフ電流を $[di/dt]$ としたとき

$$V_{cep} = (E_d / 2) + L \times |di/dt|$$

として示される。

【0012】

またサージ電圧 $V_{cep}$ が直流電圧 $E_d$ よりも大きい場合、本来、双方向スイッチ回路 $BSW$ を經由して直流中間電位端子 $M$ 側に流れる第2の半導体スイッチング素子 $T_2$ のターン・オフ後の逆回復電流が、ユニポーラ・ダイオードからなる第1の還流ダイオード $D_1$ を經由して直流高電位端子 $P$ 側に流れ易くなる。即ち、直流中間電位端子 $M$ と交流出力端子 $AC$ との間の回路インピーダンス（インダクタンス成分）が直流高電位端子 $P$ と交流出力端子 $AC$ との間の回路インピーダンス（インダクタンス成分）よりも大きいので、上述したターン・オフ電流が第1の還流ダイオード $D_1$ を介して流れ易くなる。

10

【0013】

するとこの電流により第1の還流ダイオード $D_1$ に急峻な電圧変化が発生し、これによって第1の還流ダイオード $D_1$ が破壊に至る虞が生じる。しかも第1の還流ダイオード $D_1$ に発生した急峻な電圧変化により、その周波数成分が第1の半導体スイッチング素子 $T_1$ の寄生容量 $C_{res}$ を經由して第1の半導体スイッチング素子に加わることでゲート電圧の急峻な変化を招来する恐れもある。このゲート電圧の急峻な変化は、第1の半導体スイッチング素子 $T_1$ のゲート破壊の要因ともなる。更には第1の還流ダイオード $D_1$ を經由して流れる電流は、インバータにおける損失の発生要因ともなる。

20

【0014】

同様に双方向スイッチ回路 $BSW$ を經由して直流中間電位端子 $M$ 側に流れる第1の半導体スイッチング素子 $T_1$ のターン・オフ電流が、ユニポーラ・ダイオードからなる第2の還流ダイオード $D_2$ を經由して直流低電位端子 $N$ 側に流れ易くなる。従って第1の半導体スイッチング素子 $T_1$ のターン・オフ時にも、上述した第2の半導体スイッチング素子 $T_2$ のターン・オフ時と同様な問題が発生する。

【0015】

本発明はこのような事情を考慮してなされたもので、その目的は、半導体スイッチング素子のターン・オフ時における還流電流の還流ダイオードを介する不要な流れを阻止し、その低損失化を図った簡易な構成の3レベル・インバータを提供することにある。

30

【課題を解決するための手段】

【0016】

上述した目的を達成するべく本発明に係る3レベル・インバータは、  
直流高電位端子と交流出力端子との間に設けられて正電圧出力モード時にオン・オフされる第1の半導体スイッチング素子、並びにこの第1の半導体スイッチング素子に逆並列に設けられた第1の還流ダイオードと、

直流高電位端子と対をなす直流低電位端子と前記交流出力端子との間に設けられて負電圧出力モード時にオン・オフされる第2の半導体スイッチング素子、並びにこの第2の半導体スイッチング素子に逆並列に設けられた第2の還流ダイオードと、

前記直流高電位端子と前記直流低電位端子との間に印加される直流電圧を分圧した直流中間電圧に応じて前記交流出力端子の電位を変化させて前記第1および第2の半導体スイッチング素子のゲート電圧を制御する半導体回路と、

40

前記第1および第2の還流ダイオードにそれぞれ直列に接続された第1および第2のインダクタンス素子と  
を備えたことを特徴としている。

【0017】

ちなみに第1および第2のインダクタンス素子のそれぞれは、第1および第2の還流ダイオードを介して流れる還流電流に対する回路インピーダンスを高める役割を担う。

【0018】

上記構成の3レベル・インバータによれば、第1および第2の還流ダイオードに、それ

50

ぞれ直列に第 1 および第 2 のインダクタンス素子が接続される。そしてこれらのインダクタンス素子により第 1 および第 2 の還流ダイオードを介して流れる電流に対する回路インピーダンスが高められている。この結果、直流中間電位端子 M と交流出力端子 A C との間のインダクタンスが、直流高電位端子 P と交流出力端子 A C との間のインダクタンス並びに直流低電位端子 N と交流出力端子 A C との間のインダクタンスよりも小さくなる。これによって第 1 および第 2 の半導体スイッチング素子のターン・オフ時における電流が第 1 および第 2 の還流ダイオードを介して流れ難くなり、主として直流中間電位端子側に流れるようになる。

【 0 0 1 9 】

また前記第 1 および第 2 の半導体スイッチング素子のそれぞれは、例えば I G B T 等からなる高耐圧の絶縁ゲート型半導体素子であって、前記第 1 および第 2 の還流ダイオードのそれぞれはユニポーラ型半導体素子からなる。具体的には前記ユニポーラ型半導体素子からなる第 1 および第 2 の還流ダイオードのそれぞれは、例えば S i C ダイオードからなる。

10

【 0 0 2 0 】

また前記半導体回路は、例えば第 3 および第 4 の半導体スイッチング素子を逆並列に接続して構成され、前記直流中間電圧が印加される直流中間電位端子と前記交流出力端子との間に設けられた双方向スイッチング回路として実現される。或いは前記半導体回路は、通電方向を逆向きにして直列に接続した第 3 の半導体スイッチング素子と第 4 の半導体スイッチング素子と、これらの第 3 および第 4 の半導体スイッチング素子にそれぞれ逆並列に接続した第 3 および第 4 のダイオードとを備えて構成され、前記直流中間電圧が印加される直流中間電位端子と前記交流出力端子との間に設けられた双方向スイッチング回路として実現される。

20

【 0 0 2 1 】

尚、電力変換装置が、前記第 1 の半導体スイッチング素子と前記交流出力端子との間に設けられた第 5 の半導体スイッチング素子、および前記第 2 の半導体スイッチング素子と前記交流出力端子との間に設けられた第 6 の半導体スイッチング素子とからなる補助スイッチング回路を備えて構成される場合、前記半導体回路は、この補助スイッチング回路の両端間に前記直流中間電圧を選択的には印加するダイオード回路として実現される。

【 0 0 2 2 】

ここで前記直流中間電圧は、例えば前記直流高電位端子と前記直流低電位端子との間に設けられた第 1 および第 2 のコンデンサにより容量分圧して前記直流高電位端子と前記直流低電位端子との間に印加される直流電圧の  $[ 1 / 2 ]$  倍の直流電圧として生成される。

30

【 発明の効果 】

【 0 0 2 3 】

本発明の 3 レベル・インバータによれば、半導体スイッチング素子のターン・オフ時に発生する電流の第 1 および第 2 の還流ダイオードを介する流れ出しを防ぐことができる。これ故、構成の徒な複雑化を招来することなしに低損失化を図ることが可能となる等の効果が奏せられる。

【 図面の簡単な説明 】

40

【 0 0 2 4 】

【 図 1 】 本発明の第 1 の実施形態に係る A N P C 方式の 3 レベル・インバータの概略構成図。

【 図 2 】 本発明の第 2 の実施形態に係る A N P C 方式の 3 レベル・インバータの概略構成図。

【 図 3 】 本発明の第 3 の実施形態に係る N P C 方式の 3 レベル・インバータの概略構成図。

【 図 4 】 本発明の第 4 の実施形態に係る N P C 方式の 3 レベル・インバータの概略構成図。

【 図 5 】 従来一般的な A N P C 方式の 3 レベル・インバータの概略構成図。

50

## 【発明を実施するための形態】

## 【0025】

以下、図面を参照して本発明に係る3レベル・インバータの実施形態について説明する。

## 【0026】

図1は本発明の第1の実施形態に係るANPC方式の3レベル・インバータ2の概略構成を示す図である。この3レベル・インバータ2は、基本的には図5に示した3レベル・インバータ1と同様に、直流高電位端子Pと交流出力端子ACとの間に設けられて正電圧出力モード時にオン・オフされる第1の半導体スイッチング素子T1と、直流高電位端子Pと対をなす直流低電位端子Nと交流出力端子ACとの間に設けられて負電圧出力モード時にオン・オフされる第2の半導体スイッチング素子T2とを備える。

10

## 【0027】

尚、第1の半導体スイッチング素子T1には第1の還流ダイオードD1が逆並列に設けられ、第2の半導体スイッチング素子T2には第2の還流ダイオードD2が逆並列に設けられる。これらの第1および第2の還流ダイオードD1、D2は、ワイドバンドギャップ半導体であるユニポーラ・ダイオード、具体的にはシリコン・カーバイド(SiC)をベースとしたショットキー・バリア・ダイオードからなる。尚、図面において白抜きのダイオード記号は、ワイドバンドギャップ半導体のユニポーラ・ダイオードを示し、また塗り潰しのダイオード記号は、一般的なSiをベースとするバイポーラ・ダイオードまたはワイドバンドギャップ半導体のユニポーラ・ダイオードを示す。

20

## 【0028】

また直流高電位端子Pと直流低電位端子Nとの間には、直列に接続された第1および第2のコンデンサC1、C2が設けられている。これらの第1および第2のコンデンサC1、C2は、直流高電位端子Pと直流低電位端子Nとの間に印加される直流電圧Edを分圧して直流中間電圧[Ed/2]を生成し、この直流中間電圧[Ed/2]を直流中間電位端子Mに与える役割を担う。

## 【0029】

このようにして直流中間電圧[Ed/2]が与えられる直流中間電位端子Mと交流出力端子ACとの間に、交流出力端子ACの電位を変化させて第1および第2の半導体スイッチング素子T1、T2のオン・オフ動作電圧を制御する半導体回路として双方向スイッチ回路BSWが設けられる。この双方向スイッチ回路BSWは、例えば逆耐圧性を有するIGBTからなる第3および第4の半導体スイッチング素子T3、T4を逆並列に接続して構成された、いわゆるRB-IGBT(Reverse Blocking IGBT)からなる。

30

## 【0030】

ここで本発明に係る3レベル・インバータが特徴とするところは、上述した構成に加えて更に第1の還流ダイオードD1に直列に接続される第1のインダクタンス素子L1を備える点にある。更に3レベル・インバータ2は、第2の還流ダイオードD2に直列に接続される第2のインダクタンス素子L2を備えることを特徴としている。

## 【0031】

ちなみに第1および第2のインダクタンス素子L1、L2については、コイル等の独立した回路部品であっても良いが、例えばIGBTからなる第1および第2の半導体スイッチング素子T1、T2のコレクタ・エミッタ間に第1および第2の還流ダイオードD1を逆並列に接続する上での所定長の配線材として実現することも可能である。

40

## 【0032】

尚、図1においては第1および第2の還流ダイオードD1、D2のアノード側に第1および第2のインダクタンス素子L1、L2をそれぞれ直列接続した例を示しているが、第1および第2の還流ダイオードD1、D2のカソード側に第1および第2のインダクタンス素子L1、L2をそれぞれ直列接続して設けることも勿論可能である。

## 【0033】

このように本発明に係る3レベル・インバータにおいては、第1および第2の半導体ス

50

スイッチング素子 $T_1$ ,  $T_2$ のそれぞれに逆並列に接続された第1および第2の還流ダイオード $D_1$ ,  $D_2$ の各電流経路に第1および第2のインダクタンス素子 $L_1$ ,  $L_2$ がそれぞれ直列に介装されている。従って第1および第2のインダクタンス素子 $L_1$ ,  $L_2$ を経由する電流経路の回路インピーダンスを、双方向スイッチ回路 $B S W$ を経由する電流経路の回路インピーダンスよりもそれぞれ高くすることが可能となる。

【0034】

従って上記構成の3レベル・インバータ2によれば、例えば正電圧出力モードにおいて直流電圧 $E_d$ が加わった状態で第2の半導体スイッチング素子 $T_2$ がターン・オフした際、第2の半導体スイッチング素子 $T_2$ の逆回復動作時に伴って流れる逆回復電流は、専ら、回路インピーダンスの低い双方向スイッチ回路 $B S W$ を経由して流れる。換言すれば逆回復電流は、第1の還流ダイオード $D_1$ 側には殆ど流ることがなくなる。同様に負電圧出力モードにおいて直流電圧 $E_d$ が加わった状態で第1の半導体スイッチング素子 $T_1$ がターン・オフした際、第1の半導体スイッチング素子 $T_1$ の逆回復動作時に伴って流れる逆回復電流は、専ら、回路インピーダンスの低い双方向スイッチ回路 $B S W$ を経由して流れる。換言すれば逆回復電流は、第2の還流ダイオード $D_2$ 側には殆ど流ることがなくなる。

10

【0035】

この結果、第1および第2の還流ダイオード $D_1$ ,  $D_2$ を経由して逆回復電流が流ることがなくなるので、第1および第2の還流ダイオード $D_1$ ,  $D_2$ での無駄なエネルギー損失を抑えることが可能となる。しかも第1および第2の還流ダイオード $D_1$ ,  $D_2$ を経由する逆回復電流の流れを防止することができるので、前述した高いサージ電圧 $V_{cep}$ の発生を抑えることも可能となる。故に第1および第2の半導体スイッチング素子 $T_1$ ,  $T_2$ におけるゲート電圧の振動(発振)を防止し、第1および第2の半導体スイッチング素子 $T_1$ ,  $T_2$ のゲート破壊を未然に防ぐことが可能となる等の効果が奏せられる。この結果、第1および第2の還流ダイオードとしてユニポーラ・ダイオードを採用した場合であっても第1および第2の還流ダイオードでの損失を効果的に低減することができる。

20

【0036】

しかも第1および第2の還流ダイオードをそれぞれ含む回路インダクタンスについては、3レベル・インバータをモジュール化するに際して、例えば第1および第2の半導体スイッチング素子に対する第1および第2の還流ダイオードに対する配線長を長く設定する等して容易に対処することかできる。

30

【0037】

図2(a)(b)は、本発明に係る3レベル・インバータの第2の実施形態をそれぞれ示している。この実施形態に係る3レベル・インバータ3は、基本的には図1に示した3レベル・インバータ2と同様に構成される。しかし直流中間電位端子 $M$ と交流出力端子 $A C$ との間に設けられる双方向スイッチ回路 $B S W$ が、図2(a)(b)に示すように通電方向を逆向きにして直列に接続した、例えば一般的な $I G B T$ からなる第3の半導体スイッチング素子 $T_3$ と第4の半導体スイッチング素子 $T_4$ とにより構成している点を異にしている。

【0038】

これらの第3および第4の半導体スイッチング素子 $T_3$ ,  $T_4$ は、前述した $R B - I G B T$ と異なって逆耐圧性を有しないので、第3および第4の半導体スイッチング素子 $T_3$ ,  $T_4$ には、それぞれ第3および第4のダイオード $D_3$ ,  $D_4$ が逆並列に接続される。尚、双方向スイッチ回路 $B S W$ は、図2(c)に示す変形例のように、第3の半導体スイッチング素子 $T_3$ とダイオード $D_3 a$ を直列接続した回路と、第4の半導体スイッチング素子 $T_4$ とダイオード $D_4 a$ を直列接続した回路とを並列に接続して構成するようにしても良い。

40

【0039】

このように構成された3レベル・インバータ3においても、図1に示した3レベル・インバータ2と同様に、第1および第2の還流ダイオード $D_1$ ,  $D_2$ に対してそれぞれ直列にインダクタンス素子 $L_1$ ,  $L_2$ が接続される。

50

## 【 0 0 4 0 】

従って図 2 ( a ) ( b ) ( c ) に示す構成の 3 レベル・インバータ 3 においても、図 1 を参照して説明した 3 レベル・インバータ 2 と同様に第 1 および第 2 の還流ダイオード  $D_1$  ,  $D_2$  を経由する電流経路の回路インピーダンスを高くすることができる。故に第 1 および第 2 の半導体スイッチング素子  $T_1$  ,  $T_2$  のターン・オフ時における瞬時的な逆回復電流の流れを防止することができ、逆回復電流の全てを双方向スイッチ回路  $B S W$  を経由させて直流中間電位端子  $M$  側に流すことができる。従って第 1 および第 2 の還流ダイオード  $D_1$  ,  $D_2$  を介する逆回復電流の無駄な電力消費を抑えてスイッチング損失 ( リカバリ損失 ) を低減することが可能となる。

## 【 0 0 4 1 】

次に本発明の第 3 および第 4 の実施形態について説明する。この 3 レベル・インバータは、図 3 および図 4 にそれぞれ示すように  $N P C$  ( Neutral Point Clamped ) 方式の 3 レベル・インバータ 4 , 5 として実現される。

## 【 0 0 4 2 】

具体的には  $N P C$  方式の 3 レベル・インバータ 4 , 5 は、第 1 の半導体スイッチング素子  $T_1$  と交流出力端子  $A C$  との間に第 5 の半導体スイッチング素子  $T_5$  を設けると共に、第 2 の半導体スイッチング素子  $T_2$  と交流出力端子  $A C$  との間に第 6 の半導体スイッチング素子  $T_6$  を設けて構成される。尚、これらの第 5 および第 6 の半導体スイッチング素子  $T_5$  ,  $T_6$  にも第 5 および第 6 の還流ダイオード  $D_5$  ,  $D_6$  がそれぞれ逆並列に接続される。ちなみに第 1、第 2、第 5 および第 6 の還流ダイオード  $D_1$  ,  $D_2$  ,  $D_5$  ,  $D_6$  は、例えばシリコン・カーバイド (  $S i C$  ) をベースとするユニポーラ半導体としてのショットキー・バリア・ダイオードからなる。

## 【 0 0 4 3 】

更に 3 レベル・インバータ 4 , 5 は、第 1 の半導体スイッチング素子  $T_1$  と第 5 の半導体スイッチング素子  $T_5$  との接続点にダイオード  $D_7$  を順方向に介して直流中間電圧 (  $E_d / 2$  ) を印加すると共に、第 2 の半導体スイッチング素子  $T_2$  と第 6 の半導体スイッチング素子  $T_6$  との接続点にダイオード  $D_8$  を逆方向に介して直流中間電圧 (  $E_d / 2$  ) を印加するように構成される。これらのダイオード  $D_7$  ,  $D_8$  は、前述した第 1 および第 2 の半導体スイッチング素子  $T_1$  ,  $T_2$  にそれぞれ印加される電圧を定常的に直流中間電圧 (  $E_d / 2$  ) でクランプする役割を担う。

## 【 0 0 4 4 】

基本的にはこのように構成される 3 レベル・インバータ 4 においても、ユニポーラ半導体からなる第 1、第 2、第 5 および第 6 の還流ダイオード  $D_1$  ,  $D_2$  ,  $D_5$  ,  $D_6$  のそれぞれにインダクタンス素子  $L_1$  ,  $L_2$  ,  $L_5$  ,  $L_6$  が直列に接続される。尚、図 4 に示す 3 レベル・インバータ 5 は、第 5 および第 6 の還流ダイオード  $D_5$  ,  $D_6$  を一般的なバイポーラ・ダイオード  $D_9$  ,  $D_{10}$  とし、直流電圧  $E_d$  のスイッチングに直接的に関与する第 1 および第 2 の半導体スイッチング素子  $T_1$  ,  $T_2$  に逆並列に接続した第 1 および第 2 の還流ダイオード  $D_1$  ,  $D_2$  だけをユニポーラ・ダイオードとしたものである。

## 【 0 0 4 5 】

従ってこのように構成された 3 レベル・インバータ 4 , 5 においても、先に第 1 および第 2 の実施形態として説明した 3 レベル・インバータ 2 , 3 と同様に第 1 および第 2 のインダクタンス素子  $L_1$  ,  $L_2$  を経由する電流経路の回路インピーダンスを、ダイオード  $D_7$  ,  $D_8$  を経由する電流経路の回路インピーダンスよりもそれぞれ高くすることが可能となる。

## 【 0 0 4 6 】

故に第 3 および第 4 の実施形態に係る 3 レベル・インバータ 4 , 5 においても先に説明した第 1 および第 2 の実施形態に係る 3 レベル・インバータ 2 , 3 と同様に、第 1 および第 2 の還流ダイオード  $D_1$  ,  $D_2$  を経由する逆回復電流の流れを効果的に防止することができる。そして第 1 および第 2 の半導体スイッチング素子  $T_1$  ,  $T_2$  における前述した高いサージ電圧  $V_{cep}$  の発生を抑えることが可能となる。この結果、第 1 および第 2 の半導

10

20

30

40

50

体スイッチング素子T 1, T 2におけるゲート電圧の振動(発振)を防止し、第1および第2の半導体スイッチング素子T 1, T 2のゲート破壊を未然に防抑えることができる等の効果が奏せられる。

【0047】

ここで図3に示す実施形態は、第1、第2、第5および第6の半導体スイッチング素子T 1, T 2, T 5, T 6を直列に接続した半導体モジュールとして一体化した場合の構成例を示している。また図4に示す実施形態は、第1の半導体スイッチング素子T 1とダイオードD 7とを、更に第2の半導体スイッチング素子T 2とダイオードD 8とをチョッパモジュールとしてそれぞれ一体化し、これらの2つのチョッパモジュールに対して第5および第6の半導体スイッチング素子T 5, T 6を直列に接続した半導体モジュールを接続し

10

【0048】

これらの例に示されるように前述したインダクタンス素子L 1, L 2については、第1および第2の半導体スイッチング素子T 1, T 2のターン・オフ時におけるターン・オフ電流が、第1および第2の半導体スイッチング素子T 1, T 2にそれぞれ逆並列に接続された第1および第2の還流ダイオードD 1, D 2を経由して流れることを防ぐ役割を担う。従ってスイッチング損失(リカバリ損失)の低減を目的として、第1および第2の還流ダイオードD 1, D 2にユニポーラ・ダイオードを用いる場合であっても、第1および第2の還流ダイオードD 1, D 2を介する電流経路の回路インピーダンスを十分に高くすることができる。故に第1および第2の還流ダイオードD 1, D 2に対して直列にインダク

20

【0049】

尚、本発明は上述した各実施形態に限定されるものではない。ここでは第1および第2の還流ダイオードD 1, D 2としてシリコン・カーバイド(SiC)をベースとするユニポーラ・ダイオードを用いる場合を例に説明したが、ユニポーラ・ダイオードとしては窒化ガリウム系の材料や、ダイヤモンド等の半導体をベースとしたものであっても良い。またインダクタンス素子L 1, L 2については、例えば複数の半導体モジュール間の配線材の長さの調整や配線パターンの工夫等によって実現することも勿論可能である。その他、本発明はその要旨を逸脱しない範囲で種々変形して実施することができる。

30

【符号の説明】

【0050】

1, 2, 3, 4, 5 3レベル・インバータ

T 1 第1の半導体スイッチング素子

T 2 第2の半導体スイッチング素子

T 3 第3の半導体スイッチング素子

T 4 第4の半導体スイッチング素子

T 5 第5の半導体スイッチング素子

T 6 第6の半導体スイッチング素子

D 1 第1の還流ダイオード(ワイドバンドギャップ半導体のダイオード)

D 2 第2の還流ダイオード(ワイドバンドギャップ半導体のダイオード)

D 5 第5の還流ダイオード(ワイドバンドギャップ半導体のダイオード)

D 6 第6の還流ダイオード(ワイドバンドギャップ半導体のダイオード)

D 7, D 8, D 9, D 10 ダイオード

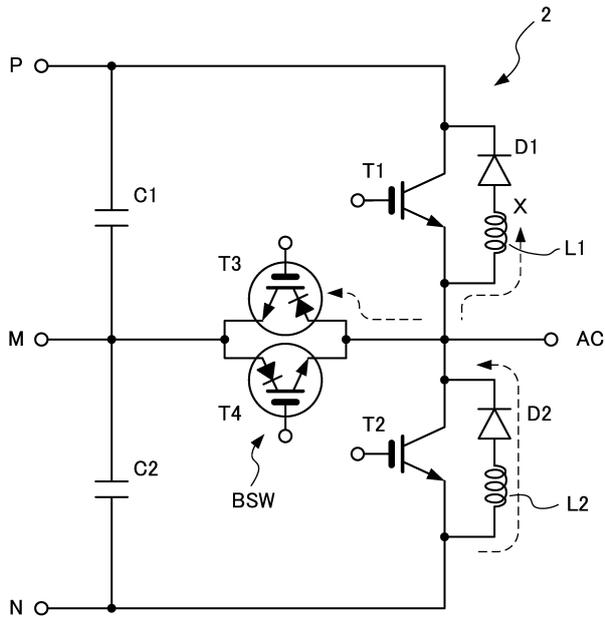
B S W 双方向スイッチ回路(半導体回路)

L 1, L 2, L 3, L 4 インダクタンス素子

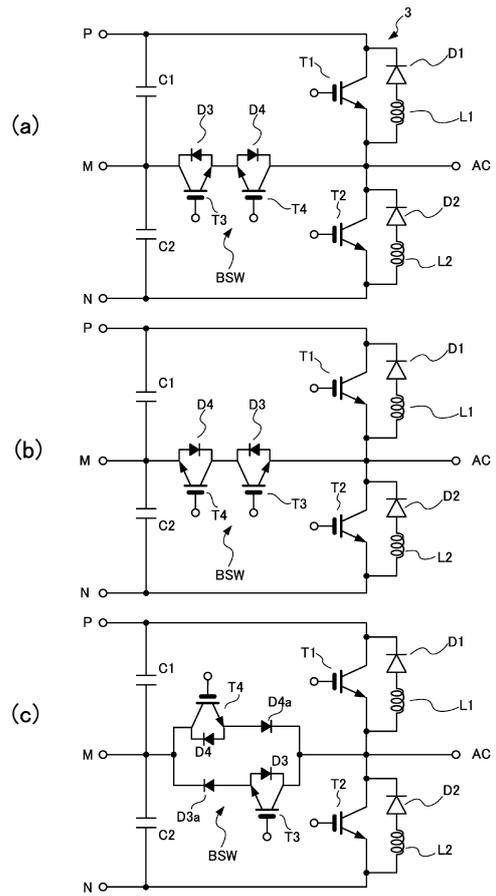
C 1, C 2 コンデンサ

40

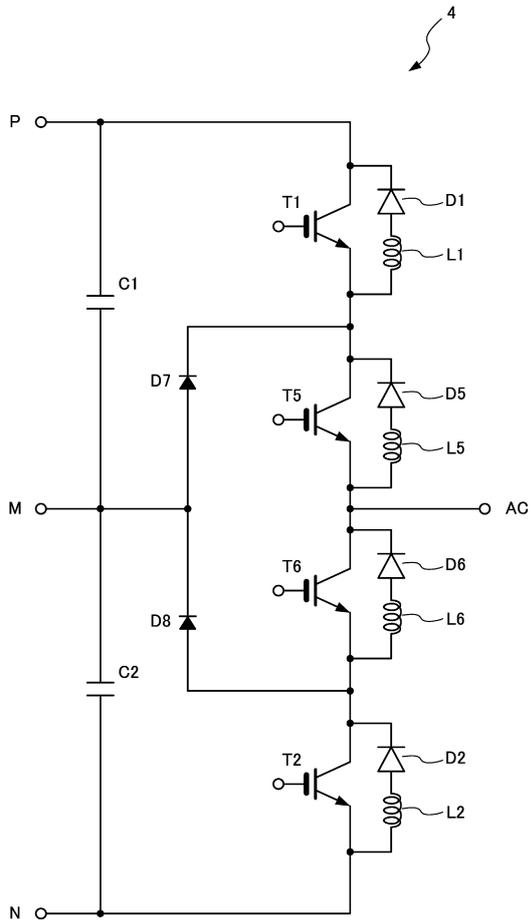
【図1】



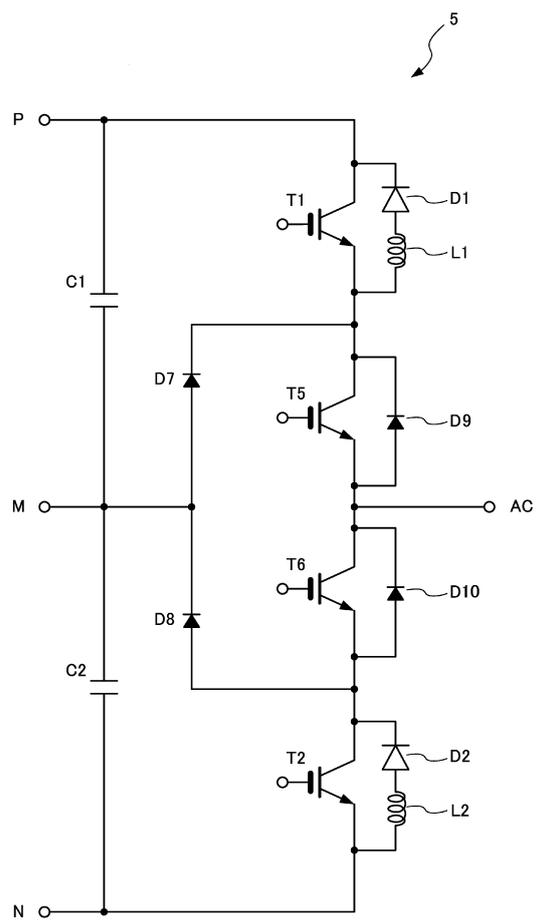
【図2】



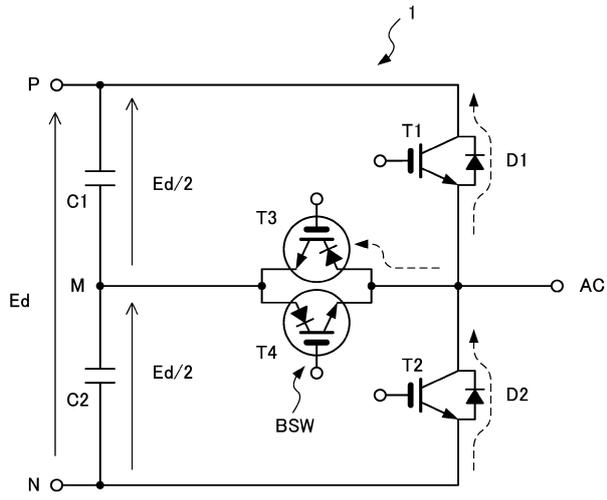
【図3】



【図4】



【 図 5 】



---

フロントページの続き

(56)参考文献 国際公開第2016/038721(WO, A1)

特開2015-2564(JP, A)

特開2013-165498(JP, A)

(58)調査した分野(Int.Cl., DB名)

H02M 7/487