

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-259089

(P2008-259089A)

(43) 公開日 平成20年10月23日(2008.10.23)

(51) Int.Cl.	F I	テーマコード(参考)
H04L 7/02 (2006.01)	H04L 7/02	Z 5J106
H03K 5/00 (2006.01)	H03K 5/00	G 5K047
H03L 7/093 (2006.01)	H03L 7/08	E

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願2007-101368 (P2007-101368)
 (22) 出願日 平成19年4月9日(2007.4.9)

(71) 出願人 000004226
 日本電信電話株式会社
 東京都千代田区大手町二丁目3番1号
 (74) 代理人 100083194
 弁理士 長尾 常明
 (72) 発明者 大友 祐輔
 東京都千代田区大手町二丁目3番1号 日
 本電信電話株式会社内
 (72) 発明者 川村 智明
 東京都千代田区大手町二丁目3番1号 日
 本電信電話株式会社内
 (72) 発明者 岸根 桂路
 東京都千代田区大手町二丁目3番1号 日
 本電信電話株式会社内

最終頁に続く

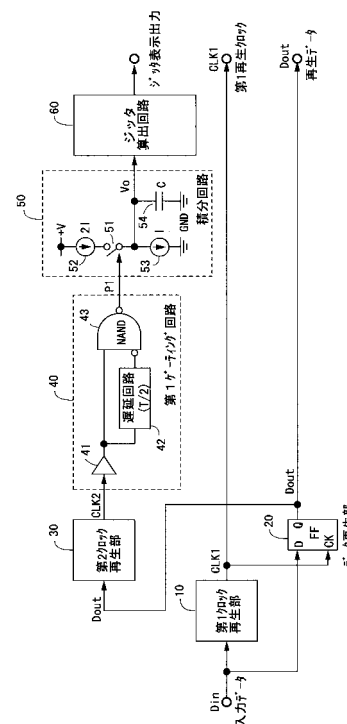
(54) 【発明の名称】 CDR回路

(57) 【要約】

【課題】再生データに含まれるジッタを簡易且つ正確にモニタ可能にする。

【解決手段】入力データDinを入力して第1再生クロックCLK1を出力する第1クロック再生部10と、前記入力データDinと前記第1再生クロックCLK1を入力して再生データDoutを出力するデータ再生部20と、前記再生データDoutを入力して第2再生クロックCLK2を出力する第2クロック再生部30と、前記第2再生クロックCLK2を入力してジッタ量を検出するジッタ検出部とを備える。ジッタ検出部は、ゲーティング回路40、積分回路50およびジッタ算出回路60からなる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

入力データを入力して第 1 再生クロックを出力する第 1 クロック再生部と、前記入力データと前記第 1 再生クロックを入力して再生データを出力するデータ再生部と、前記再生データを入力して第 2 再生クロックを出力する第 2 クロック再生部と、前記第 2 再生クロックを入力してジッタ量を検出するジッタ検出部とを備えることを特徴とする C D R 回路。

【請求項 2】

入力データを入力して第 1 再生クロックを出力する第 1 クロック再生部と、前記入力データと前記第 1 再生クロックを入力して再生データを出力するデータ再生部と、前記再生データを入力して第 2 再生クロックを出力する第 2 クロック再生部と、該第 2 再生クロックを入力してジッタ量を検出するジッタ検出部とを備え、該ジッタ検出部から出力する前記ジッタ量を示す信号を前記第 1 クロック再生部にフィードバックし前記第 1 再生クロックのジッタ量を調節することを特徴とする C D R 回路。

10

【請求項 3】

請求項 1 又は 2 に記載の C D R 回路において、
前記第 2 クロック再生部のジッタ周波数透過帯域を、前記第 1 クロック再生部のジッタ周波数透過帯域よりも広くしたことを特徴とする C D R 回路。

【請求項 4】

請求項 1、2 又は 3 に記載の C D R 回路において、
前記ジッタ検出部は、前記第 2 再生クロックの遷移エッジを検出するゲーティング回路と、該ゲーティング回路の出力により容量が充放電される積分回路と、該積分回路の充放電電圧からジッタ量を算出するジッタ算出回路とを備えることを特徴とする C D R 回路。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、波形の乱れた入力データからクロックを再生して、そのクロックにより入力データを識別し再生する C D R (クロック・データ・リカバリ) 回路に関するものであり、特に、再生データのジッタ特性を表示し、あるいは回路内部で使用することにより、C D R 特性を簡易に選別、調整可能とした C D R 回路に関するものである。

30

【背景技術】**【0002】**

図 5 に従来 of C D R 回路を示す (例えば、非特許文献 1 参照)。従来 of クロック・データ再生方式は、クロック再生部 10 とデータ再生部 20 からなる。クロック再生部 10 は、伝送されてきたデータ D_{in} を入力し、その位相と周波数を検出して、内部の P L L 回路を構成する発振回路で発生するクロックを同期させ、再生クロック $C L K 1$ として出力する。データ再生部 20 は、フリップフロップで構成され、再生クロック $C L K 1$ で入力データ D_{in} を保持し、波形整形して、Q 端子から再生データ D_{out} として出力する。

【0003】

伝送されてきた入力データ D_{in} は、時間方向の揺れ (ジッタ) を含む。クロック再生部 10 は、低周波のジッタに対しては、位相検出が応答するように設計されるため、再生クロック $C L K 1$ が入力データ D_{in} の低周波ジッタに追随する。このため、入力データ D_{in} が低周波ジッタを含んでいても、入力データ D_{in} の時間中心に再生クロック $C L K 1$ のトリガが入り、データ再生部 20 で安定して入力データ D_{in} を取り込むことができる。

40

【0004】

一方、高周波のジッタに対しては、クロック再生部 10 は、位相検出が応答しないように設計されており、再生クロック $C L K 1$ は入力データ D_{in} の高周波ジッタに追随しない。よって、入力データ D_{in} が、(1 周期以上の高周波ジッタを含んでいるとデータ再生部 20 は誤ったデータを取り込むが) 1 周期未満の高周波ジッタを含んでいても、再生

50

クロックCLK1には重畳されないため、データ再生部20の出力である再生データDoutから、高周波ジッタを取り除くことができる。このように、従来のCDR回路は、高周波ジッタを低減し、次段の回路で受信しやすい再生クロックCLK1と再生データDoutを出力する。

【非特許文献1】Behzad Razavi"Design of Integrated Circuits for Optical Communications",McGraw-Hill 2003,Chapter 9,pp.288-332。

【発明の開示】

【発明が解決しようとする課題】

【0005】

CDR回路は、入力データDinに含まれる高周波ジッタを、再生データDoutにおいていかに除去しているかが、その性能の主要な部分を占める。ところが、LSI化されたCDR回路は、回路内で発生するジッタ量や除去するジッタ量を決めるクロック再生部10内のクロック発振回路やフィードバック回路の特性が、それら各回路を構成するトランジスタや、抵抗、容量の製造バラツキに大きく影響を受ける。

10

【0006】

このため、従来のCDR回路では、ジッタ量を性能保証するためには、再生データDoutをオシロスコープ等で波形モニタして、評価・選別しなければならず、高価な高周波パターン発生器や高周波信号をモニタ可能なオシロスコープを用意する必要があった。また、評価・選別にあたっては、人手も必要になり、性能保証した製品の出荷には多くのコストを要する課題があった。

20

【0007】

本発明の目的は、再生データに含まれるジッタ量を簡易且つ正確にモニタ可能にし、さらにジッタ量を低減可能にしたCDR回路を提供することである。

【課題を解決するための手段】

【0008】

上記目的を達成するために、請求項1にかかる発明のCDR回路は、入力データを入力して第1再生クロックを出力する第1クロック再生部と、前記入力データと前記第1再生クロックを入力して再生データを出力するデータ再生部と、前記再生データを入力して第2再生クロックを出力する第2クロック再生部と、前記第2再生クロックを入力してジッタ量を検出するジッタ検出部とを備えることを特徴とする。

30

請求項2にかかる発明のCDR回路は、入力データを入力して第1再生クロックを出力する第1クロック再生部と、前記入力データと前記第1再生クロックを入力して再生データを出力するデータ再生部と、前記再生データを入力して第2再生クロックを出力する第2クロック再生部と、該第2再生クロックを入力してジッタ量を検出するジッタ検出部とを備え、該ジッタ検出部から出力する前記ジッタ量を示す信号を前記第1クロック再生部にフィードバックし前記第1再生クロックのジッタ量を調節することを特徴とする。

請求項3にかかる発明は、請求項1又は2に記載のCDR回路において、前記第2クロック再生部のジッタ周波数透過帯域を、前記第1クロック再生部のジッタ周波数透過帯域よりも広くしたことを特徴とする。

請求項4にかかる発明は、請求項1、2又は3に記載のCDR回路において、前記ジッタ検出部は、前記第2再生クロックの遷移エッジを検出するゲーティング回路と、該ゲーティング回路の出力により容量が充放電される積分回路と、該積分回路の充放電電圧からジッタ量を算出するジッタ算出回路とを備えることを特徴とする。

40

【発明の効果】

【0009】

本発明によれば、再生データの低周波および高周波のジッタ量を得ることができるので、それをジッタ表示出力として簡易なモニタが可能となる。再生クロックのジッタモニタ方法はこれまでも存在したが、CDR回路の特性を決定する再生データのジッタ量が正確にモニタ可能となる。このことにより、これまで検査・選別に多くのコストを要したCDR回路を、LSIテスト等を用いて、簡易に短時間に人手を介さずに、低コストに検査

50

・選別することが可能となる。

また、得られたジッタ量を第1クロック再生部にフィードバックさせることにより、本CDR回路を構成するデバイスのバラツキがある場合でも、本CDR回路個々について、別々に、再生データのジッタ量を低減する方向に第1クロック再生部を制御することが可能となり、CDR回路のジッタ特性における選別において、歩留りを高める効果を生む。

【発明を実施するための最良の形態】

【0010】

<第1実施例>

図1は本発明の第1実施例のCDR回路の構成を示すブロック図である。クロック再生部10およびデータ再生部20は図5で説明した従来と同じ回路であるが、クロック再生回路10を以下では第1クロック再生回路とよぶ。30は第2クロック再生部、40は第1ゲーティング回路、50は積分回路、60はジッタ算出回路であり、これらでジッタ検出部が構成される。

10

【0011】

第2クロック再生部30は、データ再生部20から出力する再生データDoutを入力して、第2再生クロックCLK2を出力するが、その内部の位相同期手段が、第1クロック再生部10で応答可能な周波数以上の高周波までジッタに応答可能な位相同期回路を具備する。つまり、第2クロック再生部30のジッタ周波数透過帯域は、第1クロック再生部10のジッタ周波数透過帯域よりも広い。

【0012】

20

第1ゲーティング回路40は、バッファ41、遅延回路42、およびNAND回路43からなり、第2再生クロックCLK2のエッジを検出し、遅延回路42の遅延時間であるデータ周期Tの1/2のパルス幅のパルスP1を出力する。

【0013】

積分回路50は、スイッチ51、電流2Iの電流源52、電流Iの電流源53、および容量値Cの容量54からなり、第1ゲーティング回路40のNAND回路43の出力パルスP1がハイレベルのときスイッチ51がオンして容量Cに電流Iを充電させ、ローレベルのときスイッチ51がオフして容量Cの電荷を電流Iで放電する。

【0014】

ジッタ算出回路60は、積分回路50の積分出力Voを入力して、ジッタ量を電圧値で出力し、これが表示用の出力となる。

30

【0015】

図2を用いて、第1実施例のCDR回路の動作を説明する。伝送されてきた入力データDinは、時間方向の揺れ(ジッタ)を含む。図2では、各部のデータをデータ周期Tごとに折り返し表示したアイパターンの形式で書いている。入力データDinは、中心部分の白丸内以外は、時間方向のジッタと、信号のハイレベルとローレベルの揺れによりエラーフリーにならない領域である。第1クロック再生部10は、入力データDinの平均的な遷移エッジ(図中の白線で表示)に内部発振クロックCLK1の位相を合わせる。この時、低周波のジッタに対しては、位相検出が応答するように設計されているが、高周波のジッタに対しては、位相検出が応答しないように設計されている。第1再生クロックCLK1は、入力データDinの高周波ジッタを除いた形で生成される。データ再生部20はこの第1再生クロックCLK1でトリガされて入力データDinを取り込み、Q端子から再生データDoutを出力する。これにより、再生データDoutは、入力データDinの高周波ジッタを取り除いた信号として出力される。

40

【0016】

しかし、第1再生クロックCLK1は、入力データDinの低周波ジッタと第1クロック再生部10の中のクロック発振回路の低周波ジッタおよび高周波ジッタを含んでいる。加えて、データ再生部20は、そのデータ再生部20自身の応答特性や電源ノイズの影響による低周波ジッタおよび高周波ジッタを含む。データ再生部20が、出力ドライバを含む場合には、その出力ドライバの低周波ジッタおよび高周波ジッタも加えられて、これら

50

全てのジッタが再生データDoutに現れる。

【0017】

図2では、再生データジッタ量を t と表している。第2クロック再生部30は、再生データDoutの位相の変化を高い周波数まで検出する。検出した位相変化は、第2クロック再生部30の中の発振回路で発生したクロックの位相変化として重畳される。第2クロック再生部30の出力である第2再生クロックCLK2にはジッタが現れ、その値は再生データジッタ量 t に近い値となる。これは第2クロック再生部30の応答が、高周波ジッタに追従するためである。これと対照的に、第1クロック再生部10の出力である第1再生クロックCLK1は、再生データDoutより少ないジッタしか含まないため、再生データDoutのジッタ評価として適当ではない。

10

【0018】

第1ゲーティング回路40、積分回路50、ジッタ算出回路60からなるジッタ検出部は、ジッタを含んだ第2再生クロックCLK2のジッタ量を、電圧で表示する部分である。第1ゲーティング回路40は、第2再生クロックCLK2の立ち上りエッジを起点として、一定の時間幅を持つパルスに変換する。図2では、その時間幅をクロック周期 T の2分の1である例を示している。第2クロック再生部30の応答特性はジッタの周波数に対して十分高速であるため、再生データDoutのジッタ量(全振れ幅 t)は、第2再生クロックCLK2のジッタとして現れる。このジッタ量 t は、クロックCLK2の隣り合う立ち上り点の時間間隔が、クロックの周期 T に対して「 $T + t$ 」になって現れる(図2は、 t が $t/2$ の場合)。したがって、第1ゲーティング回路40の出力パルスP1の

20

【0019】

このパルスP1が積分回路50に入力すると、パルスP1がハイレベルの時間はスイッチ51がオンして、電流($2I - I = I$)が容量 C に流れ込み、積分回路50の出力電位 V_o は

$$I \times (T/2) \times (1/C)$$

だけ上昇する。また、パルスP1がロウレベルの時間は、スイッチ51がオフして、電流 I が容量 C から流れ出し、積分回路50の出力電位 V_o は

$$I \times (T/2 + t) \times (1/C)$$

だけ下降する。

30

【0020】

よって、この1周期後の出力電位は、

$$V_o(T) = - (1/C) \times I \times t \quad (1)$$

のように、 t で表現できる。この1周期の後、第1ゲーティング回路40出力のパルスP1の立ち下がりから、次のパルスの立ち上りまでの時間が「 $T/2 + t/2$ 」になるまで積分回路50の出力電位 V_o の最下点は下降を続け、最下点である V_{omin} を示す。

$$V_{omin} = - (1/C) \times I \times (t/2) \quad (2)$$

【0021】

ジッタ算出回路60は、(2)式で表されるピーク電圧 V_{omin} を検出して、積分回路50内で使用している容量値 C と電流値 I の値より t の値を算出し、表示する。ピーク電圧 V_{omin} の検出には、平均値 V_{o1} からの電圧差を増幅し、ピーク検出回路等を用いて出力のピーク電圧 V_{omin} を保持する。また、保持した電圧 V_{omin} は、アナログ電圧で表示するだけでなく、アナログ/デジタル(A/D)変換回路を用いてデジタル値で表示することも可能である。

40

【0022】

第1実施例に使用する第2クロック再生部30の回路例を図3に示した。第2クロック再生部30は、バッファ回路311、遅延回路312、NAND回路313からなる第2ゲーティング回路31と、インバータ321, 322、NAND回路323からなるゲेटドVCO32で構成される。

【0023】

50

第2ゲーティング回路31は、入力する再生データDoutの立ち上がりエッジで、遅延回路312の遅延時間幅だけのパルスP2を生成する。このパルスP2をエッジパルスと呼ぶ。第2ゲーティング回路31を構成する入力バッファ回路311やNAND回路313の周波数特性が再生データDoutを扱える程度であれば、エッジパルスP2の立ち上がり時間位置は、再生データDoutのジッタに十分追隨して変化する。

【0024】

エッジパルスP2は、ゲーテッドVCO32を構成するNAND回路323の一方の入力端子に入力する。ゲーテッドVCO32は、再生データDoutの周波数近傍で発振し第2再生クロックCLK2を出力している。そこに、エッジパルスP2が入力すると、NAND論理により、出力再生クロックCLK2のエッジ位置がエッジパルスP2の時間位置に変化して、再生データDoutに対して、周波数だけで位相同期がかかる。

10

【0025】

この時、ゲーテッドVCO32を構成する回路は、出力するクロックCLK2の周波数を伝播可能な帯域を持っているため、エッジパルスP2の時間位置が第2再生クロックCLK2の周波数と同じ程度の周波数で変化しても、出力する第2再生クロックCLK2の位相は、それに追隨して変化する。すなわち、再生データDoutのジッタは、第2クロック再生部30の出力である第2再生クロックCLK2のジッタとして反映される。よって、本発明第1実施例の動作が実現される。

【0026】

以上のように、第1実施例によれば、CDR回路の再生データの低周波および高周波ジッタを表示出力する簡易なモニタが可能となる。再生データのジッタモニタ方法はこれまでも存在したが、CDR回路の特性を決定する再生データのジッタが正確にモニタ可能となる。このことにより、これまで検査・選別に多くのコストを要したCDR回路を、LSIテスト等を用いて、簡易に短時間に人手を介さずに、低コストに検査・選別することが可能となる。

20

【0027】

<第2実施例>

図4は本発明の第2実施例のCDR回路の構成を示すブロック図である。第2実施例が第1実施例と異なる点は、ジッタ算出回路60の出力であるジッタ表示出力を、第1クロック再生部10Aにフィードバックすることである。第1クロック再生部10Aは、第1実施例に示した第1クロック再生部10をベースとして、ジッタ制御端子を付加したものである。

30

【0028】

この第1クロック再生部10Aとしては、例えば、前記非特許文献1のp.234、Figure 9.49に示されるCDRアーキテクチャが適用できる。このCDRアーキテクチャでは、出力クロックのジッタは、再生クロックを生成するPLL回路を構成するチャージポンプ回路(CP)と電圧制御発信回路(VCO)のゲインに依存する。

【0029】

そこで、本実施例では、ジッタ算出回路60から出力するジッタ表示出力の電位を用いて、第1クロック再生部10Aを構成するPLL回路のチャージポンプ回路(CP)のゲインを増減するチャージポンプ電流を変化させることで、ジッタ量を外部からの調整なく低減させることが可能となる。その他、電圧制御発信回路(VCO)のゲインを変更させるように、ジッタ表示出力の電位を用いることも可能である。当業者であれば、CDRアーキテクチャのジッタ量を低減するために調整を可能とする付加回路は、容易に追加できるので、詳しい説明は省略する。

40

【0030】

第2実施例によれば、得られたジッタ表示出力を第1クロック再生部10Aにフィードバックさせるので、CDR回路を構成するデバイスにバラツキがある場合でも、CDR回路個々について、別々に、再生データのジッタを低減する方向に第1クロック再生部10Aを制御することが可能となり、CDR回路のジッタ特性における選別において、歩留り

50

を高める効果を生む。

【図面の簡単な説明】

【0031】

【図1】本発明の第1実施例のCDR回路の構成を示すブロック図である。

【図2】図1のCDR回路のジッタ量検出の動作波形図である。

【図3】図1のCDR回路の第2クロック再生部の構成を示すブロック図である。

【図4】本発明の第2実施例のCDR回路の構成を示すブロック図である。

【図5】従来のCDR回路の構成を示すブロック図である。

【符号の説明】

【0032】

10, 10A: 第1クロック再生部

20: データ再生部

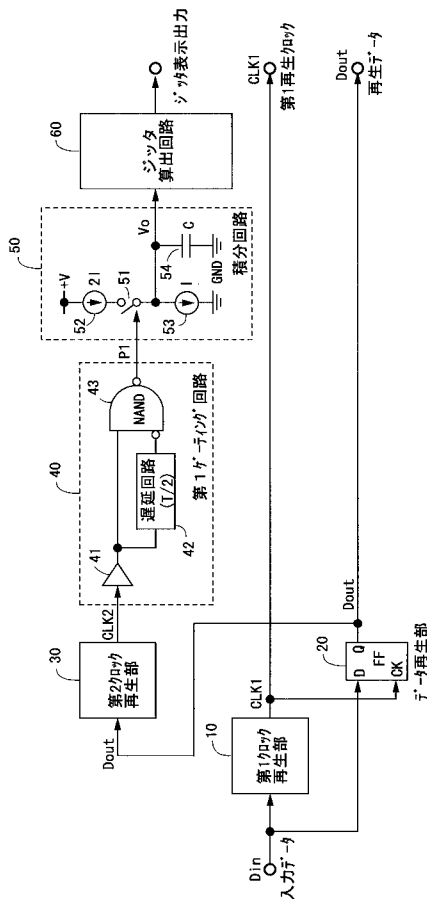
30: 第2クロック再生部、31: 第2ゲーティング回路、311: バッファ回路、312: 遅延回路、313: NAND回路、32: ゲートドVCO、321, 322: インバータ、323: NAND回路

40: 第1ゲーティング回路、41: バッファ回路、42: 遅延回路、43: NAND回路

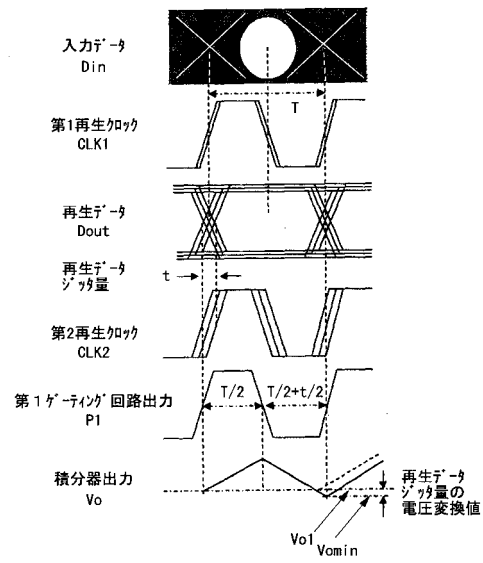
50: 積分回路、51: スイッチ、52, 53: 電流源、54: 容量

60: ジッタ算出回路

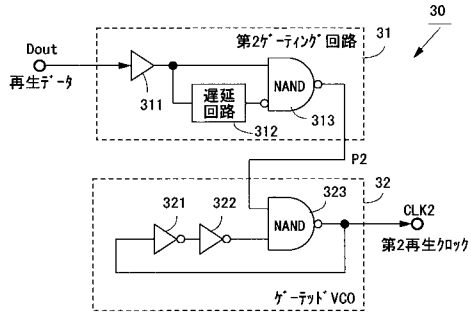
【図1】



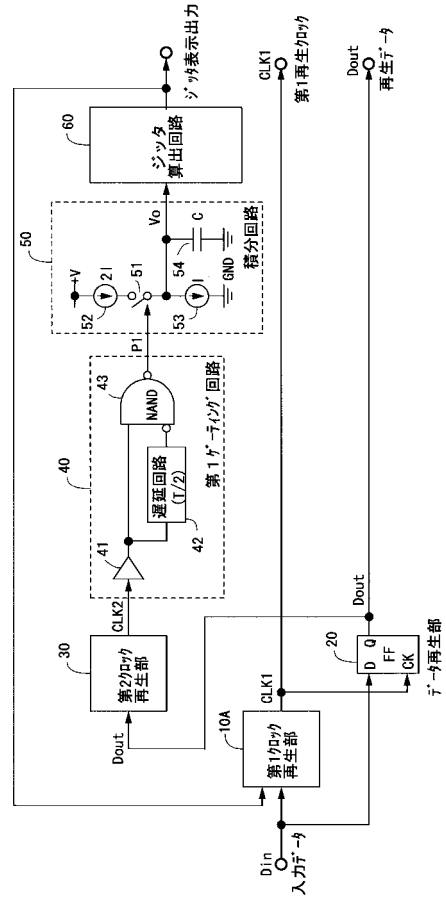
【図2】



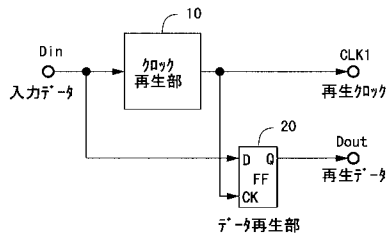
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

Fターム(参考) 5J106 AA04 CC01 DD02 DD43 DD48 EE03 FF07 FF08 GG01 GG15
HH10 JJ01 JJ08 KK05 KK25
5K047 AA06 GG06 GG24 KK02 MM35