



(12) 发明专利申请

(10) 申请公布号 CN 114528034 A

(43) 申请公布日 2022. 05. 24

(21) 申请号 202011210215.8

(22) 申请日 2020.11.03

(71) 申请人 华为技术有限公司

地址 518129 广东省深圳市龙岗区坂田华为总部办公楼

(72) 发明人 谢建 吴敬东 梅优良

(74) 专利代理机构 北京三高永信知识产权代理有限公司 11138

专利代理师 杨广宇

(51) Int. Cl.

G06F 9/445 (2018.01)

G06F 8/654 (2018.01)

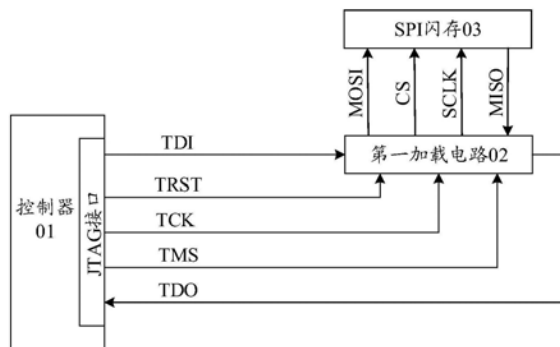
权利要求书4页 说明书22页 附图13页

(54) 发明名称

加载电路、方法和系统

(57) 摘要

本申请提供了一种加载电路、方法和系统，属于半导体技术领域。在本申请提供的方案中，该加载电路包括JTAG电路和通道选择电路，该通道选择电路具有第一SPI、第二SPI和第三SPI，该第三SPI用于连接SPI闪存。由于该JTAG电路的各个引脚可以与该第一SPI的各个引脚对应连接，且该JTAG电路可以控制该第一SPI和第三SPI导通，因此实现了JTAG接口与SPI的通信。相应的，控制器可以通过JTAG接口与该加载电路中的JTAG电路连接，并可以在该通道选择电路的第一SPI和第三SPI导通时，将数据加载至SPI闪存。由此，实现了通过JTAG接口对SPI闪存中存储的固件的带外升级，提高了固件升级的灵活性。



1. 一种加载电路,其特征在于,所述加载电路包括:联合测试行动组JTAG电路,闪存控制器,以及通道选择电路;所述通道选择电路具有第一串行外设接口SPI、第二SPI和第三SPI,所述第二SPI与所述闪存控制器连接,所述第三SPI用于连接SPI闪存;

所述JTAG电路用于控制所述通道选择电路的所述第一SPI与所述第三SPI导通,或者,控制所述第二SPI与所述第三SPI导通;

并且,所述JTAG电路的测试时钟引脚与所述第一SPI中的串行时钟引脚连接,所述JTAG电路的测试数据输入引脚与所述第一SPI中的主发从收引脚连接,所述JTAG电路的测试数据输出引脚与所述第一SPI中的主收从发引脚连接,所述JTAG电路的测试访问端口控制器与所述第一SPI中的片选引脚连接;

其中,在所述测试访问端口控制器处于移位数据寄存器状态后,向所述片选引脚提供的目标片选信号的电平由无效电平跳变为有效电平。

2. 根据权利要求1所述的加载电路,其特征在于,所述JTAG电路,用于根据接收到的加载指令,控制所述第一SPI与所述第三SPI导通。

3. 根据权利要求2所述的加载电路,其特征在于,所述加载指令为并行加载指令;

所述JTAG电路,还用于根据所述加载指令将所述测试数据输入引脚与所述测试数据输出引脚连通。

4. 根据权利要求1至3任一所述的加载电路,其特征在于,在所述测试访问端口控制器处于移位数据寄存器状态后的所述测试时钟引脚的第一个目标跳边沿,向所述片选引脚提供的目标片选信号的电平由无效电平跳变为有效电平;

在所述测试访问端口控制器结束移位数据寄存器状态后的所述测试时钟引脚的第一个目标跳边沿,向所述片选引脚提供的目标片选信号的电平由有效电平跳变为无效电平;

其中,所述目标跳边沿为上升沿或下降沿。

5. 根据权利要求4所述的加载电路,其特征在于,所述JTAG电路用于向所述片选引脚提供所述目标片选信号;

或者,所述加载电路还包括:时序转换电路,所述测试访问端口控制器通过所述时序转换电路与所述片选引脚连接;所述时序转换电路用于根据所述测试访问端口控制器的状态以及所述测试时钟引脚的电平,向所述片选引脚提供所述目标片选信号。

6. 根据权利要求1至3任一所述的加载电路,其特征在于,所述加载电路还包括:时序转换电路,所述测试访问端口控制器通过所述时序转换电路与所述片选引脚连接;

所述JTAG电路,用于向所述时序转换电路提供初始片选信号,其中,在所述测试访问端口控制器处于移位数据寄存器状态后的所述测试时钟引脚的第一个目标跳边沿,所述初始片选信号的电平由无效电平调整为有效电平,在所述测试访问端口控制器结束移位数据寄存器状态后的所述测试时钟引脚的第一个目标跳边沿,所述初始片选信号的电平由有效电平调整为无效电平,所述目标跳边沿为上升沿或下降沿;

所述时序转换电路,用于对所述初始片选信号进行时序转换得到目标片选信号,并向所述片选引脚提供所述目标片选信号;

其中,所述目标片选信号的电平由无效电平跳变为有效电平的时刻,相对于所述初始片选信号由无效电平跳变为有效电平的时刻延迟n个时钟周期;和/或,所述目标片选信号的电平由有效电平跳变为无效电平的时刻,相对于所述初始片选信号由有效电平跳变为无

效电平的时刻提前 m 个时钟周期;所述 n 和所述 m 均为正整数。

7. 根据权利要求6所述的加载电路,其特征在于,所述加载电路还包括:与所述时序转换电路连接的第一配置寄存器,所述第一配置寄存器中配置有用于指示所述 n 的第一数值;

所述时序转换电路,用于根据所述第一数值,将初始片选信号由无效电平跳变为有效电平的时刻延迟 n 个时钟周期。

8. 根据权利要求7所述的加载电路,其特征在于,所述第一配置寄存器中还配置有用于指示所述目标片选信号处于有效电平的时长的第二数值;

所述时序转换电路,用于根据所述第二数值将初始片选信号由有效电平跳变为无效电平的时刻提前 m 个时钟周期。

9. 根据权利要求6至8任一所述的加载电路,其特征在于,所述测试数据输入引脚通过所述时序转换电路与所述第一SPI中的主发从收引脚连接;

所述时序转换电路,还用于将所述测试数据输入引脚提供的测试数据输入信号延迟 i 个时钟周期后提供至所述主发从收引脚,所述 i 为不大于所述 n 的正整数。

10. 根据权利要求9所述的加载电路,其特征在于,所述加载电路还包括:与所述时序转换电路连接的第二配置寄存器,所述第二配置寄存器中配置有用于指示所述 i 的第三数值;

所述时序转换电路,用于根据所述第三数值,将所述测试数据输入引脚提供的测试数据输入信号延迟 i 个时钟周期后提供至所述主发从收引脚。

11. 一种加载方法,其特征在于,应用于如权利要求1至10任一所述的加载电路;所述方法包括:

将所述加载电路中通道选择电路的第一串行外设接口SPI与第三SPI导通;

在所述加载电路中测试访问端口控制器处于移位数据寄存器状态后,将向所述片选引脚提供的目标片选信号的电平由无效电平调整为有效电平。

12. 根据权利要求11所述的方法,其特征在于,所述将所述加载电路中通道选择电路的第一SPI与第三SPI导通,包括:

根据接收到的加载指令,将所述加载电路中通道选择电路的第一SPI与第三SPI导通。

13. 根据权利要求12所述的方法,其特征在于,所述加载指令为并行加载指令;所述方法还包括:

根据所述加载指令将所述加载电路中联合测试行动组JTAG电路的测试数据输入引脚与测试数据输出引脚连通。

14. 根据权利要求11至13任一所述的方法,其特征在于,在所述加载电路中测试访问端口控制器处于移位数据寄存器状态后,将向所述片选引脚提供的目标片选信号的电平由无效电平调整为有效电平,包括:

在所述加载电路中测试访问端口控制器处于移位数据寄存器状态后的测试时钟引脚的第一个目标跳边沿,将向所述片选引脚提供的目标片选信号的电平由无效电平调整为有效电平;

所述方法还包括:

在所述测试访问端口控制器结束移位数据寄存器状态后的所述测试时钟引脚的第一个目标跳边沿,将向所述片选引脚提供的目标片选信号的电平由有效电平调整为无效电平;

其中,所述目标跳边沿为上升沿或下降沿。

15. 根据权利要求11至13任一所述的方法,其特征在于,在所述加载电路中测试访问端口控制器处于移位数据寄存器状态后,将向所述片选引脚提供的目标片选信号的电平由无效电平调整为有效电平,包括:

在所述加载电路中测试访问端口控制器处于移位数据寄存器状态后的所述测试时钟引脚的第 n 个目标跳边沿,将向所述片选引脚提供的目标片选信号的电平由无效电平调整为有效电平;

和/或,所述方法还包括:在所述加载电路中测试访问端口控制器结束移位数据寄存器状态之前的测试时钟引脚的第 m 个目标跳边沿,向所述片选引脚提供的目标片选信号的电平由有效电平跳变为无效电平;

其中,所述目标跳边沿为上升沿或下降沿,所述 n 和所述 m 均为正整数。

16. 根据权利要求15所述的方法,其特征在于,所述方法还包括:

将所述加载电路中JTAG电路的测试数据输入引脚提供的测试数据输入信号延迟 i 个时钟周期后提供至所述第一SPI的主发从收引脚,所述 i 为不大于所述 n 的正整数。

17. 一种加载系统,其特征在于,所述加载系统包括:控制器, x 个第一加载电路以及 x 个串行外设接口SPI闪存,所述 x 为正整数;

其中,每个所述第一加载电路均为如权利要求1至10任一所述的加载电路;

所述控制器通过联合测试行动组JTAG接口与每个所述第一加载电路中的JTAG电路连接,每个所述SPI闪存与一个所述第一加载电路中通道选择电路的第三SPI连接;

所述控制器,用于向所述JTAG电路发送加载指令和数据,所述加载指令用于指示所述JTAG电路将所述通道选择电路的第一SPI与所述第三SPI导通,以及将所述数据加载至所述SPI闪存。

18. 根据权利要求17所述的加载系统,其特征在于,所述 $x=1$;所述加载系统还包括:串联在所述控制器的JTAG接口的测试数据输入引脚和所述第一加载电路之间的 n 个第二加载电路,所述 n 为正整数;

所述控制器,还用于向所述第一加载电路发送第一配置指令,所述第一配置指令用于指示在所述第一加载电路的第一配置寄存器中配置用于指示所述 n 的第一数值。

19. 根据权利要求17或18所述的加载系统,其特征在于,所述 $x=1$;所述加载系统还包括:串联在所述第一加载电路和所述控制器的JTAG接口的测试数据输出引脚之间的 m 个第三加载电路,所述 m 为正整数;

所述控制器,还用于根据所述第三加载电路的个数 m ,确定目标片选信号处于有效电平的时长,并向所述第一加载电路发送第二配置指令,所述第二配置指令还用于指示在所述第一配置寄存器中配置用于指示所述目标片选信号处于有效电平的时长的第二数值;

其中,所述目标片选信号为所述第一加载电路中第一SPI的片选引脚接收到的信号。

20. 根据权利要求17所述的加载系统,其特征在于,所述 x 大于1,且所述 x 个第一加载电路串联;所述加载系统还包括:串联在所述控制器的JTAG接口的测试数据输入引脚和所述 x 个第一加载电路之间的 $n-x+1$ 个第二加载电路,所述 n 为正整数,所述 x 为不大于 $n+1$ 的整数;

所述控制器,用于对所述 x 个第一加载电路所连接的SPI闪存进行并行加载,所述加载指令为并行加载指令,所述加载指令还用于指示所述 x 个第一加载电路中的第1个至第 $x-1$

个第一加载电路将其JTAG电路的测试数据输入引脚与测试数据输出引脚连通；

所述控制器,还用于向每个所述第一加载电路发送第一配置指令,以及向第1个至第 $x-1$ 个所述第一加载电路发送第三配置指令,其中,所述第一配置指令用于指示在所述第一加载电路的第一配置寄存器中配置用于指示所述 n 的第一数值,向第 $x-i$ 个第一加载电路发送的所述第三配置指令用于指示在所述第 $x-i$ 个第一加载电路的第二配置寄存器中配置用于指示所述 i 的第三数值,所述 i 为小于 x 的正整数。

加载电路、方法和系统

技术领域

[0001] 本申请涉及半导体技术领域,特别涉及一种加载电路、方法和系统。

背景技术

[0002] 处理器板卡包括印制电路板(printed circuit board,PCB),设置在PCB板上的处理器,以及与该处理器连接的串行外设接口(serial peripheral interface,SPI)闪存(flash)。该SPI flash用于存储固件,处理器用于运行该固件。

[0003] 相关技术中,SPI flash中的固件一般是通过带内升级的方式进行升级,即处理器直接将数据加载至SPI flash,从而实现对固件的升级。但是,如果带内升级的方式出现异常,则需要采用带外升级的方式来进行固件升级。对于支持SPI的处理器板卡,在进行带外升级时,可以将基板管理控制器(baseboard management controller,BMC)通过处理器板卡的SPI与该SPI flash连接,并由该BMC通过SPI向SPI flash加载数据,从而升级SPI flash中的固件。

[0004] 但是,目前主流的处理器板卡均是快捷外围部件互连标准(peripheral component interconnect express,PCIE)板卡或开放计算项目加速器模组(open compute project accelerator module,OAM),PCIE板卡和OAM的硬件接口中均不包括对外的SPI,无法支持通过SPI进行带外升级,灵活性较差。

发明内容

[0005] 本申请提供了一种加载电路、方法和系统,可以解决处理器板卡进行带外升级时灵活性较差的问题。

[0006] 一方面,提供了一种加载电路,该加载电路包括:联合测试行动组(joint test action group,JTAG)电路,闪存控制器(flash memory controller,SFC),以及通道选择电路;该通道选择电路具有第一SPI、第二SPI和第三SPI,该第二SPI与该SFC连接,该第三SPI用于连接SPI闪存;该JTAG电路用于控制该通道选择电路的该第一SPI与该第三SPI导通,或者,控制该第二SPI与该第三SPI导通;并且,该JTAG电路的测试时钟(test clock,TCK)引脚与该第一SPI中的串行时钟(serial clock,SCLK)引脚连接,该JTAG电路的测试数据输入(test data input,TDI)引脚与该第一SPI中的主发从收(master output slave input,MOSI)引脚连接,该JTAG电路的测试数据输出(test data output,TDO)引脚与该第一SPI中的主收从发(master input slave output,MISO)引脚连接,该JTAG电路的测试访问端口(test access port,TAP)控制器与该第一SPI中的片选(chip select,CS)引脚连接;其中,在该TAP控制器处于移位数据寄存器(data register,DR)状态后,向该CS引脚提供的目标CS信号的电平由无效电平跳变为有效电平。

[0007] 本申请提供的加载电路中的通道选择电路具有第一SPI、第二SPI和第三SPI,该第三SPI用于连接SPI闪存。由于该加载电路中JTAG电路的各个引脚可以与该第一SPI的各个引脚对应连接,且该JTAG电路可以控制该第一SPI和第三SPI导通,因此实现了JTAG接口与

SPI的通信。相应的,控制器可以通过JTAG接口与该加载电路中的JTAG电路连接,并可以在该通道选择电路的第一SPI和第三SPI导通时,将数据加载至SPI闪存。由此,实现了通过JTAG接口对SPI闪存中存储的固件的带外升级,提高了固件升级的灵活性。

[0008] 可选地,该JTAG电路,用于根据接收到的加载指令,控制该第一SPI与该第三SPI导通。

[0009] 其中,该加载指令可以由控制器下发。在JTAG电路控制该第一SPI与该第三SPI导通时,SPI闪存与加载电路选通,此时控制器可以通过加载电路对该SPI闪存中存储的固件进行带外升级。

[0010] 可选地,若该加载指令为并行加载指令,该JTAG电路还用于根据该加载指令将该TDI引脚与该TDO引脚连通。

[0011] 通过将该TDI引脚与该TDO引脚连通,使得加载电路可以在向SPI闪存加载数据的同时透传TDI信号给其所串联的下一个加载电路,从而可以实现对多个串联的加载电路所连接的SPI闪存进行并行加载。

[0012] 可选地,在该TAP控制器处于移位DR状态后的该TCK引脚的第一个目标跳边沿,向该CS引脚提供的目标CS信号的电平由无效电平跳变为有效电平;在该TAP控制器结束移位DR状态后的该TCK引脚的第一个目标跳边沿,向该CS引脚提供的目标CS信号的电平由有效电平跳变为无效电平;其中,该目标跳边沿为上升沿或下降沿。

[0013] 其中,该JTAG电路可以在TAP控制器处于移位DR状态的阶段读写数据,该第一SPI可以在目标CS信号处于有效电平时读写数据。对于控制器仅与一个加载电路连接的场景,该控制器向加载电路的TDI引脚传输的TDI信号不会存在延迟,且该加载电路的TDO引脚向控制器传输的TDO信号也不会存在延迟。因此,该场景中,加载电路可以直接参考该TAP控制器处于移位DR状态的阶段,确定该目标CS信号处于有效电平的阶段。

[0014] 可选地,该JTAG电路用于向该CS引脚提供该目标CS信号;或者,该加载电路还包括时序转换电路,该TAP控制器通过该时序转换电路与该CS引脚连接;该时序转换电路用于根据该TAP控制器的状态以及该TCK引脚的电平,向该CS引脚提供该目标CS信号。

[0015] 本申请提供的方案中,目标CS信号可以由JTAG电路提供,也可以由时序转换电路提供,从而有效提高了向CS引脚提供目标CS信号的灵活性。

[0016] 可选地,该加载电路还可以包括时序转换电路,该TAP控制器通过该时序转换电路与该CS引脚连接;该JTAG电路用于向该时序转换电路提供初始CS信号,其中,在该TAP控制器处于移位DR状态后的该TCK引脚的第一个目标跳边沿,该初始CS信号的电平由无效电平调整为有效电平,在该TAP控制器结束移位DR状态后的该TCK引脚的第一个目标跳边沿,该初始CS信号的电平由有效电平调整为无效电平,该目标跳边沿为上升沿或下降沿;该时序转换电路用于对该初始CS信号进行时序转换得到目标CS信号,并向该CS引脚提供该目标CS信号;其中,该目标CS信号的电平由无效电平跳变为有效电平的时刻,相对于该初始CS信号由无效电平跳变为有效电平的时刻延迟 n 个时钟周期;和/或,该目标CS信号的电平由有效电平跳变为无效电平的时刻,相对于该初始CS信号由有效电平跳变为无效电平的时刻提前 m 个时钟周期;该 n 和该 m 均为正整数。

[0017] 对于该加载电路之前还串联有 n 个其他加载电路的场景,该控制器向加载电路的TDI引脚传输的TDI信号会存在延迟。对于该加载电路之后还串联有 m 个其他加载电路的场

景,该加载电路的TDO引脚向控制器传输的TDO信号会存在延迟。因此,在本申请提供的方案中,该时序转换电路可以将初始CS信号的跳边沿延迟 n 个时钟周期,和/或提前 m 个时钟周期,从而可以使得该第一SPI接收到的数据信号和控制信号能够同步。

[0018] 可选地,该加载电路还包括与该时序转换电路连接的第一配置寄存器,该第一配置寄存器中配置有用于指示 n 的第一数值;该时序转换电路,用于根据该第一数值,将初始CS信号由无效电平跳变为有效电平的时刻延迟 n 个时钟周期。

[0019] 其中,该第一数值可以由控制器配置,即控制器可以根据待加载的加载电路在串联的多个加载电路中的位置,对该待加载的加载电路中的第一配置寄存器进行配置。

[0020] 可选地,该第一配置寄存器中还配置有用于指示该目标CS信号处于有效电平的时长的第二数值;该时序转换电路,用于根据该第二数值将初始CS信号由有效电平跳变为无效电平的时刻提前 m 个时钟周期。

[0021] 其中,该第二数值也可以由控制器配置,即控制器可以根据待加载的加载电路在串联的多个加载电路中的位置,对该待加载的加载电路中的第一配置寄存器进行配置。

[0022] 可选地,该TDI引脚通过该时序转换电路与该第一SPI中的MOSI引脚连接;该时序转换电路,还用于将该TDI引脚提供的TDI信号延迟 i 个时钟周期后提供至该MOSI引脚,该 i 为不大于该 n 的正整数。

[0023] 本申请提供的方案中,控制器可以对串联的 x 个加载电路进行并行加载,该 x 为不大于 $n+1$ 的整数。在该场景中,第 $x-i$ 个加载电路可以将其TDI引脚提供的TDI信号延迟 i 个时钟周期后提供至该MOSI引脚,从而使得该 x 个加载电路可以同时数据加载至SPI闪存。其中, i 为小于 x 的正整数。

[0024] 可选地,该加载电路还包括与该时序转换电路连接的第二配置寄存器,该第二配置寄存器中配置有用于指示该 i 的第三数值;该时序转换电路,用于根据该第三数值,将该TDI引脚提供的TDI信号延迟 i 个时钟周期后提供至该MOSI引脚。

[0025] 其中,该第三数值也可以由控制器配置,即控制器可以根据待加载的加载电路在串联的多个加载电路中的位置,以及并行加载的加载电路的个数,对该待加载的加载电路中的第二配置寄存器进行配置。

[0026] 另一方面,提供了一种加载方法,应用于如上述方面所提供的加载电路;该方法包括:将该加载电路中通道选择电路的第一SPI与第三SPI导通;在该加载电路中TAP控制器处于移位DR状态后,将向该CS引脚提供的目标CS信号的电平由无效电平调整为有效电平。

[0027] 可选地,将该加载电路中通道选择电路的第一SPI与第三SPI导通,包括:根据接收到的加载指令,将该加载电路中通道选择电路的第一SPI与第三SPI导通。

[0028] 可选地,该加载指令为并行加载指令;该方法还包括:根据该加载指令将该加载电路中JTAG电路的TDI引脚与TDO引脚连通。

[0029] 可选地,在该加载电路中TAP控制器处于移位DR状态后,将向该CS引脚提供的目标CS信号的电平由无效电平调整为有效电平,包括:在该加载电路中TAP控制器处于移位DR状态后的TCK引脚的第一个目标跳边沿,将向该CS引脚提供的目标CS信号的电平由无效电平调整为有效电平;该方法还包括:在该TAP控制器结束移位DR状态后的该TCK引脚的第一个目标跳边沿,将向该CS引脚提供的目标CS信号的电平由有效电平调整为无效电平;其中,该目标跳边沿为上升沿或下降沿。

[0030] 可选地,在该加载电路中TAP控制器处于移位DR状态后,将向该CS引脚提供的目标CS信号的电平由无效电平调整为有效电平,包括:在该加载电路中TAP控制器处于移位DR状态后的该TCK引脚的第n个目标跳边沿,将向该CS引脚提供的目标CS信号的电平由无效电平调整为有效电平;和/或,该方法还包括:在该加载电路中TAP控制器结束移位DR状态之前的TCK引脚的第m个目标跳边沿,向该CS引脚提供的目标CS信号的电平由有效电平跳变为无效电平;其中,该目标跳边沿为上升沿或下降沿,该n和该m均为正整数。

[0031] 可选地,该方法还包括:将该加载电路中JTAG电路的TDI引脚提供的TDI信号延迟i个时钟周期后提供至该第一SPI的MOSI引脚,该i为不大于该n的正整数。

[0032] 上述方面所提供的加载方法的有益效果可以参考上述方面提供的加载电路的效果描述。

[0033] 又一方面,提供了一种加载系统,该加载系统包括:控制器,x个第一加载电路以及x个串行外设接口SPI闪存,该x为正整数;其中,每个该第一加载电路均为如权利要求1至10任一该的加载电路;该控制器通过JTAG接口与每个该第一加载电路中的JTAG电路连接,每个该SPI闪存与一个该第一加载电路中通道选择电路的第三SPI连接;该控制器,用于向该JTAG电路发送加载指令和数据,该加载指令用于指示该JTAG电路将通道选择电路的第一SPI与该第三SPI导通,以及将数据加载至该SPI闪存。

[0034] 本申请提供的加载系统中,由于加载电路中JTAG电路的各个引脚可以与第一SPI的各个引脚对应连接,且该JTAG电路可以控制该第一SPI和第三SPI导通,因此实现了JTAG接口与SPI的通信。相应的,控制器可以通过JTAG接口与该加载电路中的JTAG电路连接,并可以在该通道选择电路的第一SPI和第三SPI导通时,将数据加载至SPI闪存。由此,实现了通过JTAG接口对SPI闪存中存储的固件的带外升级,提高了固件升级的灵活性。

[0035] 可选地,该 $x=1$,该系统还包括:串联在该控制器的JTAG接口的TDI引脚和该第一加载电路之间的n个第二加载电路,该n为正整数;该控制器,还用于向该第一加载电路发送第一配置指令,该第一配置指令用于指示在该第一加载电路的第一配置寄存器中配置用于指示该n的第一数值。

[0036] 对于该第一加载电路之前还串联有n个其他加载电路的场景,该控制器向加载电路的TDI引脚传输的TDI信号会存在延迟。因此,在本申请提供的方案中,控制器还可以在第二加载电路的第一配置寄存器中配置用于指示该n的第一数值,该时序转换电路可以根据该第一数值将初始CS信号的跳边沿延迟n个时钟周期,从而可以使得该第一SPI接收到的数据信号和控制信号能够同步。

[0037] 可选地,该 $x=1$;该系统还包括:串联在该第一加载电路和该控制器的JTAG接口的TDI引脚之间的m个第三加载电路,该m为正整数;该控制器,还用于根据该第三加载电路的个数m,确定目标CS信号处于有效电平的时长,并向该第一加载电路发送第二配置指令,该第二配置指令还用于指示在该第一配置寄存器中配置用于指示该目标CS信号处于有效电平的时长的第二数值;其中,该目标CS信号为该第一加载电路中第一SPI的CS引脚接收到的信号。

[0038] 对于该加载电路之后还串联有m个其他加载电路的场景,该加载电路的TDI引脚向控制器传输的TDI信号会存在延迟。因此,在本申请提供的方案中,控制器还可以根据该第三加载电路的个数m,对第一加载电路的第一配置寄存器进行配置。使得该时序转换电路可

以根据该第一配置寄存器中的配置,将初始CS信号的跳边沿提前 m 个时钟周期,从而可以使得该第一SPI接收到的数据信号和控制信号能够同步。

[0039] 可选地,该 x 大于1,且该 x 个第一加载电路串联;该系统还包括:串联在该控制器的JTAG接口的TDI引脚和该 x 个第一加载电路之间的 $n-x+1$ 个第二加载电路,该 n 为正整数,该 x 为不大于 $n+1$ 的整数;该控制器,用于对该 x 个第一加载电路所连接的SPI闪存进行并行加载,该加载指令为并行加载指令,该加载指令还用于指示该 x 个第一加载电路中的第1个至第 $x-1$ 个第一加载电路将其JTAG电路的TDI引脚与TDO引脚连通;该控制器,还用于向每个该第一加载电路发送第一配置指令,以及向第1个至第 $x-1$ 个该第一加载电路发送第三配置指令,其中,该第一配置指令用于指示在该第一加载电路的第一配置寄存器中配置用于指示 n 的第一数值,向第 $x-i$ 个第一加载电路发送的该第三配置指令用于指示在该第 $x-i$ 个第一加载电路的第二配置寄存器中配置用于指示 i 的第三数值,该 i 为小于 x 的正整数。

[0040] 由于控制器可以向串联的 x 个第一加载电路发送并行加载指令,且该第1个至第 $x-1$ 个第一加载电路可以根据该并行加载指令将其JTAG电路的TDI引脚与TDO引脚连通,从而控制器可以向该 x 个第一加载电路所连接的SPI闪存并行加载数据,并行对SPI闪存中存储的固件进行带外升级,有效降低了固件升级耗费的时间;又由于控制器可以向第1个至第 $x-1$ 个第一加载电路发送用于指示 n 的第一数值,因此即使该 x 个第一加载电路之前还串联有其他的加载电路,控制器依然可以正确的对该 x 个第一加载电路所连接的SPI闪存进行并行加载;还由于控制器可以向第 $x-i$ 个第一加载电路发送用于指示 i 的第三数值,因此该第 $x-i$ 个第一加载电路可以将TDI信号延迟 i 个时钟周期后提供至MOSI引脚,使得控制器可以同时对该 x 个第一加载电路所连接的SPI闪存进行加载,简化了控制的复杂度。

[0041] 综上所述,本申请提供了一种加载电路、方法和系统。本申请提供的方案中,加载电路中的通道选择电路具有第一SPI、第二SPI和第三SPI,该第三SPI用于连接SPI闪存。由于该加载电路中JTAG电路的各个引脚可以与该第一SPI的各个引脚对应连接,且该JTAG电路可以控制该第一SPI和第三SPI导通,因此实现了JTAG接口与SPI的通信。相应的,控制器可以通过JTAG接口与该加载电路中的JTAG电路连接,并可以在该通道选择电路的第一SPI和第三SPI导通时,将数据加载至SPI闪存。由此,实现了通过JTAG接口对SPI闪存中存储的固件的带外升级,提高了固件升级的灵活性。

附图说明

[0042] 图1是本申请实施例提供的一种加载系统的结构示意图;

[0043] 图2是本申请实施例提供的一种加载电路的结构示意图;

[0044] 图3是本申请实施例提供的一种JTAG接口时序和SPI时序的示意图;

[0045] 图4是本申请实施例提供的一种TAP控制器的状态机的示意图;

[0046] 图5是本申请实施例提供的另一种加载电路的结构示意图;

[0047] 图6是本申请实施例提供的又一种加载电路的结构示意图;

[0048] 图7是本申请实施例提供的再一种加载电路的结构示意图;

[0049] 图8是本申请实施例提供的另一种加载系统的结构示意图;

[0050] 图9是本申请实施例提供的另一种JTAG接口时序和SPI时序的示意图;

[0051] 图10是本申请实施例提供的又一种加载系统的结构示意图;

- [0052] 图11是本申请实施例提供的又一种JTAG接口时序和SPI时序的示意图；
- [0053] 图12是本申请实施例提供的再一种JTAG接口时序和SPI时序的示意图；
- [0054] 图13是本申请实施例提供的一种加载方法的流程图；
- [0055] 图14是本申请实施例提供的再一种加载系统的结构示意图；
- [0056] 图15是本申请实施例提供的再一种加载系统的结构示意图；
- [0057] 图16是本申请实施例提供的再一种加载系统的结构示意图。

具体实施方式

[0058] 下面结合附图详细介绍本申请实施例提供的加载电路、方法和系统。

[0059] 相关技术中,在采用带外升级的方式对支持SPI的处理器板卡进行固件升级时,BMC的SPI需要通过多路复用器(multiplexer,MUX)与该处理器板卡中的SPI闪存连接。由于需要在处理器板卡上额外设置MUX,由此导致处理器板卡的尺寸较大,成本较高。其中,多路复用器也可以称作通道选择电路。

[0060] 又由于处理器板卡主要是通过带内升级的方式升级固件,当带内升级出现故障时才会考虑使用带外升级的方式。因此,带外升级的方式使用次数较少,为了带外升级而在处理器板卡上额外设置MUX的开销较大。

[0061] 图1是本申请实施例提供的一种加载系统的结构示意图。如图1所示,该加载系统可以包括:控制器01,x个第一加载电路02以及x个SPI闪存03。其中,x为正整数,该x个第一加载电路02与该x个SPI闪存03一一对应连接。例如,图1中示意性示出了一个第一加载电路02和一个SPI闪存03(即 $x=1$)。应理解的是,若 x 大于1,则该 x 个第一加载电路02可以串联。

[0062] 如图1所示,该控制器01可以通过JTAG接口与每个第一加载电路02连接,用于向每个第一加载电路02发送加载指令和待加载的数据。每个第一加载电路02通过SPI与对应的一个SPI闪存03连接,每个第一加载电路02可以在该加载指令的指示下,将控制器01发送的数据通过SPI加载至其所连接的SPI闪存03,从而实现对该SPI闪存中存储的固件的升级。

[0063] 图2是本申请实施例提供的一种加载电路的结构示意图。该加载电路可以应用于如图1所示的系统,即该加载电路可以为图1中的第一加载电路02。下文以该加载电路为第一加载电路02为例进行描述。如图2所示,该第一加载电路02可以包括:JTAG电路021,SFC 022,以及通道选择电路023。该通道选择电路023具有第一SPI、第二SPI和第三SPI,该第二SPI与该SFC022连接,该第三SPI用于连接SPI闪存03。

[0064] 其中,该JTAG电路021,用于控制该通道选择电路023的第一SPI与该第三SPI导通,或者,控制该第二SPI与该第三SPI导通。例如,该JTAG电路021可以与该通道选择电路023的控制接口连接,并可以向该控制接口发送指令。该通道选择电路023可以根据该指令,将第一SPI与该第三SPI导通,或者将第二SPI与该第三SPI导通。其中,当第一SPI与该第三SPI导通时,JTAG电路021可以与SPI闪存03通信,例如可以向SPI闪存03加载数据。当第二SPI与该第三SPI导通时,SFC 022可以对该SPI闪存03进行控制。

[0065] 参考图1和图2可以看出,该JTAG电路021的JTAG接口可以包括TCK引脚、TDI引脚、TDO引脚、测试模式选项(test mode selection,TMS)引脚以及测试复位输入(test reset input,TRST)引脚。每个SPI可以包括SCLK引脚、MOSI引脚、MISO引脚以及CS引脚。

[0066] 其中,该JTAG电路021兼容电气和电子工程师协会(institute of electrical

and electronics engineers, IEEE) 1149.1标准, 该JTAG电路021的TCK引脚与该第一SPI中的SCLK引脚连接, 该JTAG电路021的TDI引脚与该第一SPI中的MOSI引脚连接, 该JTAG电路021的TDO引脚与该第一SPI中的MISO引脚连接, 该JTAG电路021的TAP控制器021a与该第一SPI中的CS引脚连接。在该TAP控制器021a处于移位DR状态后, 向该CS引脚提供的目标CS信号的电平由无效电平跳变为有效电平。

[0067] 图3是本申请实施例提供的一种JTAG接口和SPI中各引脚的时序图。参考图3可以看出, JTAG接口的TCK引脚的时序与该第一SPI中的SCLK引脚的时序相同, JTAG接口的TDI引脚的时序与该第一SPI中的MOSI引脚的时序相同, JTAG接口的TDO引脚的时序与该第一SPI中的MISO引脚的时序相同。因此, 可以直接将JTAG接口的TCK引脚与该第一SPI中的SCLK引脚连接, 使得该TCK引脚传输的TCK信号作为第一SPI的SCLK信号。并且, 可以直接将JTAG接口的TDI引脚与该第一SPI中的MOSI引脚连接, 使得该TDI引脚传输的TDI信号可以作为该第一SPI的MOSI信号。并且, 可以直接将JTAG接口的TDO引脚与该第一SPI中的MISO引脚连接, 使得该TDO引脚传输的TDO信号可以作为该第一SPI的MISO信号。

[0068] 由于在JTAG协议中, 参考图3, JTAG电路021能够在TAP控制器021a处于移位DR状态时, 获取TDI引脚传输的TDI信号(即写入数据), 并向TDO引脚传输TDO信号(即读出数据)。上述时序特点分别与SPI的写数据时序和读数据时序的特点相同。因此, 可以基于该TAP控制器021a的移位DR状态, 生成向第一SPI的CS引脚传输的目标CS信号。

[0069] 其中, 该第一SPI中的CS引脚接收的目标CS信号的有效电平可以为低电平, 无效电平可以为高电平, 例如, 该CS信号可以表示为CS#, #表示信号低电平有效。该第一SPI可以在目标CS信号处于有效电平时读写数据, 即通过MOSI引脚写入数据, 以及通过MISO读出数据。

[0070] 图4是本申请实施例提供的一种TAP控制器的状态机示意图。如图4所示, 该TAP控制器021a有16个同步状态: 测试逻辑/复位(test-logic/reset), 运行测试/空闲(run-test/idle), 选择DR扫描(select-DR-scan), 捕获DR(capture-DR), 移位DR(shift-DR), 退出1DR(exit1-DR), 暂停DR(pause-DR), 退出2DR(exit2-DR), 更新DR(update-DR), 选择IR扫描(select-IR-scan), 捕获IR(capture-IR), 移位IR(shift-IR), 退出1IR(exit1-IR), 暂停IR(pause-IR), 退出2IR(exit2-IR), 以及更新IR(update-IR)。其中, TAP控制器021a的同步状态可以在TMS信号的控制下改变。在图4所示的状态机中, TMS=1表示TMS信号为高电平, TMS=0表示TMS信号为低电平。由于JTAG电路021读/写数据的时序依赖于TAP控制器021a的移位DR状态, 因此只要TAP控制器021a的同步状态经过该移位DR状态, JTAG电路021即可读/写数据。参考图4可以看出, TAP控制器021a的同步状态转换为移位DR状态的路径并不唯一。

[0071] 基于上述引脚连接方式, 可以实现JTAG电路的时序到SPI的时序的转换, 也即是, 可以实现JTAG接口与SPI的通信。由于大部分PCIE板卡均支持JTAG接口, 从而控制器可以通过JTAG接口对PCIE板卡上的SPI闪存进行带外升级。

[0072] 综上所述, 本申请实施例提供了一种加载电路, 该加载电路包括JTAG电路和通道选择电路, 该通道选择电路具有第一SPI、第二SPI和第三SPI, 该第三SPI用于连接SPI闪存。由于该JTAG电路的各个引脚可以与该第一SPI的各个引脚对应连接, 且该JTAG电路可以控制该第一SPI和第三SPI导通, 因此实现了JTAG接口与SPI的通信。相应的, 控制器可以通过JTAG接口与该加载电路中的JTAG电路连接, 并可以在该通道选择电路的第一SPI和第三SPI导通时, 将数据加载至SPI闪存, 从而实现了对该SPI闪存中存储的固件的带外升级。

[0073] 可选地,该JTAG电路021,可以用于根据接收到的加载指令,控制该第一SPI与该第三SPI导通。其中,该加载指令可以是加载系统中的控制器01下发的。该控制器01可以在需要通过带外升级的方式对该第一加载电路02所连接的SPI闪存03中的固件进行升级时,通过JTAG接口向第一加载电路02中的JTAG电路021下发加载指令。

[0074] 图5是本申请实施例提供的另一种加载电路的结构示意图,如图5所示,该第一加载电路02中的JTAG电路021还可以包括指令寄存器(instruction register, IR) 021b,以及指令解码器021c。该IR 021b与该TDI引脚连接,可以用于接收加载指令,并可以根据该加载指令控制通道选择电路023将第一SPI与该第三SPI导通。该指令解码器021c可以用于对IR 021b接收到的指令进行解码,并向通道选择电路023发送控制信号从而控制通道选择电路023将第一SPI与该第三SPI导通。应理解的是,该第一加载电路02中的JTAG电路021还可以包括数据寄存器(data register, DR) 021d,该IR 021b可以根据接收到的加载指令对DR 021d进行配置。该通道选择电路023进而可以基于该DR 021d中的配置将第一SPI与该第三SPI导通。还应理解的是,该IR 021b还可以通过逻辑电路(例如与门和或门等)结合该JTAG电路021的内部状态来产生控制信号,从而控制通道选择电路023将第一SPI与该第三SPI导通。

[0075] 参考图5还可以看出,该JTAG电路021还可以包括两个MUX,该JTAG电路021中的IR 021b、指令解码器021c、旁路寄存器021d1、标识码寄存器021d2以及第一SPI中的MISO引脚可以通过该两个MUX与TDO引脚连接。

[0076] 作为一种可选的实现方式,该加载系统包括的第一加载电路02的数量可以大于1,即 x 可以大于1。在该场景中,控制器01可以对该 x 个第一加载电路02进行并行加载。相应的,该控制器01向前 $x-1$ 个第一加载电路02中的JTAG电路021发送的加载指令可以为并行加载指令。接收到该并行加载指令的JTAG电路021,还可以用于根据该并行加载指令将该TDI引脚与该TDO引脚连通,从而可以将通过该TDI引脚接收到的TDI信号,通过TDO引脚直接透传至下一个第一加载电路02。其中,该TDI信号可以包括控制器发送的指令和待加载的数据。

[0077] 示例的,如图5和图6所示,该DR 021d中可以包括分别与TDI引脚和TDO引脚连接的旁路寄存器021d1和标识码寄存器021d2。该标识码寄存器021d2用于存储该第一加载电路02的标识码,该标识码用于唯一标识该第一加载电路02。该旁路寄存器021d1用于在IR 021b接收到并行加载指令后,响应于该并行加载指令并将该TDI引脚与该TDO引脚连通,从而实现在向SPI闪存加载数据的同时透传TDI信号。图6中加粗的黑色线条表示TDI信号在该第一加载电路02中的传输路径。

[0078] 作为另一种可选的实现方式,如图1所示,该加载系统中可以仅包括一个第一加载电路02,即 $x=1$ 。在该场景中,第一加载电路02的TDI引脚直接与控制器01的JTAG接口的TDI引脚连接,TDO引脚直接与该控制器01的JTAG接口的TDO引脚连接,因此该控制器01向第一加载电路02的TDI引脚传输的TDI信号不会存在延迟,第一加载电路02的TDO引脚向控制器01传输的TDO信号也不会存在延迟。因此,可以直接参考该TAP控制器021a处于移位DR状态的阶段,确定该目标CS信号处于有效电平的阶段。

[0079] 相应的,如图3所示,在该TAP控制器021a处于移位DR状态后的TCK引脚的第一个目标跳边沿,向该CS引脚提供的目标CS信号的电平由无效电平跳变为有效电平。在该TAP控制器021a结束DR状态后的TCK引脚的第一个目标跳边沿,向该CS引脚提供的目标CS信号的电

平由有效电平跳变为无效电平。其中,该目标跳边沿为上升沿或下降沿。

[0080] 并且,参考图7可以看出,在该场景中,旁路寄存器021d1并未将该TDI引脚与该TDO引脚连通。图7中的加粗的黑色线条表示数据在该第一加载电路02中的传输路径,参考图7可以看出,JTAG电路021的TDI引脚发送的待加载的数据经过时序转换电路024传输至第一SPI的MOSI_1引脚。由于MOSI_1引脚选通到MOSI_3引脚,因此可以将该待加载的数据传输至SPI闪存03。SPI闪存03读出的数据从MISO_3引脚经过通道选择电路023传输至第一SPI的MISO_1引脚,再经过JTAG电路021内部的MUX传输至JTAG电路021的TDO引脚。上述过程完成了对待加载的数据的写入,以及对SPI闪存03内的数据的读出。

[0081] 示例的,假设图3所示的各个引脚的时序中,有效电平为低电平,则该目标跳边沿可以为下降沿。参考图3,在该TAP控制器021a处于移位DR状态后的TCK引脚的第一个下降沿,该TAP控制器021a向该CS引脚提供的目标CS信号由高电平跳变为低电平。在该TAP控制器021a结束DR状态后的TCK引脚的第一个下降沿,该TAP控制器021a向该CS引脚提供的目标CS信号的电平由低电平跳变为高电平。

[0082] 在本申请实施例中,该目标CS信号可以由JTAG电路021提供至CS引脚的。也即是,该JTAG电路021可以根据TAP控制器021a的状态和该TCK引脚的电平,向该CS引脚提供目标CS信号。

[0083] 或者,如图5至图7所示,该第一加载电路02还可以包括时序转换电路024,该TAP控制器021a通过该时序转换电路024与该CS引脚连接,该目标CS信号可以由该时序转换电路024提供至CS引脚。也即是,该时序转换电路024可以根据该TAP控制器021a的状态和该TCK引脚的电平,向该CS引脚提供该目标CS信号。

[0084] 示例的,该时序转换电路024可以在该TAP控制器021a处于移位DR状态后的TCK引脚的第一个下降沿,将向该CS引脚提供的目标CS信号的电平由高电平调整为低电平。在该TAP控制器021a结束DR状态后的TCK引脚的第一个下降沿,将向该CS引脚提供的目标CS信号的电平由低电平调整为高电平。

[0085] 图8是本申请实施例提供的另一种加载系统的结构示意图。如图8所示,该加载系统还可以包括:串联在控制器01的JTAG接口的TDI引脚和第一加载电路02的TDI引脚之间的n个第二加载电路04,和/或,串联在该第一加载电路02的TDO引脚和控制器01的JTAG接口的TDO引脚之间的m个第三加载电路05。其中,每个第二加载电路04均对应连接一个SPI闪存03,每个第三加载电路05均对应连接一个SPI闪存03,该n和m均为正整数。例如,在图8所示的系统中,该n和m均为大于1的整数。

[0086] 该第一加载电路02的JTAG电路021,可以用于向时序转换电路024提供初始CS信号。参考图9,在该TAP控制器021a处于移位DR状态后的该TCK引脚的第一个目标跳边沿,该初始CS信号的电平由无效电平调整为有效电平,在该TAP控制器021a结束移位DR状态后的该TCK引脚的第一个目标跳边沿,该初始CS信号的电平由有效电平调整为无效电平,该目标跳边沿为上升沿或下降沿。

[0087] 该时序转换电路024,用于对该初始CS信号进行时序转换得到目标CS信号,并向该CS引脚提供该目标CS信号。时序转换电路024可以通过计数器或者状态机等逻辑电路来实现对该初始CS信号的时序转换。

[0088] 其中,对于控制器01和第一加载电路02的TDI引脚之间串联有n个第二加载电路04

的场景,该加载电路02中第一SPI的CS引脚接收到的目标CS信号的电平由无效电平跳变为有效电平的时刻,相对于该初始CS信号由无效电平跳变为有效电平的时刻可以延迟 n 个时钟周期。

[0089] 该第一加载电路02的TDI引脚与控制器01的JTAG接口的TDI引脚之间串联了 n 个第二加载电路04,其中每个第二加载电路04可以在控制器01的指示下进入旁路状态,以透传该控制器01发送的TDI信号。并且,每个第二加载电路04透传该TDI信号所需的时长为一个时钟周期,因此控制器01发送的TDI信号需要经过 n 个时钟周期后才能传输至该第一加载电路02。相应的,该第一加载电路02中的时序转换电路021可以将该初始CS信号的电平由无效电平跳变为有效电平的时刻延迟 n 个时钟周期后提供至该CS引脚。

[0090] 可选地,参考图6和图7,该第一加载电路02还可以包括与时序转换电路024连接的第一配置寄存器025,该第一配置寄存器025中配置有用于指示该 n 的第一数值。其中,如图6和图7所示,该第一配置寄存器025可以是JTAG电路021的DR 021d中的一个寄存器。并且,该第一数值可以是控制器01配置的。或者,该第一配置寄存器025也可以是独立于JTAG电路021的一个寄存器,例如,该第一配置寄存器025可以与两线式串行总线(inter-integrated circuit,I2C)接口连接,该第一数值可以通过该I2C接口配置。

[0091] 该时序转换电路024,用于根据该第一数值,将初始CS信号由无效电平跳变为有效电平的时刻延迟 n 个时钟周期。

[0092] 对于第一加载电路02的TDO引脚和控制器01之间串联有 m 个第三加载电路05的场景,该加载电路02中第一SPI的CS引脚接收到的目标CS信号的电平由有效电平跳变为无效电平的时刻,相对于该初始CS信号由有效电平跳变为无效电平的时刻可以提前 m 个时钟周期。

[0093] 由于该第一加载电路02的TDO引脚与控制器01的JTAG接口的TDO引脚之间串联了 m 个第三加载电路05,其中每个第三加载电路05可以在控制器01的指示下进入旁路状态,透传该第一加载电路02发送的TDO信号。并且,每个第三加载电路05透传该TDO信号所需的时长为一个时钟周期,因此该第一加载电路02的TDO引脚发送的TDO信号需要经过 m 个时钟周期后才能传输至该控制器01。相应的,该第一加载电路02中的时序转换电路021可以将该初始CS信号的电平由有效电平跳变为无效电平的时刻提前 m 个时钟周期后提供至该CS引脚。

[0094] 可选地,该第一配置寄存器025中还可以配置有用于指示该目标CS信号处于有效电平的时长的第二数值。该时序转换电路024,用于根据该第二数值将初始CS信号由有效电平跳变为无效电平的时刻提前 m 个时钟周期。

[0095] 其中,该第二数值可以由控制器01配置的。并且,由于JTAG电路021可以在CS信号处于有效电平时写入或读出数据,因此该目标CS信号处于有效电平的时长可以是控制器根据待加载的数据和待读取的数据的长度确定的。

[0096] 图10是本申请实施例提供的又一种加载系统的结构示意图。如图10所示,该加载系统可以包括: x 个串联的第一加载电路02。并且,该加载系统还可以包括:串联在控制器01的JTAG接口的TDI引脚和该 x 个第一加载电路02之间的 $n-x+1$ 个第二加载电路04,和/或,串联在该 x 个第一加载电路02和控制器01的JTAG接口的TDO引脚之间的 m 个第三加载电路05。其中,该 x 为大于1且小于 $n+1$ 的整数, n 和 m 均为正整数。

[0097] 若该加载系统包括 m 个第三加载电路05,则由于在对SPI闪存进行加载时无需读出

数据,因此可以无需考虑该 m 个第三加载电路05透传TDO信号产生的时延。

[0098] 在该场景中,作为一种可选的实现方式,该 x 个第一加载电路02中,每个第一加载电路02中的时序转换电路024将初始CS信号由无效电平跳变为有效电平的时刻所延迟的时钟周期的个数,可以与该第一加载电路02之前的加载电路的个数相等。每个第一加载电路02中的时序转换电路024将初始CS信号由有效电平跳变为无效电平的时刻所提前的时钟周期的个数,可以与该第一加载电路02之后的第一加载电路的个数相等。

[0099] 示例的,由于该第1个第一加载电路02与控制器01之间串联有 $n-x+1$ 个第二加载电路04,该第1个第一加载电路02之后还串联有 $x-1$ 个第一加载电路02。因此,参考图11,该第1个第一加载电路02中的时序转换电路024向第一SPI中CS引脚提供的目标片选信号由高电平跳变为低电平的时刻,相对于初始CS信号由高电平跳变为低电平的时刻延迟了 $n-x+1$ 个时钟周期。并且,该时序转换电路024向第一SPI中CS引脚提供的目标片选信号由低电平跳变为高电平的时刻,相对于初始CS信号由低电平跳变为高电平的时刻提前了 $x-1$ 个时钟周期。

[0100] 由于该第 x 个第一加载电路02之前包括: $x-1$ 个第一加载电路01,以及 $n-x+1$ 个第二加载电路04,即该第 x 个第一加载电路02之前包括 n 个加载电路,并且,该第 x 个第一加载电路02之后未串联其他第一加载电路。因此,参考图11,该第 x 个第一加载电路02中的时序转换电路024向第一SPI中CS引脚提供的目标片选信号由高电平跳变为低电平的时刻,相对于初始CS信号由高电平跳变为低电平的时刻延迟了 n 个时钟周期。并且,该时序转换电路024向第一SPI中CS引脚提供的目标片选信号由低电平跳变为高电平的时刻,相对于初始CS信号由低电平跳变为高电平的时刻无须提前。

[0101] 在该场景中,作为另一种可选的实现方式,该 x 个第一加载电路02中,每个第一加载电路02中的时序转换电路024,均可以将初始片选信号延迟 n 个时钟周期后发送至CS引脚。并且,每个第一加载电路02中的时序转换电路024将初始CS信号由有效电平跳变为无效电平的时刻所提前的时钟周期的个数均可以等于0,即无需对初始CS信号由有效电平跳变为无效电平的时刻进行提前。

[0102] 并且,该 x 个第一加载电路02中,第 $x-i$ 个第一加载电路02中的时序转换电路024,还可以用于将该TDI引脚提供的TDI信号延迟 i 个时钟周期后提供至MOSI引脚。其中,该 i 为小于 x 的正整数。而该第 x 个第一加载电路02中的时序转换电路024无需对TDI引脚提供的TDI信号进行延迟。由此,可以使得该 x 个第一加载电路02可以同时向SPI闪存03加载数据。

[0103] 示例的,参考图12,第1个第一加载电路02中的时序转换电路024,以及第 x 个第一加载电路02中的时序转换电路024向第一SPI中CS引脚提供的目标片选信号由高电平跳变为低电平的时刻,相对于初始CS信号由高电平跳变为低电平的时刻均延迟了 n 个时钟周期。并且,对于第1个第一加载电路02,其时序转换电路024可以将TDI引脚:TDI_1接收到的TDI信号延迟 $x-1$ 个时钟周期后提供至第一SPI的MOSI_1。对于第 x 个第一加载电路02,其时序转换电路024无需对TDI引脚提供的TDI信号进行延迟。

[0104] 可选地,如图6和图7所示,该 x 个第一加载电路02中,第 $x-i$ 个第一加载电路02还可以包括:与该时序转换电路024连接的第二配置寄存器026,该第二配置寄存器026中配置有用于指示该 i 的第三数值。其中,如图6和图7所示,该第二配置寄存器026可以是JTAG电路021的DR 021d中的一个寄存器。并且,该第二数值可以是控制器01配置的。或者,该第二配

置寄存器026也可以是独立于JTAG电路021的一个寄存器,例如,该第二配置寄存器026可以与I2C接口连接,该第一数值可以通过该I2C接口配置。

[0105] 该第 $x-i$ 个第一加载电路02中的时序转换电路024,可以用于根据该第三数值,将该TDI引脚提供的TDI信号延迟 i 个时钟周期后提供至该MOSI引脚。

[0106] 综上所述,本申请实施例提供了一种加载电路,该加载电路包括JTAG电路和通道选择电路,该通道选择电路具有第一SPI、第二SPI和第三SPI,该第三SPI用于连接SPI闪存。由于该JTAG电路的各个引脚可以与该第一SPI的各个引脚对应连接,且该JTAG电路可以控制该第一SPI和第三SPI导通,因此实现了JTAG接口与SPI的通信。相应的,控制器可以通过JTAG接口与该加载电路中的JTAG电路连接,并可以在该通道选择电路的第一SPI和第三SPI导通时,将数据加载至SPI闪存,从而实现了对该SPI闪存中存储的固件的带外升级。

[0107] 并且,对于该加载电路为加载系统中多个串联的加载电路中的一个的场景,该加载电路中的时序转换电路可以将向CS引脚提供的目标CS信号的电平由无效电平跳变为有效电平的时刻,延迟和/或提前若干个时钟周期。由此,该控制器可以实现对多个串联的加载电路中的任一加载电路所连接的SPI闪存的加载,有效提高了加载的灵活性。

[0108] 又由于该加载电路可以在接收到并行加载指令后,将TDI引脚与TDO引脚连通,由此可以实现向SPI闪存加载数据的同时透传TDI信号,进而确保控制器能够对串联的多个加载电路进行并行加载,提升了加载效率。并且,该加载电路中的时序转换电路还可以将TDI引脚提供的TDI信号延迟 i 个时钟周期后提供至MOSI引脚,从而可以在并行加载过程中,使得多个加载电路能够同时向SPI闪存加载数据。

[0109] 本申请实施例还提供了一种加载方法,该方法可以应用于上述实施例所提供的加载电路中,例如可以应用于如图2,以及图5至图7任一附图所示的第一加载电路02。下文以该加载方法应用于第一加载电路02为例进行说明。如图13所示,该方法可以包括:

[0110] 步骤101、接收控制器发送的加载指令。

[0111] 在本申请实施例中,当需要通过带外升级的方式对SPI闪存中存储的固件进行升级,控制器可以向与该SPI闪存连接的第一加载电路下发加载指令。

[0112] 步骤102、根据该加载指令,将第一加载电路中通道选择电路的第一SPI与第三SPI导通。

[0113] 该加载电路中的JTAG电路可以响应于控制器下发的加载指令,控制通道选择电路将第一SPI与第三SPI导通。

[0114] 步骤103、在第一加载电路中的TAP控制器处于移位DR状态后,将向第一SPI的CS引脚提供的目标CS信号的电平由无效电平调整为有效电平。

[0115] 在本申请实施例中,该目标CS信号可以由加载电路中的JTAG电路提供。或者,该加载电路中可以包括时序转换电路,该目标CS信号可以由该时序转换电路提供。

[0116] 作为一种可选的实现方式,参考图1或图6,该加载系统可以仅包括一个第一加载电路02,在该实现方式中,加载电路02可以响应于该加载指令,仅将该第一SPI与第三SPI导通。

[0117] 作为另一种可选的实现方式,参考图8,该加载系统可以包括 x 个第一加载电路02,且 x 大于1。在该实现方式中,控制器01可以对该 x 个第一加载电路02进行并行加载,即该加载指令为并行加载指令。相应的,该第一加载电路还可以响应于该并行加载指令,将JTAG电

路的TDI引脚与TDO引脚连通。由此可以实现向SPI闪存加载数据的同时透传TDI信号,进而确保控制器能够对串联的多个第一加载电路进行并行加载,提升了加载效率。

[0118] 对于该加载系统仅包括一个第一加载电路02的场景,该步骤103的实现过程可以包括:

[0119] 在该第一加载电路02中TAP控制器021a处于移位DR状态后的TCK引脚的第一个目标跳边沿,将向该CS引脚提供的目标CS信号的电平由无效电平调整为有效电平。

[0120] 并且,参考图10,该方法还可以包括:

[0121] 步骤104a、在该第一加载电路中TAP控制器结束移位DR状态后的该TCK引脚的第一个目标跳边沿,将向该CS引脚提供的目标CS信号的电平由有效电平调整为无效电平。

[0122] 其中,该目标跳边沿可以为上升沿或下降沿,该CS引脚接收的目标CS信号的有效电平可以为低电平,无效电平可以为高电平。

[0123] 对于该加载系统中,控制器和第一加载电路的TDI引脚之间串联有n个第二加载电路的场景,该步骤103的实现过程可以包括:

[0124] 在该加载电路中TAP控制器处于移位DR状态后的该TCK引脚的第n个目标跳边沿,将向该CS引脚提供的目标CS信号的电平由无效电平调整为有效电平。

[0125] 由于控制器发送的TDI信号需要经过n个时钟周期后才能传输至该第一加载电路,因此该第一加载电路中的时序转换电路可以将该初始CS信号的电平由无效电平跳变为有效电平的时刻延迟n个时钟周期后提供至该CS引脚。

[0126] 对于该加载系统中,第一加载电路的TDO引脚和控制器之间串联有m个第三加载电路的场景,参考图10,该方法还可以包括:

[0127] 步骤104b、在该加载电路中TAP控制器结束移位DR状态之前的TCK引脚的第m个目标跳边沿,向该CS引脚提供的目标CS信号的电平由有效电平跳变为无效电平。

[0128] 由于该第一加载电路的TDO引脚发送的TDO信号需要经过m个时钟周期后才能传输至控制器,因此该第一加载电路中的时序转换电路可以将该初始CS信号的电平由有效电平跳变为无效电平的时刻提前m个时钟周期后提供至该CS引脚。其中,该n和该m均为正整数。

[0129] 对于该加载系统包括x个第一加载电路,且x大于1的场景,如图10所示,该x个第一加载电路中第i个第一加载电路所执行的方法还可以包括:

[0130] 步骤105、将该第一加载电路中TDI引脚提供的TDI信号延迟i个时钟周期后提供至该第一SPI的MOSI引脚。

[0131] 其中,i为小于x的正整数。当加载系统包括x个串联的第一加载电路时,控制器可以对该x个第一加载电路进行并行加载。该x个第一加载电路02中,第x-i个第一加载电路02中的时序转换电路024,还可以用于将该TDI引脚提供的TDI信号延迟i个时钟周期后提供至MOSI引脚。而该第x个第一加载电路02中的时序转换电路024无需对TDI引脚提供的TDI信号进行延迟。由此,可以使得该x个第一加载电路02可以同时向SPI闪存03加载数据。

[0132] 综上所述,本申请实施例提供了一种加载方法,该加载方法可以应用于上述实施例所提供的加载电路中。该加载电路包括JTAG电路和通道选择电路,该通道选择电路具有第一SPI、第二SPI和第三SPI,该第三SPI用于连接SPI闪存。由于该JTAG电路的各个引脚可以与该第一SPI的各个引脚对应连接,且该加载电路可以接收控制器下发的加载指令,并根据该加载指令将第一SPI与第三SPI导通,因此实现了JTAG接口与SPI的通信。相应的,控制

器可以在该通道选择电路的第一SPI和第三SPI导通时,将数据加载至SPI闪存,从而实现了对该SPI闪存中存储的固件的带外升级。

[0133] 并且,对于该加载电路为加载系统中多个串联的加载电路中的一个的场景,该加载电路中的时序转换电路可以将向CS引脚提供的目标CS信号的电平由无效电平跳变为有效电平的时刻,延迟和/或提前若干个时钟周期。由此,该控制器可以实现对多个串联的加载电路中的任一加载电路所连接的SPI闪存的加载,有效提高了加载的灵活性。

[0134] 又由于该加载电路可以在接收到并行加载指令后,将TDI引脚与TDO引脚连通,由此可以实现在向SPI闪存加载数据的同时透传TDI信号,进而确保控制器能够对串联的多个加载电路进行并行加载,提升了加载效率。并且,该加载电路中的时序转换电路还可以将TDI引脚提供的TDI信号延迟*i*个时钟周期后提供至MOSI引脚,从而可以在并行加载过程中,使得多个加载电路能够同时向SPI闪存加载数据。

[0135] 本申请实施例还提供了一种加载系统,参考图1和图14,该加载系统可以包括:控制器01,*x*个第一加载电路02以及*x*个SPI闪存03,该*x*为正整数。其中,每个第一加载电路02均可以为上述实施例所提供的加载电路。例如,图1中示意性示出了一个第一加载电路02和一个SPI闪存03(即*x*=1),应理解的是,若*x*大于1,则该*x*个第一加载电路02可以串联。

[0136] 该控制器01可以通过JTAG接口与每个该第一加载电路02中的JTAG电路021连接,每个该SPI闪存03与一个该第一加载电路02中通道选择电路023的第三SPI连接。

[0137] 参考图14可以看出,该第一加载电路02可以包括:JTAG电路021,SFC 022,以及通道选择电路023。该控制器01的JTAG接口可以包括:TRST引脚、TCK引脚、TMS引脚、TDI引脚以及TDO引脚。该控制器01通过JTAG接口的上述引脚与第一加载电路02中的JTAG电路021连接,SPI闪存03与第一加载电路02中的通道选择电路023的第三SPI连接。

[0138] 该控制器01,用于向该JTAG电路021发送加载指令和数据,该加载指令用于指示该JTAG电路021将该通道选择电路023的第一SPI与该第三SPI导通,以及将该数据加载至该SPI闪存03。其中,该控制器01可以是BMC或者JTAG仿真器。

[0139] 继续参考图14,该控制器01可以通过JTAG接口的TDI引脚发送TDI信号至第一加载电路02中的JTAG电路021。其中,该TDI信号中可以包含加载指令或数据。

[0140] 在本申请实施例中,控制器01中可以配置有加载软件,该加载软件可以为串行向量格式(serial vector format,SVF)文件解析器。控制器01在需要对SPI闪存03进行加载时,可以先通过该加载软件解析并执行SVF文件。其中,该SVF文件可以是对需要加载到SPI闪存03中的目标二进制文件进行转换得到的。该控制器01对第一加载电路02所连接的SPI闪存03进行加载的过程可以包括以下步骤:

[0141] 1、控制器01对第一加载电路02进行解复位。例如,控制器01可以将发送至第一加载电路02的TRST信号的电平调整为无效电平。若该控制器01与包括该第一加载电路02在内的多个串联的加载电路连接,则该控制器01需要对该多个串联的加载电路均进行解复位。其中,该多个串联的加载电路可以称作JTAG链。

[0142] 2、控制器01通过IR指令向第一加载电路02下发配置指令,该配置指令用于配置时序参数。第一加载电路02中的时序转换电路024可以读取该时序参数以实现JTAG时序到SPI时序的转换。示例的,如图14所示,对于该控制器01的TDI引脚与第一加载电路02之间串联有*n*个第二加载电路04,和/或,第一加载电路02的TDO引脚和控制器01之间可以串联有*m*个

第三加载电路05的场景,该时序参数可以包括用于指示该n的第一数值和用于指示m的第二数值。

[0143] 3、控制器01通过IR指令向第一加载电路02下发加载指令,该加载指令用于指示将通道选择电路023的第一SPI与第三SPI导通。

[0144] 4、控制器01通过DR指令向第一加载电路02下发待加载的数据,以便对该第一加载电路02所连接的SPI闪存03进行加载。

[0145] 以上流程可以用以下SVF格式的伪流程来描述:

```

TRST OFF; //解复位;
SIR 选择配置寄存器 ( config register ); //选通待配置时序参数的配置寄存器;
SDR 配置时序参数; //向配置寄存器配置时序参数;
SIR 下发加载指令; //向第一加载电路下发加载指令, 将通道选择电路的第一SPI与第
三SPI导通;
[0146] SDR 下发擦除指令; //下发SPI闪存擦除 ( erase ) 指令, 用于擦除该SPI闪存的存储空间;
RUNTEST IDLE k ms; //等待k毫秒 ( ms );
SDR 加载SPI闪存; //下发SPI闪存编程 ( program ) 指令, 将待加载的数据加载至该SPI
闪存03。

```

[0147] 其中,SVF文件的详细语法可以参考串行向量格式规范(serial vector format specification)。由于对SPI闪存03的擦除过程需要一定时间,因此参考上述伪流程可以看出,该第一加载电路02在执行擦除指令后,需要响应于等待指令等待k ms。该k可以为正数,且k的取值可以根据清空SPI闪存03的存储空间所需的时长设定。

[0148] 以图1所示的仅包括一个第一加载电路02的加载系统为例,对该控制器01对第一加载电路02所连接的SPI闪存03进行加载的过程进行说明。假设该JTAG电路021中IR 021a的长度为4比特(bit),SPI闪存03的指令长度为8bit,SPI闪存03的地址长度为3字节(byte),即24bit。若加载指令定义为十六进制数:3,擦除指令定义为十六进制数:C7,编程指令定义为十六进制数:02。则控制器01向第一加载电路02所连接的SPI闪存03进行加载时,所执行的SVF文件可以为:

```

TRST OFF; //解复位第一加载电路;
SIR 4 TDI ( c ); //向第一加载电路下发加载指令3;
[0149] SDR 8 TDI ( e3 ); //下发SPI闪存擦除指令C7;
RUNTEST IDLE 1.60E+002 SEC ENDSTATE IDLE; //等待160s, 即k=160000;
SDR 48 TDI( 5aff00000040 ); //下发SPI闪存编程指令, 并向SPI闪存的0地址写入ff5a。

```

[0150] 由于控制器01中配置的SVF文件解析器是从低位向高位读取SVF文件中的指令,因此在SVF文件中配置的指令值与实际指令的高低位顺序相反。例如,加载指令定义为十六进制数:3(二进制表示为:0011),则由于该加载指令由低位到高位排列顺序为:1100(16进制表示为:c),因此该SVF文件中的加载指令的指令值为c。擦除指令定义为十六进制数:C7(二进制表示为:11000111),由于该擦除指令由低位到高位排列顺序为:11100011(16进制表示为:e3),因此该SVF文件中的擦除指令的指令值为e3。

[0151] 执行编程指令向0地址写入待加载的数据:ff5a时,由于编程指令定义为十六进制数:02(二进制表示为:00000010),其由低位到高位排列顺序为:01000000(16进制表示

为:40),因此用于写入待加载的数据:ff5a的TDI信号“5aff00000040”的最后两位为40。又由于SPI闪存03的地址长度为3byte(24bit),因此该TDI信号“5aff00000040”中间的0000000表示长度为3byte的0地址。还由于待加载的数据ff5a二进制表示为:1111111101011010,其由低位到高位排列顺序为:0101101011111111(即十六进制数:5aff),因此该TDI信号“5aff00000040”的前四位为5aff。

[0152] 应理解的是,上述SVF文件是以仅包括一个第一加载电路02的加载系统(即 $x=1$)为例进行的说明,因此该控制器01无需向第一加载电路02下发配置指令,配置时序参数。

[0153] 可选地,对于该加载系统仅包括一个第一加载电路02的场景,如图14所示,该加载系统还可以包括:串联在控制器01的JTAG接口的TDI引脚和该第一加载电路02之间的 n 个第二加载电路04,该 n 为正整数。该控制器01,还可以用于向该第一加载电路02发送第一配置指令,该第一配置指令用于指示在该第一加载电路02的第一配置寄存器025中配置用于指示该 n 的第一数值。

[0154] 参考图9,该第一加载电路02中的时序转换电路024可以根据该第一数值确定出 n 的值,并将向第一SPI中CS引脚提供的目标片选信号由高电平跳变为低电平的时刻,相对于初始CS信号由高电平跳变为低电平的时刻延迟 n 个时钟周期。

[0155] 可选地,对于该加载系统仅包括一个第一加载电路02的场景,如图14所示,该加载系统还可以包括:串联在该第一加载电路02的TDO引脚和该控制器01之间的 m 个第三加载电路05,该 m 为正整数。该控制器01,还用于根据该第三加载电路04的个数 m ,确定目标CS信号处于有效电平的时长,并向该第一加载电路02发送第二配置指令,该第二配置指令还用于指示在该第一配置寄存器025中配置用于指示该目标CS信号处于有效电平的时长的第二数值。

[0156] 参考图9,该第一加载电路02中的时序转换电路024可以根据该第二数值确定出 m 的值,并将向第一SPI中CS引脚提供的目标片选信号由低电平跳变为高电平的时刻,相对于初始CS信号由低电平跳变为高电平的时刻提前了 m 个时钟周期。

[0157] 在上述场景中,控制器01在对该第一加载电路02所连接的SPI闪存03进行加载时,可以将该 n 个第二加载电路04,以及 m 个第三加载电路05均调整为旁路状态,如图15所示,该 n 个第二加载电路04相当于 n 个旁路寄存器,该 m 个第三加载电路05相当于 m 个旁路寄存器。该 n 个旁路寄存器仅透传控制器01发送的TDI信号,该 m 个旁路寄存器仅透传该第一加载电路02发送的TDO信号,其中,每个旁路寄存器透传TDI或TDO信号耗时1个时钟周期。应理解的是,该第一加载电路02还可以对TDI信号传输的待加载的数据进行加载,加载时长为 j 个时钟周期,该 j 的值由待加载的数据的长度确定。

[0158] 由于控制器01发送的TDI信号需要经过 n 个时钟周期到达该第一加载电路02,第一加载电路02发送的TDO信号需要经过 m 个时钟周期到达该控制器01,而该第一加载电路02、每个第二加载电路04以及每个第三加载电路05均是在控制器01发送的相同的TCK信号和TMS信号下进行状态转换的,因此会导致数据信号(包括TDI信号和TDO信号)与控制信号(包括TCK信号和TMS信号)不同步。

[0159] 而在本申请实施例中,控制器01可以向该第一加载电路02发送第一配置指令和第二配置指令,以便在该第一加载电路02的第一配置寄存器中配置时序参数(包括该第一数值和第二数值)。该第一加载电路02中的时序转换电路024可以通过读取该时序参数,调整

数据 ff5a 二进制表示为:1111111101011010,其由低位到高位排列顺序为:0101101011111111,因此该TDI信号最高位的16bit为:0101101011111111。

[0166] 可选地,该加载系统可以包括多个串联的第一加载电路02(即 x 大于1)。参考图10,该加载系统还可以包括:串联在该控制器01的JTAG接口的TDI引脚和该 x 个第一加载电路02之间的 $n-x+1$ 个第二加载电路04,该 n 为正整数,该 x 为不大于 $n+1$ 的整数。

[0167] 若该 x 个第一加载电路02所连接的SPI闪存03中待加载的数据相同,则控制器01可以对该 x 个第一加载电路02所连接的SPI闪存03进行并行加载,从而提高加载效率。

[0168] 对SPI闪存03的加载可以包括3个步骤:1、擦除;2、编程;3、校验。其中擦除和编程都是单向操作,不需要读取SPI闪存03返回的数据。由于这两个步骤耗时较多,因此可以将擦除和编程这两个步骤并行执行,从而可以节省对SPI闪存03进行加载所花费的时间。

[0169] 示例的,假设擦除步骤耗时3分钟,编程步骤耗时1分钟,校验步骤耗时1分钟。若该加载系统包括8个第一加载电路02(即 $x=8$),则对每个第一加载电路02所连接的SPI闪存03进行串行加载所花费的时间为: $(3+1+1)*8=40$ 分钟。若对该8个第一加载电路02所连接的SPI闪存03进行并行加载,则花费的时间为: $3+1+1*8=12$ 分钟。可以看出,加载时间降低了70%,大幅提升了加载效率。

[0170] 在进行并行加载时,该控制器01可以向该 x 个第一加载电路02分别发送并行加载指令,该并行加载指令用于指示该 x 个第一加载电路02中的第1个至第 $x-1$ 个第一加载电路02将其JTAG电路021的TDI引脚与TDO引脚连通。参考图6,第一加载电路02中的旁路寄存器021d1可以响应于该并行加载指令,将JTAG电路021的TDI引脚与TDO引脚连通,实现对TDI信号的透传。

[0171] 参考图6中加粗的黑色线条,控制器01发送的待加载的数据在第1个至第 $x-1$ 个第一加载电路02中每个第一加载电路中的传输路径包括两条:

[0172] 路径1:TDI引脚→旁路寄存器021d1→TDO引脚;

[0173] 路径2:TDI引脚→时序转换电路024→通道选择电路023→SPI闪存03。

[0174] 其中,该路径1的能够将待加载的数据传输至下一个第一加载电路02。上述路径2能够实现向SPI闪存03写入数据。

[0175] 如图16所示,该并行加载的场景中,该加载系统中的第1个至第 $x-1$ 个第一加载电路02均可以通过旁路寄存器透传控制器01发送的待加载的数据,每次透传耗时1个时钟周期。并且,该 x 个第一加载电路02中的每个第一加载电路02可以对待加载的数据进行加载,加载时长为 j 个时钟周期,该 j 的值由待加载的数据的长度确定。

[0176] 可以理解的是,在本申请实施例中,该第 x 个第一加载电路02也可以响应于该并行加载指令,将JTAG电路021的TDI引脚与TDO引脚连通,从而实现对TDI信号的透传。

[0177] 对于该加载系统包括: x 个串联的第一加载电路02,且控制器01的TDI引脚和该 x 个第一加载电路02之间串联有 $n-x+1$ 个第二加载电路04的场景,该控制器01对该 x 个第一加载电路02进行并行加载的过程可以用以下SVF格式的伪流程来描述:

```

TRST OFF; //解复位;
SIR 选择配置寄存器; //下发选通指令, 选通待配置时序参数的配置寄存器;
SDR 配置时序参数; //下发配置指令, 向配置寄存器配置时序参数的值;
SIR 下发并行加载指令; //将通道选择电路的第一SPI与第三SPI导通, 以及将JTAG电
[0178] 路021的TDI引脚与TDO引脚连通;
SDR 下发擦除指令; //下发SPI闪存擦除指令, 用于擦除SPI闪存的存储空间;
RUNTEST IDLE 1.00E-001 SEC ENDSTATE IDLE; //等待100s;
SDR M+N (有效data); //下发SPI闪存页编程指令;
SDR M+N (有效data); //可连续下发SPI闪存页编程指令。

```

[0179] “有效data”是指编程指令和待加载的数据组合形成的数据流,“M+N”表示该数据流的长度。其中,M表示待加载的数据的长度,例如,可以为:2048;N表示编程指令的长度。

[0180] 以该加载系统包括3个串联的第一加载电路02,以及控制器01的JTAG接口的TDI引脚和该3个第一加载电路02之间串联有1个第二加载电路04,且第一加载电路02的TDI引脚与控制器01之间串联有1个第三加载电路05为例,即以 $x=n=3$,且 $m=1$ 为例,对该控制器01对该3个第一加载电路02所连接的SPI闪存03进行并行加载的过程进行说明。假设每个加载电路中的IR的长度均为4bit,第一配置寄存器025的长度为8bit,SPI闪存03的地址长度为3byte(即24bit),SPI闪存03的指令长度为8bit。若选通指令定义为十六进制数:2,第一配置指令定义为十六进制数02,并行加载指令定义为十六进制数4,旁路指令定义为十六进制数f,擦除指令定义为十六进制数C7,编程指令定义为十六进制数02。则控制器01向第一加载电路02所连接的SPI闪存03进行加载时,所执行的SVF文件可以为:

```

TRST OFF; //解复位串联的每个加载电路;
SIR 20 TDI (f444f); //向该3个第一加载电路下发选通指令, 选通该3个第一加载电
路的第1配置寄存器;
SDR 25 TDI (0808080); //向该3个第一加载电路下发第一配置指令02, 向第1配置
寄存器配置用于指示n的第一数值;
[0181] SIR 20 TDI (f222f); //向该3个第一加载电路下发并行加载指令4;
SDR 25 TDI (1c7c7c6); //向该3个第一加载电路均下发擦除指令C7, 对该3个第一加
载电路连接的SPI闪存的存储空间进行并行擦除;
RUNTEST IDLE 1.60E+002 SEC ENDSTATE IDLE; //等待160s;
SDR 49 TDI (0b5fe0000080); //向该3个第一加载电路均下发编程指令, 并行向SPI
闪存写入数据, 向SPI闪存03的0地址写入ff5a。

```

[0182] 其中,由于并行加载指令定义为十六进制数:4(二进制表示为:0100),由于该并行加载指令由低位到高位排列顺序为:0010(16进制表示为:2),因此该SVF文件中的加载指令可以为f222f,控制器01可以基于该SVF文件向该3个第一加载电路02下发并行加载指令4。

[0183] 在向3个第一加载电路02中的第一配置寄存器下发第一配置指令:02时,SVF文件中配置指令值为十六进制数:0808080,指令值长度为25bit,其二进制表示为:010000000100000001000000。由于该3个第一加载电路02之前有1个第二加载电路04,因此对于该3个第一加载电路02中的第一配置寄存器025,其实际读取到的指令值为010000000100000001000000的高24bit:010000000100000001000000。其中,SVF文件解析器是从低位向高位读取SVF文件中的指令,010000000100000001000000从低位到高位读取

为:000000100000001000000010(即为十六进制数:020202),从而可以实现向3个第一加载电路02中的第一配置寄存器均下发第一配置指令:02。

[0184] 同理可知,控制器01向第一加载电路02所连接的SPI闪存03下发擦除指令:C7时,SVF文件中擦除指令的指令值为十六进制数:1c7c7c6,指令值长度为25bit,二进制表示为:1110001111100011111000110。由于该3个第一加载电路02之前有1个第二加载电路04,因此对于该3个第一加载电路02所连接的SPI闪存03,其实际读取到的指令值为1110001111100011111000110的高24bit:111000111110001111100011。其中,SVF文件解析器是从低位向高位读取SVF文件中的指令,111000111110001111100011从低位到高位读取为:110001111100011111000111(即为十六进制数:c7c7c7),从而可以实现向3个第一加载电路02所连接的SPI闪存03均下发擦除指令c7。

[0185] 用于向SPI闪存03写入待加载的数据ff5a的TDI信号表示为:0b5fe00000040,长度为49bit,二进制表示为:010110101111111000000000000000000000000000010000000。其中,由于第一加载电路02之前有1个第二加载电路04,TDI信号需要延迟1个时钟周期,因此TDI信号的最低1bit为:0。又由于编程指令定义为十六进制数:02(二进制表示为:00000010),其由低位到高位排列顺序为:01000000,因此TDI信号低位的2bit至9bit为:01000000。又由于SPI闪存03的地址长度为3byte(24bit),因此该TDI信号从低位到高位10bit至33bit的“00000000000000000000000000000000”表示长度为3byte的0地址。还由于待加载的数据ff5a二进制表示为:1111111101011010,其由低位到高位排列顺序为:0101101011111111,因此该TDI信号最高位的16bit为:0101101011111111。

[0186] 可选地,在上述加载系统中,该控制器01还用于向每个该第一加载电路02发送第一配置指令,以及向第1个至第x-1个该第一加载电路02发送第三配置指令,其中,该第一配置指令用于指示在该第一加载电路02的第一配置寄存器025中配置用于指示该n的第一数值,向第x-i个第一加载电路02发送的该第三配置指令用于指示在该第x-i个第一加载电路02的第二配置寄存器026中配置用于指示该i的第三数值,该i为小于x的正整数。

[0187] 其中,该第x-i个第一加载电路02中的时序转换电路024,可以根据该第三数值将该TDI引脚提供的TDI信号延迟i个时钟周期后提供至MOSI引脚。而该第x个第一加载电路02中的时序转换电路024无需对TDI引脚提供的TDI信号进行延迟。由此,可以使得该x个第一加载电路02可以同时向SPI闪存03加载数据。

[0188] 综上所述,本申请实施例提供了一种加载系统,该加载系统中的第一加载电路包括JTAG电路和通道选择电路,该通道选择电路具有第一SPI、第二SPI和第三SPI,该第三SPI用于连接SPI闪存。由于该JTAG电路的各个引脚可以与该第一SPI的各个引脚对应连接,且该JTAG电路可以控制该第一SPI和第三SPI导通,因此实现了JTAG接口与SPI的通信。相应的,控制器可以通过JTAG接口与该第一加载电路中的JTAG电路连接,并可以在该通道选择电路的第一SPI和第三SPI导通时,将数据加载至SPI闪存,从而实现了对该SPI闪存中存储的固件的带外升级。

[0189] 并且,对于该加载系统包括多个串联的加载电路,且控制器对其中一个第一加载电路所连接的SPI闪存进行加载的场景。控制器可以对该第一加载电路中配置寄存器进行配置,使得该第一加载电路的时序转换电路可以将向CS引脚提供的目标CS信号的电平由无效电平跳变为有效电平的时刻,延迟和/或提前若干个时钟周期。由此,该控制器可以实现

对多个串联的加载电路中的第一加载电路所连接的SPI闪存的加载,有效提高了加载的灵活性。

[0190] 对于该加载系统包括多个串联的第一加载电路,且控制器对该多个第一加载电路所连接的SPI闪存进行并行加载的场景。控制器可以向第一加载电路下发并行加载指令,第一加载电路进而可以响应于该并行加载指令将TDI引脚与TDO引脚连通。由此,第一加载电路可以实现在向SPI闪存加载数据的同时向下一个第一加载电路透传TDI信号,进而确保控制器能够对串联的多个第一加载电路进行并行加载,降低了加载所需的时间,提升了加载效率。

[0191] 基于上述分析可知,本申请提供的加载系统中,控制器可以直接通过其JTAG接口对加载电路所连接的SPI闪存进行带外升级。由此,可以解决主流处理器板卡(如PCIE板卡或OAM模块)未设置对外的SPI而无法对SPI闪存进行带外升级的问题,有效提高了固件升级的灵活性。并且,本申请实施例提供的方案可以归一化不同类型的处理器板卡所连接的SPI闪存的加载流程,且可以归一化处理器板卡的硬件设计,推动处理器板卡的软硬件设计的标准化。又由于本申请实施例提供的方案可以将通道选择电路(即MUX)集成在加载电路中,因此可以确保在对SPI闪存进行带外升级时,无需在处理器板卡上额外设置MUX,从而可以节省处理器板卡的布局空间,并降低硬件设计成本。

[0192] 可选地,本申请实施例提供的加载系统中的每个加载电路均可以为集成电路(integrated circuit chip,IC)、专用集成电路(application-specific integrated circuit,ASIC)或可编程逻辑器件(programmable logic device,PLD)。上述PLD可以是复杂程序逻辑器件(complex programmable logical device,CPLD),现场可编程门阵列(field-programmable gate array,FPGA),通用阵列逻辑(generic array logic,GAL)或其任意组合。

[0193] 并且,对于该加载电路为IC(即芯片)的场景,该加载电路可以为中央处理器(central processing unit,CPU)、图形处理器(graphics processing unit,GPU)、神经网络处理器(neural-network processing unit,NPU)、图像处理器(image processing unit,IPU)或张量处理器(tensor processing unit,TPU)等。

[0194] 上述实施例,可以全部或部分地通过软件、硬件、固件或其他任意组合来实现。当使用软件实现时,上述实施例可以全部或部分地以计算机程序产品的形式实现。所述计算机程序产品包括一个或多个计算机指令。在计算机上加载或执行所述计算机程序指令时,全部或部分地产生按照本申请实施例所述的流程或功能。所述计算机可以为通用计算机、专用计算机、计算机网络、或者其他可编程装置。所述计算机指令可以存储在计算机可读存储介质中,或者从一个计算机可读存储介质向另一个计算机可读存储介质传输,例如,所述计算机指令可以从一个网站站点、计算机、服务器或数据中心通过有线(例如同轴电缆、光纤、数字用户线(DSL))或无线(例如红外、无线、微波等)方式向另一个网站站点、计算机、服务器或数据中心进行传输。所述计算机可读存储介质可以是计算机能够存取的任何可用介质或者是包含一个或多个可用介质集合的服务器、数据中心等数据存储设备。所述可用介质可以是磁性介质(例如,软盘、硬盘、磁带)、光介质(例如,DVD)、或者半导体介质。半导体介质可以是固态硬盘(solid state drive,SSD)。

[0195] 本申请中术语“第一”“第二”等字样用于对作用和功能基本相同的相同项或相似

项进行区分,应理解,“第一”、“第二”、“第n”之间不具有逻辑或时序上的依赖关系,也不对数量和执行顺序进行限定。还应理解,尽管以下描述使用术语第一、第二等来描述各种元素,但这些元素不应受术语的限制。这些术语只是用于将一元素与另一元素区别分开。例如,在不脱离各种所述示例的范围的情况下,第一配置寄存器可以被称为第二配置寄存器,并且类似地,第二配置寄存器可以被称为第一配置寄存器。

[0196] 本申请中术语“至少一个”的含义是指一个或多个,本申请中术语“多个”的含义是指两个或两个以上,例如,多个加载电路是指两个或两个以上的加载电路。本文中术语“系统”和“网络”经常可互换使用。

[0197] 以上所述,仅为本申请的可选实施方式,但本申请的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本申请揭露的技术范围内,可轻易想到各种等效的修改或替换,这些修改或替换都应涵盖在本申请的保护范围之内。因此,本申请的保护范围应以权利要求的保护范围为准。

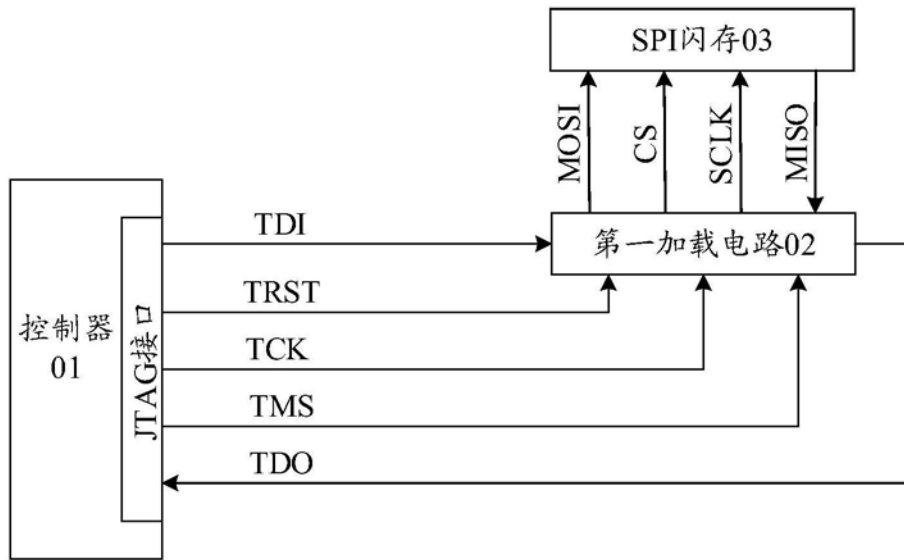


图1

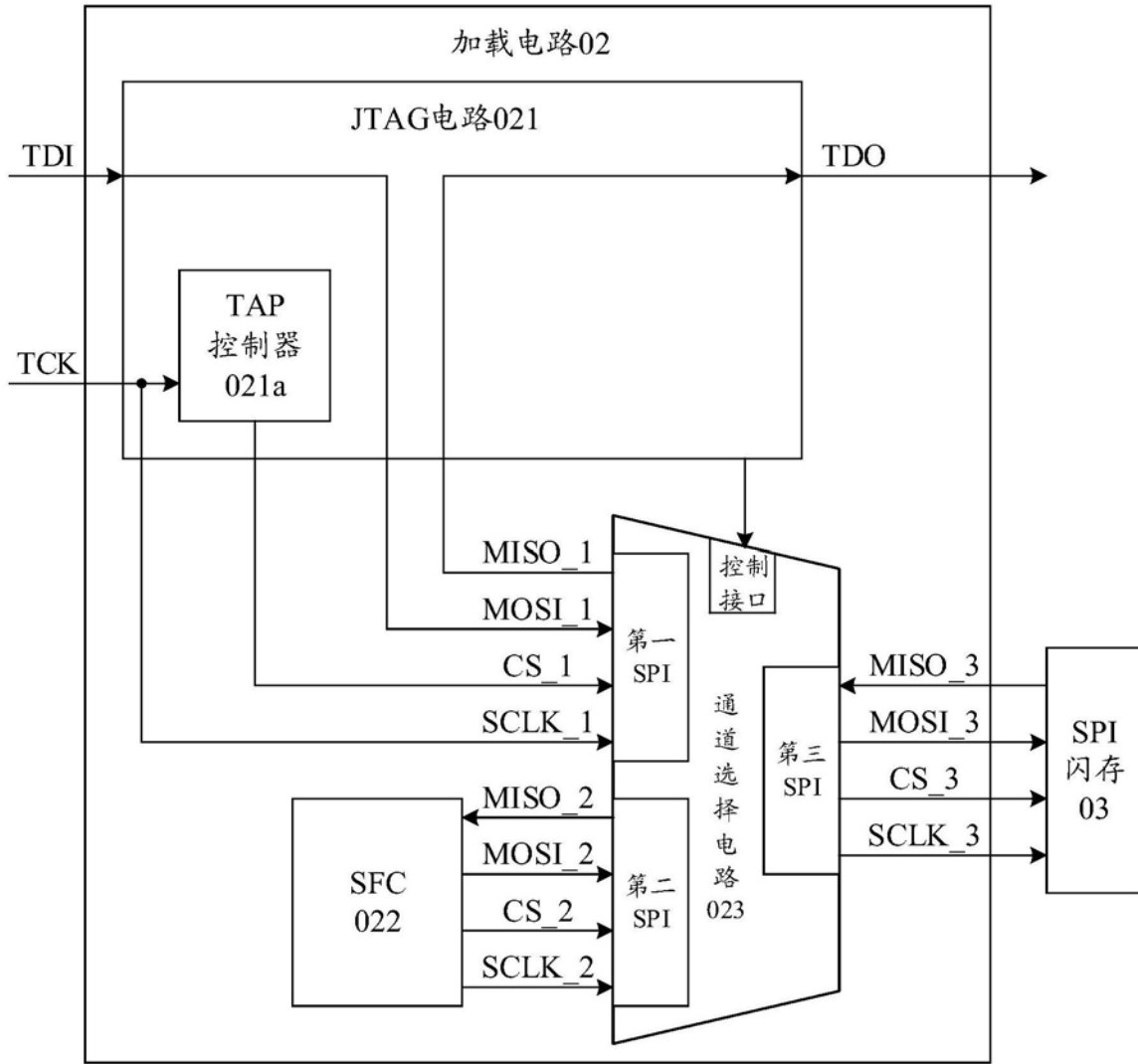


图2

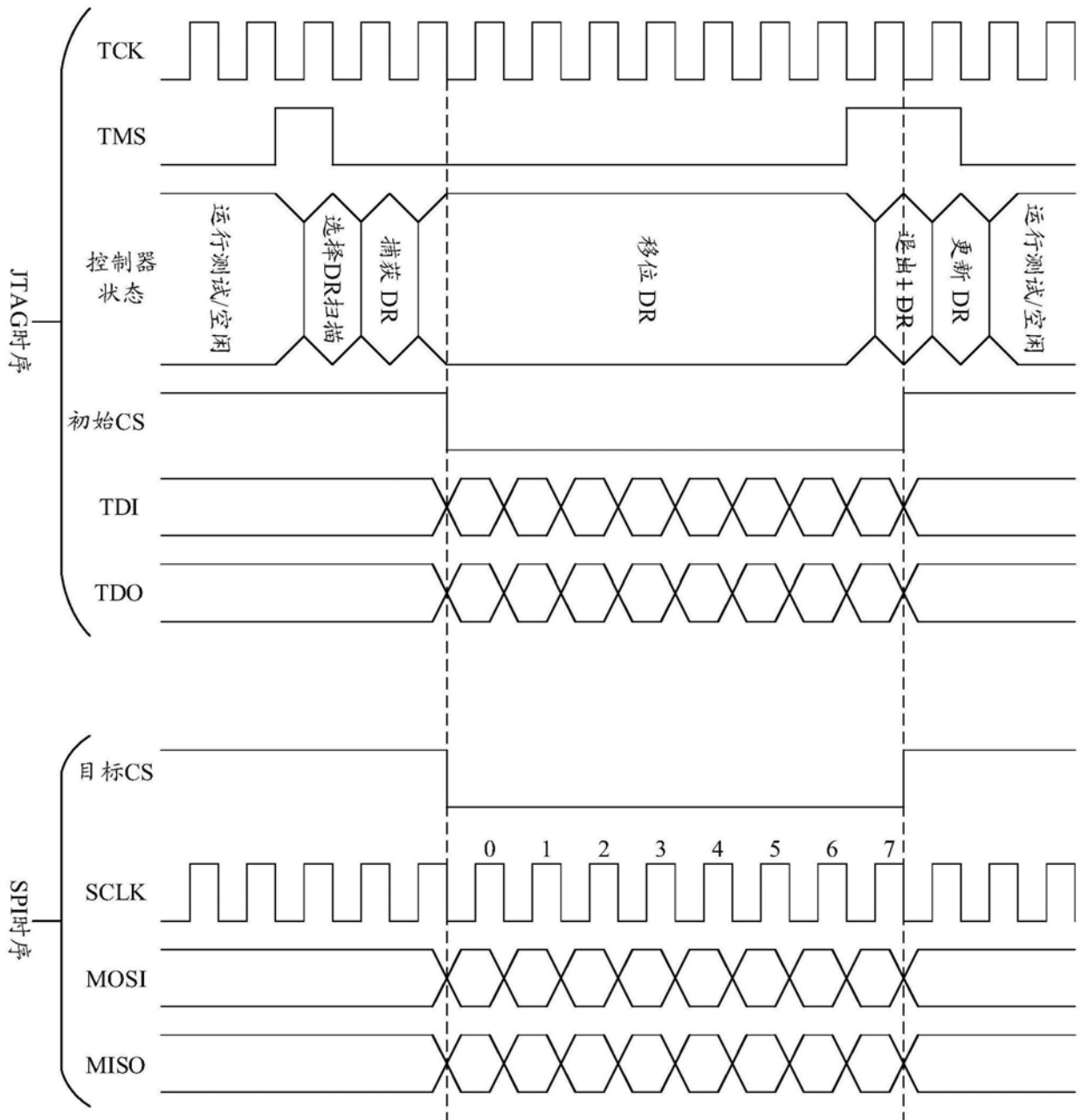


图3

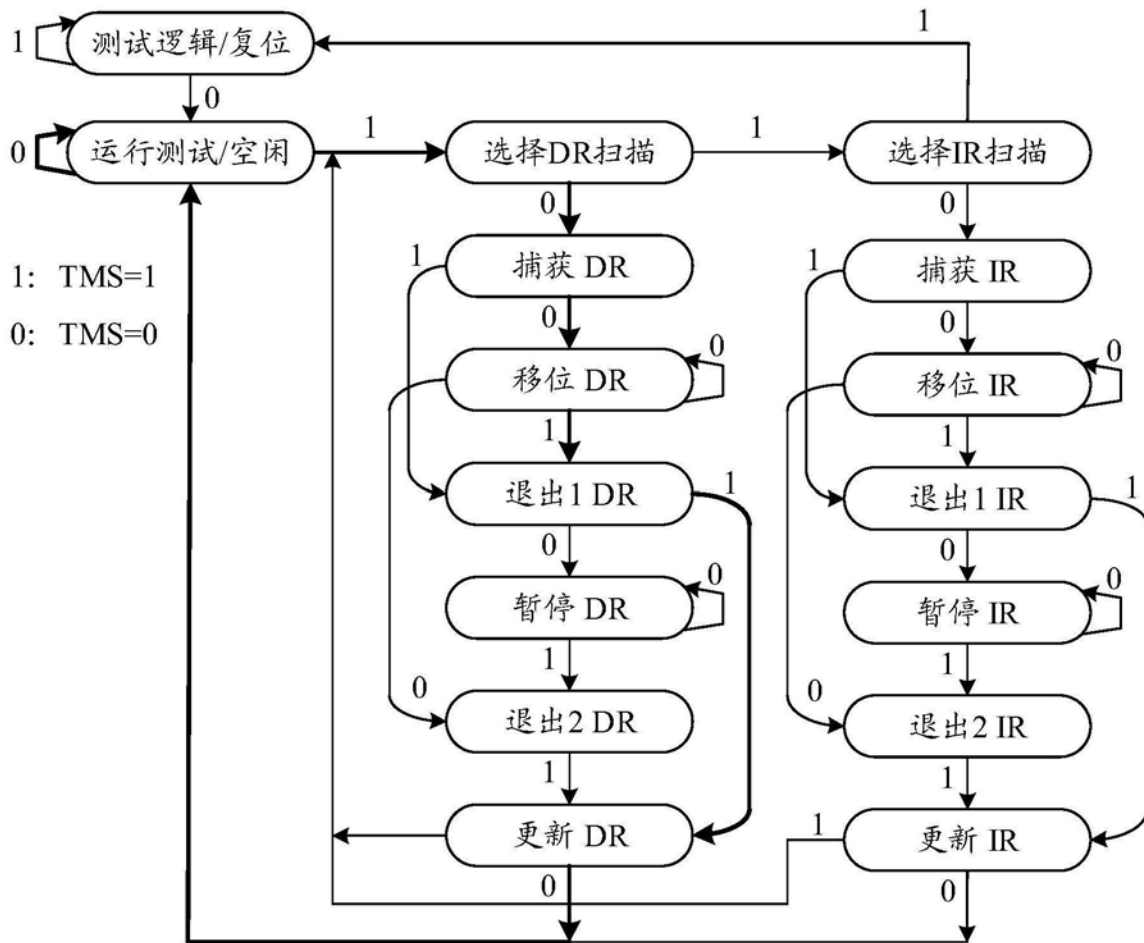


图4

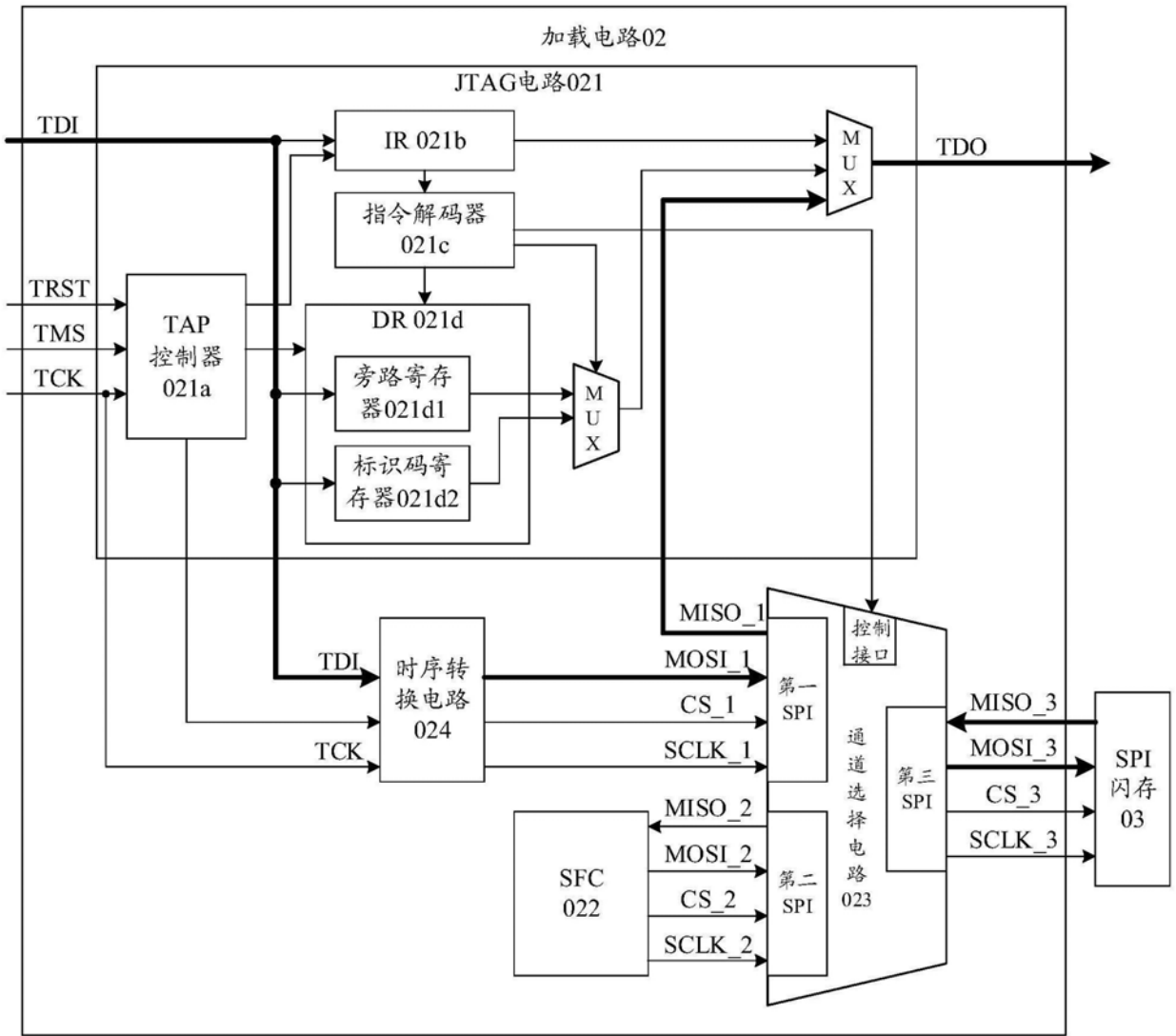


图5

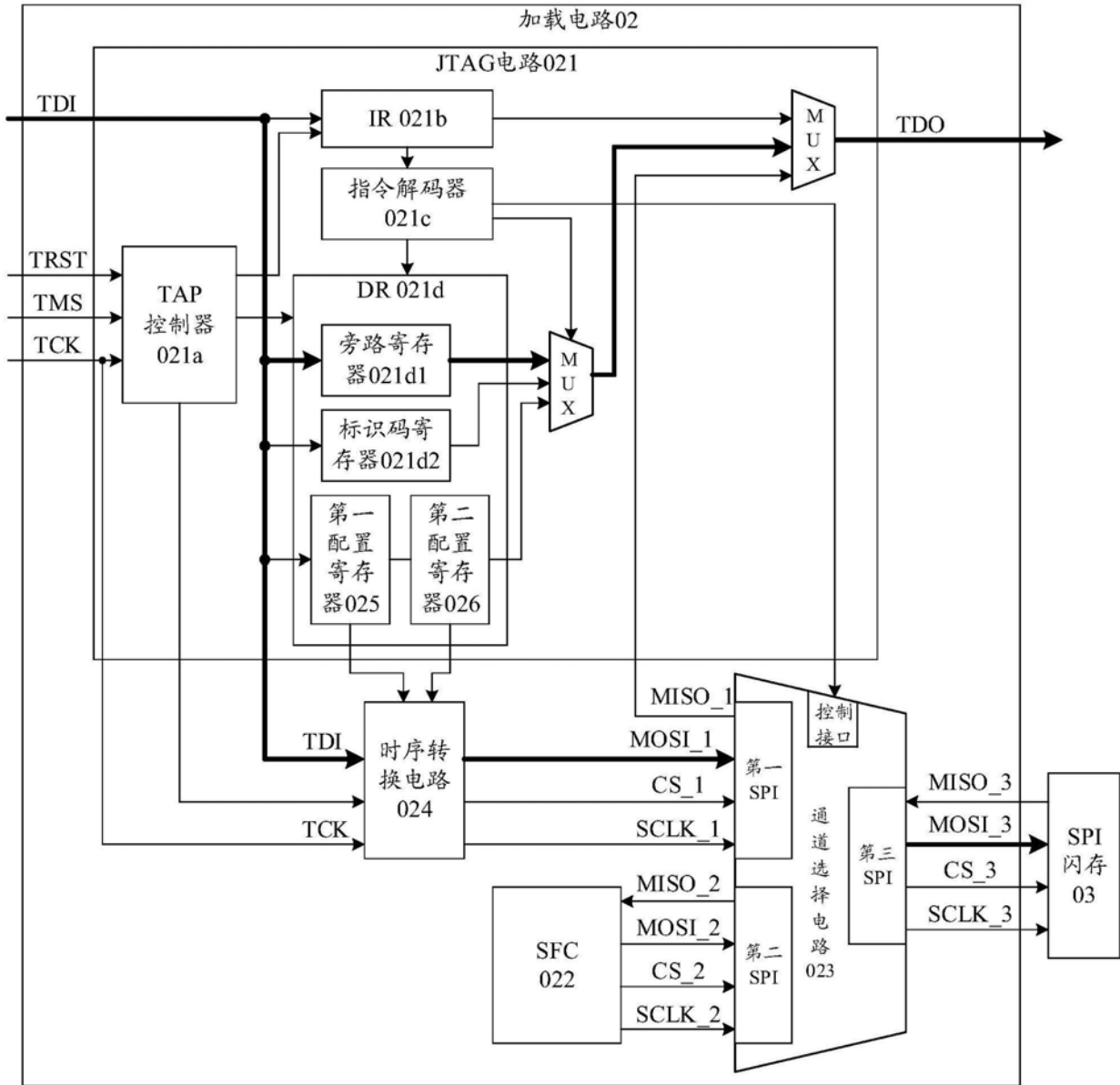


图6

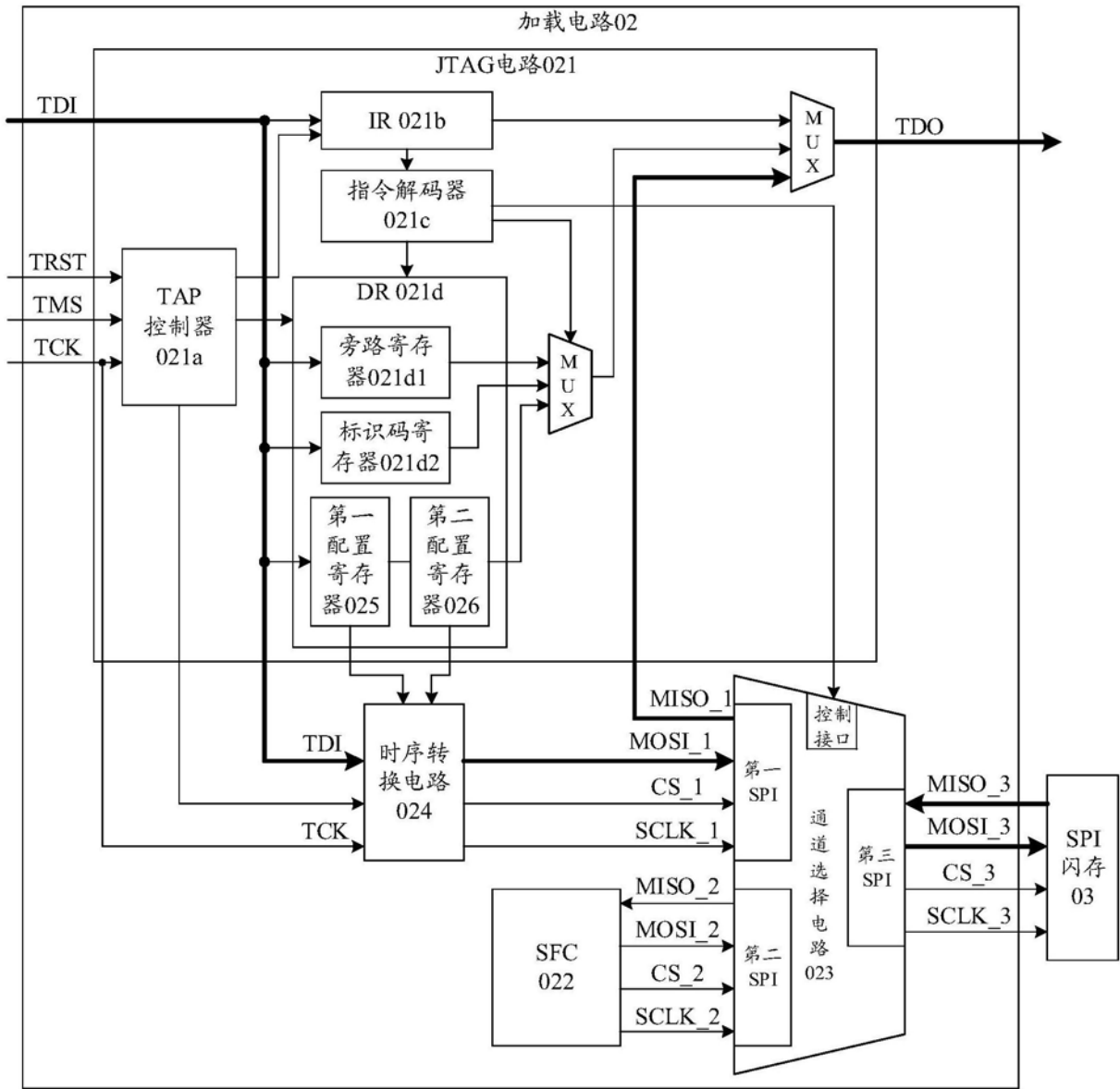


图7

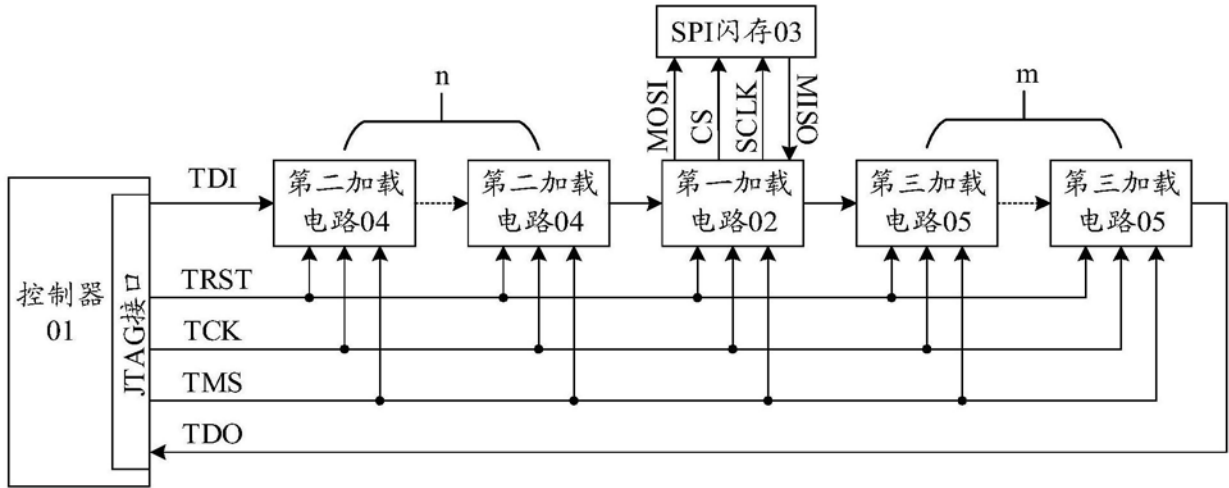


图8

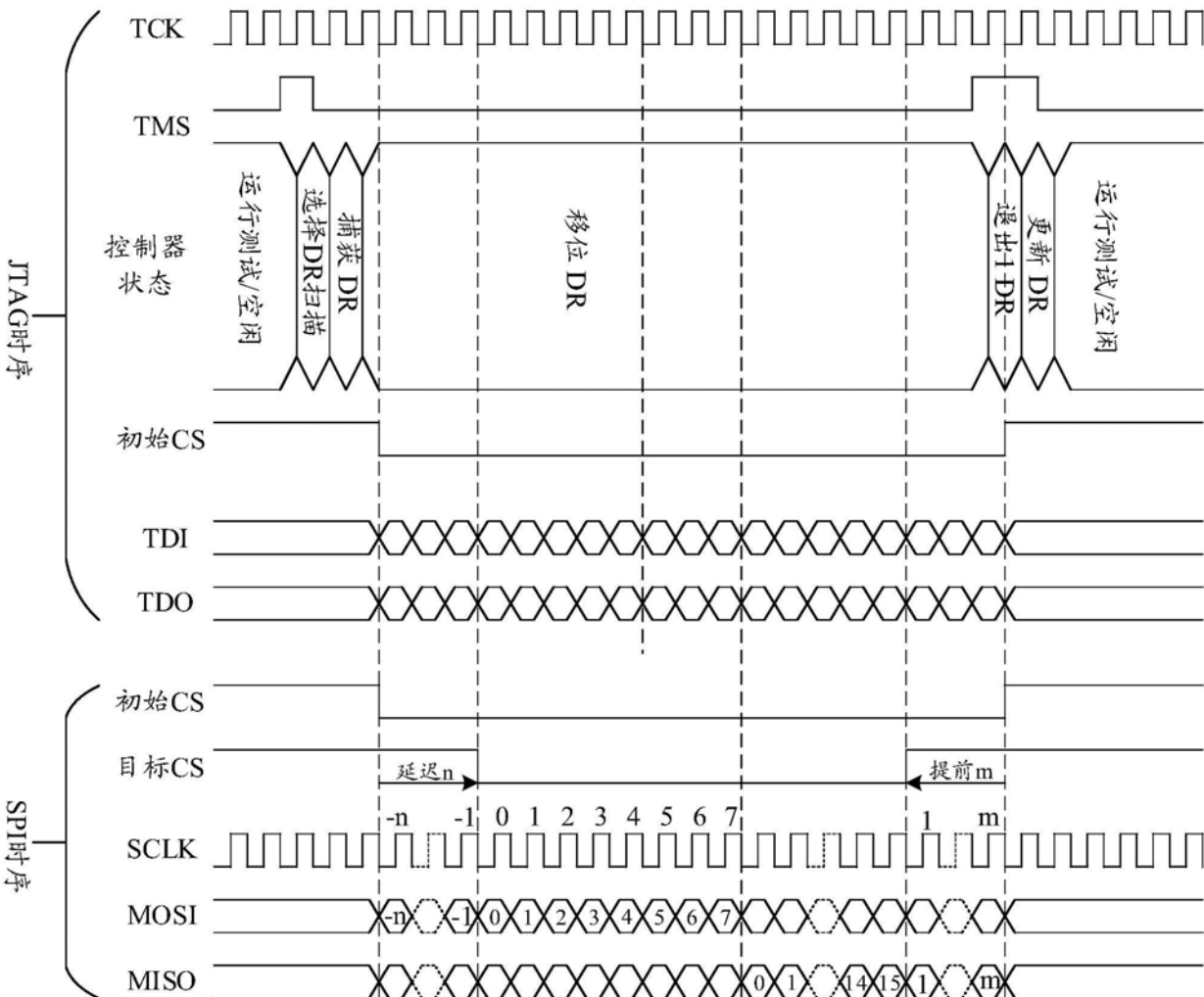


图9

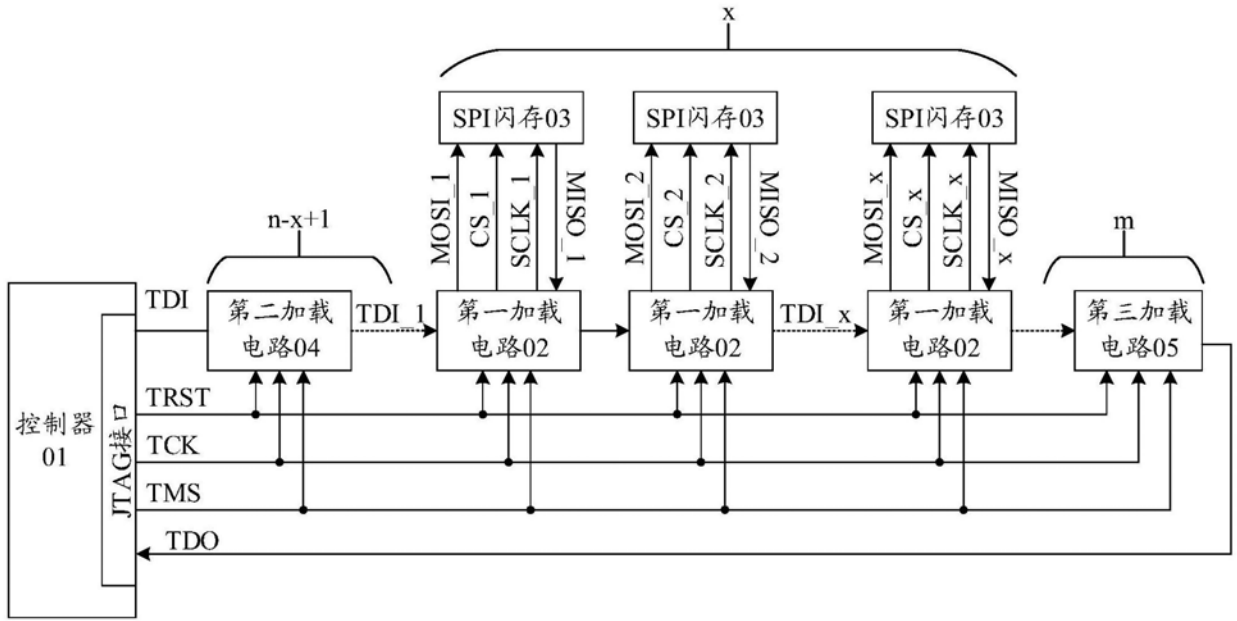


图10

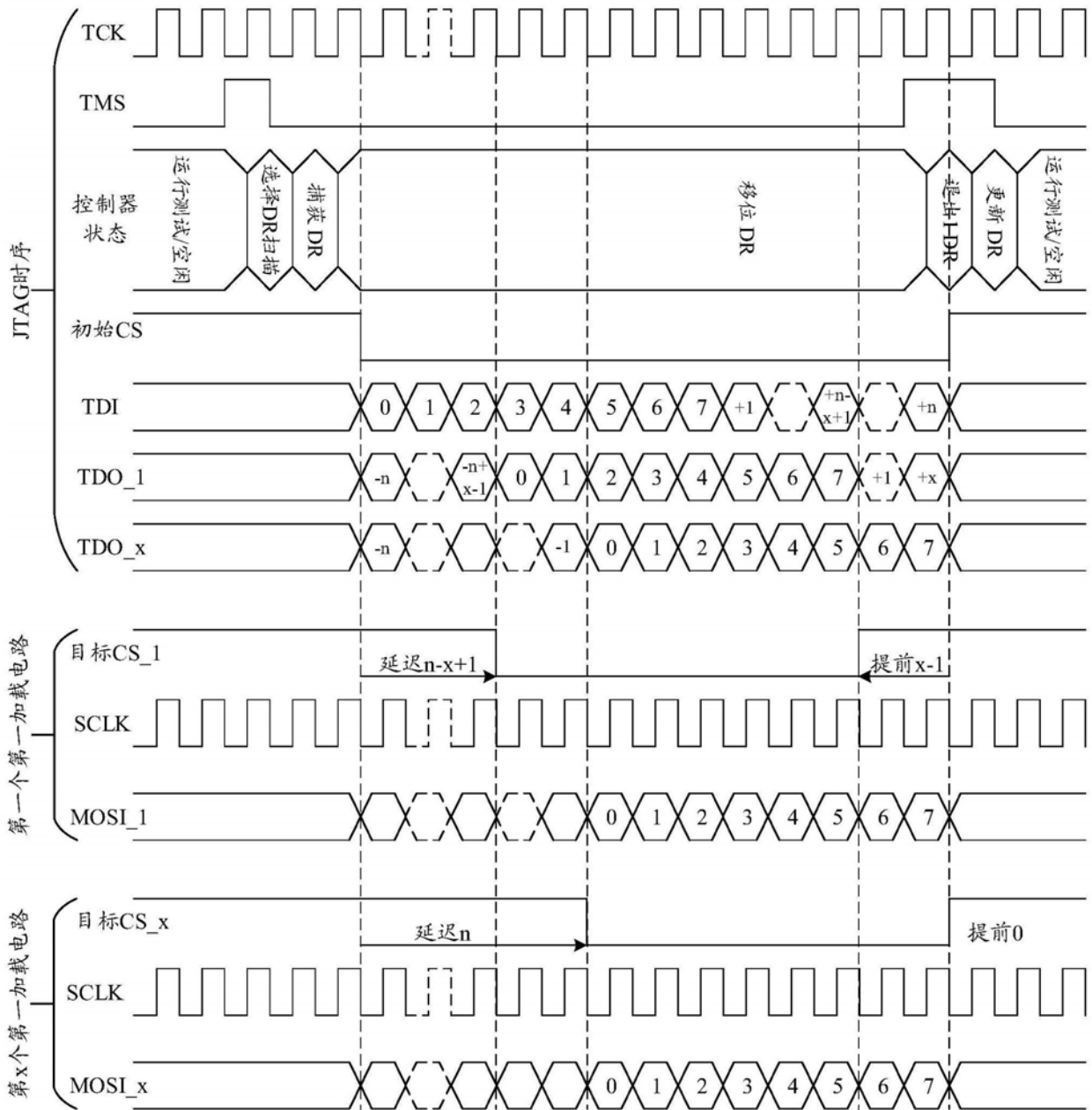


图11

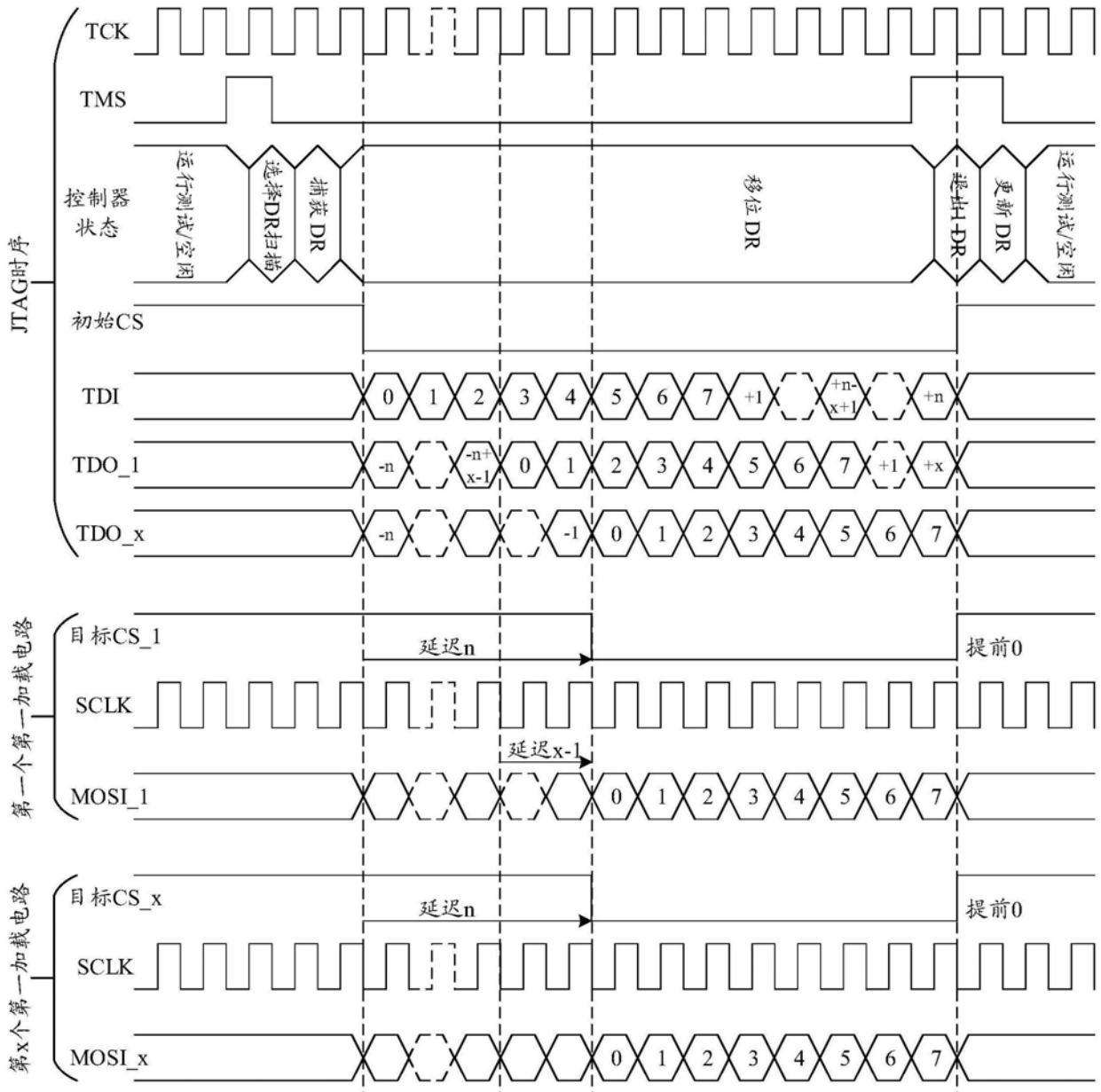


图12

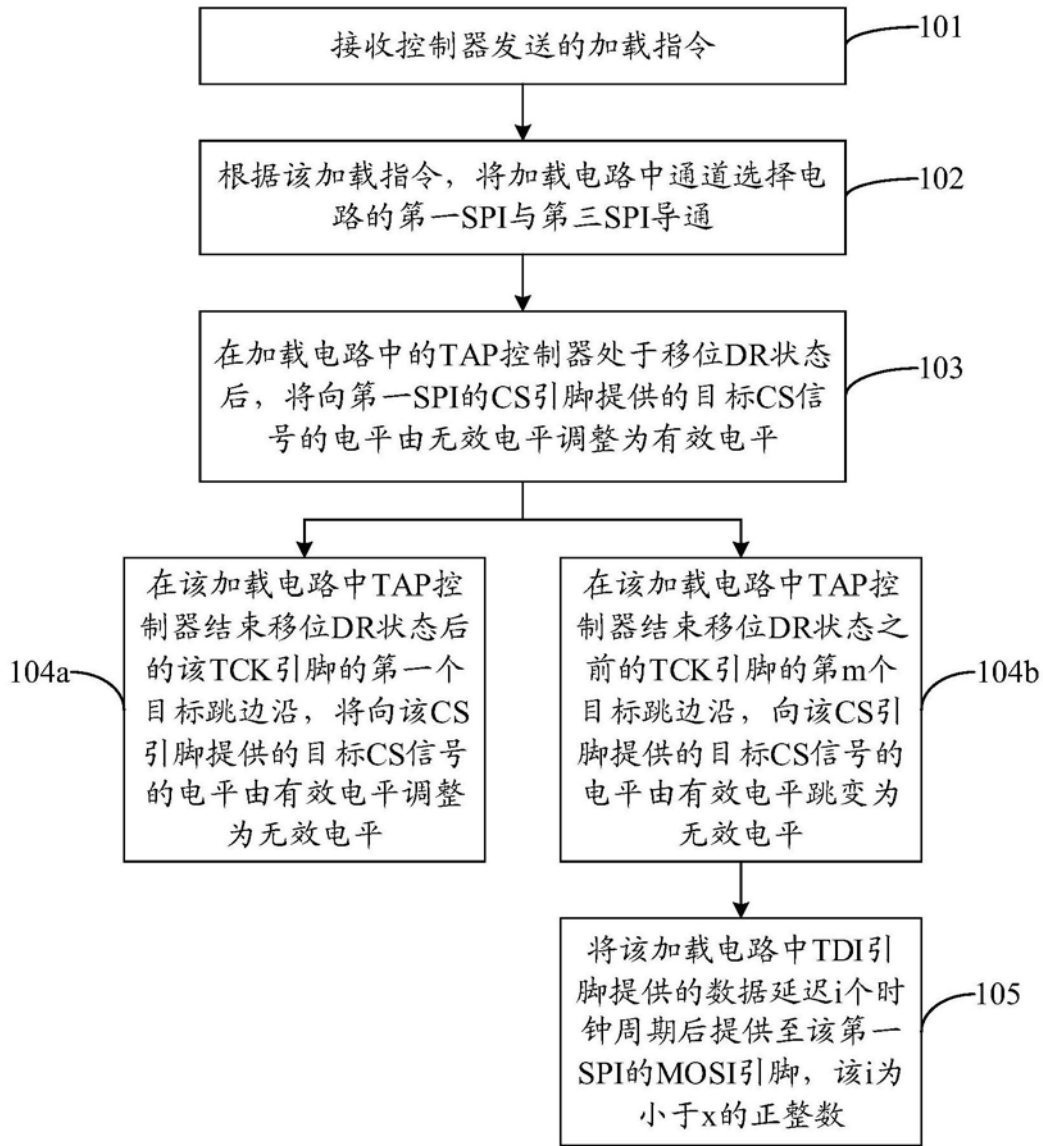


图13

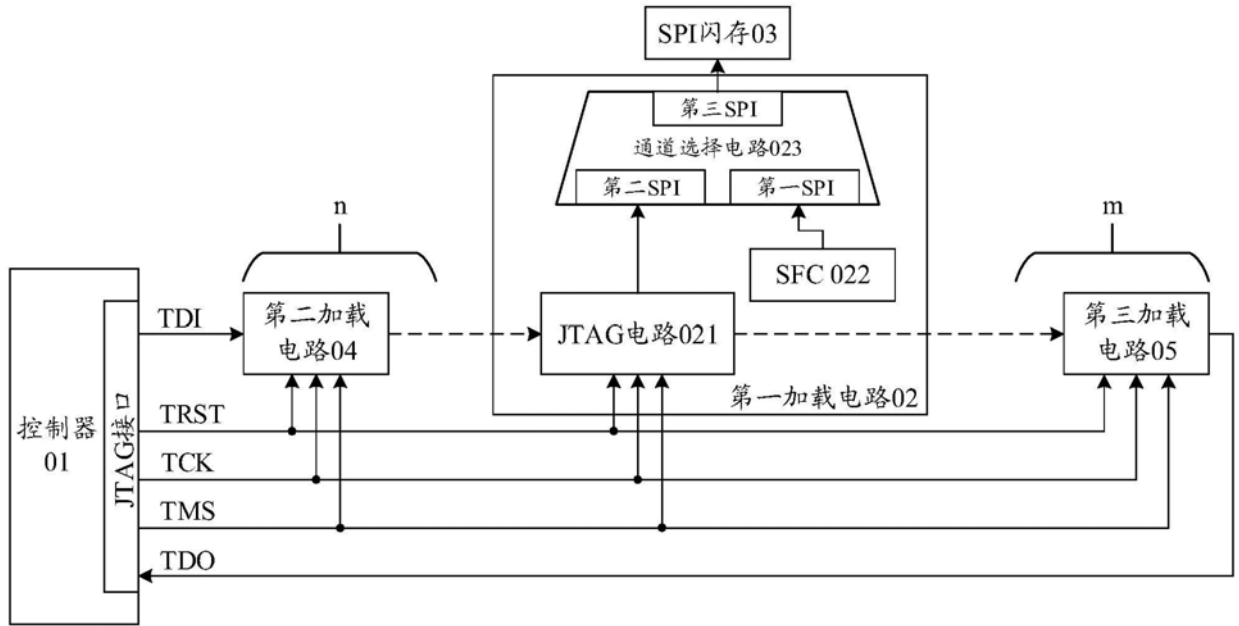


图14

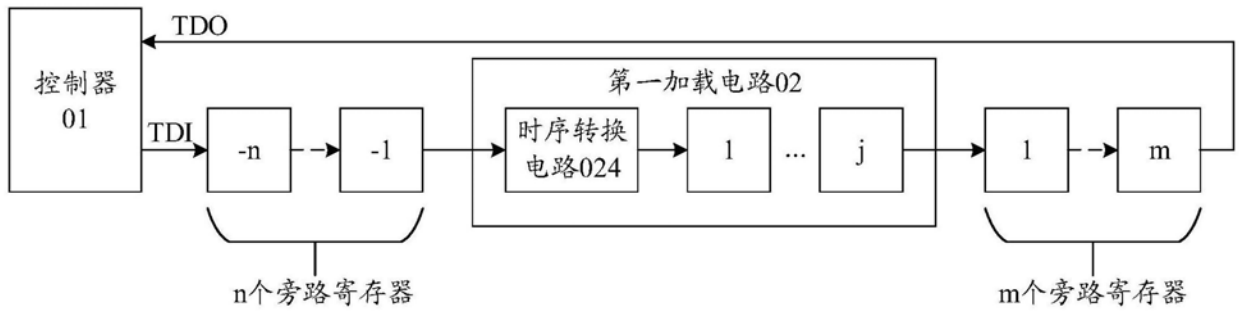


图15

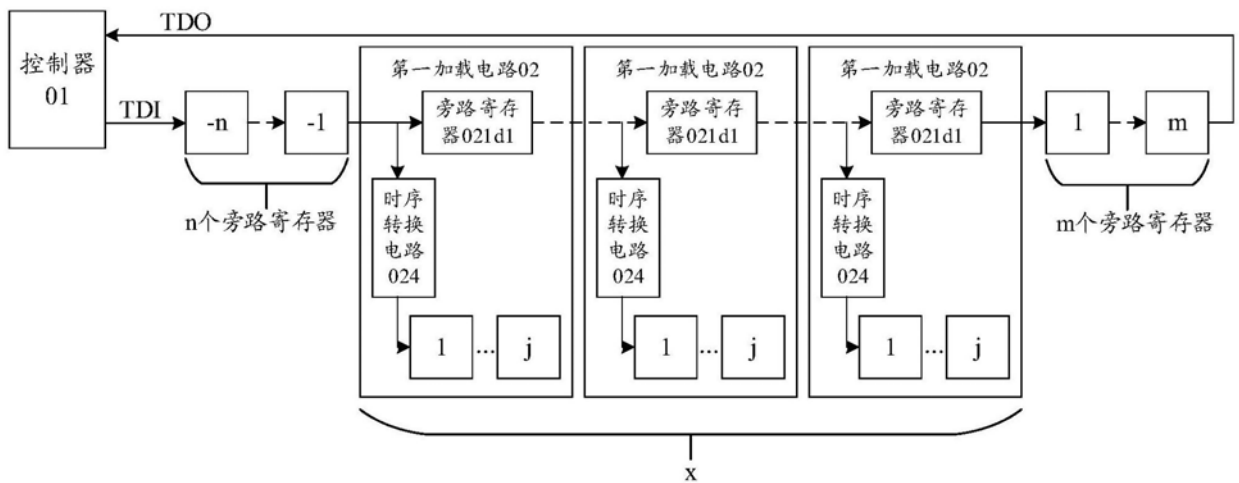


图16