



(12) 发明专利申请

(10) 申请公布号 CN 113437162 A

(43) 申请公布日 2021.09.24

(21) 申请号 202110518985.7

(22) 申请日 2021.05.12

(71) 申请人 上海新硅聚合半导体有限公司  
地址 201800 上海市嘉定区汇源路55号8幢  
3层J

(72) 发明人 欧欣 陈阳 黄凯

(74) 专利代理机构 广州三环专利商标代理有限公司 44202  
代理人 郝传鑫 贾允

(51) Int. Cl.

H01L 31/0236 (2006.01)

H01L 31/0392 (2006.01)

H01L 31/18 (2006.01)

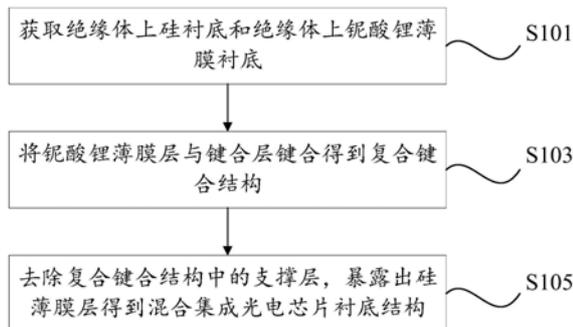
权利要求书2页 说明书7页 附图2页

(54) 发明名称

一种混合集成光电芯片衬底结构的制备方法  
及衬底结构

(57) 摘要

本发明涉及光电芯片技术领域,特别涉及一种混合集成光电芯片衬底结构的制备方法及衬底结构。方法包括:获取绝缘体上硅衬底和绝缘体上铌酸锂薄膜衬底;绝缘体上硅衬底包括支撑层和键合层,键合层包括硅薄膜层,硅薄膜层设置在支撑层上;绝缘体上铌酸锂薄膜衬底包括铌酸锂薄膜层;将铌酸锂薄膜层与键合层键合得到复合键合结构;去除复合键合结构中的支撑层,暴露出硅薄膜层得到混合集成光电芯片衬底结构。通过将绝缘体上硅衬底和绝缘体上铌酸锂薄膜衬底键合,得到性能优异的混合集成光电芯片衬底结构,从而能够实现性能更加优秀的光电芯片的制备。



1. 一种混合集成光电芯片衬底结构的制备方法,其特征在于,所述方法包括:  
获取绝缘体上硅衬底和绝缘体上铌酸锂薄膜衬底;所述绝缘体上硅衬底包括支撑层和键合层,所述键合层包括硅薄膜层(305),所述硅薄膜层(305)设置在所述支撑层上;所述绝缘体上铌酸锂薄膜衬底包括铌酸锂薄膜层(303);  
将所述铌酸锂薄膜层(303)与所述键合层键合得到复合键合结构;  
去除所述复合键合结构中的所述支撑层,暴露出所述硅薄膜层(305)得到所述混合集成光电芯片衬底结构。
2. 根据权利要求1所述的制备方法,其特征在于,所述键合层还包括氧化层(304),所述氧化层(304)设置在所述硅薄膜层(305)上;  
所述将所述铌酸锂薄膜层(303)与所述键合层键合得到复合键合结构,包括:  
将所述铌酸锂薄膜层(303)与所述氧化层(304)键合得到复合键合结构。
3. 根据权利要求2所述的制备方法,其特征在于,将所述铌酸锂薄膜层(303)与所述键合层键合所采用的键合方式至少包括亲水性键合、疏水性键合、等离子体激活键合、表面激活键合。
4. 根据权利要求1所述的制备方法,其特征在于,所述支撑层包括第一衬底层和第一埋氧化层,所述第一埋氧化层设置在所述第一衬底层上,所述硅薄膜层(305)设置在所述第一埋氧化层上;  
所述去除所述复合键合结构中的所述支撑层,暴露出所述硅薄膜层(305)得到所述混合集成光电芯片衬底结构,包括:  
对所述第一衬底层进行机械研磨至所述第一衬底层剩余预设厚度;  
对剩余所述第一衬底层进行第一化学腐蚀,暴露出所述第一埋氧化层;  
对所述第一埋氧化层第二化学腐蚀,暴露出所述硅薄膜层(305)得到所述混合集成光电芯片衬底结构。
5. 根据权利要求4所述的制备方法,其特征在于,所述预设厚度为0-50 $\mu\text{m}$ 。
6. 根据权利要求5所述的制备方法,其特征在于,所述第一化学腐蚀所采用的腐蚀溶液包括氢氧化钾溶液、四甲基氢氧化铵溶液;  
所述第二化学腐蚀所采用的腐蚀溶液包括氢氟酸溶液、缓冲氧化物刻蚀液。
7. 根据权利要求4所述的制备方法,其特征在于,所述第一埋氧化层的厚度为0.1 $\mu\text{m}$ -5 $\mu\text{m}$ 。
8. 一种混合集成光电芯片衬底结构,其特征在于,所述衬底结构通过权利要求1-7任一项所述的混合集成光电芯片衬底结构的制备方法制备得到;  
所述衬底结构包括第二衬底层(301)、第二埋氧化层(302)、铌酸锂薄膜层(303)和硅薄膜层(305);  
所述第二埋氧化层(302)设置在所述第二衬底层(301)上;  
所述铌酸锂薄膜层(303)设置在所述第二埋氧化层(302)上;  
所述硅薄膜层(305)设置在所述铌酸锂薄膜层(303)上。
9. 根据权利要求8所述的混合集成光电芯片衬底结构,其特征在于,所述衬底结构还包括氧化层(304),所述氧化层(304)设置在所述铌酸锂薄膜层(303)与所述硅薄膜层(305)之间。

10. 根据权利要求9所述的混合集成光电芯片衬底结构,其特征在于,所述第二埋氧化层(302)的厚度大于2000nm;

所述铌酸锂薄膜层(303)的厚度为200nm-1000nm;

所述氧化层(304)的厚度为0-250nm;

所述硅薄膜层(305)的厚度为100nm-600nm。

11. 根据权利要求8所述的混合集成光电芯片衬底结构,其特征在于,所述第二衬底层(301)的材质为硅、铌酸锂、钽酸锂、蓝宝石、石英中的至少一种。

12. 根据权利要求11所述的混合集成光电芯片衬底结构,其特征在于,所述第二衬底层(301)的材质为硅,所述第二衬底层的下表面设置有氧化薄膜层;

所述第二埋氧化层(302)的厚度大于所述氧化薄膜层的厚度。

## 一种混合集成光电芯片衬底结构的制备方法及衬底结构

### 技术领域

[0001] 本发明涉及光电芯片技术领域,特别涉及一种混合集成光电芯片衬底结构的制备方法及衬底结构。

### 背景技术

[0002] 现代信息产业的迅速发展,使得人们对于信息的容量和处理速度的需求都在飞速增加。传统微电子电路在器件尺寸进入5nm甚至3nm以后将不可避免的接近其物理极限,摩尔定律正面临着严峻的挑战。并且传统芯片中以电子作为输运载体、以金属作为连线的电互联技术由于信号的衰减、反射、带宽有限、延迟大和功耗大等问题使得信息处理速度难以有大的突破。光互联技术以及光子集成芯片可以利用光子代替电子作为信息载体,能够实现超大容量、超高速率的信息传输,因此被认为是进一步提高芯片运行速度的有效方法。

[0003] 21世纪初,集成光学许多功能验证首先在绝缘体上硅衬底(Silicon-On-Insulator, SOI)上完成,人们期待着硅基集成光学在诸多应用领域发挥出革命性作用。到目前为止,基于SOI材料的硅光平台在众多无源器件的设计和制备上已获得了非常成熟的发展,硅基光电子技术正逐渐从实验室走向产业化应用。然而,随着集成电路及硅基光子学的发展,单一材料已不再能够满足复杂多功能的集成光电子学的发展。

[0004] 目前,有部分研究通过将多种材料集成以扩展硅基光电子芯片的功能。然而,现在普遍采用的工艺是芯片到晶圆(Die to Wafer, D2W)键合,将单个器件通过键合等方式与硅基互补金属氧化物半导体(Complementary Metal-Oxide-Semiconductor, CMOS)电路或硅光子光路异质集成,其生产效率低下,不能够满足日益增长的市场需求。

### 发明内容

[0005] 本发明要解决的技术问题是现有的将单个器件与硅基CMOS电路或硅光子光路异质集成的方式,无法满足优异性能光电芯片制备的问题。

[0006] 为解决上述技术问题,第一方面,本申请实施例公开了一种混合集成光电芯片衬底结构的制备方法,所述方法包括:

[0007] 获取绝缘体上硅衬底和绝缘体上铌酸锂薄膜衬底;所述绝缘体上铌酸锂薄膜衬底包括铌酸锂薄膜层;所述绝缘体上硅衬底包括支撑层和键合层,所述键合层包括硅薄膜层,所述硅薄膜层设置在所述支撑层上;

[0008] 将所述铌酸锂薄膜层与所述键合层键合得到复合键合结构;

[0009] 去除所述复合键合结构中的所述支撑层,暴露出所述硅薄膜层得到所述混合集成光电芯片衬底结构。

[0010] 进一步的,所述键合层还包括氧化层,所述氧化层设置在所述硅薄膜层上;

[0011] 所述将所述铌酸锂薄膜层与所述键合层键合得到复合键合结构,包括:

[0012] 将所述铌酸锂薄膜层与所述氧化层键合得到复合键合结构。

[0013] 进一步的,将所述铌酸锂薄膜层与所述键合层键合所采用的键合方式至少包括亲

水性键合、疏水性键合、等离子体激活键合、表面激活键合。

[0014] 进一步的,所述支撑层包括第一衬底层和第一埋氧化层,所述第一埋氧化层设置在所述第一衬底层上,所述硅薄膜层设置在所述第一埋氧化层上;

[0015] 所述去除所述复合键合结构中的所述支撑层,暴露出所述硅薄膜层得到所述混合集成光电芯片衬底结构,包括:

[0016] 对所述第一衬底层进行机械研磨至所述第一衬底层剩余预设厚度;

[0017] 对剩余所述第一衬底层进行第一化学腐蚀,暴露出所述第一埋氧化层;

[0018] 对所述第一埋氧化层第二化学腐蚀,暴露出所述硅薄膜层得到所述混合集成光电芯片衬底结构。

[0019] 进一步的,所述预设厚度为0-50 $\mu\text{m}$ 。

[0020] 进一步的,所述第一化学腐蚀所采用的腐蚀溶液包括氢氧化钾溶液、四甲基氢氧化铵溶液;

[0021] 所述第二化学腐蚀所采用的腐蚀溶液包括氢氟酸溶液、缓冲氧化物刻蚀液。

[0022] 进一步的,所述第一埋氧化层的厚度为0.1 $\mu\text{m}$ -5 $\mu\text{m}$ 。

[0023] 第二方面,本申请实施例公开了一种混合集成光电芯片衬底结构,所述衬底结构通过如上所述的混合集成光电芯片衬底结构的制备方法制备得到;

[0024] 所述衬底结构包括第二衬底层、第二埋氧化层、铌酸锂薄膜层和硅薄膜层;

[0025] 所述第二埋氧化层设置在所述第二衬底层上;

[0026] 所述铌酸锂薄膜层设置在所述第二埋氧化层上;

[0027] 所述硅薄膜层设置在所述铌酸锂薄膜层上。

[0028] 进一步的,所述衬底结构还包括氧化层,所述氧化层设置在所述铌酸锂薄膜层与所述硅薄膜层之间。

[0029] 进一步的,所述第二埋氧化层的厚度大于2000nm;

[0030] 所述铌酸锂薄膜层的厚度为200nm-1000nm;

[0031] 所述氧化层的厚度为0-250nm;

[0032] 所述硅薄膜层的厚度为100nm-600nm。

[0033] 进一步的,所述第二衬底层的材质为硅、铌酸锂、钽酸锂、蓝宝石、石英中的至少一种。

[0034] 进一步的,所述第二衬底层的材质为硅,所述第二衬底层的下表面设置有氧化薄膜层;

[0035] 所述第二埋氧化层的厚度大于所述氧化薄膜层的厚度。

[0036] 采用上述技术方案,本申请实施例所述的混合集成光电芯片衬底结构的制备方法及其衬底结构具有如下有益效果:

[0037] 该制备方法利用绝缘体上硅材料在制备无源器件上优势和绝缘体上铌酸锂薄膜在制备电光调制器件和非线性器件上的优势,通过将绝缘体上硅衬底和绝缘体上铌酸锂薄膜衬底键合,得到性能优异的混合集成光电芯片衬底结构,从而能够实现性能更加优秀的光电芯片的制备。

## 附图说明

[0038] 为了更清楚地说明本申请实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0039] 图1为本申请实施例提供一种混合集成光电芯片衬底结构的制备方法的流程图;

[0040] 图2为本申请实施例提供一种暴露出硅薄膜层得到混合集成光电芯片衬底结构方法的流程图;

[0041] 图3为本申请实施例提供一种混合集成光电芯片衬底结构的结构示意图;

[0042] 图4为实施例1提供一种混合集成光电芯片衬底结构的制备方法的流程图;

[0043] 图5为实施例2提供一种混合集成光电芯片衬底结构的制备方法的流程图;

[0044] 以下对附图作补充说明:

[0045] 301-第二衬底层;302-第二埋氧化层;303-铌酸锂薄膜层;304-氧化层;305-硅薄膜层。

## 具体实施方式

[0046] 下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述。显然,所描述的实施例仅仅是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0047] 此处所称的“一个实施例”或“实施例”是指可包含于本申请至少一个实现方式中的特定特征、结构或特性。在本申请的描述中,需要理解的是,术语“上”、“下”、“顶”、“底”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本申请和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本申请的限制。此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含的包括一个或者更多个该特征。而且,术语“第一”、“第二”等是用于区别类似的对象,而不必用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换,以便这里描述的本申请的实施例能够以除了在这里图示或描述的那些以外的顺序实施。

[0048] 绝缘体上铌酸锂薄膜(Lithium Niobate On Insulator, LNOI)作为一种优秀的光学平台,近几年受到了广泛的重视。由于铌酸锂具有优异的电光性能和二阶非线性性能,在制备电光器件和非线性器件上受到了广泛的重视。与此同时,由于Si是中心对称晶体,不具备线性电光效应和二阶非线性效应。SOI平台在制备高性能电光调制器上面临着天然的劣势。基于上述观点,若将SOI平台和LNOI平台合二为一,则可以同时利用SOI平台在制备无源器件上的优势和LNOI平台在制备电光调制器件和非线性器件上的优势,实现性能更加优秀的光电芯片的制备。

[0049] 有鉴于此,本申请实施例提供了一种混合集成光电芯片衬底结构的制备方法,图1

为本申请实施例提供的一种混合集成光电芯片衬底结构的制备方法的流程图,如图1所示,该方法包括:

[0050] S101:获取绝缘体上硅衬底和绝缘体上铌酸锂薄膜衬底。

[0051] 本申请实施例中,绝缘体上硅衬底包括支撑层和键合层,其中,键合层包括硅薄膜层305,硅薄膜层305直接设置在支撑层上。对于目前市面上可获得的SOI衬底,一般来说包括依次设置的硅薄膜层305、埋氧化层和衬底层。埋氧化层和衬底层对应于本申请实施例中的支撑层,而本申请实施例中所描述的键合层可以为硅薄膜层305,也可以为设置在硅薄膜层305上的其他材料层。与SOI衬底结构相似,LNOI衬底也具有支撑层和设置在支撑层上的铌酸锂薄膜层303。关于LNOI衬底的具体结构将在下文中具体展开描述。

[0052] 需要说明的是,本申请实施例中所获取的绝缘体上硅衬底和绝缘体上铌酸锂薄膜衬底,可以直接在市面上获取得到,也可以通过SOI晶圆制备方法和LNOI晶圆制备方法制备得到。

[0053] S103:将铌酸锂薄膜层303与键合层键合得到复合键合结构。

[0054] 本申请实施例中,在准备好SOI衬底和LNOI衬底之后,将两个衬底进行键合。在键合时,使SOI衬底中的键合层与LNOI衬底中的铌酸锂薄膜层303进行键合。可选的,将铌酸锂薄膜层303与键合层键合所采用的键合方式包括但不限于亲水性键合、疏水性键合、等离子体激活键合、表面激活键合。具体的键合方式可根据键合层的材质来确定。作为一种示例,对于目前在市面上常见的SOI衬底而言,其键合层为顶层的硅薄膜层305,可以采用表面活化键合(Surface Activated Bonding,SAB)键合的方式,直接将硅薄膜层305与铌酸锂薄膜层303进行键合。在一些实施例中,还可以在SOI衬底的硅薄膜层305上制作一层氧化层304作为键合层。在一个可选的实施方式中,键合层还包括氧化层304,氧化层304设置在硅薄膜层305上。将铌酸锂薄膜层303与键合层键合得到复合键合结构,包括:将铌酸锂薄膜层303与氧化层304键合得到复合键合结构。具体的,通过热氧化、等离子体增强化学气相沉积法(Plasma Enhanced Chemical Vapor Deposition,PECVD)工艺在所述SOI衬底的顶层硅薄膜层305上形成一定厚度的氧化层304。可选的,该氧化层304的材质为二氧化硅。然后以采用等离子体激活键合的方式,将二氧化硅层与铌酸锂薄膜层303进行键合。

[0055] 需要说明的是,本申请实施例在SOI衬底的硅薄膜层305上制作的氧化层304,可以直接在目前市面上常见的SOI衬底的顶层硅薄膜层305上制作,也可以在制备SOI衬底时,在完成顶层硅薄膜的制备之后,然后再在硅薄膜层305上制作一层氧化层304。

[0056] S105:去除复合键合结构中的支撑层,暴露出硅薄膜层305得到混合集成光电芯片衬底结构。

[0057] 本申请实施例中,通过去除复合键合结构中原SOI衬底结构中的支撑层,使原SOI衬底的硅薄膜层305的下表面,即与支撑层接触的表面裸露出来,就完成了SOI平台和LNOI平台的集成复合,得到了混合集成光电芯片衬底结构。

[0058] 在一个可选的实施方式中,SOI衬底的支撑层包括第一衬底层和第一埋氧化层,第一埋氧化层设置在第一衬底层上,硅薄膜层305设置在第一埋氧化层上。第一衬底层的材质为硅衬底,第一埋氧化层的材质为二氧化硅。图2为本申请实施例提供的一种暴露出硅薄膜层305得到混合集成光电芯片衬底结构方法的流程图,如图2所示,去除复合键合结构中的支撑层,暴露出硅薄膜层305得到混合集成光电芯片衬底结构,包括:

[0059] S201:对第一衬底层进行机械研磨至第一衬底层剩余预设厚度。

[0060] 本申请实施例中,通过机械研磨(Grinding)对第一衬底层进行减薄,是第一衬底层剩余预设厚度。可选的,预设厚度为0-50 $\mu\text{m}$ 。

[0061] S203:对剩余第一衬底层进行第一化学腐蚀,暴露出第一埋氧化层。

[0062] 本申请实施例中,对机械研磨后剩余的第一衬底层进行化学腐蚀处理,以完全去除剩余的第一衬底层。第一化学腐蚀所采用的腐蚀溶液根据第一衬底层的材质进行选择,化学腐蚀溶液为能够与第一衬底层发生物理和/或化学反应的溶液。作为一种示例,当第一衬底层的材质为硅衬底时,所采用的腐蚀溶液可以为氢氧化钾溶液、四甲基氢氧化铵溶液(TMAH)等。

[0063] 需要说明的是,受限于当前研磨设备的精度,通过机械研磨的方式无法准确的完全的去掉第一衬底层,因此通过机械研磨后会剩余一部分的第一衬底层。在当前一般设备的精度下,通常整体厚度偏差(Total Thickness Variation, TTV)可达到3 $\mu\text{m}$ ,所以通常硅衬底剩余厚度要大于3 $\mu\text{m}$ 以上,才能够不损伤到下面薄膜结构。但是,如果在设备精度允许范围内,该厚度值当然越小越好,从而减小化学腐蚀的压力。此外,对于硅衬底而言,仅通过化学腐蚀的方式除去第一衬底层的效率较低。因此,优选为采用机械研磨和化学腐蚀相结合的方式除去第一衬底层。在一些实施例中,在设备精度的允许下,也可以通过机械研磨的方式直接完全去除第一衬底层。在另一些实施例中,也可以不对第一衬底层进行机械研磨,而是直接对第一衬底层进行第一化学腐蚀,暴露出第一埋氧化层。

[0064] 本申请实施例中,对于SOI衬底而言,在SOI衬底制备的过程中,SOI衬底经过了氧化处理,因此,整个SOI衬底的外表面覆盖了一层二氧化硅薄膜。同样的,LNOI衬底的外表面也是覆盖了一层氧化薄膜层。作为一种可选的实施方式,LNOI衬底包括依次设置的铌酸锂薄膜层303、第二埋氧化层302和第二衬底层301。其中,第二衬底层301的材质可能与第一衬底层的材质相同或不同。当SOI衬底中的第一衬底层的材质与LNOI衬底层中的第二衬底层301材质相同时,对复合键合结构进行第一化学腐蚀处理的过程中腐蚀溶液不会对第二衬底层301造成腐蚀。以下以第一衬底层和第二衬底层301均为硅衬底,对复合键合结构进行第一化学腐蚀处理的过程进行说明。

[0065] 在对复合键合结构进行研磨处理之前,复合键合结构中的第一衬底层和第二衬底层301的外表面覆盖有一层二氧化硅薄膜。通过机械研磨,去除部分第一衬底层。在此过程中,首先被研磨掉的为第一衬底层外表面的二氧化硅薄膜,使硅衬底暴露出来。然后继续研磨,硅衬底被部分研磨掉,使第一衬底层剩余至预设厚度。完成研磨后,第一衬底层的外表面为硅材质。此时对研磨后的复合键合结构进行第一化学腐蚀处理,所选腐蚀溶液能够腐蚀硅,而不能腐蚀二氧化硅。因此,剩余第一衬底层被腐蚀掉,而第二衬底层301由于外表面覆盖有二氧化硅氧化薄膜层不会被腐蚀,从而实现了仅对剩余第一衬底层的选择性腐蚀。

[0066] S205:对第一埋氧化层第二化学腐蚀,暴露出硅薄膜层305得到混合集成光电芯片衬底结构。

[0067] 本申请实施例中,进行第一化学腐蚀后的复合键合结构中,第一衬底层被完全去除,第一埋氧化层暴露出来。可选的,第一埋氧化层的厚度为0.1 $\mu\text{m}$ -5 $\mu\text{m}$ 。由于第一埋氧化层厚度较薄,且第一埋氧化层贴近硅薄膜层305,为了不对硅薄膜层305造成损伤,采用化学腐蚀的方式去除第一埋氧化层,以使硅薄膜层305的表面裸露出来。化学腐蚀溶液为能够与第

一埋氧化层发生物理和/或化学反应的溶液。作为一种示例,当第一埋氧化层的材质为二氧化硅时,第二化学腐蚀所采用的腐蚀溶液包括氢氟酸溶液、缓冲氧化物刻蚀液等。

[0068] 本申请实施例中,第一埋氧化层、第二埋氧化层302以及第二衬底层301的外表面所覆盖的氧化薄膜层,其材质通常均为二氧化硅。在进行第二化学腐蚀去除第一埋氧化层时,第二衬底层301的外表面所覆盖的氧化薄膜层也会被部分或全部除去,而第二埋氧化层302由于受到第二衬底层301的保护,第二埋氧化层302仅侧面表面上的二氧化硅会被腐蚀,而不会对其结构造成破坏。在一些实施例中,还可以将第二埋氧化层302的厚度设置为大于第一埋氧化层的厚度,从而保证第二埋氧化层302不会被完全腐蚀掉。当第二化学腐蚀完成时,第一埋氧化层被完全去除,第二衬底层301外表面的氧化薄膜层被部分或全部去除,第二埋氧化层302侧面被部分腐蚀。

[0069] 本申请实施例中,当第一埋氧化层完全去除,使硅薄膜层305的表面裸露出来后,即得到了混合集成光电芯片衬底结构。通过该制备方法,实现了SOI平台和LN0I平台的集成复合,得到性能优异的混合集成光电芯片衬底结构,从而能够实现性能更加优秀的光电芯片的制备。

[0070] 本申请实施例还提供了一种混合集成光电芯片衬底结构,该衬底结构通过如上所述的混合集成光电芯片衬底结构的制备方法制备得到。图3为本申请实施例提供的一种混合集成光电芯片衬底结构的结构示意图,如图3所示,该衬底结构包括:

[0071] 第二衬底层301、第二埋氧化层302、铌酸锂薄膜层303和硅薄膜层305。第二埋氧化层302设置在第二衬底层301上。铌酸锂薄膜层303设置在第二埋氧化层302上。硅薄膜层305设置在铌酸锂薄膜层303上。

[0072] 本申请实施例中,该衬底结构包括依次设置的第二衬底层301、第二埋氧化层302、铌酸锂薄膜层303和硅薄膜层305。该衬底结构能够用于实现性能更加优秀的光电芯片的制备。现有技术的研究中,通过PECVD或磁控溅射的方式在LN0I衬底上生长硅薄膜,但薄膜为非晶或多晶,质量较差。也有部分研究通过离子束剥离加键合转移方法转移单晶薄膜到LN0I上,但由于铌酸锂薄膜的存在,使键合结构无法经历700℃以上的高温,而硅的退火温度通常为1100℃,会造成内部含注入缺陷,波导损耗较大。因此,本申请提出一种通过将SOI衬底和LN0I衬底键合的方式,使SOI平台和LN0I平台集成在一起。SOI材料中的顶层Si薄膜由于可经过较高温度的退火,因此晶体质量好,注入缺陷少,可有效降低采用混合结构中Si薄膜制备波导器件的损耗。

[0073] 本申请实施例中,硅薄膜层305可用于制备硅材料的电学器件和光学器件。可选的,硅薄膜层305的厚度为100nm-600nm。铌酸锂薄膜层303可用于制备铌酸锂薄膜材料光学器件。可选的,铌酸锂薄膜层303的厚度为200nm-1000nm。第二埋氧化层302用于铌酸锂薄膜层303与第二衬底层301之间的光隔离。可选的,第二埋氧化层302的材质为二氧化硅,第二埋氧化层302的厚度大于2000nm。在一些实施例中,衬底结构还包括氧化层304,氧化层304设置在铌酸锂薄膜层303与硅薄膜层305之间。氧化层304可做为铌酸锂薄膜层303和硅薄膜层305两个功能层之间的缓冲层,可减小硅薄膜层305与铌酸锂薄膜层303在键合过程中的界面气泡。氧化层304的材质为二氧化硅,可选的,氧化层304采用PECVD工艺制作在所述硅薄膜层305上,并通过键合的方式与铌酸锂薄膜层303键合在一起。氧化层304的厚度应不会阻挡上下两层之间的光耦合,可选的,氧化层304的厚度为0-250nm。第二衬底层301为该衬

底结构的支撑层,可选的,第二衬底层301的材质为硅、铌酸锂、钽酸锂、蓝宝石、石英中的至少一种。

[0074] 根据上述描述,以下介绍两种可选的实施例:

[0075] 实施例1:

[0076] 图4为实施例1提供的一种混合集成光电芯片衬底结构的制备方法的流程图,如图4所示,该方法包括:

[0077] S11:将SOI衬底与LN0I衬底沿硅薄膜层305和铌酸锂薄膜层303进行键合,键合方式为表面活化键合(SAB)。

[0078] S12:通过机械研磨减薄SOI片的第一衬底层至20 $\mu\text{m}$ 。

[0079] S13:通过化学腐蚀去除SOI剩余部分Si衬底。其中,腐蚀溶液为KOH溶液,KOH和水质量比10-30%,腐蚀温度为50-80 $^{\circ}\text{C}$ 。在进行腐蚀过程中,LN0I衬底中的第二衬底层301硅表面设有SiO<sub>2</sub>保护层,不会被腐蚀。

[0080] S14:通过化学腐蚀去除SOI中的SiO<sub>2</sub>层,得到混合集成光电芯片衬底结构。其中,腐蚀溶液为HF溶液,HF和水质量比10-40%,腐蚀温度为室温至60 $^{\circ}\text{C}$ 。在进行腐蚀过程中,LN0I衬底中,第二衬底层301硅表面的SiO<sub>2</sub>层会被部分或全部腐蚀掉。

[0081] 实施例2:

[0082] 图5为实施例2提供的一种混合集成光电芯片衬底结构的制备方法的流程图,如图5所示,该方法包括:

[0083] S21:在SOI Si薄膜表面沉积SiO<sub>2</sub>层,沉积方式为热氧化或其他方式。

[0084] S22:将SOI衬底与LN0I衬底沿硅薄膜层305和铌酸锂薄膜层303进行键合,键合方式为等离子体激活键合。

[0085] S23:通过机械研磨减薄SOI片的第一衬底层至50 $\mu\text{m}$ ;

[0086] S24:通过化学腐蚀去除SOI剩余部分Si衬底。其中,腐蚀溶液为KOH溶液,KOH和水质量比10-30%,腐蚀温度为50-80 $^{\circ}\text{C}$ 。在进行腐蚀过程中,LN0I衬底中的第二衬底层301硅表面设有SiO<sub>2</sub>保护层,不会被腐蚀。

[0087] S25:通过化学腐蚀去除SOI中的SiO<sub>2</sub>层,得到混合集成光电芯片衬底结构。其中,腐蚀溶液为HF溶液或BOE溶液,BOE溶液组成成份体积比为49%HF水溶液:40%NH<sub>4</sub>F水溶液=1:6,腐蚀温度为室温至60 $^{\circ}\text{C}$ ,腐蚀时间直至Si或SiO<sub>2</sub>完全腐蚀为止。在进行腐蚀过程中,LN0I衬底中,第二衬底层301硅表面的SiO<sub>2</sub>层会被部分或全部腐蚀掉。

[0088] 以上所述仅为本申请的较佳实施例,并不用以限制本申请,凡在本申请的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本申请的保护范围之内。

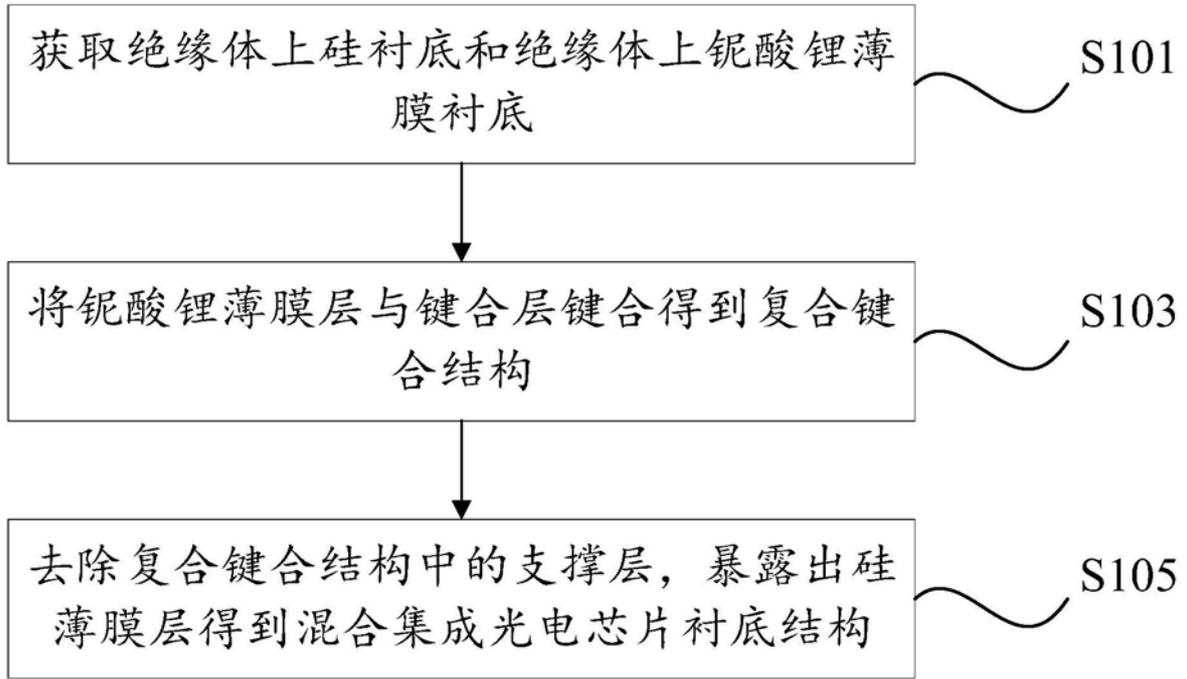


图1

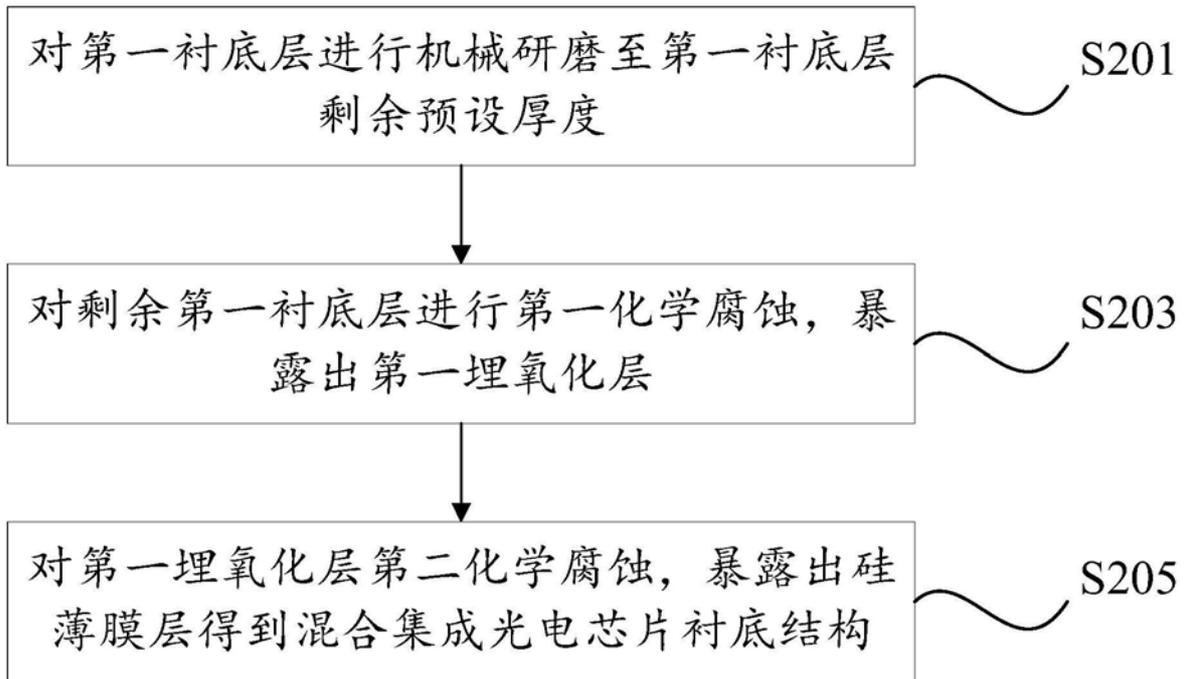


图2

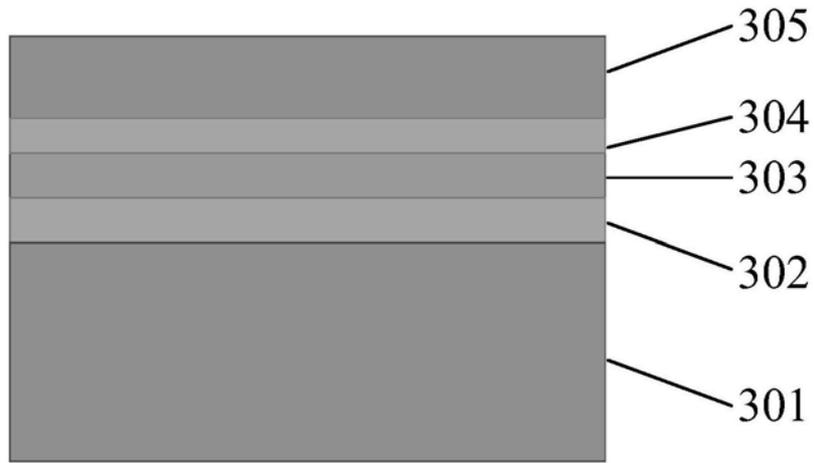


图3

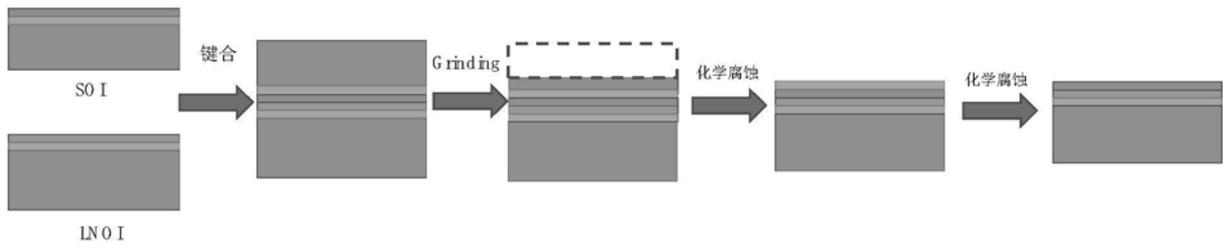


图4

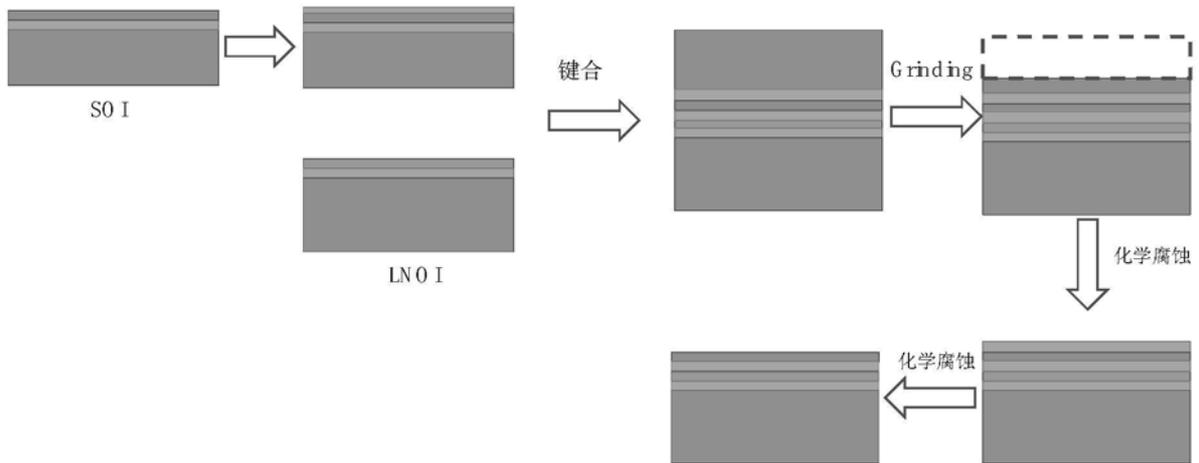


图5