

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-114679

(P2010-114679A)

(43) 公開日 平成22年5月20日 (2010.5.20)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 17/22 (2006.01)	H03K 17/22 E	5B054
G06F 1/24 (2006.01)	G06F 1/00 351	5J055

審査請求 未請求 請求項の数 12 O L (全 33 頁)

(21) 出願番号 特願2008-285764 (P2008-285764)
 (22) 出願日 平成20年11月6日 (2008.11.6)

(71) 出願人 00006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100083703
 弁理士 仲村 義平
 (74) 代理人 100096781
 弁理士 堀井 豊
 (74) 代理人 100098316
 弁理士 野田 久登
 (74) 代理人 100109162
 弁理士 酒井 将行

最終頁に続く

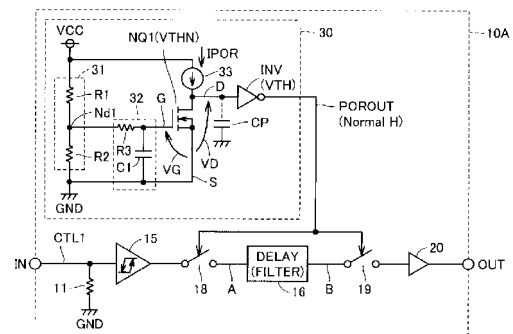
(54) 【発明の名称】 半導体回路

(57) 【要約】

【課題】できるだけ小規模の回路で、電源電圧の投入時または一時的な低下時に信号の出力を確実にかつ十分な時間遮断することができる半導体回路を提供する。

【解決手段】半導体回路10Aは、パワーオンリセット回路30と、遅延回路16と、第1、第2の遮断回路18、19とを備える。パワーオンリセット回路30は、電源電圧VCCの投入時または一時的な低下時に活性状態であり、電源電圧VCCが所定の電圧を超えた後に非活性状態になるリセット信号POROUTを生成する。第1の遮断回路18は、遅延回路16に入力される制御信号CTL1の経路上に設けられ、リセット信号POROUTが活性状態の間、制御信号CTL1を遮断する。第2の遮断回路19は、遅延回路16から出力される制御信号CTL1の経路上に設けられ、リセット信号POROUTが活性状態の間、制御信号CTL1を遮断する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

電源電圧の投入時または一時的な低下時に活性状態であり、前記電源電圧が所定の電圧を超えた後に非活性状態になるリセット信号を生成するパワーオンリセット回路と、外部へ供給される供給信号の経路上に設けられ、前記供給信号を遅延させる遅延回路と

、前記遅延回路に入力される前記供給信号の経路上に設けられ、前記リセット信号が活性状態の間、前記供給信号を遮断する第 1 の遮断回路と、

前記遅延回路から出力される前記供給信号の経路上に設けられ、前記リセット信号が活性状態の間、前記供給信号を遮断する第 2 の遮断回路とを備える、半導体回路。

10

【請求項 2】

前記第 1、第 2 の遮断回路は、前記リセット信号が活性状態の場合には、一定の論理レベルの信号を出力し、前記リセット信号が非活性状態の場合には、入力された前記供給信号の論理レベルに応じた信号を出力する論理回路をそれぞれ含む、請求項 1 に記載の半導体回路。

【請求項 3】

前記遅延回路は、各々が第 1 の積分回路を有する、第 1、第 2 の遅延部を含み、

前記半導体回路は、

前記第 1、第 2 の遅延部の一方に前記供給信号と同相の信号を入力し、他方に前記供給信号と逆相の信号を入力するために、前記供給信号を同相および逆相の信号に分岐する信号分岐部と、

20

前記第 1、第 2 の遅延部の各々の出力を受けるフリップフロップとをさらに備え、

前記第 1 の遮断回路は、前記信号分岐部の入力側に設けられ、

前記第 2 の遮断回路は、前記第 2 の遅延部と前記フリップフロップとの間に設けられる、請求項 1 または 2 に記載の半導体回路。

【請求項 4】

前記遅延回路は、各々が第 1 の積分回路を有する、第 1、第 2 の遅延部を含み、

前記半導体回路は、

前記第 1、第 2 の遅延部の一方に前記供給信号と同相の信号を入力し、他方に前記供給信号と逆相の信号を入力するために、前記供給信号を同相および逆相の信号に分岐する信号分岐部と、

30

前記第 1、第 2 の遅延部の各々の出力を受けるフリップフロップとをさらに備え、

前記第 1 の遮断回路は、前記第 1 の遅延部と前記信号分岐部との間に設けられ、

前記第 2 の遮断回路は、前記第 2 の遅延部と前記フリップフロップとの間に設けられる、請求項 1 または 2 に記載の半導体回路。

【請求項 5】

前記遅延回路は、各々が第 1 の積分回路を有する、第 1、第 2 の遅延部を含み、

前記半導体回路は、

前記第 1、第 2 の遅延部の一方に前記供給信号と同相の信号を入力し、他方に前記供給信号と逆相の信号を入力するために、前記供給信号を同相および逆相の信号に分岐する信号分岐部と、

40

前記第 1、第 2 の遅延部の出力をそれぞれ受け、入力信号の立上りエッジまたは立下りエッジに应答してワンショットパルスを生成する第 1、第 2 のパルス生成回路と、

前記第 1、第 2 のパルス生成回路の出力を受け、入力信号の立上りエッジまたは立下りエッジに应答して内部状態が変化するフリップフロップとをさらに備え、

前記第 1 の遮断回路は、前記信号分岐部の入力側に設けられ、

前記第 2 の遮断回路は、

前記第 1 のパルス生成回路と前記フリップフロップとの間に設けられる第 1 の論理回路と、

前記第 2 のパルス発生回路と前記フリップフロップとの間に設けられる第 2 の論理回

50

路とを含み、

前記第 1、第 2 の論理回路は、前記リセット信号が活性状態の場合には、一定の論理レベルの信号を出力し、前記リセット信号が非活性状態の場合には、前記第 1、第 2 のパルス生成回路の出力の論理レベルに応じた信号をそれぞれ出力する、請求項 1 に記載の半導体回路。

【請求項 6】

前記パワーオンリセット回路は、

前記電源電圧を分圧する分圧回路と、

前記分圧回路の出力電圧を積分する第 2 の積分回路と、

前記電源電圧を受ける電源ノードと接地ノードとの間に設けられ、前記第 2 の積分回路の出力を制御電極に受けるトランジスタと、

前記トランジスタの主電極の電圧に応じた論理レベルの前記リセット信号を出力するバッファ回路とを含む、請求項 1 ~ 5 のいずれか 1 項に記載の半導体回路。

【請求項 7】

前記トランジスタは、前記接地ノードにソース電極が接続された N チャネル MOS トランジスタであり、

前記パワーオンリセット回路は、前記 N チャネル MOS トランジスタのドレイン電極と前記電源ノードとの間に設けられた第 1 の定電流源をさらに含む、請求項 6 に記載の半導体回路。

【請求項 8】

前記トランジスタは、前記電源ノードにソース電極が接続された P チャネル MOS トランジスタであり、

前記パワーオンリセット回路は、前記 P チャネル MOS トランジスタのドレイン電極と前記接地ノードとの間に設けられた第 1 の定電流源をさらに含む、請求項 6 に記載の半導体回路。

【請求項 9】

前記トランジスタは、前記電源ノードにソース電極が接続された P チャネル MOS トランジスタであり、

前記パワーオンリセット回路は、前記 P チャネル MOS トランジスタのドレイン電極と前記接地ノードとの間に設けられた第 1 の抵抗素子をさらに含む、請求項 6 に記載の半導体回路。

【請求項 10】

前記分圧回路は、前記電源ノードと前記接地ノードとの間に互いに直列に接続された第 2 の抵抗素子および定電圧源を含む、請求項 6 ~ 9 のいずれか 1 項に記載の半導体回路。

【請求項 11】

前記分圧回路は、前記電源ノードと前記接地ノードとの間に互いに直列に接続された第 2 の定電流源および定電圧源を含む、請求項 6 ~ 9 のいずれか 1 項に記載の半導体回路。

【請求項 12】

前記定電圧源はツェナーダイオードである、請求項 10 または 11 に記載の半導体回路。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、電源電圧の投入時または電源電圧の低下時に動作するパワーオンリセット回路を備えた半導体回路に関する。

【背景技術】

【0002】

パワーオンリセット回路では、電源投入時における電源の立ち上がりが非常に急峻であっても、また非常に緩慢であっても確実に内部回路に対しリセットパルスを発生させる必要がある。

10

20

30

40

50

【0003】

たとえば、特開2003-44176号公報(特許文献1)に開示される技術は、電磁波などを介して非接触で外部の電力供給源から電力を取得するICカードなどに用いられるパワーオンリセット回路に関するものである。この技術によれば、ロジック部に供給される電源電圧を検出することによって第1リセット信号が生成されるとともに、外部の電力供給源から取得した電源電圧を整流する整流回路の出力電圧を検出することによって第2リセット信号が生成される。そして、NOR回路によって、第1、第2のリセット信号のいずれか一方が、リセット信号として出力される。

【0004】

また、特開平11-27121号公報(特許文献2)に開示される技術によれば、電源投入時にPチャネルトランジスタとNチャネルトランジスタの閾値電圧の高い方を第1の電圧検出回路が検出し、次にそれぞれの閾値電圧の和を第2の電圧検出回路が検出する。そして、それぞれの検出信号が合成されることにより、第1、第2の電圧検出回路による検出時間のずれがリセットパルスとして適用される。このように、電源電圧の立上りにおいて異なった複数の電圧値を検出し、その検出時間のずれを直接もしくは調整してリセットパルスに適用するようにするので、確実なリセットパルスの発生が期待される。

10

【0005】

また、特開平9-163599号公報(特許文献3)に開示される技術は、PC内の制御回路を起動させるリセット回路として、電源ラインと接地ラインとの間に発光ダイオードと抵抗器との直列回路を接続したものである。そして、発光ダイオードと抵抗器との接続点電圧がリセット信号として制御回路に入力される。この結果、電源投入後、電源電圧が発光ダイオードの動作電圧に達したときに発光ダイオードが点灯するので、パワーオン表示のための回路を別途設ける必要がない。また発光ダイオードが点灯すると、制御回路にリセット信号が出力され、これが所定電圧に達すると制御回路が起動するが、発光ダイオードは、電流変化に対して電圧が大きく変化することがないので、電源電圧が所定電圧に達したときに制御回路が正確に起動する。

20

【特許文献1】特開2003-44176号公報

【特許文献2】特開平11-27121号公報

【特許文献3】特開平9-163599号公報

【発明の開示】

30

【発明が解決しようとする課題】

【0006】

ところで、パワーオンリセット回路は、マイクロコンピュータなどの半導体集積回路において、電源電圧の投入時または電源電圧の低下時に内部回路を初期化することによって回路の誤動作を防止するために設けられるものである。また、パワー半導体回路などにおいて、駆動電圧が不足している状態でパワー半導体素子をオン状態に遷移させると発熱や損失が生じるので、所定の電圧に達するまで駆動回路の出力を遮断するために設けられるものである。

【0007】

このような目的に適うためには、パワーオンリセット回路は、上記の従来技術の記載のように確実にリセットパルスを発生させることが必要であり、さらに、外部への信号の供給を確実に遮断できることが必要になる。さらに、このように確実に動作するパワーオンリセット回路をできるだけ小規模に構成することが望まれる。

40

【0008】

この発明の目的は、できるだけ小規模の回路で、電源電圧の投入時または一時的な低下時に信号の出力を確実にかつ十分な時間遮断することができる半導体回路を提供することである。

【課題を解決するための手段】

【0009】

この発明は要約すれば、パワーオンリセット回路と、遅延回路と、第1、第2の遮断回

50

路とを備える半導体回路である。パワーオンリセット回路は、電源電圧の投入時または一時的な低下時に活性状態であり、電源電圧が所定の電圧を超えた後に非活性状態になるリセット信号を生成する。遅延回路は、外部へ供給される供給信号の経路上に設けられ、供給信号を遅延させる。第1の遮断回路は、遅延回路に入力される供給信号の経路上に設けられ、リセット信号が活性状態の間、供給信号を遮断する。第2の遮断回路は、遅延回路から出力される供給信号の経路上に設けられ、リセット信号が活性状態の間、供給信号を遮断する。

【発明の効果】

【0010】

この発明によれば、外部へ供給される供給信号の経路上で遅延回路の入力側と出力側の2箇所遮断回路を設けるといった簡単な構成によって、確実に制御信号の出力を遮断することができる。さらに、リセット信号が活性状態となっているリセット時間に遅延回路の遅延時間を加えた時間の間、制御信号が遮断されるので、十分な遮断時間が確保できる。

10

【発明を実施するための最良の形態】

【0011】

以下、この発明の実施の形態について図面を参照して詳しく説明する。以下の各実施の形態では、IGBT (Insulated Gate Bipolar Transistor) のゲート駆動回路を例に挙げて説明するが、この発明はこの例に限るものでなく、半導体回路全般に適用できる。したがって、以下の例の制御信号CTL1, CTL2は、一般的に外部へ供給される供給信号と読替えることができる。なお、以下の説明では、同一または相当する部分には同一の参照符号を付して、その説明を繰返さない。

20

【0012】

[実施の形態1]

(ハーフブリッジ回路1に用いられるゲート駆動回路10A, 10Bの構成)

図1は、この発明の実施の形態1に従うハーフブリッジ回路1の構成を示すブロック図である。図1を参照して、ハーフブリッジ回路1は、主電源5と接地ノードGND1との間に直列接続されたIGBT3, 4と、還流用のダイオード7, 8と、IGBT7, 8の接続ノード9と接地ノードGND1との間に接続された負荷6と、制御用のマイクロコンピュータ2と、IGBT7, 8を駆動するゲート駆動回路10A, 10Bとを含む。還流用のダイオード7, 8は、IGBT3, 4とそれぞれ並列かつ逆バイアス方向に接続される。また、負荷6の例として、モータなどを挙げることができ、三相交流モータの場合は各相ごとに図1のハーフブリッジ回路が設けられる。

30

【0013】

ここで、高圧側のゲート駆動回路10Aは、マイクロコンピュータ2から出力された制御信号CTL1 (外部へ供給される供給信号) を入力端子INで受け、増幅された制御信号CTL1を出力端子OUTからIGBT3のゲートに出力する。ゲート駆動回路10Aは、入力端子INから出力端子OUTの方向に直列に接続された、過電流保護用の抵抗素子14、チャタリング防止用のシュミットリガゲート15、第1の遮断回路18、遅延回路16、レベルシフト回路17、第2の遮断回路19、およびバッファ用のインバータ回路20を含む。

40

【0014】

遅延回路16は、ノイズ防止用のフィルタとしての機能と、後述する低圧側のゲート駆動回路10Bと制御信号CTL1, CTL2の伝達時間を整合させるための遅延回路としての機能を有する。なお、遅延回路の遅延時間は入力パルスの立上りエッジと立下りエッジとで異なる場合が多い。そこで、この明細書では、立上りエッジの場合を遅延時間Tdonと記載し、立下りエッジの場合を遅延時間Tdoffと記載する。

【0015】

バッファ用のインバータ回路20は、高圧側のノードVBと低圧側のノードVSとの間に直列に接続されたPチャネルMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) 21とNチャネルMOSFET 22とを含む。MOSFET 21, 22

50

のゲート電極が第2の遮断回路19の出力側のノードに接続され、MOSFET21, 22のドレイン電極が出力端子OUTに接続される。高圧側のノードVBには、IGBT3を駆動するために電源電圧VCCよりも昇圧した電圧が供給される。低圧側のノードVSは接続ノード9に接続される。なお、以下の説明ではMOSFETをMOSトランジスタとも称する。

【0016】

レベルシフト回路17は、MOSFET21, 22のゲートを駆動するのに十分な電圧を得るために、制御信号CTL1のHレベルおよびLレベルの電圧を変換するための回路である。

【0017】

ゲート駆動回路10Aは、さらに、ダイオード12, 13と抵抗素子11とを含む。ダイオード12は、入力端子INと接地ノードGNDとの間に逆バイアス方向に接続される。また、ダイオード13は、抵抗素子14の出力側のノードと電源ノードVCCとの間に逆バイアス方向に接続される。ダイオード12, 13は静電気放電の対策のために入力電圧を電源電圧VCCレベルにクランプするための回路である。また、抵抗素子11は、入力端子INと接地ノードGNDとの間に接続される負荷抵抗である。

【0018】

ゲート駆動回路10Aは、さらに、パワーオンリセット回路30を含む。パワーオンリセット回路30は、電源電圧VCCの投入時または一時的な低下時に活性化されたりセット信号POROUTを出力する。このとき、第1、第2の遮断回路18, 19は、活性状態のリセット信号POROUTを受けている間、制御信号CTL1の供給を遮断する。パワーオンリセット回路30は、電源電圧VCCが所定の電圧を超えた後に、リセット信号POROUTを非活性状態にするので、第1、第2の遮断回路18, 19は制御信号CTL1の遮断を解除する。なお、実施の形態1では、リセット信号POROUTの論理レベルは、活性状態のときLレベル(「0」とも称する)であり、非活性状態(定常状態)のときHレベル(「1」とも称する)である。

【0019】

ここで、実施の形態1のゲート駆動回路10Aは、図1に示すように制御信号CTL1の経路上の2箇所に遮断回路18, 19が設けられている点に特徴がある。すなわち、第1の遮断回路18は、制御信号CTL1の経路上で遅延回路16の入力側に設けられる。第2の遮断回路19は、制御信号CTL1の経路上で遅延回路16の出力側であり、バッファ回路20の直前の位置に設けられる。

【0020】

図1の低圧側のゲート駆動回路10Bは、マイクロコンピュータ2から出力された制御信号CTL2を入力端子INLで受け、増幅した制御信号CTL2を出力端子OUTLからIGBT4のゲートに出力する。ゲート駆動回路10Bの構成は、レベルシフト回路17およびバッファ回路20を含まない点で、高圧側のゲート駆動回路10Aの構成と異なるが、その他の点ではゲート駆動回路10Aと同様である。

【0021】

(ハーフブリッジ回路1の動作)

図2は、定常状態における図1のハーフブリッジ回路1の各部の電圧波形を示すタイミング図である。図2では、上から順に入力端子IN, INLにそれぞれ入力される制御信号CTL1, CTL2の電圧波形、出力端子OUT, OUTLからそれぞれ出力される制御信号CTL1, CTL2の電圧波形、およびIGBT3, 4の導通(ON)/非導通(OFF)の状態を示している。図2の縦軸で、VCC1は定常状態の電源電圧VCCであり、VB1, VS1はそれぞれノードVB, VSの電圧である。

【0022】

図1、図2を参照して、時刻t1, t3, t5, t7で、マイクロコンピュータ2の制御によって入力される制御信号CTL1, CTL2の論理レベルが切替わる。この切替わりに応じて遅延回路16で決定される所定の時間だけ遅れた時刻t2, t4, t6, t8

10

20

30

40

50

で、出力端子OUT, OUTLから出力される制御信号CTL1, CTL2の論理レベルが切替わる。なお、バッファ回路20がインバータ回路の場合、バッファ回路20の出力側にある出力端子OUTの電圧は、入力端子INの電圧と逆相になっている。IGBT3, 4は、出力端子OUT, OUTLからそれぞれ出力される制御信号CTL1, CTL2に応じてON/OFFが切替わる。

【0023】

以下、ゲート駆動回路10A, 10Bの構成および電源投入時の動作についてさらに詳しく説明する。なお、ゲート駆動回路10Bの構成および動作はゲート駆動回路10Aの構成および動作と同様であるので、以下では高圧側のゲート駆動回路10Aを代表として説明する。

10

【0024】

(パワーオンリセット回路30の構成)

図3は、図1のゲート駆動回路10Aのうちパワーオンリセット回路30の構成をさらに詳しく示すブロック図である。図3を参照して、パワーオンリセット回路30は、電源電圧VCCを分圧する分圧回路31と、分圧回路31の出力電圧を積分するRC積分回路32と、ソースが接地されたNチャンネルのMOSトランジスタNQ1と、定電流源33と、インバータ回路INVとを含む。

【0025】

分圧回路31は、電源ノードVCCと接地ノードGNDとの間に直列に接続された抵抗素子R1, R2を含む。抵抗素子R1, R2の接続ノードNd1(分圧ノードNd1とも称する)で電源電圧VCCが抵抗素子R1, R2の比に分圧される。

20

【0026】

RC積分回路32は、分圧ノードNd1とMOSトランジスタNQ1のゲート電極Gとの間に接続された抵抗素子R3と、ゲート電極Gと接地ノードGNDとの間に接続されたコンデンサC1を含む。これによって、MOSトランジスタNQ1のゲート電極Gには分圧ノードNd1の電圧は、緩やかに上昇する。このときの積分回路の時定数は、

$$= C1 \times ((R1 // R2) + R3) \quad \dots (1)$$

で与えられる。上式(1)で、R1, R2, R3はそれぞれ抵抗素子R1, R2, R3の抵抗値であり、C1はコンデンサC1の容量である。また、R1//R2は、抵抗素子R1, R2の並列抵抗を表わす。

30

【0027】

NチャンネルのMOSトランジスタNQ1は、電源電圧VCCの投入直後は、ゲート電圧VG(ゲート電極Gと接地ノードGNDとの間の電圧)が低いために非導通状態である。電源電圧VCCが上昇することによって、ゲート電圧VGがMOSトランジスタNQ1の閾値電圧VTHNを超えると導通する。

【0028】

定電流源33は、電源ノードVCCとMOSトランジスタNQ1のドレイン電極Dとの間に接続され、MOSトランジスタNQ1のドレイン電極Dに定電流IPORを供給する。定電流源33は、MOSトランジスタNQ1とともにソースフォロア回路を構成している。定電流源33によりソースフォロア回路のバイアス点が決まる。

40

【0029】

インバータ回路INVは、MOSトランジスタNQ1のドレイン電圧VD(ドレイン電極Dと接地ノードGNDとの間の電圧)を受け、その電圧VDを反転した信号をリセット信号POROUT(パワーオンリセット回路30の出力電圧)として第1、第2の遮断回路18, 19に出力する。

【0030】

ここで、MOSトランジスタNQ1のドレイン電極Dと接地ノードGNDの間には寄生容量CPが存在する。したがって、電源投入直後にリセット信号POROUTを活性状態(Lレベル)とするためには、定電流源33によって寄生容量CPを強制的に充電する必要がある。この結果、ドレイン電圧VDがインバータ回路INVの閾値電圧VTHを超

50

えることによって、リセット信号 P O R O U T が活性化する（Lレベルになる）。

【 0 0 3 1 】

電源投入後、電源電圧 V C C が上昇するにつれて、ゲート電圧 V G も上昇する。やがて、ゲート電圧 V G が M O S トランジスタ N Q 1 の閾値電圧 V T H N を超えると M O S トランジスタ N Q 1 が導通状態になる。これによって、インバータ回路 I N V の入力 L レベルになるので、インバータ回路 I N V から出力されるリセット信号 P O R O U T が H レベル（非活性状態）になる。

【 0 0 3 2 】

（定電流源 3 3 の構成の一例）

図 4 は、図 3 の定電流源 3 3 の構成の一例を示す回路図である。図 4 を参照して、定電流源 3 3 は、抵抗素子 1 4 1 と、N チャネル M O S トランジスタ 1 4 2 , 1 4 3 と、P チャネル M O S トランジスタ 1 4 5 , 1 4 6 とを含む。各素子の接続について説明すると、まず、抵抗素子 1 4 1 は電源ノード V C C とノード N d 2 との間に接続される。M O S トランジスタ 1 4 2 のソース電極は接地ノード G N D に接続され、ゲート電極およびドレイン電極はノード N d 2 に接続される。M O S トランジスタ 1 4 3 のソース電極は接地ノード G N D に接続され、ゲート電極はノード N d 2 に接続され、ドレイン電極はノード N d 3 に接続される。M O S トランジスタ 1 4 5 のソース電極は電源ノード V C C に接続され、ゲート電極およびドレイン電極はノード N d 3 に接続される。M O S トランジスタ 1 4 6 のソース電極は電源ノード V C C に接続され、ゲート電極はノード N d 3 に接続され、ドレイン電極は図 3 の M O S トランジスタ N Q 1 のドレイン電極に接続される。

【 0 0 3 3 】

次に図 4 の定電流源 3 3 の動作について説明する。まず、M O S トランジスタ 1 4 5 , 1 4 6 はカレントミラーを構成するので、M O S トランジスタ 1 4 6 を流れる電流 I P O R は、M O S トランジスタ 1 4 3 , 1 4 5 を流れる電流に等しい。また、M O S トランジスタ 1 4 2 , 1 4 3 はカレントミラーを構成するので、M O S トランジスタ 1 4 3 , 1 4 5 を流れる電流は M O S トランジスタ 1 4 2 を流れる電流に等しい。したがって、最終的に電流 I P O R はダイオード接続された M O S トランジスタ 1 4 2 を流れる電流に等しくなる。ここで、M O S トランジスタ 1 4 2 を流れる電流は、電源電圧 V C C 、抵抗素子 1 4 1 の抵抗値、および M O S トランジスタ 1 4 2 の閾値電圧によって決定されるので、抵抗素子 1 4 1 の抵抗値を調整することによって電流 I P O R を決定することができる。

【 0 0 3 4 】

（遮断回路 1 8 , 1 9 の構成の一例）

図 5 は、図 3 の遮断回路 1 8 , 1 9 の構成の一例を示す図である。図 5 に示すように、第 1 の遮断回路 1 8 は従属接続された N A N D 回路 1 8 A およびインバータ回路 1 8 B を含み、第 2 の遮断回路 1 9 は従属接続された N A N D 回路 1 9 A およびインバータ回路 1 9 B を含む。N A N D 回路 1 8 A はリセット信号 P O R O U T とシュミットトリガゲート 1 5 の出力とを受け、インバータ回路 1 8 B に N A N D 演算結果を出力する。また、N A N D 回路 1 9 A はリセット信号 P O R O U T と遅延回路 1 6 の出力とを受け、インバータ回路 1 9 B に N A N D 演算結果を出力する。

【 0 0 3 5 】

図 5 の構成によれば、リセット信号 P O R O U T が活性状態（Lレベル）のとき、N A N D 回路 1 8 A , 1 9 A の入力は「0」になるので、その出力は「1」に固定される。この結果、インバータ回路 1 8 B , 1 9 B の出力は一定の論理レベル「0」になるので、入力された制御信号 C T L 1 が遮断される。一方、リセット信号 P O R O U T が非活性状態（Hレベル）のとき、N A N D 回路 1 8 A , 1 9 B はインバータ回路と等価である。したがって、入力された制御信号 C T L 1 は第 1、第 2 の遮断回路 1 8 , 1 9 を通過する。

【 0 0 3 6 】

（ゲート駆動回路 1 0 A の電源投入時の動作）

次に、電源電圧 V C C の投入時におけるゲート駆動回路 1 0 A の動作について詳しく説明する。

10

20

30

40

50

【 0 0 3 7 】

図 6 は、図 3 のゲート駆動回路 1 0 A の電源投入時の動作を説明するためのタイミング図である。図 6 は上から順に、電源電圧 V_{CC} 、MOS トランジスタ $NQ 1$ のゲート電圧 V_G 、定電流源 3 3 の電流 I_{POR} 、MOS トランジスタ $NQ 1$ のドレイン電圧 V_D 、パワーオンリセット回路 3 0 の出力電圧 POR_{OUT} 、入力端子 IN の電圧、遅延回路 1 6 の入力側のノード A の電圧、遅延回路 1 6 の出力側のノード B の電圧、および出力端子 OUT の電圧を示す。

【 0 0 3 8 】

図 3、図 6 を参照して、電源電圧 V_{CC} は時刻 t_1 で投入されてから緩やかに上昇して定常状態の電圧 V_{CC1} に到達するものとする。このとき、ゲート電圧 V_G は、電源電圧 V_{CC} の上昇に伴って次第に増加する。ゲート電圧 V_G は最終的には、

$$V_{CC1} \times R_2 / (R_1 + R_2) \quad \dots (2)$$

になる。

【 0 0 3 9 】

ここで、電源電圧 V_{CC} が定常電圧 V_{CC1} に到達する時間が前述の RC 積分回路 3 2 の時定数 より長いときは、電源電圧 V_{CC} の増加率とゲート電圧 V_G の増加率はほぼ等しい。一方、電源電圧 V_{CC} の上昇時間が時定数 に比べて短いときは、ゲート電圧 V_G は時定数 で決まる一定の時間で上昇する。

【 0 0 4 0 】

次の時刻 t_2 で、入力端子 IN に供給される制御信号 $CTL 1$ が H レベルに切替わる。

次の時刻 t_3 で、定電流源 3 3 を電流 I_{POR} が流れ始める。図 4 に例示される定電流源 3 3 は電源電圧 V_{CC} が低いときは動作しない。定電流源 3 3 の動作開始に伴って、MOS トランジスタ $NQ 1$ のドレイン電極 D の寄生容量 CP が充電されるので、ドレイン電圧 V_D が上昇する。

【 0 0 4 1 】

次の時刻 t_4 で、ドレイン電圧 V_D がインバータ回路 INV の閾値電圧 V_{TH} を超えるとインバータ回路 INV の出力が L レベル ($0V$) になるので、リセット信号 POR_{OUT} も $0V$ になる。なお、時刻 t_1 から時刻 t_4 の間はリセット信号 POR_{OUT} の電圧は緩やかに上昇する。

【 0 0 4 2 】

次の時刻 t_5 で、ゲート電圧 V_G が MOS トランジスタ $NQ 1$ の閾値電圧 V_{THN} を超えると、MOS トランジスタ $NQ 1$ がターンオンする。この結果、ドレイン電圧 V_D がほぼ $0V$ になり、リセット信号 POR_{OUT} が H レベル (この時点での電源電圧 V_{CC} に等しい) になり、遮断回路 1 8, 1 9 による制御信号 $CTL 1$ の供給の遮断が解除される。電源電圧 V_{CC} が投入された時刻 t_1 から MOS トランジスタ $NQ 1$ がターンオンする時刻 t_4 までの時間 T_{POR0} が、パワーオンリセット回路 3 0 の積分回路 3 2 の時定数 で決まるリセット時間 T_{POR0} である。

【 0 0 4 3 】

なお、MOS トランジスタ $NQ 1$ をターンオンさせるのに最低限必要な電源電圧 V_{CC} (設定電圧 V_{CCPOR} と称する) は、MOS トランジスタ $NQ 1$ の閾値電圧 V_{THN} を用いて、

$$V_{CCPOR} = V_{THN} \times (R_1 + R_2) / R_2 \quad \dots (3)$$

で与えられる。電源電圧 V_{CC} の上昇が緩やかな場合は、時刻 t_5 における電源電圧 V_{CC} が設定電圧 V_{CCPOR} にほぼ等しくなる。電源電圧 V_{CC} の上昇が急峻な場合は、電源電圧 V_{CC} が設定電圧 V_{CCPOR} を超えた後に、MOS トランジスタ $NQ 1$ がターンオンする。

【 0 0 4 4 】

次の時刻 t_6 で、ノード B および出力端子 OUT の電圧が H レベルに切替わる。ゲート駆動回路 1 0 A の入力端子 IN には、時刻 t_2 から H レベルの制御信号 $CTL 1$ が供給され続けているけれども、パワーオンリセット回路 3 0 によるリセット時間 T_{POR0} の間

10

20

30

40

50

は、遮断回路18, 19によって制御信号CTL1の出力が遮断される。したがって、時刻t5でリセット信号が非活性状態(Hレベル)になると、ノードAの電圧がHレベルに切替わる。さらに、時刻t5から遅延回路16による遅延時間Tdonだけ遅延した時刻t6に出力端子OUTの電圧がHレベルに切替わる。

【0045】

このように、パワーオンリセット回路30による制御信号CTL1の遮断時間は、リセット時間TPOR0に遅延回路16による遅延時間Tdonを加算したTPOR0+Tdonで表わされる。すなわち、遅延回路16の入力側と出力側の両方に遮断回路18, 19を設けることによって、パワーオンリセット回路30によるリセット時間TPOR0よりも長い時間の間、制御信号CTL1の供給を遮断することができる。

10

【0046】

なお、時刻t1の電源投入直後は論理回路の動作が不安定な時間帯USTがあるので、厳密に考えると、実質的な有効リセット時間は時刻t3~t5までの時間TPOR1になる。したがって、実質的な有効遮断時間TPORは、有効リセット時間TPOR1に遅延回路16による遅延時間Tdonを加算した、TPOR1+Tdonで表わされることになる。

【0047】

(実施の形態1のゲート駆動回路10Aと比較例との対比)

次に、実施の形態1の効果を、比較例と対比してさらに詳しく述べる。

【0048】

図7は、実施の形態1の比較例としてのゲート駆動回路210の構成を示すブロック図である。図7の比較例のゲート駆動回路210では、制御信号CTL1の経路上で遅延回路16の出力側にのみ遮断回路19が設けられていて、入力側に遮断回路が設けられていない。すなわち、図7のゲート駆動回路210は、遅延回路16の入力側の第1の遮断回路18を含まない点で、図3のゲート駆動回路10Aと異なる。ゲート駆動回路210のその他の点については図3のゲート駆動回路10Aと同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。

20

【0049】

図8、図9は、図7のゲート駆動回路210の電源投入時の動作を説明するためのタイミング図である。図8は、電源電圧VCCが緩やかに上昇する場合について図示している。図8は、上から順に電源電圧VCC、MOSトランジスタNQ1のゲート電圧VG、定電流源33の電流IPOR、MOSトランジスタNQ1のドレイン電圧VD、パワーオンリセット回路30の出力電圧POROUT(リセット信号)、入力端子INの電圧、遅延回路16の出力側のノードBの電圧、および出力端子OUTの電圧を示す。図7の場合、遅延回路16の入力側のノードAの電圧は入力端子INの電圧に等しい。

30

【0050】

図7、図8を参照して、電源電圧VCCは、図6の場合と同様に、時刻t1で投入されてから緩やかに上昇して定常状態の電圧VCC1に到達する。このとき、ゲート電圧VGは、電源電圧VCCの上昇に伴って次第に増加する。

【0051】

次の時刻t2で、入力端子INに供給される制御信号CTL1がHレベルに切替わる。次の時刻t3で、図6の場合と同様に、定電流源33に電流IPORが流れ始める。定電流源33が動作し始めると、MOSトランジスタNQ1のドレイン電極Dの寄生容量CPが充電されるので、ドレイン電圧VDが次第に上昇する。

40

【0052】

次の時刻t5で、ドレイン電圧VDがインバータ回路INVの閾値電圧VTHを超えるとインバータ回路INVの出力がLレベル(0V)になるので、リセット信号POROUTも0Vになる。時刻t1から時刻t4の間、リセット信号POROUTの電圧は緩やかに上昇する。

【0053】

50

次の時刻 t_6 で、ゲート電圧 V_G が MOS トランジスタ NQ_1 の閾値電圧 V_{THN} を超えると、MOS トランジスタ NQ_1 がターンオンする。この結果、ドレイン電圧 V_D がほぼ $0V$ になり、リセット信号 $POROUT$ が H レベル（この時点での電源電圧 V_{CC} に等しい）になり、遮断回路 19 による遮断状態が解除される。時刻 $t_1 \sim$ 時刻 t_6 がリセット時間 T_{POR0} である。

【0054】

ここで、図 6 の場合と同様に、時刻 t_2 以降、 H レベルの制御信号 CTL_1 が入力端子 IN に入力されている。ところが、比較例のゲート駆動回路 210 には遅延回路 16 の入力側に遮断回路が設けられていないので、この H レベルの制御信号 CTL_1 は、遅延回路 16 による遅延時間 T_{don} が経過した時刻 t_4 にノード B に到達する。時刻 t_4 は、ドレイン電圧 V_D がインバータ回路 INV の電圧閾値 V_{TH} に到達する時刻 t_5 の直前であり、リセット信号 $POROUT$ は H レベルとなっている。したがって、リセット信号 $POROUT$ は、遮断回路 19 によって遮断されずに出力端子 OUT に到達する。この結果、比較例のゲート駆動回路 210 では、リセット時間 T_{POR0} 内の時刻 $t_4 \sim t_5$ に制御信号 CTL_1 を誤出力することになる。図 3 のゲート駆動回路 $10A$ の場合には、遅延回路 16 の入力側の第 1 の遮断回路 18 によって制御信号 CTL_1 が遮断されるので、このような制御信号 CTL_1 の誤出力は生じない。

【0055】

さらに、図 6 の場合と異なりノード B の電圧が H レベルであるので、時刻 t_6 でリセット信号 $POROUT$ が非活性状態となるとすぐに、出力端子 OUT から制御信号 CTL_1 が出力される。すなわち、比較例のゲート駆動回路 210 では、制御信号 CTL_1 の遮断時間は、リセット時間 T_{POR0} に等しくなり、図 6 の場合のように遅延回路 16 の遅延時間 T_{don} がリセット時間 T_{POR0} に加算されることはない。信号の誤出力を考慮すると、実質的な有効遮断時間 T_{POR} は時刻 t_5 から t_6 までとなってさらに短くなる。

【0056】

次に、図 9 は、電源電圧 V_{CC} が急激に上昇する場合のタイミング図である。図 9 では、上から順に電源電圧 V_{CC} 、MOS トランジスタ NQ_1 のゲート電圧 V_G 、定電流源 33 の電流 I_{POR} 、MOS トランジスタ NQ_1 のドレイン電圧 V_D 、パワーオンリセット回路 30 の出力電圧 $POROUT$ （リセット信号）、入力端子 IN の電圧（ノード A の電圧）、遅延回路 16 の出力側のノード B の電圧、および出力端子 OUT の電圧を示す。以下、図 7 、図 9 を参照して、図 8 の緩やかに上昇する場合と異なる点を主に説明する。

【0057】

図 9 の場合、電源電圧 V_{CC} は、時刻 t_1 で投入されてから図 8 の場合よりも急峻に上昇して定常状態の電圧 V_{CC1} に到達する。このとき、ゲート電圧 V_G は、電源電圧 V_{CC} の上昇よりも緩やかに増加する。

【0058】

次の時刻 t_3 で、図 8 の場合と同様に、定電流源 33 に電流 I_{POR} が流れ始める。定電流源 33 が動作を開始すると、MOS トランジスタ NQ_1 のドレイン電極 D の寄生容量 CP が充電されるので、ドレイン電圧 V_D が次第に上昇する。

【0059】

次の時刻 t_5 では、図 8 の場合と異なり、ドレイン電圧 V_D がインバータ回路 INV の閾値電圧 V_{TH} に到達するより先に、ゲート電圧 V_G が MOS トランジスタ NQ_1 の閾値電圧 V_{THP} を超える。この結果、MOS トランジスタ NQ_1 がターンオンするので、ドレイン電圧 V_D がほぼ $0V$ になる。リセット信号 $POROUT$ は、図 8 の場合のように L レベルになることなく上昇を続け定常状態の電圧 V_{CC1} に到達する。時刻 $t_1 \sim t_6$ がリセット時間 T_{POR0} に対応する。

【0060】

ここで、図 8 の場合と同様に、時刻 t_2 以降、 H レベルの制御信号 CTL_1 が入力端子 IN に入力されている。この H レベルの制御信号 CTL_1 は、遅延回路 16 による遅延時間 T_{don} が経過した時刻 t_4 にノード B に到達する。時刻 t_4 には、リセット信号 $POROUT$ は H レベルとなり、出力端子 OUT から制御信号 CTL_1 が出力される。

10

20

30

40

50

R O U Tの電圧はHレベル近くまで上昇しているので、Hレベルの制御信号C T L 1は、遮断回路19によって遮断されずに出力端子O U Tから出力される。そして、リセット信号P O R O U Tが非活性状態となる時刻t 5以降も出力端子O U Tからの制御信号C T L 1の出力が続く。

【0061】

このように、比較例のゲート駆動回路210で、電源投入後の電源電圧V C Cの上昇が急峻なときには、制御信号C T L 1が遮断されない。これに対して、図3のゲート駆動回路10Aの場合には、遅延回路16の入力側の第1の遮断回路18によって確実に制御信号C T L 1が遮断される。

【0062】

なお、図7の場合と逆に、図3の制御信号C T L 1の経路上で遅延回路16の入力側にのみ遮断回路18が設けられ、出力側に遮断回路19が設けられない場合には、電源電圧V C Cが一時的に低下するときに信号の誤出力の可能性がある。たとえば、Hレベルの制御信号C T L 1が遅延回路16に入力された状態でリセット信号が活性化され遮断回路が働いたとする。この場合、遅延回路16の出力側に遮断回路が設けられていないので、制御信号C T L 1を遮断することができない。この点を、図10を参照して説明する。

【0063】

図10は、遅延回路16の入力側にのみ遮断回路18が設けられた場合に、電源電圧が一時的に低下したときのタイミング図である。図10は、上から順に電源電圧V C C、図3の入力端子I Nの電圧、遅延回路16の入力側のノードAの電圧、出力端子O U Tの電圧を示す。

【0064】

電源電圧V C Cが所定の定常電圧V C C 1のとき、時刻t 1で入力端子I Nに入力される制御信号C T L 1がHレベルになる。この時点でリセット信号P O R O U Tが非活性状態であり、遮断回路18は働いていないのでノードAの電圧もHレベルになる。

【0065】

次の時刻t 2で電源電圧V C Cが低下すると、時刻t 2から検出遅延時間T d u vが経過した時刻t 3にリセット信号P O R O U Tが活性化する。この結果、遮断回路18によって制御信号C T L 1が遮断されることにより、ノードAの電圧がLレベル(0V)になる。

【0066】

結果として、時刻t 1から遅延時間T d o nが経過した時刻t 4に出力端子O U Tの電圧がHレベルに立上り、時刻t 3から遅延時間T d o f fが経過した時刻t 5に出力端子O U Tの電圧がLレベルに立下がることになり、時刻t 4～t 5の間に信号の誤出力が生じる。

【0067】

これに対して、制御信号C T L 1の経路上で遅延回路16の出力側にも遮断回路19が設けられている場合には、時刻t 3以降の遅延回路16からの出力が遮断されるので、制御信号C T L 1の誤出力が生じることがない。

【0068】

(実施の形態1のまとめ)

以上のとおり、実施の形態1のゲート駆動回路10A(半導体回路)によれば、制御信号C T L 1の経路上で遅延回路16の入力側と出力側の2箇所に遮断回路18, 19が設けられる。この結果、リセット信号P O R O U Tが活性状態のときに確実に制御信号C T L 1を遮断することができる。また、このときの制御信号C T L 1の遮断時間は、リセット信号P O R O U Tが活性状態(Lレベル)となっているリセット時間よりも、遅延回路16の遅延時間分だけ長い時間になる。したがって、パワーオンリセット回路30でリセット時間を決めている抵抗素子R 1, R 2, R 3の抵抗値やコンデンサC 1の容量を小さくしても十分な信号遮断時間が得られることになるので、結果として、パワーオンリセット回路30の回路規模を小さくすることができる。

10

20

30

40

50

【 0 0 6 9 】

[実施の形態 2]

実施の形態 2 は、特開 2 0 0 5 - 1 9 8 2 4 0 号公報に記載の、いわゆるツインフィルタを実施の形態 1 の遅延回路 1 6 として用いた変形例である。

【 0 0 7 0 】

図 1 1 は、この発明の実施の形態 2 に従うゲート駆動回路 4 0 の構成を示すブロック図である。図 1 1 に示す実施の形態 2 のゲート駆動回路 4 0 は、図 3 の第 1、第 2 の遮断回路 1 8, 1 9 および遅延回路 1 6 に代えて、これらを結合して構成された遅延回路 4 1 を含む点で図 3 のゲート駆動回路 1 0 A と異なる。図 1 1 のゲート駆動回路 4 0 のその他の構成については、実施の形態 1 の場合と共通するので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。

10

【 0 0 7 1 】

(遅延回路 4 1 の構成)

図 1 2 は、図 1 1 の遅延回路 4 1 の構成を示す回路図である。図 1 2 を参照して、遅延回路 4 1 は、インバータ回路 4 2 ~ 5 1 と、NAND 回路 5 3 ~ 5 5 と、NOR 回路 5 6 とを含む。以下、制御信号 CTL 1 の入力側から出力側の順に遅延回路 4 1 の構成を説明する。

【 0 0 7 2 】

まず、第 1 の遮断回路としての NAND 回路 5 5 の一方の入力ノードにはリセット信号 P O R O U T が入力され、他方の入力ノードはノード A と接続されて制御信号 CTL 1 が入力される。NAND 回路 5 5 の出力ノードは分岐ノード N d 4 に接続される。分岐ノード N d 4 で、制御信号 CTL 1 の伝送経路は 2 つの経路に分岐される。一方の経路は第 1 の遅延部 6 1 に至り、他方の経路はインバータ回路 4 6 を介して第 2 の遅延部 6 2 に至る。ここで、分岐ノード N d 4 およびインバータ回路 4 6 がこの発明の信号分岐部 6 0 に対応する。信号分岐部 6 0 によって、制御信号 CTL 1 と同相の信号が第 2 の遅延部 6 2 に入力され、逆相の信号が第 1 の遅延部 6 1 に入力される。

20

【 0 0 7 3 】

第 1 の遅延部 6 1 は、従属接続されたインバータ回路 4 2, 4 3 と、インバータ回路 4 2, 4 3 の接続ノード N d 5 と接地ノード G N D との間に設けられたコンデンサ C 2 とを含む。コンデンサ C 2 の容量とインバータ回路 4 2, 4 3 のインピーダンスとによって積分回路が構成される。第 1 の遅延部 6 1 の出力は、従属接続されたインバータ回路 4 4, 4 5 を介してフリップフロップ 6 3 の / S 端子に入力される。

30

【 0 0 7 4 】

同様に、第 2 の遅延部 6 2 は、従属接続されたインバータ回路 4 7, 4 8 と、インバータ回路 4 7, 4 8 の接続ノード N d 6 と接地ノード G N D との間に設けられたコンデンサ C 3 とを含む。コンデンサ C 3 の容量とインバータ回路 4 7, 4 8 のインピーダンスとによって積分回路が構成される。

【 0 0 7 5 】

第 2 の遅延部 6 2 の出力は、インバータ回路 4 9 を介して第 2 の遮断回路としての NOR 回路 5 6 の一方の入力ノードに入力される。NOR 回路 5 6 の他方の入力ノードには、インバータ回路 5 1 を介してリセット信号 P O R O U T が入力される。NOR 回路 5 6 の出力ノードは、フリップフロップ 6 3 の / R 端子に接続される。

40

【 0 0 7 6 】

フリップフロップ 6 3 は、NAND 回路 5 3, 5 4 とインバータ回路 5 0 とを含む。NAND 回路 5 3 の一方の入力ノードが / S 端子であり、NAND 回路 5 4 の一方の入力ノードが / R 端子である。NAND 回路 5 3 の出力ノードは NAND 回路 5 4 の他方の入力ノードに接続される。また、NAND 回路 5 4 の出力ノードは NAND 回路 5 3 の他方の入力ノードに接続されるとともに、インバータ回路 5 0 を介してノード B と接続される。

【 0 0 7 7 】

(遅延回路 4 1 の動作および効果)

50

以上の構成の遅延回路 4 1 の動作について次に説明する。

【 0 0 7 8 】

まず、リセット信号 P O R O U T が活性状態 (L レベル) のとき、第 2 の遮断回路としての N O R 回路 5 6 の出力 (/ R 端子の入力) は L レベル (「 0 」) に固定される。さらに、第 1 の遮断回路としての N A N D 回路 5 5 の出力は H レベル (「 1 」) に固定される。この結果、 / S 端子の入力は H レベル (「 1 」) に固定される。こうして、フリップフロップ 6 3 の出力が L レベル (「 0 」) に固定されるので、制御信号 C T L 1 が確実に遮断される。

【 0 0 7 9 】

次に、リセット信号 P O R O U T が非活性状態 (H レベル) のとき、 N O R 回路 5 6 および N A N D 回路 5 5 はインバータ回路として機能する。したがって、ノード A に H レベルの制御信号 C T L 1 が入力された場合は、 / S 端子の入力が L レベル (「 0 」) になり、 / R 端子の入力が H レベル (「 1 」) になる。こうして、フリップフロップ 6 3 の出力は H レベル (「 1 」) になる。一方、ノード A に L レベルの制御信号 C T L 1 が入力された場合は、 / S 端子の入力が H レベル (「 1 」) になり、 / R 端子の入力が L レベル (「 0 」) になる。こうして、フリップフロップ 6 3 の出力が L レベル (「 0 」) になる。このように、リセット信号 P O R O U T が非活性状態 (H レベル) のときには、入力された制御信号 C T L 1 の論理レベルに応じた信号が遅延回路 4 1 から出力される。

【 0 0 8 0 】

次に、遅延回路 4 1 の効果について説明する。遅延回路 4 1 の効果の 1 つは、2 個の遅延部 6 1 , 6 2 を設けることによって、入力信号のパルス幅に対する遅延回路 4 1 の遅延時間の依存性をなくすることができる点にある。

【 0 0 8 1 】

図 1 3 は、遅延回路 4 1 の効果を説明するための図である。図 1 3 (A) は、図 1 2 の第 1 の遅延部 6 1 を示した図であり、図 1 3 (B) は、図 1 3 (A) のノード N d 4 , N d 5 , N d 7 における電圧波形を示すタイミング図である。

【 0 0 8 2 】

図 1 3 (B) に示すように、ノード N d 4 には、時刻 t 1 で立上がり、時刻 t 3 で立下がり、時刻 t 5 で立上がるパルスが入力される。このとき、ノード N d 7 の電圧波形は、ノード N d 5 の電圧がインバータ回路 4 3 の閾値 V T H を超えるか否かによって決定される。この結果、出力側のノード N d 7 には、時刻 t 2 で立上り、時刻 t 4 で立下り、時刻 t 6 で立上がるパルスが出力される。このとき、時刻 t 1 から時刻 t 2 までのターンオン遅延時間 t L H 1 および時刻 t 5 から時刻 t 6 までのターンオン遅延時間 t L H 2 は、入力信号のパルス幅に依存して変化している。

【 0 0 8 3 】

このように、1 個の遅延部 6 1 のだけの場合は、遅延時間が入力信号のパルス幅に依存する。これに対して、第 1、第 2 の遅延部 6 1 , 6 2 を含む遅延回路 4 1 を用いれば、制御信号 C T L 1 の立上りエッジの遅延時間 T d o n (ターンオン遅延時間) を第 1 の遅延部 6 1 の積分回路で決定し、制御信号 C T L 1 の立下りエッジの遅延時間 T d o f f (ターンオフ遅延時間) を第 2 の遅延部 6 2 の積分回路で決定するように設定できる。これによって、遅延時間の入力パルス幅への依存性をなくすることができる。

【 0 0 8 4 】

また、遅延回路 4 1 の他の効果として、出力段に設けられたフリップフロップ 6 3 によってチャタリングを防止することができる。

【 0 0 8 5 】

(他の例の遅延回路 4 1 A の構成)

図 1 4 は、他の例の遅延回路 4 1 A の構成を示す回路図である。

【 0 0 8 6 】

図 1 2 の遅延回路 4 1 では、第 1 の遮断回路としての N A N D 回路 5 5 が信号分岐部 6 0 の入力側に設けられていた。これに代えて図 1 4 の遅延回路 4 1 A では、第 1 の遮断回

10

20

30

40

50

路としてのNAND回路55が、信号分岐部60と第1の遅延部61との間に設けられている。この点で図14の遅延回路41Aは、図12の遅延回路41と異なる。さらに、図14の遅延回路41Aは、信号分岐部60を構成するインバータ回路46と第2の遅延部62との間にインバータ回路52を含む点で、図12の遅延回路41と異なる。遅延回路41Aのその他の構成については、遅延回路41と共通であるので、同一または対応する部分には同一の参照符号を付して説明を繰返さない。

【0087】

図14の構成の場合も、リセット信号POROUTが活性状態(Lレベル)のときには、第2の遮断回路としてのNOR回路56の出力(/R端子の入力)はLレベル(「0」)に固定される。さらに、第1の遮断回路としてのNAND回路55の出力はHレベル(「1」)に固定される。この結果、/S端子の入力はHレベル(「1」)に固定される。こうして、フリップフロップ63の出力がLレベル(「0」)に固定されるので、制御信号CTL1が確実に遮断される。

10

【0088】

また、リセット信号POROUTが非活性状態(Hレベル)のときには、NOR回路56およびNAND回路55はインバータ回路として機能する。この結果、図12の遅延回路41の場合と同様に、入力される制御信号CTL1の論理レベルに応じた信号が遅延回路41から出力される。

【0089】

[実施の形態3]

実施の形態3は、実施の形態2のツインフィルタをエッジトリガ方式で動作するように変形したものである。

20

【0090】

図15は、この発明の実施の形態3に従うゲート駆動回路70の構成を示すブロック図である。図15に示す実施の形態3のゲート駆動回路70は、図11の遅延回路41に代えて、遅延回路71とエッジトリガ方式のSRフリップフロップ72とを含む点で図11のゲート駆動回路40と異なる。ここで、遅延回路71は、入力された制御信号CTL1の立上りエッジから遅延時間Tdonだけ遅延したタイミングでパルス信号をノードB-onに出力し、制御信号CTL1の立下りエッジから遅延時間Tdoffだけ遅延したタイミングでパルス信号をノードB-offに出力する。SRフリップフロップ72は、ノードB-onに出力されたパルスの立上りエッジ(または立下りエッジ)に应答してセット信号を出力し、ノードB-offに出力されたパルスの立上りエッジ(または立下りエッジ)に应答してリセット信号を出力する。図15のその他の構成については、実施の形態1,2の場合と共通するので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。

30

【0091】

(遅延回路71の構成)

図16は、図15の遅延回路71の構成を示す回路図である。図16を参照して、遅延回路71は、インバータ回路75~96と、NAND回路101~105とを含む。以下、制御信号CTL1の入力側から出力側の順番で遅延回路71の構成を説明する。

40

【0092】

まず、第1の遮断回路としてのNAND回路55の一方の入力ノードにはリセット信号POROUTが入力され、他方の入力ノードはノードAと接続されて制御信号CTL1が入力される。NAND回路55の出力ノードは、インバータ回路75,76を介して分岐ノードNd8に接続される。分岐ノードNd8で、制御信号CTL1の伝送経路は2つの経路に分岐される。一方の経路は第1の遅延部122に至り、他方の経路はインバータ回路86を介して第2の遅延部123に至る。ここで、分岐ノードNd8およびインバータ回路86がこの発明の信号分岐部121に対応する。信号分岐部121によって、制御信号CTL1と同相の信号が第2の遅延部123に入力され、逆相の信号が第1の遅延部122に入力される。

50

【 0 0 9 3 】

第 1 の遅延部 1 2 2 は、従属接続されたインバータ回路 7 7 , 7 8 と、インバータ回路 7 7 , 7 8 の接続ノードと接地ノード G N D との間に設けられたコンデンサ C 4 とを含む。コンデンサ C 4 の容量とインバータ回路 7 7 , 7 8 のインピーダンスとによって積分回路が構成される。第 1 の遅延部 1 2 2 の出力は、従属接続されたインバータ回路 7 9 , 8 0 を介して第 1 のパルス生成回路 1 2 4 の入力ノード B - o n 0 に供給される。

【 0 0 9 4 】

同様に、第 2 の遅延部 1 2 3 は、従属接続されたインバータ回路 8 7 , 8 8 と、インバータ回路 8 7 , 8 8 の接続ノードと接地ノード G N D との間に設けられたコンデンサ C 5 とを含む。コンデンサ C 5 の容量とインバータ回路 8 7 , 8 8 のインピーダンスとによつて積分回路が構成される。第 2 の遅延部 1 2 3 の出力は、従属接続されたインバータ回路 8 9 , 9 0 を介して第 2 のパルス生成回路 1 2 5 の入力ノード B - o f f 0 に供給される。

10

【 0 0 9 5 】

第 1 のパルス生成回路 1 2 4 は、入力ノード B - o n 0 に入力された信号の立下りエッジに 응답してワンショットパルスを生成して出力ノード B - o n 1 から出力する。図 1 6 に示すように、第 1 のパルス生成回路 1 2 4 は、N A N D 回路 1 0 2 と、入力ノード B - o n 0 と N A N D 回路 1 0 2 の一方の入力ノードとの間に接続されたインバータ回路 8 1 と、入力ノード B - o n 0 と N A N D 回路 1 0 2 の他方の入力ノードとの間に従属接続されたインバータ回路 8 2 , 8 3 とを含む。第 1 のパルス生成回路 1 2 4 は、さらに、インバータ回路 8 2 , 8 3 の接続ノードと接地ノード G N D との間に接続されたコンデンサ C 6 と、N A N D 回路 1 0 2 の出力ノードと出力ノード B - o n 1 との間に接続されたインバータ回路 8 4 とを含む。

20

【 0 0 9 6 】

同様に、第 2 のパルス生成回路 1 2 5 は、入力ノード B - o f f 0 に入力された信号の立下りエッジに 응답してワンショットパルスを生成して出力ノード B - o f f 1 から出力する。図 1 6 に示すように、第 2 のパルス生成回路 1 2 5 は、N A N D 回路 1 0 3 と、入力ノード B - o f f 0 と N A N D 回路 1 0 3 の一方の入力ノードとの間に接続されたインバータ回路 9 1 と、入力ノード B - o f f 0 と N A N D 回路 1 0 3 の他方の入力ノードとの間に従属接続されたインバータ回路 9 2 , 9 3 とを含む。第 2 のパルス生成回路 1 2 5 は、さらに、インバータ回路 9 2 , 9 3 の接続ノードと接地ノード G N D との間に接続されたコンデンサ C 7 と、N A N D 回路 1 0 3 の出力ノードと出力ノード B - o f f 1 との間に接続されたインバータ回路 9 4 とを含む。

30

【 0 0 9 7 】

第 1 のパルス生成回路 1 2 4 の出力ノード B - o n 1 は、N A N D 回路 1 0 4 の一方の入力ノードに接続される。N A N D 回路 1 0 4 の他方の入力ノードは、インバータ回路 7 5 , 7 6 の接続ノード A 1 と接続される。N A N D 回路 1 0 4 の出力ノードは、インバータ回路 8 5 を介してノード B - o n と接続される。

【 0 0 9 8 】

同様に、第 2 のパルス生成回路 1 2 5 の出力ノード B - o f f 1 は、N A N D 回路 1 0 5 の一方の入力ノードに接続される。N A N D 回路 1 0 5 の他方の入力ノードは、インバータ回路 9 6 を介してインバータ回路 7 5 , 7 6 の接続ノード A 1 と接続される。N A N D 回路 1 0 5 の出力ノードは、インバータ回路 5 5 を介してノード B - o f f と接続される。ここで、N A N D 回路 1 0 4 , 1 0 5 およびインバータ回路 9 6 が第 2 の遮断回路 1 2 6 を構成する。

40

【 0 0 9 9 】

(遅延回路 7 1 の動作)

以上の構成の遅延回路 7 1 の動作について次に説明する。

【 0 1 0 0 】

まず、リセット信号 P O R O U T が活性状態 (L レベル) のとき、第 1 の遮断回路とし

50

てのNAND回路101の出力はHレベル(「1」)に固定される。このとき、ノードA1はLレベル(「0」)になるので、第2の遮断回路126を構成するNAND回路104の一方の入力ノードには「0」が入力される。また、NAND回路105の一方の入力ノードには「1」が入力され、他方の入力ノードには「0」が入力される。この結果、遅延回路71の出力ノードB-on, B-offはいずれにもLレベル「0」に固定されることになり、制御信号CTL1が確実に遮断される。

【0101】

次に、リセット信号POROUTが非活性状態(Hレベル)のとき、NAND回路101はインバータとして機能する。したがって、第1のパルス生成回路124の入力ノードB-on0には、制御信号CTL1と逆相の信号が第1の遅延部122による遅延時間だけ遅延したタイミングで到達する。この結果、第1のパルス生成回路124の出力ノードB-on1には、制御信号CTL1の立上りエッジから遅延時間Tdonだけ遅延したタイミングでパルスが生成される。同様に、第2のパルス生成回路125の入力ノードB-off0には、制御信号CTL1と同相の信号が第2の遅延部123による遅延時間だけ遅延したタイミングで到達する。この結果、第1のパルス生成回路125の出力ノードB-off1には、制御信号CTL1の立下りエッジから遅延時間Tdoftだけ遅延したタイミングでパルスが生成される。

10

【0102】

(ゲート駆動回路70の動作)

図17は、図15のゲート駆動回路70の電源投入時の動作を説明するためのタイミング図である。図17は上から順に、電源電圧VCC、パワーオンリセット回路30の出力電圧POROUT(リセット信号)、ゲート駆動回路70の入力端子INの電圧、遅延回路71のノードA1, B-on0, B-off0, B-on1, B-off1, B-on, B-offの電圧、および出力端子OUTの電圧を示す。

20

【0103】

図15~図17を参照して、電源電圧VCCは時刻t1で投入されてから緩やかに上昇して定常状態の電圧に到達する。電源電圧VCCの上昇に伴ってゲート電圧VGが上昇する結果、時刻t3でMOSトランジスタNQ1がターンオンする。これによって、パワーオンリセット回路30の出力電圧POROUTがHレベルになる。それまでの時刻t1~t3(リセット時間TPOR0)は、リセット信号が活性状態(Lレベル)にある。したがって、時刻t1~t3までの間、ノードA1およびノードB-off0の電圧はLレベルに固定され。また、電源投入直後の論理回路の動作が不安定な時間帯USTを除いて時刻t2から時刻t3までの間、ノードB-on0の電圧はHレベルに固定される。

30

【0104】

ゲート駆動回路70の入力端子INには、時刻t2からHレベルの制御信号CTL1が供給されている。しかしながら、リセット信号POROUTが活性状態にある時刻t1~t3は、遮断回路101, 126によって制御信号CTL1の出力が遮断される。したがって、時刻t3でリセット信号が非活性状態(Hレベル)になってはじめて、ノードA1の電圧がHレベルに立上がる。この結果、時刻t3から第1の遅延部122による遅延時間Tdonだけ経過した時刻t4に、第1のパルス生成回路124の入力ノードB-on0の信号が立下り、ノードB-onにパルス信号が出力される。同様に、入力端子INの電圧の立下りから遅延時間Tdoftが経過した時刻t5に、第2のパルス生成回路125の入力ノードB-off0の信号が立下る。この結果、ノードB-offにパルス信号が出力される。

40

【0105】

SRフリップフロップ72は、時刻t4でノードB-onに出力されたパルスの立上りのタイミングに同期してHレベルの信号を出力する。また、SRフリップフロップ72は、時刻t5でノードB-offに出力されたパルスの立上りのタイミングに同期してLレベルの信号を出力する。

【0106】

50

このように、ゲート駆動回路70は、入力端子INに入力された制御信号CTL1を所定の遅延時間Tdon, Tdoffだけ遅延させて出力端子OUTから出力する。このとき、ゲート駆動回路70は、リセット時間TPOR0に遅延時間Tdonを加算した遮断時間TPOR(時刻t1~t4)の間、制御信号CTL1の出力を遮断する。

【0107】

[実施の形態4]

実施の形態4では、実施の形態1のNチャンネルMOSトランジスタNQ1に代えて、PチャンネルMOSトランジスタPQ1を用いてパワーオンリセット回路111を構成したものである。

【0108】

図18は、この発明の実施の形態4に従うゲート駆動回路110の構成を示すブロック図である。図18を参照して、ゲート駆動回路110は、制御信号CTL1の入力端子INから出力端子OUTの方向に直列に接続された、シュミットトリガゲート15、第1の遮断回路18、遅延回路16、第2の遮断回路19、およびバッファ回路20を含む。ゲート駆動回路110は、入力端子INと接地ノードGNDとの間に接続された抵抗素子11を含む。これらの構成要素は、実施の形態1の図3と同様であるので説明を繰返さない。

10

【0109】

(パワーオンリセット回路111の構成)

ゲート駆動回路110は、さらに、パワーオンリセット回路111を含む。パワーオンリセット回路111は、電源電圧VCCの投入時または一時的な低下時に活性化されたLレベルのリセット信号POROUTを第1、第2の遮断回路18, 19に出力する。パワーオンリセット回路111は、電源電圧VCCを分圧する分圧回路31と、分圧回路31の出力電圧を積分するRC積分回路112と、ソースが電源ノードVCCに接続されたPチャンネルのMOSトランジスタPQ1と、定電流源113と、インバータ回路INV1, INV2とを含む。

20

【0110】

分圧回路31は、実施の形態1の場合と同様に、電源ノードVCCと接地ノードGNDとの間に直列に接続された抵抗素子R1, R2を含む。抵抗素子R1, R2の接続ノードNd1(分圧ノードNd1とも称する)で電源電圧VCCが抵抗素子R1, R2の比に分圧される。

30

【0111】

RC積分回路32は、分圧ノードNd1とMOSトランジスタPQ1のゲート電極Gとの間に接続された抵抗素子R3と、ゲート電極Gと電源ノードVCCとの間に接続されたコンデンサC1と、ゲート電極Gと接地ノードGNDとの間に逆バイアス方向に接続されたダイオードD1とを含む。これによって、MOSトランジスタPQ1のゲート電極Gには分圧ノードNd1の電圧上昇を緩やかに上昇させた電圧が入力される。積分回路の時定数は、実施の形態1の式(1)と同じである。

【0112】

NチャンネルのMOSトランジスタPQ1は、ゲート・ソース間電圧(コンデンサC1の両端の電圧に等しい)に応じてスイッチングする。MOSトランジスタPQ1は、電源電圧VCCの投入直後は、ゲート電極Gとソース電極Sとの間のゲート・ソース間電圧が低いために非導通状態である。電源電圧VCCが上昇した結果、ゲート・ソース間電圧がMOSトランジスタPQ1の閾値電圧VTHPを超えると導通する(閾値電圧VTHPは絶対値で定義するものとする)。

40

【0113】

定電流源113は、MOSトランジスタPQ1のドレイン電極Dと接地ノードGNDとの間に接続され、MOSトランジスタPQ1に定電流IPORを供給する。定電流源113は、MOSトランジスタPQ1とともにソースフォロア回路を構成している。定電流源113によりソースフォロア回路のバイアス点が決まる。

50

【0114】

従属接続されたインバータ回路INV1, INV2は、MOSトランジスタPQ1のドレイン電極Dと接地ノードGNDとの間の電圧VD(ドレイン電圧VDとも称する)を整形した信号をリセット信号POROUT(パワーオンリセット回路111の出力電圧)として第1、第2の遮断回路18, 19に出力する。

【0115】

ここで、実施の形態4の場合には、実施の形態1の場合と異なり、ドレイン電極Dの電圧VDがLレベルのとき、リセット信号POROUTもLレベル(活性状態)となるので、電源投入直後に寄生容量CPを強制的に充電する必要がないというメリットがある。

【0116】

電源投入後、電源電圧VCCが上昇すると、ゲート電極Gと接地ノードGNDとの間の電圧VG(ゲート電圧VGとも称する)もそれに伴って上昇する。やがて、ゲート・ソース間の電圧(VCC-VG)が、MOSトランジスタPQ1の閾値電圧VTHPを超えるとMOSトランジスタPQ1が導通状態になる。この結果、インバータ回路INV1の入力がHレベル(その時点の電源電圧VCCに等しい)になるので、インバータ回路INV2から出力されるリセット信号POROUTはHレベル(非活性状態)になる。

【0117】

(ゲート駆動回路110の電源投入時の動作)

図19は、図18のゲート駆動回路110の電源投入時の動作を説明するためのタイミング図である。図19は上から順に、電源電圧VCC、MOSトランジスタPQ1のゲート電圧VG、定電流源113の電流IPOR、MOSトランジスタPQ1のドレイン電圧VD、パワーオンリセット回路111の出力電圧POROUT、入力端子INの電圧、遅延回路16の入力側のノードAの電圧、遅延回路16の出力側のノードBの電圧、および出力端子OUTの電圧を示す。

【0118】

図18、図19を参照して、電源電圧VCCは時刻t1で投入されてから緩やかに上昇して定常状態の電圧VCC1に到達するものとする。このとき、ゲート電圧VGは、電源電圧VCCの上昇に伴って次第に増加する。ゲート電圧VGは最終的には、

$$VCC1 \times R2 / (R1 + R2) \quad \dots(4)$$

になる。

【0119】

次の時刻t2で、入力端子INに供給される制御信号CTL1がHレベルに切替わる。

次の時刻t3で、定電流源113を電流IPORが流れ始める。図4に例示される定電流源113は電源電圧VCCが低い時刻t3までは動作しない。なお、MOSトランジスタPQ1がオフ状態であるので、ドレイン電極の電圧VDはLレベル(0V)のままである。この結果、ドレイン電圧VDがインバータ回路INVの閾値電圧VTHを超るか否かによらず、リセット信号POROUTもLレベル(0V)のままである。この点が実施の形態1の図6と異なる点であり、実施の形態4のメリットとなっている。

【0120】

次の時刻t4で、ゲート・ソース間電圧(VCC-VG)がMOSトランジスタPQ1の閾値電圧VTHPを超えると、MOSトランジスタPQ1がターンオンする。この結果、ドレイン電圧VDがほぼ0Vになり、リセット信号POROUTがHレベル(この時点での電源電圧VCCに等しい)になり、遮断回路18, 19による制御信号CTL1の遮断が解除される。電源電圧VCCが投入された時刻t1からMOSトランジスタPQ1がターンオンする時刻t4までの時間TPOR0が、パワーオンリセット回路111の積分回路112の時定数で決まるリセット時間TPOR0である。

【0121】

なお、MOSトランジスタPQ1をターンオンさせるのに最低限必要な電源電圧VCC(設定電圧VCCPORと称する)は、MOSトランジスタPQ1の閾値電圧VTHPを用いて、

10

20

30

40

50

$$V_{THP} \times (R_1 + R_2) / R_1 \quad \dots (5)$$

で与えられる。電源電圧 V_{CC} の上昇が緩やかな場合は、時刻 t_4 における電源電圧 V_{CC} が上式 (3) にほぼ等しくなる。電源電圧 V_{CC} の上昇が急峻な場合は、電源電圧 V_{CC} が上式 (5) で表わされる設定電圧 V_{CCPOR} を超えた後に、MOSトランジスタ PQ_1 がターンオンする。

【0122】

次の時刻 t_5 で、ノード B および出力端子 OUT の電圧が H レベルに切替わる。ゲート駆動回路 $10A$ の入力端子 IN には、時刻 t_2 から H レベルの制御信号 CTL_1 が供給され続けているけれども、パワーオンリセット回路 111 によるリセット時間 $TPOR_0$ の間は、遮断回路 $18, 19$ によって制御信号 CTL_1 の出力が遮断される。したがって、時刻 t_4 でリセット信号が非活性状態 (H レベル) になってから、ノード A の電圧が H レベルに切替わる。さらに、時刻 t_4 から遅延回路 16 による遅延時間 T_{don} だけ経過した時刻 t_5 に出力端子 OUT の電圧が H レベルに切替わることになる。

10

【0123】

このように、パワーオンリセット回路 111 による制御信号 CTL_1 の遮断時間は、リセット時間 $TPOR_0$ に遅延回路 16 による遅延時間 T_{don} を加算した $TPOR_0 + T_{don}$ になる。すなわち、遅延回路 16 の入力側と出力側の両方に遮断回路 $18, 19$ を設けることによって、パワーオンリセット回路 111 によるリセット時間 $TPOR_0$ よりも長い時間の間、制御信号 CTL_1 を遮断することができる。

【0124】

なお、時刻 t_1 の電源投入直後は論理回路の動作が不安定な時間帯 UST があるので、厳密に考えると、実質的な有効リセット時間は時刻 $t_3 \sim t_4$ までの時間 $TPOR_1$ になる。したがって、実質的な有効遮断時間 $TPOR$ は、有効リセット時間 $TPOR_1$ に遅延回路 16 による遅延時間 T_{don} を加算した $TPOR_1 + T_{don}$ で表わされる。

20

【0125】

(実施の形態 4 のまとめ)

以上のとおり、実施の形態 4 のゲート駆動回路 110 (半導体回路) によれば、実施の形態 1 の場合と同様に、制御信号 CTL_1 の経路上で遅延回路 16 の入力側と出力側の 2 箇所に遮断回路 $18, 19$ が設けられる。この結果、リセット信号 $POROUT$ が活性状態のときに確実に制御信号 CTL_1 を遮断することができる。また、このときの制御信号 CTL_1 の遮断時間は、リセット信号 $POROUT$ が活性状態 (L レベル) となっているリセット時間よりも、遅延回路 16 の遅延時間分だけ長い時間になる。したがって、パワーオンリセット回路 111 でリセット時間を決めている抵抗素子 R_1, R_2, R_3 の抵抗値やコンデンサ C_1 の容量を小さくしても十分な信号遮断時間が得られることになるので、結果として、パワーオンリセット回路 111 の回路規模を小さくすることができる。

30

【0126】

さらに、実施の形態 4 では、実施の形態 1 の場合と異なり、 P チャンネルのトランジスタ PQ_1 を用いてパワーオンリセット回路 111 を構成しているので、電源投入直後にドレイン電極 D の寄生容量 CP を強制充電する必要がない。したがって、電源投入直後のパワーオンリセット回路 111 の動作をより安定化させることができる。

40

【0127】

[実施の形態 4 の変形例]

図 20 は、実施の形態 4 の変形例に従うゲート駆動回路 $110A$ の構成を示すブロック図である。図 20 のパワーオンリセット回路 $111A$ は、定電流源 113 に代えて抵抗素子 R_4 を設けている点で図 18 のパワーオンリセット回路 111 と異なる。 P チャンネルのトランジスタ PQ_1 を用いた場合には、電源投入直後にドレイン電極 D の寄生容量 CP を強制充電する必要がないので、定電流源 113 を抵抗素子 R_4 で置換えることができる。これによって、回路規模をさらに小さくすることができる。図 20 のゲート駆動回路 $110A$ のその他の構成については、図 18 のゲート駆動回路 110 と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。

50

【 0 1 2 8 】

[実施の形態 5]

図 2 1 は、この発明の実施の形態 5 に従うゲート駆動回路 1 1 0 B の構成を示すブロック図である。図 2 1 のパワーオンリセット回路 1 1 1 B は、図 1 8 の分圧回路 3 1 の抵抗素子 R 2 に代えて、定電圧源としてのツェナーダイオード Z D を設けている点で図 1 8 のパワーオンリセット回路 1 1 1 と異なる。すなわち、図 2 1 の分圧回路 3 1 A は、電源ノード V C C と分圧ノード N d 1 との間に接続される抵抗素子 R 1 と、分圧ノード N d 1 と接地ノード G N D との間に接続されるツェナーダイオード Z D とを含む。ゲート駆動回路 1 1 0 B のその他の構成については、図 1 8 のゲート駆動回路 1 1 0 と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。

10

【 0 1 2 9 】

ツェナーダイオード Z D を用いることによって、M O S トランジスタ P Q 1 をターンオンさせるのに最低限必要な設定電圧 V C C P O R は、M O S トランジスタ P Q 1 の閾値電圧 V T H P とツェナー電圧 V Z とを用いて、

$$V C C P O R = V T H P + V Z \quad \dots (6)$$

で与えられる。

【 0 1 3 0 】

また、積分回路 1 1 2 の時定数 は、電源電圧 V C C がツェナー電圧 V Z 以下のとき、

$$= C 1 \times (R 1 + R 3) \quad \dots (7)$$

で与えられ、電源電圧 V C C がツェナー電圧 V Z より大きいとき、

$$= C 1 \times R 3 \quad \dots (8)$$

20

で与えられる。

【 0 1 3 1 】

(ゲート駆動回路 1 1 0 B の電源投入時の動作)

図 2 2 は、図 2 1 のゲート駆動回路 1 1 0 B の電源投入時の動作を説明するためのタイミング図である。

図 2 2 は上から順に、電源電圧 V C C 、M O S トランジスタ P Q 1 のゲート電圧 V G 、定電流源 1 1 3 の電流 I P O R 、M O S トランジスタ P Q 1 のドレイン電圧 V D 、パワーオンリセット回路 1 1 1 の出力電圧 P O R O U T (リセット信号) 、入力端子 I N の電圧、遅延回路 1 6 の入力側のノード A の電圧、遅延回路 1 6 の出力側のノード B の電圧、および出力端子 O U T の電圧を示す。

30

【 0 1 3 2 】

図 2 2 の場合も図 1 9 の場合と同様に、ゲート電圧 V G は、電源電圧 V C C の上昇に伴って次第に増加する。電源電圧 V C C が定常電圧 V C C 1 に到達した後は図 1 9 の場合と異なり、ゲート電圧 V G は緩やかに減少し、最終的にはツェナー電圧 V Z に等しくなる。図 2 2 のその他の電圧波形は、図 1 9 の場合と同様であるので説明を繰返さない。

【 0 1 3 3 】

また、パワーオンリセット回路 1 1 1 B による制御信号 C T L 1 の遮断時間は、図 1 9 の場合と同様に、リセット時間 T P O R 0 に遅延回路 1 6 による遅延時間 T d o n を加算した T P O R 0 + T d o n で表わされる。すなわち、遅延回路 1 6 の入力側と出力側の両方に遮断回路 1 8 , 1 9 を設けることによって、パワーオンリセット回路 1 1 1 B によるリセット時間 T P O R 0 よりも長い時間、制御信号 C T L 1 を遮断することができる。

40

【 0 1 3 4 】

(ツェナーダイオード Z D を用いる効果)

ツェナーダイオード Z D を用いるメリットは、M O S トランジスタ P Q 1 をターンオンさせるのに最低限必要な設定電圧 V C C P O R のばらつきを実施の形態 4 の場合に比べて小さくできる点にある。この結果、パワーオンリセット回路 1 1 1 B の設定電圧 V C C P O R を電源電圧の定常電圧 V C C 1 に近づけることができる。このため、電源投入時の電源電圧の検出と電源電圧が一時的な低下した場合の電源電圧の検出とを同一のパワーオンリセット回路 1 1 1 B で行なうことが可能になり、半導体回路のチップ面積を削減するこ

50

とができる。以下、具定例を用いて説明する。

【0135】

まず、図18の実施の形態4の場合、前述の式(5)に従って、設定電圧 V_{CCPOR} のばらつき V_{CCPOR} は、閾値電圧 V_{THP} のばらつき V_{THP} を用いて、

$$V_{CCPOR} = V_{THP} \times (R1 + R2) / R1 \quad \dots(9)$$

と表わされる。一方、実施の形態5の場合、式(6)に従って、設定電圧 V_{CCPOR} のばらつき V_{CCPOR} は、閾値電圧 V_{THP} のばらつき V_{THP} とツェナー電圧 V_Z のばらつき V_Z を用いて、

$$V_{CCPOR} = V_{THP} + V_Z \quad \dots(10)$$

と表わされる。

10

【0136】

図23は、設定電圧 V_{CCPOR} のばらつきの具体例を示す表である。図23は、式(9)、(10)を用いてツェナーダイオード ZD を用いない図18の場合と、ツェナーダイオード ZD を用いる図21の場合の設定電圧のばらつきを比較したものである。いずれの場合も設定電圧 V_{CCPOR} は10Vで同一に設定している。

【0137】

図23の表に示すように、図18の場合は設定電圧 V_{CCPOR} のばらつきが約3Vになるのに対して、図21の場合は約0.8Vに抑えられる。したがって、電源電圧 V_{CC} の定常値 V_{CC1} を15Vにした場合、図18の実施の形態4の場合には、ばらつきが約3Vあるので2Vの動作マージンしかないことになる。このため、実施の形態4の場合には、IGBTなどのパワー半導体素子が正常にスイッチングする場合にも電源ノイズの影響で出力を遮断するなど、正常動作を妨げる可能性が高い。これに対して、図21の実施の形態5の場合には、ばらつきが約0.8Vであるので4.2Vという十分な動作マージンを有する。

20

【0138】

(電源電圧が一時的に低下した場合のゲート駆動回路110Bの動作)

図24は、電源電圧が一時的に低下した場合におけるゲート駆動回路110Bの動作を説明するためのタイミング図である。図24は上から順に、電源電圧 V_{CC} 、MOSトランジスタ $PQ1$ のゲート電圧 V_G 、定電流源113の電流値 I_{POR} 、MOSトランジスタ $PQ1$ のドレイン電圧 V_D 、パワーオンリセット回路111の出力電圧 $POROUT$ (リセット信号)、入力端子 IN の電圧、遅延回路16の入力側のノードAの電圧、遅延回路16の出力側のノードBの電圧、および出力端子 OUT の電圧を示す。

30

【0139】

図21、図24を参照して、時刻 t_1 で電源電圧 V_{CC} は定常電圧 V_{CC1} から急激に低下したとする。この変化に起因して、ゲート電圧 V_G 、定電流源113の電流値 I_{POR} 、ドレイン電圧 V_D 、パワーオンリセット回路30の出力電圧 $POROUT$ も低下する。

【0140】

ゲート電圧 V_G は、時刻 t_1 以降、式(7)に示す時定数で次第に増加する。この結果、MOSトランジスタ $PQ1$ のソース・ゲート間電圧($V_{CC} - V_G$)が閾値電圧 V_{THP} よりも小さくなった時刻 t_4 で、MOSトランジスタ $PQ1$ はターンオフする。これによって、ドレイン電圧 V_D が0ボルトになり、リセット信号 $POROUT$ が活性状態(Lレベル)になる。時刻 $t_1 \sim t_4$ の時間が、電源電圧の低下時に遮断回路18, 19を遮断するまでに要する遮断遅延時間 T_{duv} である。

40

【0141】

この後、時刻 t_5 で電源電圧 V_{CC} が定常電圧 V_{CC1} に復帰すると、この変化に起因してゲート電圧 V_G および定電流源113の電流値 I_{POR} が増加する。

【0142】

ゲート電圧 V_G は、時刻 t_5 以降、式(8)に示す時定数で次第に増加する。この結果、MOSトランジスタ $PQ1$ のソース・ゲート間電圧($V_{CC} - V_G$)が閾値電圧 V_T

50

HPよりも大きくなった時刻 t_6 で、MOSトランジスタPQ1はターンオンする。これによって、ドレイン電圧VDが電源電圧VCCにほぼ等しくなり、リセット信号POROUTは非活性状態(Hレベル)に戻る。時刻 $t_4 \sim t_6$ の時間が、電源電圧低下時の信号遮断時間TUVである。

【0143】

ここで、入力端子INには、リセット信号POROUTが活性化する前の時刻 t_2 からHレベルの制御信号CTL1が入力されている。この時点では、遮断回路18, 19は遮断されていないので、時刻 t_2 でノードAの電圧はHレベルに立上がる。時刻 t_2 から遅延回路16の遅延時間Tdonだけ経過した時刻 t_3 には、ノードBおよび出力端子OUTの電圧もHレベルに立上がる。その後、時刻 t_4 でリセット信号POROUTが活性化するので、遮断回路18, 19が動作する。この結果、ノードAの電圧および出力端子OUTの電圧がLレベル(0V)に立下がり、制御信号CTL1が遮断される。

10

【0144】

(実施の形態5のまとめ)

以上のとおり、実施の形態5のゲート駆動回路110B(半導体回路)によれば、実施の形態4の場合と同様の作用効果に加えて、分圧回路31AにツェナーダイオードZDを用いることによって、パワーオンリセット回路111Bの設定電圧VCCPORのばらつきを抑制することができる。この結果、電源投入時の電源電圧の検出と電源電圧が一時的な低下した場合の電源電圧の検出とを同一のパワーオンリセット回路111Bで行なうことが可能になり、半導体回路のチップ面積を削減することができる。

20

【0145】

なお、上記構成において、定電圧源としてのツェナーダイオードZDに代えて、三端子レギュレータ回路やバンドギャップ参照電源回路などを用いてもよい。

【0146】

[実施の形態5の変形例]

図25は、実施の形態5の変形例に従うゲート駆動回路110Cの構成を示すブロック図である。図25のパワーオンリセット回路111Cは、定電流源113に代えて抵抗素子R4を設けている点で図21のパワーオンリセット回路111Bと異なる。PチャネルのトランジスタPQ1を用いた場合には、電源投入直後にドレイン電極Dの寄生容量CPを強制充電する必要がないので、定電流源113を抵抗素子R4で置換えることができる。これによって、回路規模をさらに小さくすることができる。図25のその他の構成については、図21のゲート駆動回路110と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。

30

【0147】

[実施の形態6]

図26は、この発明の実施の形態6に従うゲート駆動回路110Dの構成を示すブロック図である。

図26のパワーオンリセット回路111Dは、抵抗素子R1に代えて定電流源114Bを含む点で図21のパワーオンリセット回路111Bと異なる。すなわち、図26の分圧回路31Bは、電源ノードVCCと分圧ノードNd1との間に接続された定電流源114Bと、分圧ノードNd1と接地ノードGNDとの間に接続されたツェナーダイオードZDとを含む。さらに、図26のパワーオンリセット回路111Dは、定電流源113に代えて定電流源114Bと共通化された定電流源114Aを含む点で図21のパワーオンリセット回路111Bと異なる。図26のその他の構成については、図21の場合と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。

40

【0148】

まず、ツェナーダイオードZDにバイアス電流を印加するための定電流源114Bを設けた理由について説明する。

【0149】

図27は、ツェナーダイオードZDの電流電圧特性を示す図である。図27では逆バイ

50

アス方向の電圧を正として表示している。図 27 の電流 I_1 から電流 I_2 まではほぼ一定のツェナー電圧を示すが、バイアス電流によっては若干ツェナー電圧が変化する。そこで、定電流源 114B を用いることによって、パワーオンリセット回路 111D の設定電圧 V_{CCPOR} の精度を向上させることができる。

【0150】

(定電流源 114A, 114B の構成および動作)

次に、定電流源 114A, 114B の構成について説明する。

【0151】

図 28 は、図 26 の定電流源 114A, 114B の構成の一例を示す回路図である。図 28 を参照して、定電流源 114A, 114B は、抵抗素子 115 と、Nチャネル MOS トランジスタ 116, 117, 118 と、Pチャネル MOS トランジスタ 119, 120 とを含む。各素子の接続について説明すると、まず、抵抗素子 115 は電源ノード V_{CC} とノード $Nd10$ との間に接続される。MOS トランジスタ 116 のソース電極は接地ノード GND に接続され、ゲート電極およびドレイン電極はノード $Nd10$ に接続される。MOS トランジスタ 117 のソース電極は接地ノード GND に接続され、ゲート電極はノード $Nd10$ に接続され、ドレイン電極は MOS トランジスタ PQ1 のドレイン電極に接続される。MOS トランジスタ 118 のソース電極は接地ノード GND に接続され、ゲート電極はノード $Nd10$ に接続され、ドレイン電極はノード $Nd11$ に接続される。MOS トランジスタ 119 のソース電極は電源ノード V_{CC} に接続され、ゲート電極およびドレイン電極はノード $Nd11$ に接続される。MOS トランジスタ 120 のソース電極は電源ノード V_{CC} に接続され、ゲート電極はノード $Nd11$ に接続され、ドレイン電極は図 26 のノード $Nd1$ に接続される。

【0152】

次に図 28 の定電流源 114A, 114B の動作について説明する。まず、MOS トランジスタ 119, 120 はカレントミラーを構成するので、ノード $Nd1$ に流入する電流 I_Z は、MOS トランジスタ 118, 119 を流れる電流に等しい。また、MOS トランジスタ 116, 118 はカレントミラーを構成するので、MOS トランジスタ 118, 119 を流れる電流は MOS トランジスタ 116 を流れる電流に等しい。さらに、MOS トランジスタ 116, 117 はカレントミラーを構成するので、MOS トランジスタ PQ1 を流れる電流 I_{POR} は MOS トランジスタ 116 を流れる電流に等しい。したがって、最終的に電流 I_{POR} および電流 I_Z はダイオード接続された MOS トランジスタ 116 を流れる電流に等しくなる。ここで、MOS トランジスタ 116 を流れる電流は、電源電圧 V_{CC} 、抵抗素子 115 の抵抗値、および MOS トランジスタ 116 の閾値電圧によって決定されるので、抵抗素子 115 の抵抗値を調整することによって電流 I_{POR} および電流 I_Z を決定することができる。

【0153】

図 28 のように、定電流源 114A, 114B を共通化することによって回路面積を削減することができる。

【0154】

今回開示された実施の形態はすべての点で例示であって制限的なものでないと考えられるべきである。この発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【0155】

【図 1】この発明の実施の形態 1 に従うハーフブリッジ回路 1 の構成を示すブロック図である。

【図 2】定常状態における図 1 のハーフブリッジ回路 1 の各部の電圧波形を示すタイミング図である。

【図 3】図 1 のゲート駆動回路 10A のうちパワーオンリセット回路 30 の構成をさらに詳しく示すブロック図である。

10

20

30

40

50

【図 4】図 3 の定電流源 3 3 の構成の一例を示す回路図である。

【図 5】図 3 の遮断回路 1 8 , 1 9 の構成の一例を示す図である。

【図 6】図 3 のゲート駆動回路 1 0 A の電源投入時の動作を説明するためのタイミング図である。

【図 7】実施の形態 1 の比較例としてのゲート駆動回路 2 1 0 の構成を示すブロック図である。

【図 8】図 7 のゲート駆動回路 2 1 0 の電源投入時の動作を説明するためのタイミング図である（電源電圧 V C C が緩やかに上昇する場合）。

【図 9】図 7 のゲート駆動回路 2 1 0 の電源投入時の動作を説明するためのタイミング図である（電源電圧 V C C が急激に上昇する場合）。 10

【図 1 0】遅延回路 1 6 の入力側にのみ遮断回路 1 8 が設けられた場合に、電源電圧が一時的に低下した場合のタイミング図である。

【図 1 1】この発明の実施の形態 2 に従うゲート駆動回路 4 0 の構成を示すブロック図である。

【図 1 2】図 1 1 の遅延回路 4 1 の構成を示す回路図である。

【図 1 3】遅延回路 4 1 の効果を説明するための図である。

【図 1 4】他の例の遅延回路 4 1 A の構成を示す回路図である。

【図 1 5】この発明の実施の形態 3 に従うゲート駆動回路 7 0 の構成を示すブロック図である。

【図 1 6】図 1 5 の遅延回路 7 1 の構成を示す回路図である。 20

【図 1 7】図 1 5 のゲート駆動回路 7 0 の電源投入時の動作を説明するためのタイミング図である。

【図 1 8】この発明の実施の形態 4 に従うゲート駆動回路 1 1 0 の構成を示すブロック図である。

【図 1 9】図 1 8 のゲート駆動回路 1 1 0 の電源投入時の動作を説明するためのタイミング図である。

【図 2 0】実施の形態 4 の変形例に従うゲート駆動回路 1 1 0 A の構成を示すブロック図である。

【図 2 1】この発明の実施の形態 5 に従うゲート駆動回路 1 1 0 B の構成を示すブロック図である。 30

【図 2 2】図 2 1 のゲート駆動回路 1 1 0 B の電源投入時の動作を説明するためのタイミング図である。

【図 2 3】設定電圧 V C C P O R のばらつきの具体例を示す表である。

【図 2 4】電源電圧が一時的に低下した場合におけるゲート駆動回路 1 1 0 B の動作を説明するためのタイミング図である。

【図 2 5】実施の形態 5 の変形例に従うゲート駆動回路 1 1 0 C の構成を示すブロック図である。

【図 2 6】この発明の実施の形態 6 に従うゲート駆動回路 1 1 0 D の構成を示すブロック図である。

【図 2 7】ツェナーダイオード Z D の電流電圧特性を示す図である。 40

【図 2 8】図 2 6 の定電流源 1 1 4 A , 1 1 4 B の構成を示す回路図である。

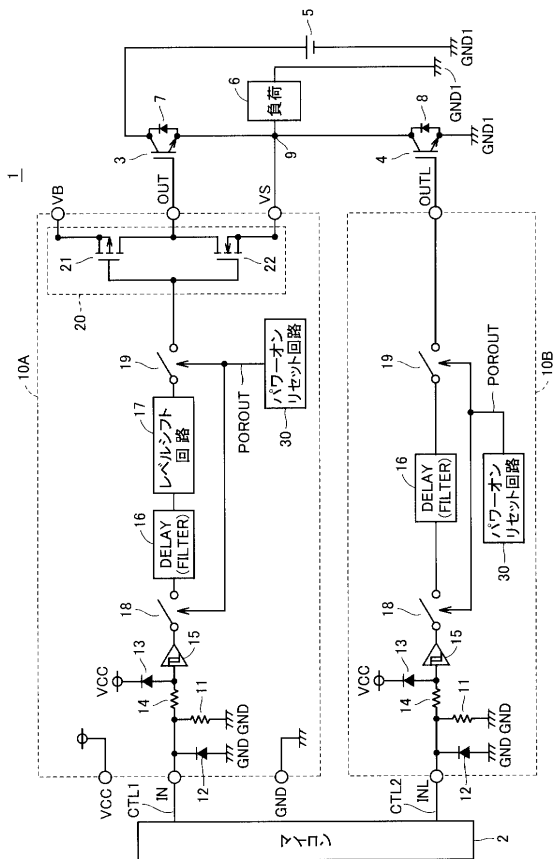
【符号の説明】

【 0 1 5 6 】

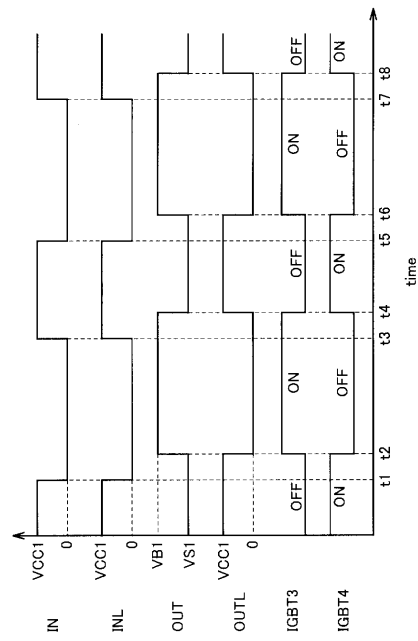
1 0 A , 1 0 B , 4 0 , 7 0 , 1 1 0 , 1 1 0 A ~ 1 1 0 D ゲート駆動回路、 1 6 , 4 1 , 4 1 A , 7 1 遅延回路、 1 8 , 1 9 , 1 2 6 遮断回路、 3 0 , 1 1 1 , 1 1 1 A ~ 1 1 1 D パワーオンリセット回路、 3 1 , 3 1 A , 3 1 B 分圧回路、 3 2 , 1 1 2 積分回路、 3 3 , 1 1 3 , 1 1 4 A , 1 1 4 B 定電流源、 6 0 , 1 2 1 信号分岐部、 6 1 , 6 2 , 1 2 2 , 1 2 3 遅延部、 6 3 フリップフロップ、 7 2 フリップフロップ（エッジトリガ型）、 1 2 4 , 1 2 5 パルス生成回路、 C T L 1 , C T L 2 制御信号、 G N D 接地ノード、 V C C 電源ノード、 I N V , I N V 1 , I N V 2 イン 50

パータ回路、NQ1 NチャンネルMOSトランジスタ、POROUT リセット信号、PQ1 PチャンネルMOSトランジスタ、ZD ツェナーダイオード（定電圧源）。

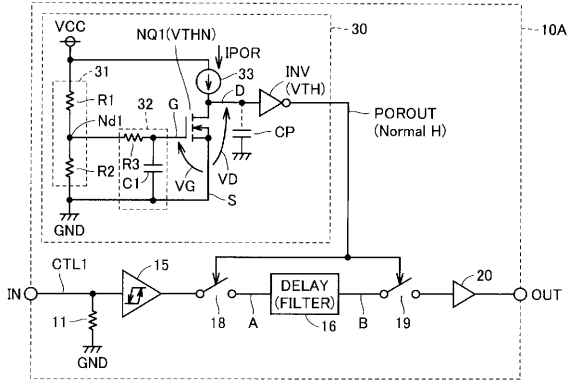
【 図 1 】



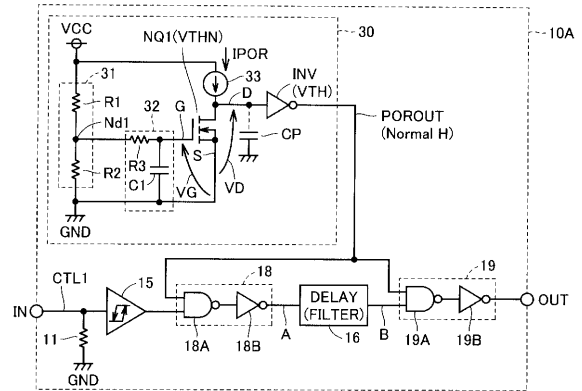
【 図 2 】



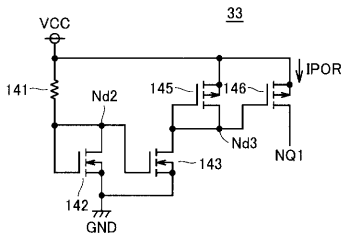
【 図 3 】



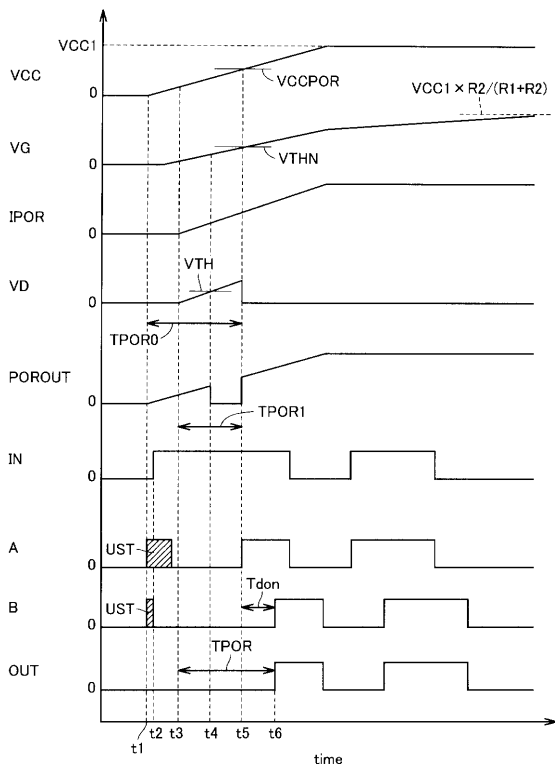
【 図 5 】



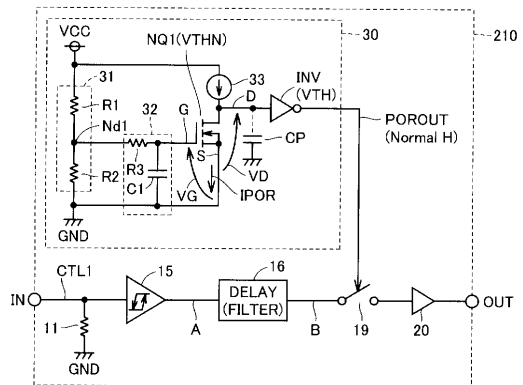
【 図 4 】



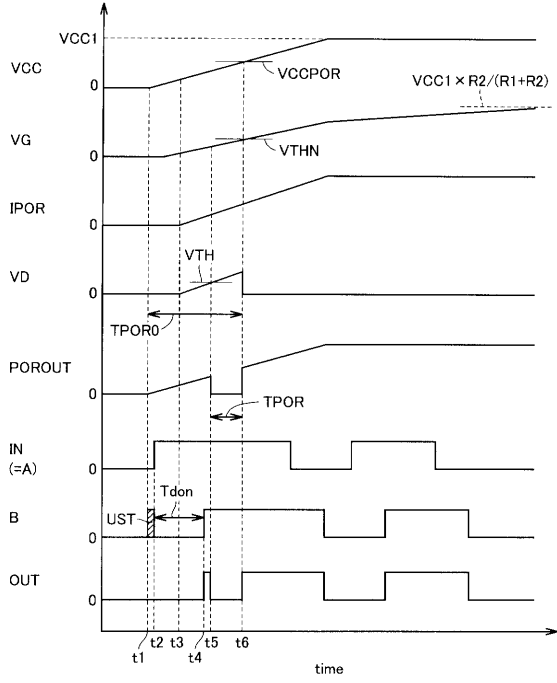
【 図 6 】



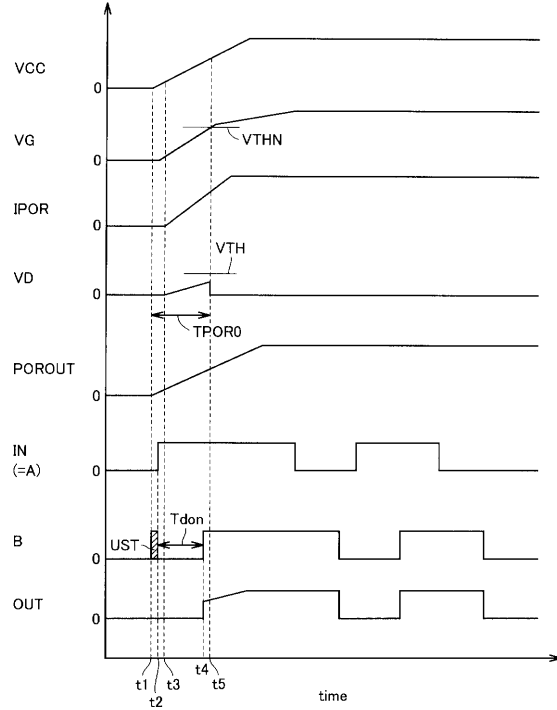
【 図 7 】



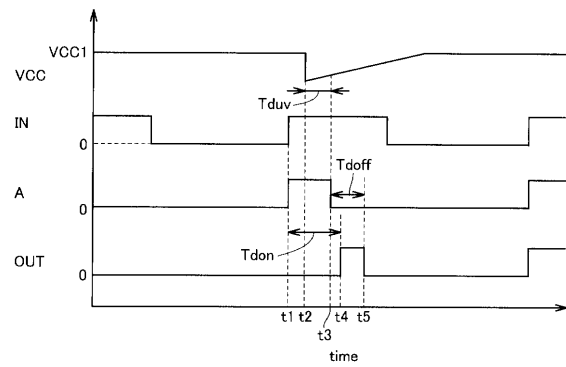
【 図 8 】



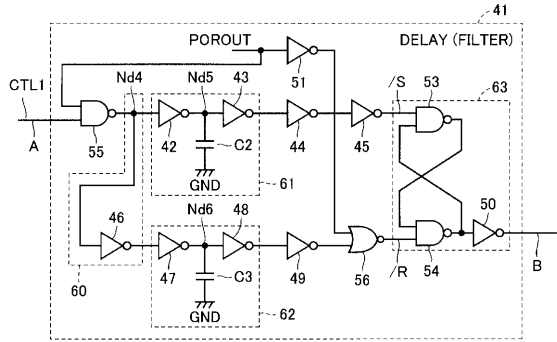
【 図 9 】



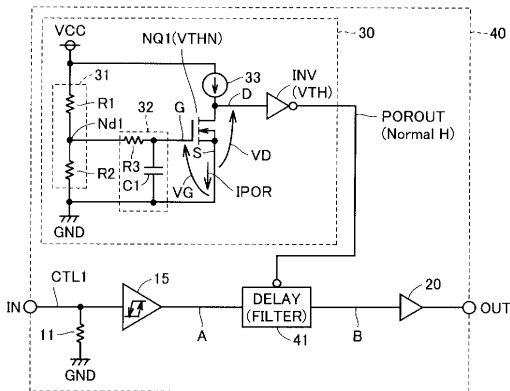
【 図 10 】



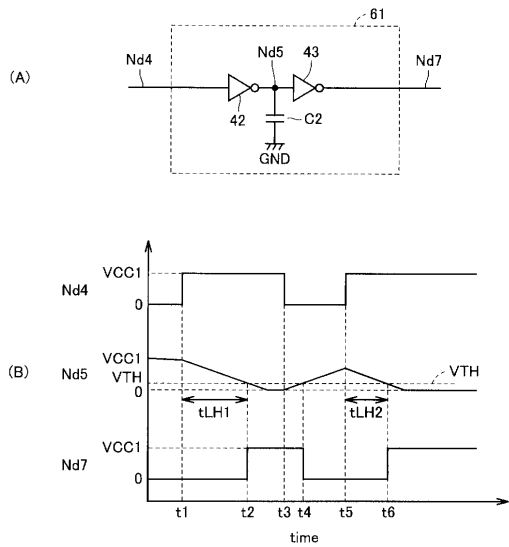
【 図 12 】



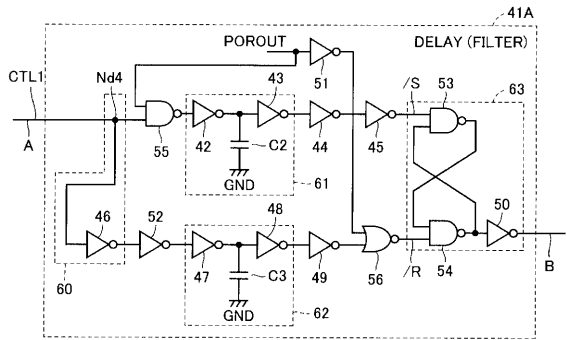
【 図 11 】



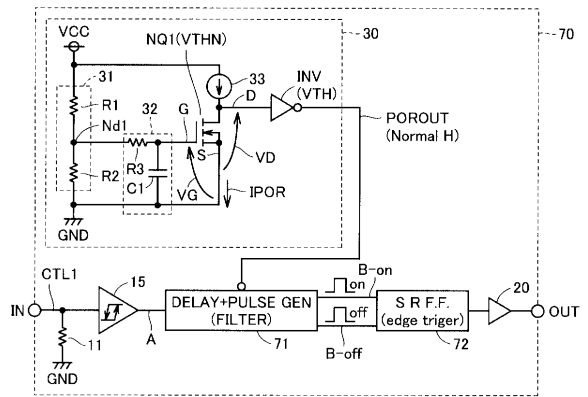
【 図 1 3 】



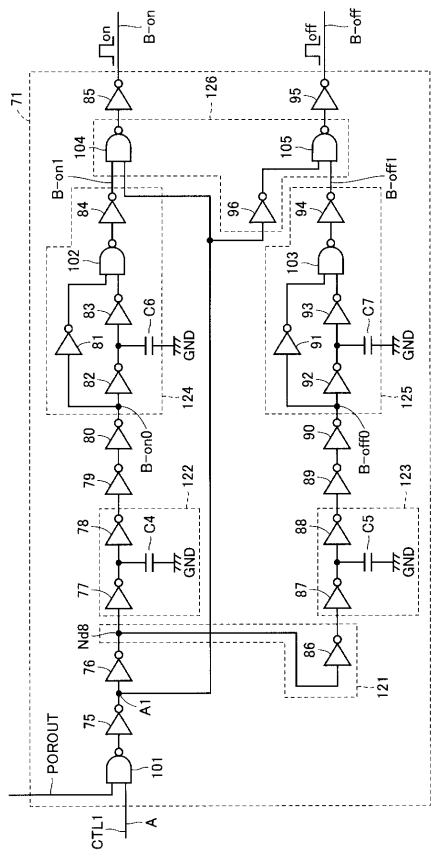
【 図 1 4 】



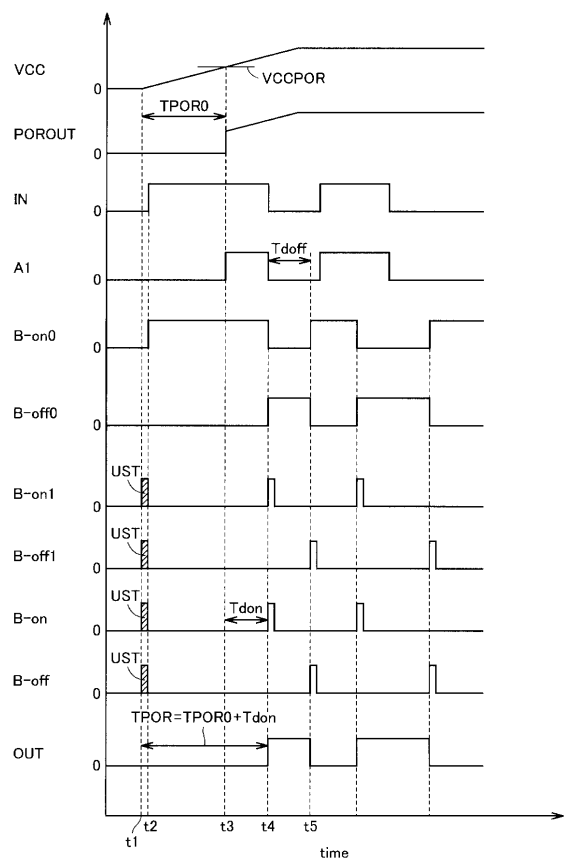
【 図 1 5 】



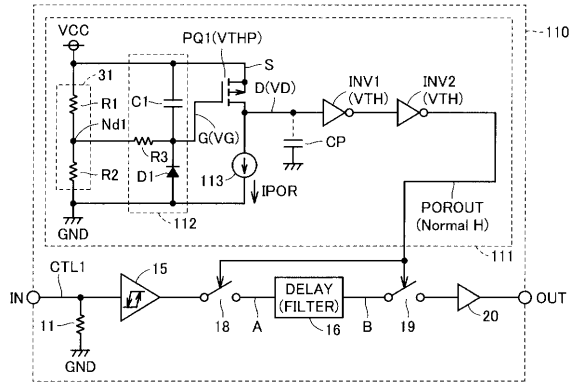
【 図 1 6 】



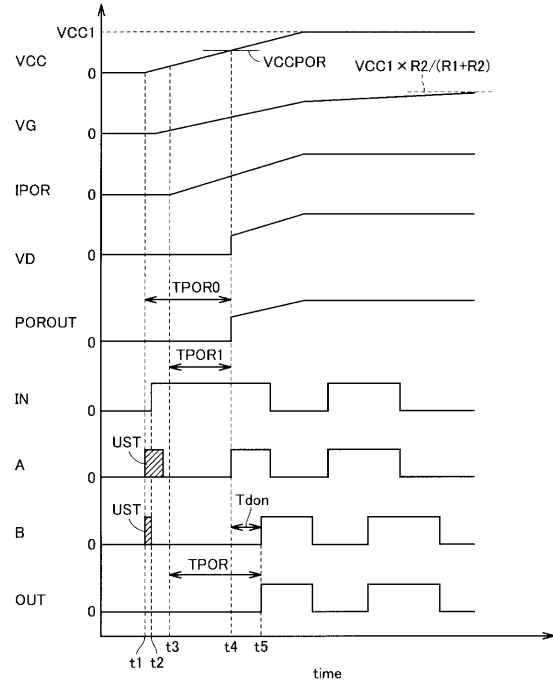
【 図 1 7 】



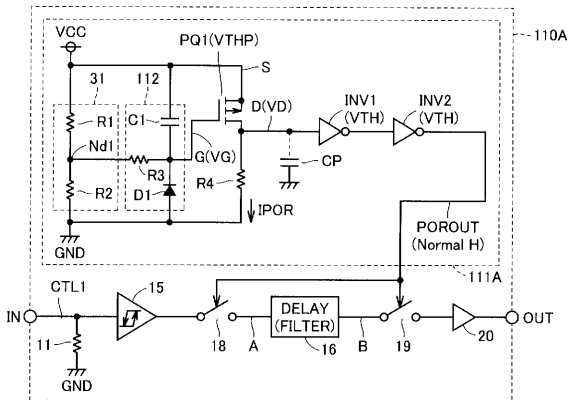
【図 18】



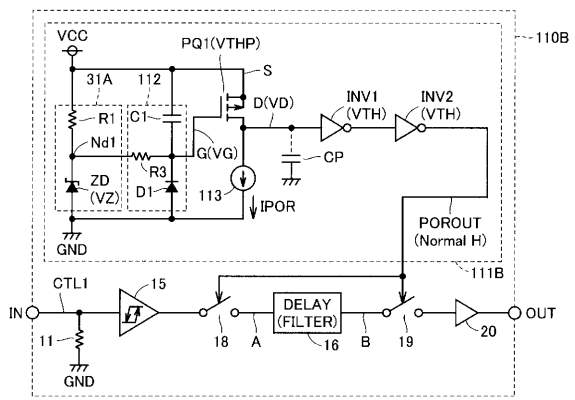
【図 19】



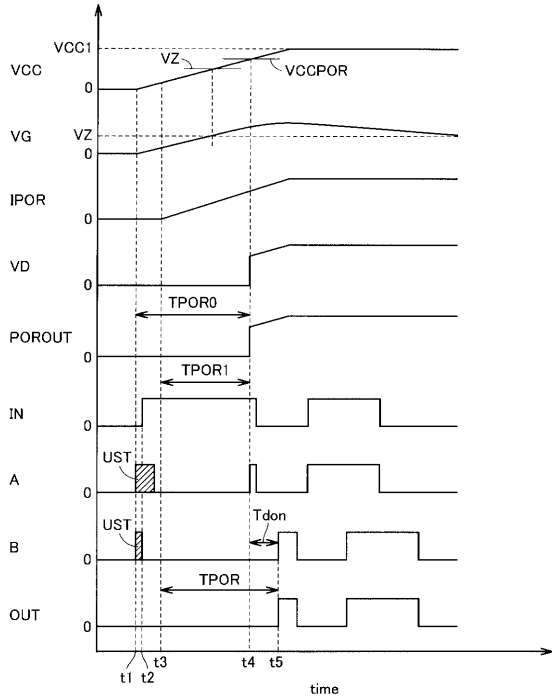
【図 20】



【図 21】



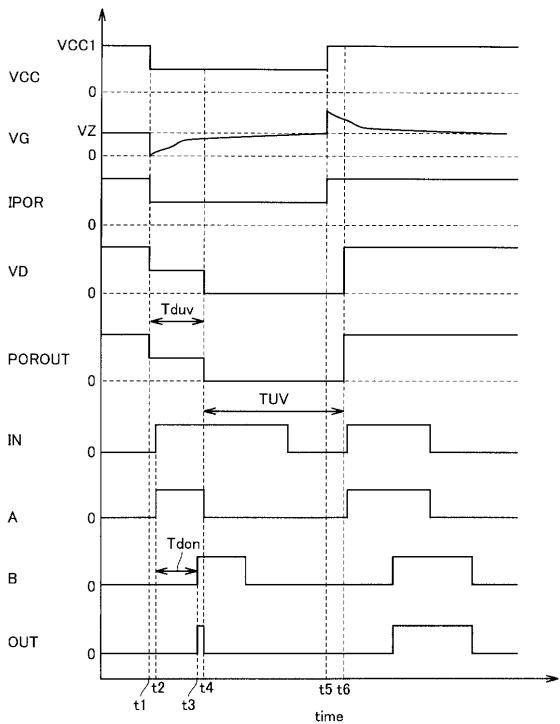
【図 2 2】



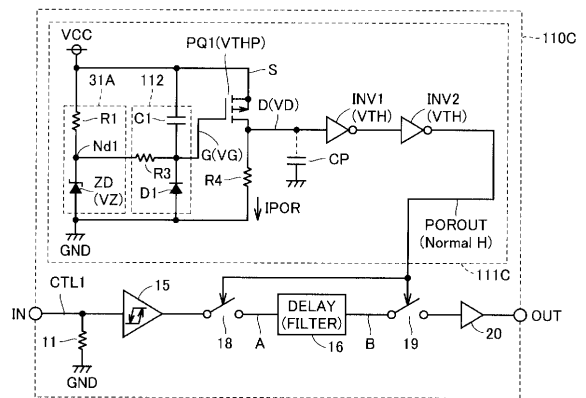
【図 2 3】

ΔV_{CCPOR} [V]	3	0.8
ΔV_z [V]	-	0.5
ΔV_{THP} [V]	0.3	0.3
VCCPOR [V]	10	10
VZ [V]	-	9
R2 [k Ω]	90	-
R1 [k Ω]	10	-
VTHP [V]	1	1
比較例 図18		本実施の形態 図21

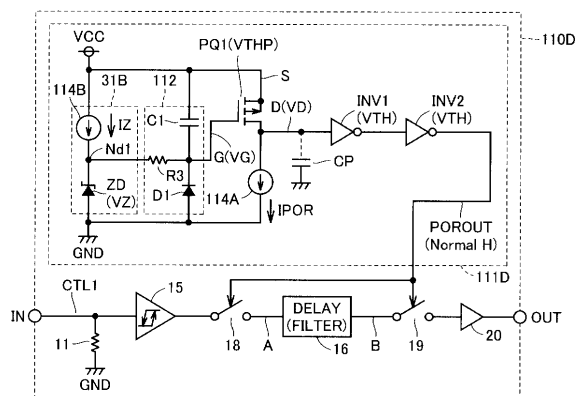
【図 2 4】



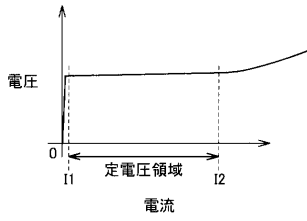
【図 2 5】



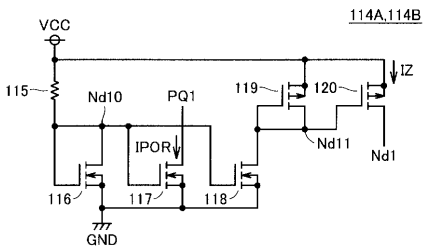
【図 2 6】



【 図 2 7 】



【 図 2 8 】



フロントページの続き

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 王 東

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72)発明者 山本 雅裕

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

Fターム(参考) 5B054 BB01 DD01 DD02 DD03

5J055 AX58 BX42 CX27 DX22 EX07 EY01 EY10 EY12 EY21 EZ03

EZ11 EZ20 EZ50 FX05 FX32 GX01