



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년05월20일
(11) 등록번호 10-1265329
(24) 등록일자 2013년05월10일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01)

(21) 출원번호 10-2006-0058357

(22) 출원일자 2006년06월28일

심사청구일자 2011년06월23일

(65) 공개번호 10-2008-0000691

(43) 공개일자 2008년01월03일

(56) 선행기술조사문헌

KR1020020056410 A*

US5627089 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

채기성

인천광역시 연수구 원인재로 124, 한양1차APT 11
1동 607호 (동춘동)

(74) 대리인

서교준

전체 청구항 수 : 총 17 항

심사관 : 설관식

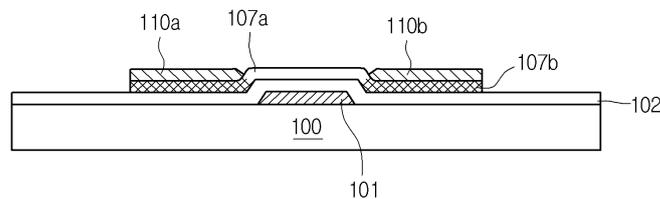
(54) 발명의 명칭 박막 트랜지스터, 그 제조방법, 이를 구비한 액정표시장치제조방법

(57) 요약

본 발명은 박막 트랜지스터에 관한 것으로, 특히 박막 트랜지스터의 채널층 결정화와 오믹 콘택 영역 형성을 동시에 진행하여 공정을 단순화시킨 박막 트랜지스터, 그 제조방법 및 이를 구비한 액정표시장치 제조방법을 개시한다. 개시된 본 발명의 박막트랜지스터 제조방법은, 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극이 형성된 기판의 전면에 게이트 절연막을 형성하고, 계속해서 액상 실리콘막을 형성하는 단계; 상기 액상 실리콘 상의 채널 영역에 포토레지스트패턴을 형성하는 단계; 상기 포토레지스트패턴이 형성된 기판의 전면에 도전막을 형성하는 단계; 상기 포토레지스트패턴을 제거하여 채널 영역을 노출시키는 리프트 오프 공정을 진행하는 단계; 상기 채널 영역에 오믹콘택층과 채널층을 동시에 형성하는 단계; 및 상기 오믹콘택층과 채널층이 형성된 기판 상에 금속막을 형성한 다음, 식각하여 소스/드레인 전극을 형성하는 단계를 포함한다.

본 발명은 액상실리콘을 이용하여 액정표시장치의 박막 트랜지스터의 채널층과 오믹 콘택층을 동시에 형성하여 제조 공정을 단순화되고, 생산 단가를 줄일 수 있는 효과가 있다.

대표도 - 도2h



특허청구의 범위

청구항 1

게이트 전극;

상기 게이트 전극 상에 형성된 게이트 절연막;

상기 게이트 전극에 대응되는 게이트 절연막 상에 형성된 채널층과, 상기 채널층 양측에 형성된 오믹콘택층; 및
상기 오믹콘택층과 콘택되면서, 오믹콘택층의 전영역을 커버하며 형성된 소스/드레인 전극을 포함하고,
상기 채널층은 Si_5H_{10} (CyclopentaSilane)을 포함하는 실리콘막인 것을 특징으로 하는 박막 트랜지스터.

청구항 2

제 1 항에 있어서, 상기 오믹콘택층은 Si_5H_{10} (CyclopentaSilane)을 포함하는 실리콘막 상에 적층된 도전막이 확산되어 형성되는 것을 특징으로 하는 박막 트랜지스터.

청구항 3

제 2 항에 있어서, 상기 도전막은 PSG(Phosphor-Silicate-Glass), 또는 ITO 금속, N^+ 또는 P^+ 로 도핑된 비정질 실리콘막중 어느 하나를 포함하여 형성된 것을 특징으로 하는 박막 트랜지스터.

청구항 4

기판 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극이 형성된 기판의 전면에 게이트 절연막을 형성하고, 계속해서 액상 실리콘막을 형성하는 단계;

상기 액상 실리콘 상의 채널 영역에 포토레지스트패턴을 형성하는 단계;

상기 포토레지스트패턴이 형성된 기판의 전면에 도전막을 형성하는 단계;

상기 포토레지스트패턴을 제거하여 채널 영역을 노출시키는 리프트 오프 공정을 진행하는 단계;

상기 채널 영역에 오믹콘택층과 채널층을 동시에 형성하는 단계; 및

상기 오믹콘택층과 채널층이 형성된 기판 상에 금속막을 형성한 다음, 식각하여 소스/드레인 전극을 형성하는 단계를 포함하는 박막 트랜지스터 제조방법.

청구항 5

제 4 항에 있어서, 상기 액상 실리콘막은 기판 전면에 도포하여 형성하는 것을 특징으로 하는 박막 트랜지스터 제조방법.

청구항 6

제 4 항에 있어서, 상기 액상 실리콘막은 Si_5H_{10} (CyclopentaSilane)을 포함하는 물질인 것을 특징으로 하는 박막 트랜지스터 제조방법.

청구항 7

제 4 항에 있어서, 상기 도전막은 PSG(Phosphor-Silicate-Glass), 또는 ITO 금속, N^+ 또는 P^+ 로 도핑된 비정질 실리콘막중 어느 하나인 것을 특징으로 하는 박막 트랜지스터 제조방법.

청구항 8

제 4 항에 있어서, 상기 채널 영역에 오믹콘택층 형성은, 상기 도전막을 상기 액상 실리콘층에 확산시켜 형성하는 것을 특징으로 하는 박막 트랜지스터 제조방법.

청구항 9

제 4 항에 있어서, 상기 채널 영역에 오믹콘택층과 채널층을 동시에 형성하는 공정은, 온도 200~800℃ 범위에서 기판을 가열공정과, 파장 308 nm와 에너지량은 345mJ/cm²의 레이저를 조사하는 공정을 포함하는 것을 특징으로 하는 박막 트랜지스터 제조방법.

청구항 10

제 4 항에 있어서, 상기 포토레지스트패턴은 상기 게이트 전극을 마스크로 하여 노광 및 현상하여 형성하는 것을 특징으로 하는 박막 트랜지스터 제조방법.

청구항 11

기판 상에 게이트 전극, 게이트 배선을 형성하는 단계;

상기 게이트 전극이 형성된 기판의 전면에 게이트 절연막을 형성하고, 계속해서 액상 실리콘막을 형성하는 단계;

상기 액상 실리콘 상의 채널 영역에 포토레지스트패턴을 형성하는 단계;

상기 포토레지스트패턴이 형성된 기판의 전면에 도전막을 형성하는 단계;

상기 포토레지스트패턴을 제거하여 채널 영역을 노출시키는 리프트 오프 공정을 진행하는 단계;

상기 채널 영역에 오믹콘택층과 채널층을 동시에 형성하는 단계; 및

상기 오믹콘택층과 채널층이 형성된 기판 상에 금속막을 형성한 다음, 식각하여 소스/드레인 전극 및 데이터 배선을 형성하는 단계;

상기 소스/드레인이 형성된 기판 상에 보호막을 형성하는 단계; 및

상기 보호막 상에 투명금속막을 형성한 다음, 화소전극을 형성하는 단계를 포함하는 액정표시장치 제조방법.

청구항 12

제 11 항에 있어서, 상기 액상 실리콘막은 기판 전면에 도포하여 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 13

제 11 항에 있어서, 상기 액상 실리콘막은 Si₅H₁₀(CyclopentaSilane)을 포함하는 물질인 것을 특징으로 하는 액정표시장치 제조방법.

청구항 14

제 11 항에 있어서, 상기 도전막은 PSG(Phosphor-Silicate-Glass), 또는 ITO 금속, N⁺ 또는 P⁺로 도핑된 비정질 실리콘막중 어느 하나인 것을 특징으로 하는 액정표시장치 제조방법.

청구항 15

제 11 항에 있어서, 상기 채널 영역에 오믹콘택층 형성은, 상기 도전막을 상기 액상 실리콘층에 확산시켜 형성하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 16

제 11 항에 있어서, 상기 채널 영역에 오믹콘택층과 채널층을 동시에 형성하는 공정은, 온도 200~800℃ 범위에서 기판을 가열공정과, 파장 308 nm와 에너지량은 345mJ/cm²의 레이저를 조사하는 공정을 포함하는 것을 특징으로 하는 액정표시장치 제조방법.

청구항 17

제 11 항에 있어서, 상기 포토레지스트패턴은 상기 게이트 전극을 마스크로 하여 노광 및 현상하여 형성하는 것

을 특징으로 하는 액정표시장치 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0012] 본 발명은 박막 트랜지스터에 관한 것으로, 특히 박막 트랜지스터의 채널층 결정화와 오믹 콘택 영역 형성을 동시에 진행하여 공정을 단순화시킨 박막 트랜지스터, 그 제조방법 및 이를 구비한 액정표시장치 제조방법에 관한 것이다.
- [0013] 영상기기로서 그 응용의 폭이 넓은 액티브 매트릭스 액정표시장치는 주로 박막트랜지스터를 스위칭소자로 이용한다. 상기 박막트랜지스터(TFT:Thin Film Transistor)의 반도체층은 비정질실리콘층을 이용하는데, 소규모 TFT LCD의 제작에는 유리하지만, 이동도가 낮다는 단점 때문에 대화면 TFT LCD의 제조에는 적용하기 곤란하다.
- [0014] 그래서, 최근에는 이동도가 우수한 폴리실리콘층을 반도체층으로 이용하는 폴리실리콘 TFT의 연구가 활발하며, 이러한 폴리실리콘 TFT는 대화면 TFT LCD의 제작에 용이하게 적용시킬 수 있음은 물론, TFT 어레이 기판에 구동 드라이브 IC를 함께 집적시킬 수 있기 때문에 집적도 및 가격 경쟁력이 우수한 장점이 있다.
- [0015] 폴리실리콘층을 형성하기 위한 방법으로는, 폴리실리콘을 직접 증착하는 방법과, 비정질 실리콘을 증착한 후 폴리실리콘으로 결정화하는 방법이 있는데, 통상 기판 상에 비정질실리콘층을 형성한 후, 결정화 공정을 실시하여 상기 비정질실리콘층을 폴리실리콘층으로 전환시키는 후자의 방법이 이용된다.
- [0016] 한편, 상기 폴리실리콘 박막트랜지스터는 게이트 전극, 액티브층, 소스/드레인 전극으로 구성되는데, 상기 패턴들은 절연막에 의해 선택적으로 절연되어 독립적으로 동작한다.
- [0017] 상기 절연막으로는 취급특성이 우수하고 금속과의 밀착성이 우수하며 절연 내압이 높은 실리콘질화물(SiNx) 또는 실리콘산화물(SiOx) 등의 무기절연막을 주로 사용한다.
- [0018] 도 1은 종래 기술에 따라 제조한 박막 트랜지스터를 도시한 단면도이다.
- [0019] 도 1에 도시된 바와 같이, 박막 트랜지스터는 기판(10) 상에 절연막으로된 버퍼층(2)을 형성한 다음, 상기 버퍼층(2) 상에 아몰퍼스 실리콘(a-Si)층을 형성한다.
- [0020] 상기 버퍼층(2)을 구성하는 절연막은 사이렌(SiH4) 가스를 사용하는 PECVD(Plasma-Enhanced CVD), LPCVD(Low-Pressure CVD), Sputter 등의 방법을 이용하여 300 - 400 °C 에서 균일하게 증착하여 형성한다. 이때, 기판(10) 상에 형성된 버퍼층(2)은 실리콘질화물(SiNx) 또는 실리콘산화물(SiOx) 등의 무기절연막이다.
- [0021] 상기와 같이, 버퍼층(2) 상에 아몰퍼스 실리콘(a-Si)으로된 비정질실리콘층이 형성되면, 상기 비정질실리콘층에 엑시머 레이저(Excimer Laser)를 이용한 어닐링(Annealing)공정을 수행하여 폴리실리콘층으로 결정화한 뒤, 상기 폴리실리콘층을 패터닝하여 채널층(4)을 형성한다.
- [0022] 이후, 상기 채널층(3)을 포함한 기판(10)의 전면에 실리콘질화물(SiNx) 또는 실리콘산화물(SiOx) 등의 무기절연막을 증착하여 게이트 절연막(5)을 형성한다.
- [0023] 그런 다음, 상기 게이트 절연막(5) 상의 전면에 알루미늄(Al) 또는 Al합금 등의 도전물질을 증착하고 사진식각(photo lithography) 방법으로 패터닝하여, 상기 채널층(4) 상부의 소정 부위에 게이트 전극(1)을 형성하고, 상기 게이트 전극(1)을 마스크로 하여 N형 불순물을 이온 주입하여 상기 채널층(4)에 오믹콘택층(6)을 형성한다.
- [0024] 이때, 상기 이온주입 영역은 소스/드레인 전극(9a,9b)이 형성되는 영역이고, 상기 게이트 전극(1)에 의해 마스크되어 불순물이 주입되지 않은 채널층(4)은 채널영역이 된다.
- [0025] 그런 다음, 상기 게이트 전극(1)이 형성된 기판(10)의 전면에 실리콘질화물 또는 실리콘산화물 등의 무기절연막을 증착하여 층간절연막(7)을 형성한다. 증착방법은 게이트 절연막(5)의 증착방법과 동일하다. 계속하여, 상기 층간절연막(7)이 형성된 기판(10)의 전면에 사진식각 공정을 이용하여 소스/드레인 전극(9a, 9b)에 형성된 층간절연막(7)과 게이트 절연막(5)을 식각하여 콘택홀을 형성한다.

- [0026] 상기 콘택홀이 형성된 기판(10) 상에 금속막을 형성한 다음, 식각하여 소스/드레인 전극(9a, 9b)을 형성하여 폴리실리콘 박막 트랜지스터를 완성한다.
- [0027] 그러나, 상기와 같은 박막 트랜지스터 제조공정은 여러번의 마스크 공정을 진행하여 형성하기 때문에 제조 공정이 복잡한 단점이 있다.
- [0028] 특히, 박막 트랜지스터의 채널층과 이온주입공정에 의해 형성되는 오믹 콘택층을 각각 독립된 공정으로 진행하기 때문에 제조 공정이 복잡하고 제조 단가가 높아지는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- [0029] 본 발명은, 액상실리콘을 이용하여 박막 트랜지스터의 채널층과 오믹콘택층을 동시에 형성하여 제조 공정을 단순화한 박막 트랜지스터 및 그 제조방법을 제공함에 그 목적이 있다.
- [0030] 또한, 본 발명은 액상실리콘을 이용하여 액정표시장치의 박막 트랜지스터의 채널층과 오믹 콘택층을 동시에 형성하여 제조 공정을 단순화되고, 생산 단가를 줄일 수 있는 액정표시장치 제조방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

- [0031] 상기한 목적을 달성하기 위한, 본 발명에 따른 박막 트랜지스터는,
- [0032] 게이트 전극;
- [0033] 상기 게이트 전극 상에 형성된 게이트 절연막;
- [0034] 상기 게이트 전극에 대응되는 게이트 절연막 상에 형성된 채널층과, 상기 채널층 양측에 형성된 오믹콘택층; 및
- [0035] 상기 오믹콘택층과 콘택되면서, 오믹콘택층의 전영역을 커버하며 형성된 소스/드레인 전극을 포함한다.
- [0036] 본 발명의 다른 실시예에 의한 박막 트랜지스터 제조방법은,
- [0037] 기판 상에 게이트 전극을 형성하는 단계;
- [0038] 상기 게이트 전극이 형성된 기판의 전면에 게이트 절연막을 형성하고, 계속해서 액상 실리콘막을 형성하는 단계;
- [0039] 상기 액상 실리콘 상의 채널 영역에 포토레지스트패턴을 형성하는 단계;
- [0040] 상기 포토레지스트패턴이 형성된 기판의 전면에 도전막을 형성하는 단계;
- [0041] 상기 포토레지스트패턴을 제거하여 채널 영역을 노출시키는 리프트 오프 공정을 진행하는 단계;
- [0042] 상기 채널 영역에 오믹콘택층과 채널층을 동시에 형성하는 단계; 및
- [0043] 상기 오믹콘택층과 채널층이 형성된 기판 상에 금속막을 형성한 다음, 식각하여 소스/드레인 전극을 형성하는 단계를 포함한다.
- [0044] 본 발명의 또 다른 실시예에 의한 액정표시장치 제조방법은,
- [0045] 기판 상에 게이트 전극, 게이트 배선을 형성하는 단계;
- [0046] 상기 게이트 전극이 형성된 기판의 전면에 게이트 절연막을 형성하고, 계속해서 액상 실리콘막을 형성하는 단계;
- [0047] 상기 액상 실리콘 상의 채널 영역에 포토레지스트패턴을 형성하는 단계;
- [0048] 상기 포토레지스트패턴이 형성된 기판의 전면에 도전막을 형성하는 단계;
- [0049] 상기 포토레지스트패턴을 제거하여 채널 영역을 노출시키는 리프트 오프 공정을 진행하는 단계;
- [0050] 상기 채널 영역에 오믹콘택층과 채널층을 동시에 형성하는 단계; 및
- [0051] 상기 오믹콘택층과 채널층이 형성된 기판 상에 금속막을 형성한 다음, 식각하여 소스/드레인 전극 및 데이터 배선을 형성하는 단계;
- [0052] 상기 소스/드레인이 형성된 기판 상에 보호막을 형성하는 단계; 및

- [0053] 상기 보호막 상에 투명금속막을 형성한 다음, 화소전극을 형성하는 단계를 포함한다.
- [0054] 본 발명에 의하면, 액상실리콘을 이용하여 박막 트랜지스터의 채널층과 오믹콘택층을 동시에 형성하여 제조 공정을 단순화하였다.
- [0055] 또한, 본 발명은 액상실리콘을 이용하여 액정표시장치의 박막 트랜지스터의 채널층과 오믹 콘택층을 동시에 형성하여 제조 공정을 단순화되고, 생산 단가를 줄였다.
- [0056] 이하, 첨부한 도면에 의거하여 본 발명의 실시 예를 자세히 설명하도록 한다.
- [0057] 도 2a 내지 도 2h는 본 발명에 따른 박막 트랜지스터 제조공정을 도시한 단면도이다.
- [0058] 도 2a 및 도 2b에 도시한 바와 같이, 투명성 절연기판(100) 상에 금속막을 증착하고, 식각하여 게이트 전극(101)을 형성하고, 상기 게이트 전극(101)이 형성된 절연기판(100) 상에 게이트 절연막(102)을 형성한다. 상기 게이트 절연막(102)은 실리콘질화물(SiNx) 또는 실리콘산화물(SiOx) 등의 무기절연막이다.
- [0059] 그런 다음, 상기 게이트 절연막(102)이 형성된 절연기판(100)의 전면에 액상 실리콘막(103)을 형성한다. 상기 액상 실리콘막(103)은 Si₃H₁₀(CyclopentaSilane) 과 같은 실리콘을 사용한다.
- [0060] 상기와 같이 절연기판(100) 상에 액상 실리콘막(103)이 형성되면, 열처리 공정에 따라 액상 실리콘막(103)에 포함된 솔벤트 등을 제거하여 실리콘막을 형성할 수 있도록 한다.
- [0061] 상기와 같이 액상 실리콘막(103)에 대한 열처리 공정이 완료되면, 도 2c에 도시한 바와 같이, 절연기판(100)의 전면에 포토레지스트를 도포하고 노광 및 현상하여 상기 게이트 전극(101)에 대응되는 상기 실리콘막(103a) 상에 포토레지스트패턴(170)을 형성한다.
- [0062] 즉, 박막 트랜지스터의 채널층이 형성될 영역에 포토레지스트패턴(170)을 형성한다.
- [0063] 이때, 상기 포토레지스트패턴(170)을 형성하는 방법은 상기 절연기판(100) 상에 형성된 게이트 전극(101)을 노광 마스크로 사용하여 노광 공정을 진행한다.(back exposure)
- [0064] 그런 다음, 도 2d에 도시한 바와 같이, 포토레지스트패턴(170)이 형성된 절연기판(100)의 전면에 도전막(106)을 형성한다.
- [0065] 상기 도전막(106)은 박막 트랜지스터의 소스/드레인 전극과 채널층 영역을 전기적으로 콘택시키기 위한 오믹 콘택층 역할을 하는 전기적 도전막이다.
- [0066] 상기 도전막(106)으로 사용가능한 것은 PSG(Phosphor-Silicate-Glass), 또는 ITO 금속, N⁺ 또는 P⁺로 도핑된 비정질 실리콘막이 있다.
- [0067] 상기와 같이 절연기판(100) 상에 도전막(106)이 형성되면, 도 2e에 도시한 바와 같이, 포토레지스트패턴을 제거하기 위한 리프트 오프(lift-off) 공정을 진행한다.
- [0068] 따라서, 리프트 오프 공정에서 포토레지스트패턴이 제거되면 상기 포토레지스트패턴 상에 형성된 도전막(106)이 함께 제거되어 게이트 전극(101) 상부의 실리콘막(103a)이 외부로 노출된다.
- [0069] 즉, 상기 실리콘막(103a) 상에는 채널층이 형성될 영역을 이외에 도전막(106a)이 형성된다.
- [0070] 그런 다음, 도 2f에 도시한 바와 같이, 절연기판(100)을 레이저에 의한 어닐링 공정과 콘택층 형성 공정을 진행하면, 상기 도전막(106a)이 실리콘막(106a)에 수직으로 확산되어 오믹콘택층(107b)을 형성하고, 도전막이 형성되지 않은 실리콘막 영역에서는 레이저에 의한 어닐링으로 폴리 실리콘으로 결정화되어 채널층(107a)이 형성된다.
- [0071] 즉, 본 발명에서는 마스크 공정을 사용하지 않고, 박막 트랜지스터의 채널층과 오믹 콘택층을 동시에 형성할 수 있는 이점이 있다.
- [0072] 상기 어닐링 공정과 콘택층 형성 공정은 온도 200~800℃ 범위(보통 540℃ 정도)로 기판을 가열하고, 파장 308nm와 에너지량은 345mJ/cm²의 레이저를 조사하여 진행한다.
- [0073] 상기와 같이 채널층(107a)과 오믹 콘택층(107b)이 절연기판(100) 상에 형성되면, 도 2g와 도 2h에 도시한 바와 같이, 절연기판(100)의 전면에 금속막을 형성하고, 마스크 공정과 식각 공정을 진행하여 소스/드레인 전극

(110a, 110b)을 형성한다.

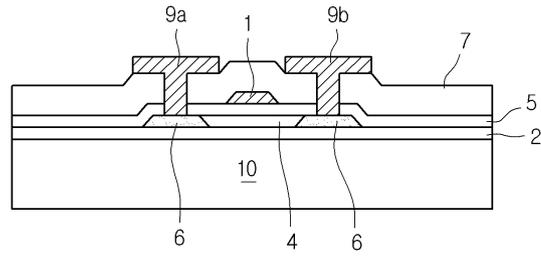
- [0074] 따라서, 상기 소스 전극(110a)과 드레인 전극(110b)은 오믹 콘택층(107b) 상에 형성되어 박막 트랜지스터가 완성된다.
- [0075] 상기와 같이, 박막 트랜지스터가 완성되면 추가적으로 절연기판(100) 상에 보호막(절연막)을 형성하고, 상기 소스/드레인 전극(110a, 110b)을 외부로 노출하는 콘택홀 공정을 진행한다.
- [0076] 그런 다음, 금속막을 절연기판 (100) 상에 증착하고 패터닝하여 상기 소스/드레인 전극(110a, 110b)과 전기적으로 콘택되는 전원단자를 형성할 수 있다.
- [0077] 본 발명의 박막 트랜지스터에서는 채널층과 오믹 콘택층으로 구성된 액티브층을 마스크를 사용하지 않고 동시에 형성할 수 있는 이점이 있다.
- [0078] 또한, 본 발명은 PECVD에 의한 증착 공정 없이 채널층을 형성할 수 있으므로, 공정 부담을 줄인 이점이 있다.
- [0079] 도 3은 본 발명에 따른 액정표시장치의 화소 구조를 도시한 평면도이다.
- [0080] 도 3에 도시한 바와 같이, 구동신호를 인가하는 게이트 배선(201)과 데이터 신호를 인가하는 데이터 배선(205)이 교차 배열되어 단위 화소 영역을 정의하고, 상기 게이트 배선(201)과 데이터 배선(205)이 교차되는 영역에는 스위칭 소자인 박막 트랜지스터(TFT)가 배치되어 있다.
- [0081] 상기 단위 화소 영역에는 상기 게이트 배선(201)과 평행하면서, 상기 데이터 배선(205)과 교차하는 제 1 공통 배선(203)이 형성되어 있고, 상기 제 1 공통 배선(203)의 양측으로부터 분기된 제 1 공통 전극(203a)은 상기 데이터 배선(205)과 평행한 방향으로 형성되어 있다.
- [0082] 여기서, 상기 데이터 배선(205), 제 1 공통 전극(203a)은 시야각 확보를 위하여 소정의 각도로 절곡된 구조(꺾임구조)로 형성되어 있다.
- [0083] 또한, 상기 게이트 배선(201) 및 게이트 전극(201a)에 인접한 영역에는 제 1 스토리지 전극(206)이 형성되어 있는데, 상기 제 1 스토리지 전극(206)은 상기 제 1 공통 전극(203a)과 연결되어 있다.
- [0084] 따라서, 상기 제 1 공통 배선(203), 제 1 공통 전극(203a) 및 제 1 스토리지 전극(206)과 함께 일체로 형성된 페루프 구조를 하고 있다.
- [0085] 상기 제 2 공통 배선(213)은 단위 화소 영역에 형성된 상기 제 1 공통 배선(203)의 중심 영역에 오버랩되도록 형성되면서, 상기 제 1 공통 배선(203)과 전기적으로 연결되어 있다.
- [0086] 상기 제 2 공통 전극(213a)이 상기 제 2 공통 배선(213)으로부터 단위 화소 영역을 따라 분기되어 있다.
- [0087] 상기 제 2 공통 전극(213a)도 광시야각을 위하여 소정의 각도로 절곡(꺾임구조)되어 상기 제 1 공통 전극(203a) 및 데이터 배선(205)과 평행하게 배치되어 있다.
- [0088] 상기 제 1 스토리지 전극(206) 상부에는 스토리지 커패시턴스 형성을 위한 제 2 스토리지 전극(207)이 오버랩되도록 형성되어 있고, 상기 제 2 스토리지 전극(207)으로부터 제 1 화소 전극(207a)과 제 2 화소 전극(207a)이 단위 화소 영역으로 분기되어 있다.
- [0089] 특히, 상기 제 1 화소 전극(207a)은 상기 제 2 스토리지 전극(207)으로부터 분기되어 단위 화소 영역의 투과 영역에서 상기 제 2 공통 전극(213a)과 교대로 배치된다.
- [0090] 상기 제 1 화소 전극(207a)도 소정의 각도로 절곡된 구조를 하고 있다.
- [0091] 또한, 상기 제 2 화소 전극(207b)은 상기 제 2 스토리지 전극(207)으로부터 분기되어 상기 제 1 공통 배선(203)으로부터 분기된 제 1 공통 전극(203a) 상부를 따라 오버랩되도록 형성된다.
- [0092] 즉, 상기 제 1 스토리지 전극(206)과 제 2 스토리지 전극(207) 사이에서 스토리지 커패시턴스를 형성하고, 상기 제 1 공통 전극(203a)과 제 2 화소 전극(207b) 사이에서도 추가적으로 스토리지 커패시턴스를 형성할 수 있도록 하여 스토리지 커패시턴스 용량을 종래보다 크게 확보하였다.
- [0093] 이와 같이 단위 화소 영역에서의 스토리지 커패시턴스 용량이 커짐에 따라 화면 품질을 개선할 수 있는 이점이 있다.
- [0094] 또한, 본 발명에서는 박막 트랜지스터의 채널층을 액상 실리콘을 사용함으로써, PECVD에 의한 증착 공정을 진행

하지 않아 공정 부담을 줄였다.

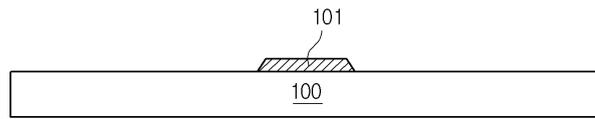
- [0095] 도 4a 내지 도 4g는 상기 도 3의 I-I'선을 따라 액정표시장치 제조공정을 도시한 단면도이다.
- [0096] 도 4a에 도시한 바와 같이, I-I' 영역에서는 투명성 절연기판(210) 상에 금속막을 증착하고, 제 1 마스크 공정 단계에 따라 게이트 배선과 게이트 전극(201a), 제 1 공통 배선(미도시: 도 3 참조) 및 제 1 스토리지 전극(206)을 형성한다.
- [0097] 상기에서와 같이 절연기판(210) 상에 게이트 전극(201a), 게이트 배선, 제 1 스토리지 전극(206), 제 1 공통 전극 및 제 1 공통 배선이 형성되면(도 3 참조), 도 4b에 도시한 바와 같이, 절연기판(210)의 전 영역 상에 게이트 절연막(212)과 액상 실리콘막(233)을 형성한다.
- [0098] 상기 액상 실리콘막(233)은 Si_5H_{10} (CyclopentaSilane) 과 같은 실리콘을 사용한다.
- [0099] 상기 절연기판(210) 상에 게이트 절연막(112)과 액상 실리콘막(233)이 형성되면, 상기와 같이 절연기판(210) 상에 액상 실리콘막(233)이 형성되면, 열처리를 진행하여 액상 실리콘막(233)에 포함된 솔벤트 등을 제거하여 실리콘막을 형성할 수 있도록 한다. 상기와 같은 열처리로 인하여 최초 액상 실리콘막(233)의 두께보다 얇게 실리콘막이 형성된다.
- [0100] 또한, 상기 게이트 절연막(212)은 PECVD 공정에 따라 증착되지만, 액상실리콘막(233)은 절연기판(210) 전면에도포하여 형성하여 공정 부담을 줄였다.
- [0101] 상기와 같이 액상 실리콘막(233)에 대한 열처리 공정이 완료되면, 도 4c에 도시한 바와 같이, 절연기판(210)의 전면에도포레이저를 도포하고, 마스크 공정에 따라 노광 및 현상하여 상기 게이트 전극(201a)에 대응되는 상기 실리콘막(233a) 상에 포토레지스트패턴(350)을 형성한다.
- [0102] 즉, 박막 트랜지스터의 채널층이 형성될 영역에 포토레지스트패턴(350)을 형성한다.
- [0103] 하지만, 상기 포토레지스트패턴(350)을 형성하는 또 다른 방법은 상기 절연기판(210) 상에 형성된 게이트 전극(201a)을 노광 마스크로 사용하여 노광 공정을 진행하여 형성할 수 있다.(back exposure) 이때에는 채널폭을 고려하도록 게이트 전극을 형성하여야 할 것이다. 또한, 이와 같은 방법을 사용하면 마스크 공정을 사용하지 않고 포토레지스트패턴을 형성할 수 있는 이점이 있다.
- [0104] 상기와 같이, 절연기판(210) 상에 포토레지스트패턴(350)이 형성되면, 절연기판(210)의 전면에도전막(236)을 형성한다.
- [0105] 상기 도전막(236)은 박막 트랜지스터의 소스/드레인 전극과 채널층 영역을 전기적으로 콘택시키기 위한 오믹 콘택층 역할을 하는 도전막이다.
- [0106] 상기 도전막(236)으로 사용가능한 것은 PSG(Phosphor-Silicate-Glass), 또는 ITO 금속, N^+ 또는 P^+ 로 도핑된 비정질 실리콘막이 있다.
- [0107] 상기와 같이 절연기판(210) 상에 도전막(236)이 형성되면, 도 4d에 도시한 바와 같이, 포토레지스트패턴을 제거하기 위한 리프트 오프(lift-off) 공정과 어닐링 공정을 진행한다.
- [0108] 상기 리프트 오프 공정으로 포토레지스트패턴을 제거하여 채널층 영역에 도전막(236) 형성되지 않도록 하고, 이후 절연기판(210)을 레이저에 의한 어닐링 공정과 콘택층 형성 공정을 진행하여 상기 도전막(236)이 실리콘막(233a)에 수직 확산되도록 함으로써, 채널층(237a)과 오믹콘택층(237b)을 형성한다. 이때, 도전막이 형성되지 않은 실리콘막 영역에서는 레이저에 의한 어닐링이 이루어지기 때문에 폴리 실리콘으로 결정화되어 채널층(237a)이 형성된다.
- [0109] 즉, 본 발명에서는 액정표시장치에 사용하는 박막 트랜지스터의 채널층과 오믹 콘택층을 동시에 형성할 수 있는 이점이 있다.
- [0110] 상기 어닐링 공정과 콘택층 형성 공정은 온도 200~800℃ 범위(보통 540℃ 정도)로 기판을 가열하고, 파장 308nm와 에너지량은 345mJ/cm²의 레이저를 조사하여 진행한다.
- [0111] 상기와 같이 채널층(237a)과 오믹 콘택층(237b)이 절연기판(210) 상에 형성되면, 도 4e에 도시한 바와 같이, 절연기판(210)의 전면에도 금속막을 형성하고, 마스크 공정과 식각 공정을 진행하여 소스/드레인 전극(217a, 217b) 및 데이터 배선을 형성한다.

도면

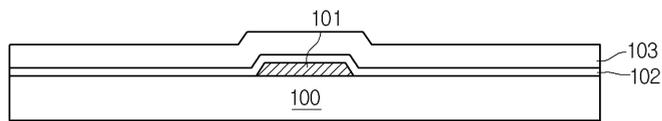
도면1



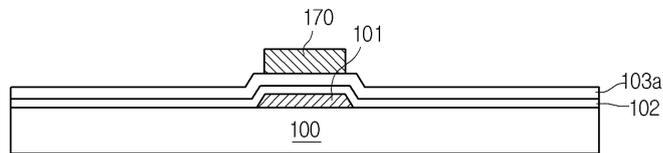
도면2a



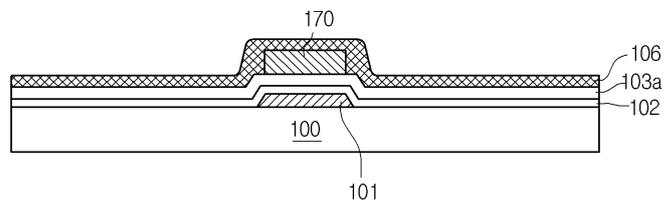
도면2b



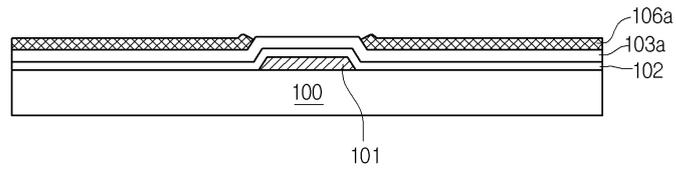
도면2c



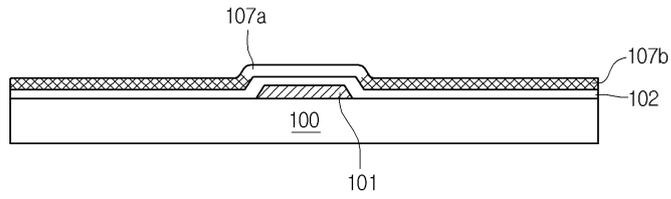
도면2d



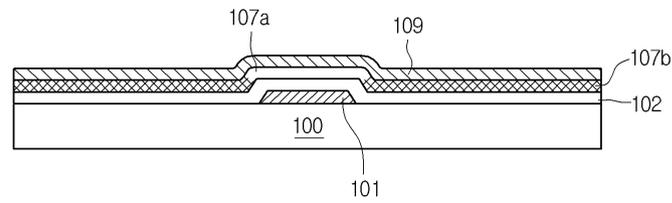
도면2e



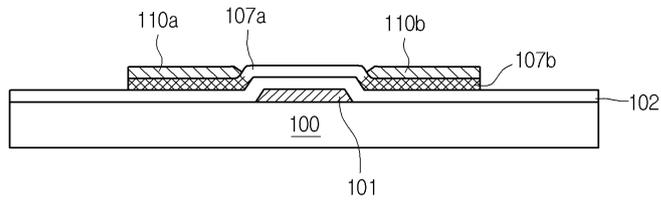
도면2f



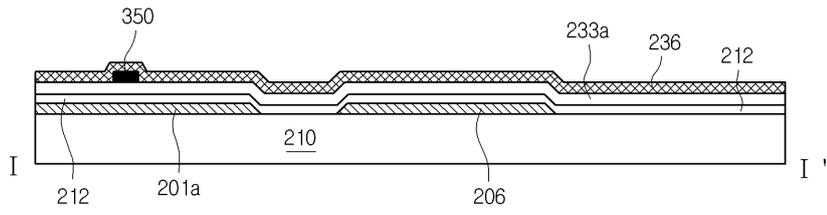
도면2g



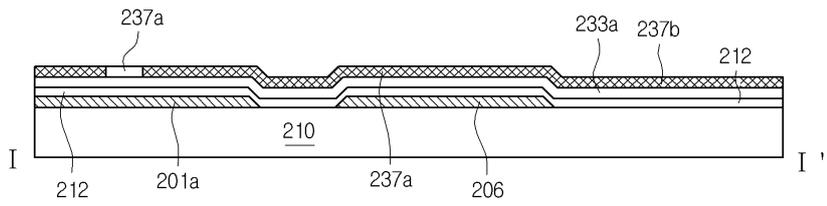
도면2h



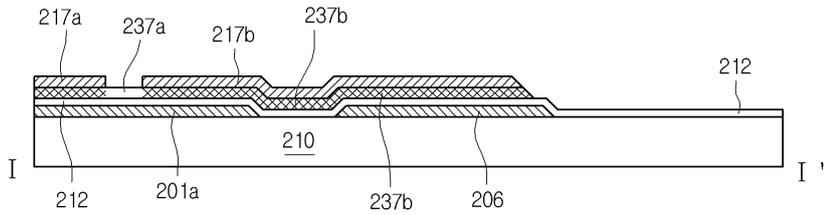
도면4c



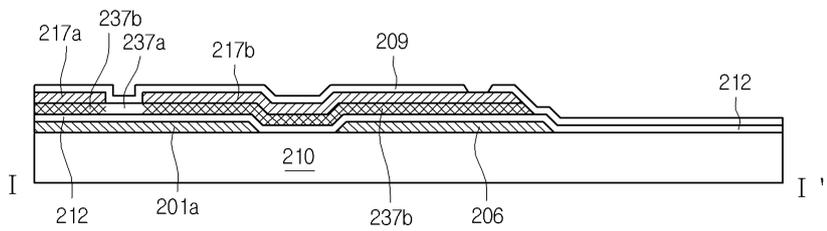
도면4d



도면4e



도면4f



도면4g

