

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7114461号
(P7114461)

(45)発行日 令和4年8月8日(2022.8.8)

(24)登録日 令和4年7月29日(2022.7.29)

(51)国際特許分類	F I
G 0 9 G 3/3233(2016.01)	G 0 9 G 3/3233
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/20 6 2 4 B
	G 0 9 G 3/20 6 1 1 H
	G 0 9 G 3/20 6 4 2 A

請求項の数 15 (全21頁)

(21)出願番号	特願2018-518977(P2018-518977)	(73)特許権者	510280589
(86)(22)出願日	平成29年12月5日(2017.12.5)		京東方科技集團股 ぶん 有限公司
(65)公表番号	特表2020-510225(P2020-510225 A)		BOE TECHNOLOGY GROU P CO., LTD.
(43)公表日	令和2年4月2日(2020.4.2)		中華人民共和國 1 0 0 0 1 5 北京市朝陽 區酒仙橋路 1 0 號
(86)国際出願番号	PCT/CN2017/114545		No. 10 Jiuxianqiao R d., Chaoyang Distri ct, Beijing 100015, CHINA
(87)国際公開番号	WO2018/166245	(73)特許権者	514161567
(87)国際公開日	平成30年9月20日(2018.9.20)		鄂尔多斯市源盛光 電 有限 責 任 公 司
審査請求日	令和2年11月30日(2020.11.30)		ORDOS YUANSHENG OPT OELECTRONICS CO., L
(31)優先権主張番号	201710161047.X		最終頁に続く
(32)優先日	平成29年3月17日(2017.3.17)		
(33)優先権主張国・地域又は機関	中国(CN)		

(54)【発明の名称】 画素回路、表示パネル、および駆動方法

(57)【特許請求の範囲】

【請求項 1】

駆動サブ回路と、補償サブ回路と、データ書込みサブ回路と、データ電圧記憶サブ回路と、を備える画素回路であって、

前記駆動サブ回路は、高圧入力端子に電氣的に結合された第 1 電極と、駆動電流を出力するように構成される第 2 電極と、を含み、

前記補償サブ回路は、

前記駆動サブ回路の前記第 2 電極に電氣的に結合された第 1 端子と、

前記駆動サブ回路のゲート電極に電氣的に結合された第 2 端子と、

第 3 端子と、

固定電圧の端子に電氣的に結合された第 4 端子と、

制御端子と、を含んでおり、

前記駆動サブ回路のしきい電圧を記憶するとともに、前記制御端子で受信された補償制御信号に応答して、該補償サブ回路の前記第 4 端子を該補償サブ回路の前記第 3 端子に電氣的に接続し、かつ該補償サブ回路の前記第 1 端子を該補償サブ回路の前記第 2 端子に電氣的に接続するように構成され、

前記データ書込みサブ回路は、第 1 端子、第 2 端子および制御端子を含んでおり、該データ書込みサブ回路の前記制御端子で受信されたデータ書込み制御信号に応答して、該データ書込みサブ回路の前記第 1 端子を該データ書込みサブ回路の前記第 2 端子に電氣的に接続するように構成され、

前記データ電圧記憶サブ回路は、前記データ書込みサブ回路を介して入力されたデータ電圧を記憶するように構成されており、

前記補償サブ回路の前記第 3 端子と前記データ書込みサブ回路の前記第 2 端子に電氣的に結合された第 1 端子と、

前記高圧入力端子に電氣的に結合された第 2 端子と、を含み、

前記画素回路は、放電サブ回路と初期化サブ回路とをさらに備え、

前記放電サブ回路は、基準電圧入力端子に電氣的に結合された第 1 端子と、発光サブ回路の第 1 端子に電氣的に結合された第 2 端子と、制御端子と、を含み、

前記放電サブ回路は、該放電サブ回路の前記制御端子で受信された放電制御信号に応答して、該放電サブ回路の前記第 1 端子を該放電サブ回路の前記第 2 端子に電氣的に接続するように構成され、

10

前記放電サブ回路の前記制御端子は、前記補償サブ回路の前記制御端子に電氣的に結合され、

前記初期化サブ回路は、前記固定電圧の端子に電氣的に結合された第 1 端子と、前記補償サブ回路の前記第 3 端子に電氣的に結合された第 2 端子と、前記補償サブ回路の前記第 2 端子に電氣的に結合された第 3 端子と、前記基準電圧入力端子に電氣的に結合された第 4 端子と、制御端子と、を含み、

前記初期化サブ回路は、該初期化サブ回路の前記制御端子で受信された初期化制御信号に応答して、該初期化サブ回路の前記第 2 端子を該初期化サブ回路の前記第 1 端子に電氣的に接続し、かつ該初期化サブ回路の前記第 3 端子を該初期化サブ回路の前記第 4 端子に電氣的に接続するように構成され、

20

前記固定電圧の端子は、前記基準電圧入力端子であり、

前記初期化サブ回路は、第 1 初期化トランジスタと、第 2 初期化トランジスタとを含み、前記放電サブ回路は、放電トランジスタを含み、前記補償サブ回路は、第 1 補償トランジスタを含み、前記第 1 初期化トランジスタの第 1 電極、前記第 2 初期化トランジスタの第 1 電極、前記第 1 補償トランジスタの第 1 電極、および前記放電トランジスタの第 1 電極は、すべて前記基準電圧入力端子に接続される画素回路。

【請求項 2】

前記データ電圧記憶サブ回路は、データ電圧記憶コンデンサを含み、

30

前記データ電圧記憶サブ回路の前記第 2 端子は、前記データ電圧記憶コンデンサの第 1 電極板を含み、

前記データ電圧記憶サブ回路の前記第 1 端子は、前記データ電圧記憶コンデンサの第 2 電極を含む

請求項 1 に記載の画素回路。

【請求項 3】

前記補償サブ回路は、補償コンデンサと、第 2 補償トランジスタと、をさらに含み、

前記補償コンデンサは、第 1 電極板と第 2 電極板を含み、

前記第 1 補償トランジスタは、前記第 1 電極と、前記補償コンデンサの前記第 1 電極板に電氣的に結合された第 2 電極と、ゲート電極と、を含み、

40

前記第 2 補償トランジスタは、第 1 電極と、第 2 電極と、前記第 1 補償トランジスタの前記ゲート電極に電氣的に結合されたゲート電極と、を含み、

前記補償サブ回路の前記第 1 端子は、前記第 2 補償トランジスタの前記第 2 電極を含み、

前記補償サブ回路の前記第 2 端子は、前記補償コンデンサの前記第 2 電極板と前記第 2 補償トランジスタの前記第 1 電極を含み、

前記補償サブ回路の前記第 3 端子は、前記補償コンデンサの前記第 1 電極板を含み、

前記補償サブ回路の前記第 4 端子は、前記第 1 補償トランジスタの前記第 1 電極を含み、

前記補償サブ回路の前記制御端子は、前記第 1 補償トランジスタの前記ゲート電極を含む請求項 1 に記載の画素回路。

【請求項 4】

50

前記データ書込みサブ回路は、データ書込みトランジスタを含み、

前記データ書込みサブ回路の前記第 1 端子は、データ信号入力端子に電氣的に結合された前記データ書込みトランジスタの第 1 電極を含み、

前記データ書込みサブ回路の前記第 2 端子は、前記データ書込みトランジスタの第 2 電極を含み、

前記データ書込みサブ回路の前記制御端子は、前記データ書込みトランジスタのゲート電極を含む

請求項 1 に記載の画素回路。

【請求項 5】

前記発光サブ回路は、前記駆動サブ回路の前記第 2 電極に結合され、前記駆動電流に
10 応答して発光するように構成される

請求項 1 ~ 4 のいずれか一項に記載の画素回路。

【請求項 6】

前記駆動サブ回路の前記第 2 電極に電氣的に結合された第 1 端子と、前記発光サブ回路の第 1 端子に電氣的に結合された第 2 端子と、制御端子と、を含む発光制御サブ回路をさらに備え、

前記発光制御サブ回路は、該発光制御サブ回路の前記制御端子で受信された発光制御信号に
20 応答して、前記駆動サブ回路の前記第 2 電極を該発光サブ回路の前記第 1 端子に接続するように構成される

請求項 5 に記載の画素回路。

【請求項 7】

前記発光制御サブ回路は、発光制御トランジスタを含み、

前記発光制御サブ回路の前記第 1 端子は、前記発光制御トランジスタの第 1 電極を含み、

前記発光制御サブ回路の前記第 2 端子は、前記発光制御トランジスタの第 2 電極を含み、

前記発光制御サブ回路の前記制御端子は、前記発光制御トランジスタのゲート電極を含む

請求項 6 に記載の画素回路。

【請求項 8】

前記放電サブ回路の前記第 1 端子は、前記放電トランジスタの前記第 1 電極を含み、

前記放電サブ回路の前記第 2 端子は、前記放電トランジスタの第 2 電極を含み、

前記放電サブ回路の前記制御端子は、前記放電トランジスタのゲート電極を含む

請求項 1 に記載の画素回路。

【請求項 9】

前記初期化サブ回路の前記第 4 端子は、前記第 1 初期化トランジスタの前記第 1 電極を含み、

前記初期化サブ回路の前記第 3 端子は、前記第 1 初期化トランジスタの第 2 電極を含み、

前記初期化サブ回路の前記制御端子は、前記第 1 初期化トランジスタのゲート電極を含み、

前記初期化サブ回路の前記第 1 端子は、前記第 2 初期化トランジスタの前記第 1 電極を含み、

前記初期化サブ回路の前記第 2 端子は、前記第 2 初期化トランジスタの第 2 電極を含み、

前記第 2 初期化トランジスタのゲート電極は、前記第 1 初期化トランジスタの前記ゲート電極に電氣的に結合されている

請求項 1 に記載の画素回路。

【請求項 10】

それぞれが請求項 1 ~ 4 のいずれか一項に記載の画素回路を含む複数の画素ユニットと、

データ信号入力端子に電氣的に結合された複数のデータ線と、

複数組のゲート線と、を備え、

前記複数組のゲート線のうちの 1 組ずつのゲート線は、前記複数の画素ユニットのうちの 1 つの画素ユニットの前記画素回路に結合されており、

該画素回路の前記補償サブ回路の前記制御端子に電氣的に結合された補償制御ゲート

10

20

30

40

50

線と、

該画素回路の前記データ書込みサブ回路の前記制御端子に電氣的に結合されたデータ書込み制御ゲート線と、

該画素回路の前記初期化サブ回路の制御端子に電氣的に結合された初期化制御ゲート線と、を含む

表示パネル。

【請求項 1 1】

前記複数組のゲート線のうちの 1 組ずつのゲート線は、前記画素回路の発光制御サブ回路の制御端子に電氣的に結合された発光制御ゲート線をさらに含む

請求項 1 0 に記載の表示パネル。

10

【請求項 1 2】

請求項 1 0 に記載の表示パネルへの駆動方法であって、

デューティサイクルの補償段階で、補償制御信号を前記補償制御ゲート線に供給することと、

前記デューティサイクルのデータ書込み段階で、データ書込み制御信号を前記データ書込み制御ゲート線に供給しデータ信号を前記データ線に供給することと、

発光段階で、前記駆動サブ回路により生じた前記駆動電流で発光するように、前記画素回路の発光サブ回路を制御することと、を含む

駆動方法。

【請求項 1 3】

20

前記画素回路は、発光制御サブ回路を含み、

前記複数組のゲート線のうちの 1 組ずつのゲート線は、発光制御ゲート線を含み、

前記発光制御サブ回路の制御端子は、前記発光制御ゲート線に電氣的に結合され、

前記駆動方法は、

前記発光段階で、発光制御信号を前記発光制御ゲート線に供給することをさらに含む

請求項 1 2 に記載の駆動方法。

【請求項 1 4】

前記補償段階の前の前記デューティサイクルの初期化段階で、初期化制御信号を初期化制御ゲート線に供給することをさらに含む

請求項 1 2 に記載の駆動方法。

30

【請求項 1 5】

前記補償段階、前記データ書込み段階、または前記発光段階のうちの少なくとも 2 つの隣接する段階間には、時間間隔が与えられる

請求項 1 2 に記載の駆動方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

関連出願の相互参照

本出願は、2017年3月17日に提出された中国特許出願201710161047.X号の優先権を主張するものであり、この先の出願の開示全体をここに参照のために取り込む。

40

【0 0 0 2】

本発明は、一般に、表示装置の分野に関し、より具体的には、画素回路、表示パネル、および駆動方法に関する。

【背景技術】

【0 0 0 3】

発光ダイオード(LED)表示装置は、表示分野において幅広い用途を有する。LED表示装置は、一般に、低温ポリシリコン処理によって製造される。処理の不均一のせいで、LED表示装置は、画素ユニットでトランジスタを駆動するためのしきい電圧が不均一となり、その結果、不均一表示をもたらす場合がある。

50

【発明の概要】

【課題を解決するための手段】

【0004】

本発明の一態様は、画素回路を提供する。画素回路は、駆動サブ回路と、補償サブ回路と、データ書込みサブ回路と、データ電圧記憶サブ回路と、を備える。駆動サブ回路は、高圧入力端子に電氣的に結合された第1電極と、駆動電流を出力するように構成される第2電極と、を含む。補償サブ回路は、駆動サブ回路の第2電極に電氣的に結合された第1端子と、駆動サブ回路のゲート電極に電氣的に結合された第2端子と、第3端子と、固定電圧の端子に電氣的に結合された第4端子と、制御端子と、を含む。補償サブ回路は、駆動サブ回路のしきい電圧を記憶するとともに、制御端子で受信された補償制御信号に
10 応答して、該補償サブ回路の第4端子を該補償サブ回路の第3端子に電氣的に接続し、かつ該補償サブ回路の第1端子を該補償サブ回路の第2端子に電氣的に接続するように構成される。データ書込みサブ回路は、第1端子、第2端子および制御端子を含む。データ書込みサブ回路は、該データ書込みサブ回路の制御端子で受信されたデータ書込み制御信号に
20 応答して、該データ書込みサブ回路の第1端子を該データ書込みサブ回路の第2端子に電氣的に接続するように構成される。データ電圧記憶サブ回路は、データ書込みサブ回路を介して入力されたデータ電圧を記憶するように構成される。データ電圧記憶サブ回路は、補償サブ回路の第3端子とデータ書込みサブ回路の第2端子に電氣的に結合された第1端子と、高圧入力端子に電氣的に結合された第2端子と、を含む。

【0005】

いくつかの実施形態では、データ電圧記憶サブ回路は、データ電圧記憶コンデンサを含む。データ電圧記憶サブ回路の第2端子は、データ電圧記憶コンデンサの第1電極板を含む。データ電圧記憶サブ回路の第1端子は、データ電圧記憶コンデンサの第2電極を含む。
20

【0006】

いくつかの実施形態では、補償サブ回路は、補償コンデンサと、第1補償トランジスタと、第2トランジスタと、を含む。補償コンデンサは、第1電極板と第2電極板を含む。第1補償トランジスタは、第1電極と、補償コンデンサの第1電極板に電氣的に結合された第2電極と、ゲート電極と、を含む。第2補償トランジスタは、第1電極と、第2電極と、第1補償トランジスタのゲート電極に電氣的に結合されたゲート電極と、を含む。補償サブ回路の第1端子は、第2補償トランジスタの第2電極を含む。補償サブ回路の第2
30 端子は、補償コンデンサの第2電極板と第2補償トランジスタの第1電極を含む。補償サブ回路の第3端子は、補償コンデンサの第1電極板を含む。補償サブ回路の第4端子は、第1補償トランジスタの第1電極を含む。補償サブ回路の制御端子は、第1補償トランジスタのゲート電極を含む

【0007】

いくつかの実施形態では、データ書込みサブ回路は、データ書込みトランジスタを含む。データ書込みサブ回路の第1端子は、データ信号入力端子に電氣的に結合されたデータ書込みトランジスタの第1電極を含む。データ書込みサブ回路の第2端子は、データ書込みトランジスタの第2電極を含む。データ書込みサブ回路の制御端子は、データ書込みトランジスタのゲート電極を含む。
40

【0008】

いくつかの実施形態では、画素回路は、駆動サブ回路の第2電極に結合され、駆動電流に
40 応答して発光するように構成される発光サブ回路をさらに備える。

【0009】

いくつかの実施形態では、画素回路は、発光制御サブ回路をさらに備える。発光制御サブ回路は、駆動サブ回路の第2電極に電氣的に結合された第1端子と、発光サブ回路の第1端子に電氣的に結合された第2端子と、制御端子と、を含む。発光制御サブ回路は、該発光制御サブ回路の制御端子で受信された発光制御信号に
50 応答して、駆動サブ回路の第2電極を該発光サブ回路の第1端子に接続するように構成される。

【0010】

いくつかの実施形態では、発光制御サブ回路は、発光制御トランジスタを含む。発光制御サブ回路の第1端子は、発光制御トランジスタの第1電極を含む。発光制御サブ回路の第2端子は、発光制御トランジスタの第2電極を含む。発光制御サブ回路の制御端子は、発光制御トランジスタのゲート電極を含む。

【0011】

いくつかの実施形態では、画素回路は、放電サブ回路をさらに備える。放電サブ回路は、基準電圧入力端子に電氣的に結合された第1端子と、発光サブ回路の第1端子に電氣的に結合された第2端子と、制御端子と、を含む。放電サブ回路は、該放電サブ回路の制御端子で受信された放電制御信号に应答して、該放電サブ回路の第1端子を該放電サブ回路の第2端子に電氣的に接続するように構成される。放電サブ回路の制御端子は、補償サブ回路の制御端子に電氣的に結合される。

10

【0012】

いくつかの実施形態では、放電サブ回路は、放電トランジスタを含む。放電サブ回路の第1端子は、放電トランジスタの第1電極を含む。放電サブ回路の第2端子は、放電トランジスタの第2電極を含む。放電サブ回路の制御端子は、放電トランジスタのゲート電極を含む。

【0013】

いくつかの実施形態では、画素回路は、初期化サブ回路をさらに備える。初期化サブ回路は、固定電圧の端子に電氣的に結合された第1端子と、補償サブ回路の第3端子に電氣的に結合された第2端子と、補償サブ回路の第2端子に電氣的に結合された第3端子と、基準電圧入力端子に電氣的に結合された第4端子と、制御端子と、を含む。初期化サブ回路は、該初期化サブ回路の制御端子で受信された初期化制御信号に应答して、該初期化サブ回路の第2端子を該初期化サブ回路の第1端子に電氣的に接続し、かつ該初期化サブ回路の第3端子を該初期化サブ回路の第4端子に電氣的に接続するように構成される。

20

【0014】

いくつかの実施形態では、初期化サブ回路は、第1初期化トランジスタと第2初期化トランジスタを含む。初期化サブ回路の第4端子は、第1初期化トランジスタの第1電極を含む。初期化サブ回路の第3端子は、第1初期化トランジスタの第2電極を含む。初期化サブ回路の制御端子は、第1初期化トランジスタのゲート電極を含む。初期化サブ回路の第1端子は、第2初期化トランジスタの第1電極を含む。初期化サブ回路の第2端子は、第2初期化トランジスタの第2電極を含む。第2初期化トランジスタのゲート電極は、第1初期化トランジスタのゲート電極に電氣的に結合されている。

30

【0015】

いくつかの実施形態では、固定電圧の端子は、基準電圧入力端子を含む。

【0016】

いくつかの実施形態では、固定電圧の端子は、高圧入力端子を含む。

【0017】

本発明の別の態様は、表示パネルを提供する。表示パネルは、複数の画素ユニットと、複数のデータ線と、複数組のゲート線とを備える。複数の画素ユニットは、それぞれ画素回路を含む。複数のデータ線は、データ信号入力端子に電氣的に結合された。複数組のゲート線のうちの1組ずつのゲート線は、画素ユニットのうちの1つの画素ユニットの画素回路に結合されており、補償制御ゲート線と、データ書込み制御ゲート線と、初期化制御ゲート線とを含む。補償制御ゲート線は、該画素回路の補償サブ回路の制御端子に電氣的に結合された。データ書込み制御ゲート線、該画素回路のデータ書込みサブ回路の制御端子に電氣的に結合された。初期化制御ゲート線は、該画素回路の初期化サブ回路の制御端子に電氣的に結合された。

40

【0018】

いくつかの実施形態では、複数組のゲート線のうちの1組ずつのゲート線は、画素回路の発光制御サブ回路の制御端子に電氣的に結合された発光制御ゲート線をさらに含む。

【0019】

50

本発明の別の態様は、表示パネルへの駆動方法を提供する。駆動方法は、デューティサイクルの補償段階で、補償制御信号を補償制御ゲート線に供給することと、デューティサイクルのデータ書き込み段階で、データ書き込み制御信号をデータ書き込み制御ゲート線に供給しデータ信号をデータ線に供給することと、発光段階で、駆動サブ回路により生じた駆動電流で発光するように、画素回路の発光サブ回路を制御することと、を含む。

【0020】

いくつかの実施形態では、画素回路は、発光制御サブ回路を含む。複数組のゲート線のうちの1組ずつのゲート線は、発光制御ゲート線を含む。発光制御サブ回路の制御端子は、発光制御ゲート線に電氣的に結合される。駆動方法は、発光段階で、発光制御信号を発光制御ゲート線に供給することをさらに含む。

10

【0021】

いくつかの実施形態では、補償段階の前のデューティサイクルの初期化段階で、初期化制御信号を初期化制御ゲート線に供給することをさらに含む。

【0022】

いくつかの実施形態では、補償段階、データ書き込み段階、または発光段階のうちの少なくとも2つの隣接する段階間には、時間間隔が与えられる。

【0023】

以下の図面は、開示された様々な実施形態による例示的な目的のための単なる例であり、本発明の範囲を限定するものではない。

【図面の簡単な説明】

20

【0024】

【図1】本発明の様々な実施形態による例示的なサブ回路を含む例示的な画素回路の概略図を示す。

【図2】本発明の様々な実施形態による例示的な画素回路の概略図を示す。

【図3】本発明の様々な実施形態による別の例示的な画素回路の概略図を示す。

【図4】本発明の様々な実施形態による例示的な表示パネルの概略図を示す。

【図5】本発明の様々な実施形態による異なるゲート線への例示的な配列信号の概略図を示す。

【図6】本発明の様々な実施形態による例示的な表示パネルへの例示的な駆動方法の概略図を示す。

30

【発明を実施するための形態】

【0025】

以下、本発明の例示的な実施形態について図面を参照しながらより具体的に説明する。なお、いくつかの実施形態に係る以下の説明は、例示や説明の目的で提供されたものに過ぎず、本発明を網羅または制限するためのものではない。

【0026】

本発明の態様および特徴は、添付の図面を参照してさらに詳細に記載される本発明の例示的な実施形態を通じて、当業者によって理解され得る。

【0027】

本発明は、画素回路を提供する。図1は、本発明の様々な実施形態による例示的なサブ回路を含む例示的な画素回路の概略図を示す。図1に示すように、例示的な画素回路は、初期化サブ回路100と、駆動サブ回路M1と、補償サブ回路200と、データ書き込みサブ回路300と、発光サブ回路400と、データ電圧記憶サブ回路500とを含む。ここで説明されるサブ回路の各々は、1つ以上の電子部品、例えば1つ以上のトランジスタを含む。例えば、駆動サブ回路は、図1に示すように、駆動トランジスタを含む。本開示において、駆動サブ回路は、1つ以上の他の適切な構造を含め、図1に示される駆動トランジスタに限定されていない。

40

【0028】

駆動サブ回路M1は、第1電極が高圧入力端子DDに電氣的に結合され、第2電極が発光サブ回路400を発光させるように駆動電流を出力して構成される。

50

【 0 0 2 9 】

補償サブ回路 2 0 0 の第 1 端子は、駆動サブ回路 M 1 の第 2 電極に電氣的に結合される。補償サブ回路 2 0 0 の第 2 端子は、駆動サブ回路 M 1 のゲート電極に電氣的に結合される。補償サブ回路 2 0 0 の第 3 端子は、データ電圧記憶サブ回路 5 0 0 の第 1 端子に電氣的に結合される。補償サブ回路 2 0 0 の第 4 端子は、固定電圧の端子 F I X に電氣的に結合される。補償サブ回路 2 0 0 の制御端子で受信された補償制御信号に应答して、補償サブ回路 2 0 0 の第 1 端子が補償サブ回路 2 0 0 の第 2 端子に電氣的に接続されることで、駆動サブ回路 M 1 の第 2 電極およびゲート電極が電氣的に接続され、駆動サブ回路 M 1 のしきい電圧 V_{th} が補償サブ回路 2 0 0 に記憶される。さらに、補償サブ回路 2 0 0 の制御端子で受信された補償制御信号に应答して、補償サブ回路 2 0 0 の第 4 端子は、補償サブ回路 2 0 0 の第 3 端子に電氣的に接続される。補償サブ回路 2 0 0 の第 4 端子が固定電圧の端子 F I X に電氣的に結合されるため、補償サブ回路 2 0 0 の第 3 端子と補償サブ回路 2 0 0 の第 4 端子を電氣的に接続するのは、補償サブ回路 2 0 0 の第 3 端子で固定電圧の端子 F I X から入力された固定電圧に保持された電圧を引き起こすことができる。

10

【 0 0 3 0 】

ここで、「電氣的に接続する」、「電氣的に接続し」、「電氣的に接続され」などの用語は、電気信号経路を立てることを指す。したがって、端末、ノード、ポート、電極、または同様のもの（「回路点」と総称される）が他の回路ポイントに電氣的に接続されるのは、一方の回路点で受信された信号を他方の回路点に転送できるように、この両方の回路点間に電気信号経路を立てることを指す。

20

【 0 0 3 1 】

補償サブ回路 2 0 0 には、補償サブ回路 2 0 0 の制御端子で受信された補償制御信号に应答して、2 つの導電性経路が形成される。第 1 導電性経路は、補償サブ回路 2 0 0 の第 1 端子と補償サブ回路 2 0 0 の第 2 端子との間に形成される。第 2 導電性経路は、補償サブ回路 2 0 0 の第 3 端子と補償サブ回路 2 0 0 の第 4 端子との間に形成される。この 2 つの導電性経路の間には、導電的結合が存在していない。

【 0 0 3 2 】

さらに、本開示では、補償制御信号の種類は、補償サブ回路 2 0 0 における、例えば薄膜トランジスタなどのトランジスタの種類に応じて適宜選択することができる。例えば、補償サブ回路 2 0 0 におけるトランジスタが p 型トランジスタとなると、補償制御信号は低レベル信号となり得る。補償サブ回路 2 0 0 におけるトランジスタが n 型トランジスタとなると、補償制御信号は高レベル信号となり得る。補償サブ回路 2 0 0 の制御端子が補償制御信号を受信しないか、または補償制御信号とは異なる信号を受信すると、補償サブ回路 2 0 0 の第 1 端子は補償サブ回路 2 0 0 の第 2 端子から電氣的に切り離され、補償サブ回路 2 0 0 の第 3 端子は補償サブ回路 2 0 0 の第 4 端子から電氣的に切り離される。

30

【 0 0 3 3 】

データ電圧記憶サブ回路 5 0 0 の第 2 端子は、高圧入力端子 D D に電氣的に結合される。データ書込みサブ回路 3 0 0 は、第 1 端子、第 2 端子、および制御端子を含む。データ電圧記憶サブ回路 5 0 0 の第 1 端子はさらに、データ書込みサブ回路 3 0 0 の第 2 端子に電氣的に結合される。データ電圧記憶サブ回路 5 0 0 は、データ書込み段階でデータ書込みサブ回路 3 0 0 を介して入力されたデータ電圧を記憶するように構成される。

40

【 0 0 3 4 】

発光サブ回路 4 0 0 は、発光段階で、駆動サブ回路 M 1 から駆動電流を受けるとともに、駆動電流の駆動下で発光するように構成される。

【 0 0 3 5 】

データ書込みサブ回路 3 0 0 の第 1 端子は、データ信号入力端子 D A T A に電氣的に結合される。データ書込みサブ回路 3 0 0 の第 2 端子は、データ電圧記憶 5 0 0 の第 1 端子に電氣的に結合される。データ書込みサブ回路 3 0 0 の制御端子で受信されたデータ書込み制御信号に应答して、データ書込みサブ回路 3 0 0 の第 1 端子 3 0 0 は、データ書込みサブ回路 3 0 0 の第 2 端子に電氣的に結合される。

50

【 0 0 3 6 】

同様に、本開示では、データ書込み制御信号の種類は、データ書込みサブ回路 3 0 0 におけるトランジスタの種類に応じて適宜選択することができる。データ書込みサブ回路 3 0 0 におけるトランジスタが p 型トランジスタとなると、データ書込み制御信号は低レベル信号となり得る。データ書込みサブ回路 3 0 0 におけるトランジスタが n 型トランジスタとなると、データ書込み制御信号は高レベル信号となり得る。

【 0 0 3 7 】

本開示に係る画素回路は、データ電圧記憶サブ回路 5 0 0 が設けられているため、データ電圧を補償サブ回路に記憶しなくてもよい。

【 0 0 3 8 】

いくつかの実施形態では、開示された画素回路の作動ときに、デューティサイクル毎には、少なくとも 3 つの段階、すなわち、補償段階、データ書込み段階、および発光段階が含まれる。図 1 に示すように、補償サブ回路 2 0 0 の制御端子は、補償制御ゲート線 G (N - 1) に電気的に結合されており、データ書込みサブ回路 3 0 0 の制御端子は、データ書込み制御ゲート線 G (N) に電気的に結合される。

【 0 0 3 9 】

補償段階では、駆動サブ回路 M 1 のしきい電圧 V_{th} は、補償サブ回路 2 0 0 に記憶される。さらに、この段階では、補償サブ回路 2 0 0 の第 3 端子での電圧が固定電圧の端子からの固定電圧であり、データ電圧が入力されていない。したがって、各デューティサイクルの補償段階において、補償サブ回路 2 0 0 の第 3 端子の電圧は、データ電圧の影響を受けることなく、固定電圧の端子 F I X からの安定した固定電圧である。その結果、駆動サブ回路 M 1 は、補償段階でダイオードとして機能するように素早く安定して構成することができ、駆動サブ回路 M 1 のしきい電圧 V_{th} は、各サブデューティサイクルの補償段階で補償サブ回路 2 0 0 に記憶することができる。これに対応して、駆動サブ回路 M 1 のゲート電極に結合された補償サブ回路 2 0 0 の第 2 端子での電圧は、 $(V_{DD} + V_{th})$ とする。

【 0 0 4 0 】

データ書込み段階では、データがデータ電圧記憶サブ回路 5 0 0 に書込まれ、補償サブ回路 2 0 0 の第 4 端子が補償サブ回路 2 0 0 の第 3 端子から切り離され、補正サブ回路 2 0 0 の第 1 端子が補償サブ回路 2 0 0 の第 2 端子から切り離される。データ書込みサブ回路 3 0 0 と補償サブ回路 2 0 0 とは直列に結合されている。補償サブ回路 2 0 0 は、電気エネルギーを貯蔵することができ、コンデンサまたはコンデンサと等価な素子を含める。したがって、データ書込み段階において、補償サブ回路 2 0 0 は、ブートストラップ効果を生じ、その結果、駆動サブ回路 M 1 のゲート電極に結合された補償サブ回路 2 0 0 の第 2 端子での電圧が、 $(V_{DD} + V_{th})$ から $(V_{DD} + V_{th}) + (V_{data} - V_0)$ に変更することができる。V D D は、高圧入力端子 D D を介して入力された高圧信号であり、V d a t a は、データ入力端子 D A T A でのデータ電圧であり、V 0 は、固定電圧の端子 F I X から入力された固定電圧である。

【 0 0 4 1 】

発光段階において、発光サブ回路 4 0 0 の駆動電流は、以下の式にしたがって算出することができる。

$$\begin{aligned} I &= K * (V_{gs} - V_{th})^2 \\ &= K * (V_2 - V_{DD} - V_{th})^2 \\ &= K * (V_{DD} + V_{th} + V_{data} - V_0 - V_{DD} - V_{th})^2 \\ &= K * (V_{data} - V_0)^2 \end{aligned} \quad \text{式(1)}$$

ただし、K は、材料に関わる定数で、駆動サブ回路 M 1 のサイズであり、V 2 は、補償サブ回路 2 0 0 の第 2 端子での電圧であり、V g s は、駆動サブ回路 M 1 のゲート - ソース電圧である。

【 0 0 4 2 】

したがって、発光サブ回路 4 0 0 の駆動電流は、駆動サブ回路 M 1 のしきい電圧にかか

10

20

30

40

50

ならず、データ電圧および固定電圧のみに関連している。その結果、表示輝度には表示パネルの処理の不均一が影響せず、表示輝度の均一性の向上、および表示装置の画質の向上が図られる。

【0043】

本開示において、固定電圧 V_0 は限らず、様々な適用シナリオに応じて選択可能である。図2は、本発明の様々な実施形態による例示的な画素回路の概略図を示す。図2に示すように、固定電圧の端子は、基準電圧入力端子REFに結合されている。したがって、固定電圧 V_0 は、基準電圧入力端子REFを介して入力される基準電圧 V_{ref} となる。この場合、駆動電流は、高圧入力端子から入力された電圧の大きさに依存していない。これによって、例えばIRドロップのような、画素回路において電流(I)が流れる配線抵抗(R)による電圧降下を抑制することができる。

10

【0044】

図3は、本発明の様々な実施形態による別の例示的な画素回路の概略図を示す。図3に示すように、固定電圧の端子は、高圧入力端子DDに結合されている。固定電圧 V_0 は、高圧入力端子DDを介して入力された高電圧 V_{DD} となる。したがって、駆動電流は、駆動サブ回路M1のしきい電圧に依存していない。

【0045】

さらに、本発明の画素ユニットの作動中には、補償段階とデータ書込み段階が別々の段階で行われ、駆動サブ回路M1のしきい電圧とデータ電圧が補償サブ回路200とデータ電圧記憶サブ回路500に別々に記憶されることが可能である。したがって、補償サブ回路200は、ダイオードとして機能するように駆動サブ回路M1を構成する場合、異なるデューティサイクルの異なるデータ電圧によって影響を受けないので、駆動サブ回路M1がダイオードとして機能するように素早く安定して構成されて、補償サブ回路にしきい電圧が書込まれるのを保証できる。その結果、表示画像への処理の非均一に起因した異なるしきい電圧による影響を抑制することができ、画素ユニットが含まれる表示パネルの表示品質を向上させることができる。

20

【0046】

表示への改善のために、いくつかの実施形態では、画素回路は、初期化サブ回路100をさらに含む。図1に示すように、初期化サブ回路100の第1端子は、固定電圧の端子FIXに電氣的に結合されている。初期化サブ回路100の第2端子は、補償サブ回路200の第3端子に電氣的に結合されている。初期化サブ回路100の第3端子は、補償サブ回路200の第2端子に電氣的に結合されている。初期化サブ回路100の第4の端子は、基準電圧入力端子REFに電氣的に結合されている。初期化サブ回路100の制御端子で受信された初期化制御信号にตอบสนองして、初期化サブ回路100は、初期化サブ回路100の第2端子を初期化サブ回路100の第1端子に電氣的に接続し、初期化サブ回路100の第3端子に初期化サブ回路100の第4端子に電氣的に接続することができる。

30

【0047】

同様に、本開示では、初期化制御信号の種類は、初期化サブ回路100におけるトランジスタの種類に応じて適宜選択することができる。初期化サブ回路100におけるトランジスタがp型トランジスタとなると、初期化制御信号は低レベル信号となり得る。初期化サブ回路100におけるトランジスタがn型トランジスタとなると、初期化制御信号は高レベル信号となり得る。

40

【0048】

それに応じて、初期化段階は、画素回路のデューティサイクルに含まれる。初期化段階では、初期化制御信号が初期化サブ回路100の制御端子に供給されることで、初期化サブ回路100の第2端子が初期化サブ回路100の第1端子に電氣的に結合され、初期化サブ回路100の第3端子が初期化サブ回路100の第4端子に電氣的に結合される。つまり、補償サブ回路200の第3端子は、固定電圧の端子FIXに電氣的に結合されており、補償サブ回路200の第2端子は、基準電圧入力端子REFに電氣的に結合される。これにより、駆動サブ回路M1のゲート電極での残留電荷を放電させることができ、補償

50

サブ回路 200 の第 3 端子での電圧を安定させることができる。

【0049】

本開示では、データ電圧記憶サブ回路 500 の構造は限らず、様々の適用シナリオに応じて選択することができます。いくつかの実施形態では、図 2 および図 3 に示すように、データ電圧記憶サブ回路 500 は、データ電圧記憶コンデンサ C1 を含む。データ電圧記憶コンデンサ C1 の第 1 電極板は、データ電圧記憶サブ回路 500 の第 2 端子としての役割を果たす。つまり、データ電圧記憶コンデンサ C1 の第 1 電極板は、高圧入力端子 DD に電氣的に結合される。データ電圧記憶コンデンサ C1 の第 2 電極板は、データ電圧記憶サブ回路 500 の第 1 端子としての役割を果たす。つまり、データ電圧記憶コンデンサ C1 の第 2 電極板は、補償サブ回路 200 の第 3 の端子に電氣的に結合される。

10

【0050】

補償段階において、データ電圧記憶コンデンサ C1 の第 2 電極板での電圧は、固定電圧の端子 FIX からの固定電圧 V0 であり、図 2 に示される例における基準電圧入力端子 REF からの基準電圧 Vref、または図 3 に示される例における高圧入力端子 DD からの高電圧 VDD となり得る。補償サブ回路 200 の第 3 端子での電圧は、初期化サブ回路 100 からの固定電圧 V0 である。

【0051】

データ書込み段階において、データ書込みサブ回路 300 を介して入力されたデータ電圧は、データ電圧記憶コンデンサ C1 に記憶される。

【0052】

本開示では、補償サブ回路 200 の構造は限らない。いくつかの実施形態では、図 2 に示すように、補償サブ回路 200 は、補償コンデンサ C2 と、第 1 補償トランジスタ M2 と、第 2 補償トランジスタ M3 とを含む。

20

【0053】

図 2 に示すように、補償コンデンサ C2 の第 1 電極板は、補償サブ回路 200 の第 3 端子としての役割を果たし、補償コンデンサ C2 の第 2 電極板は、補償サブ回路 200 の第 2 端子としての役割を果たす。

【0054】

第 1 補償トランジスタ M2 の第 1 電極は、補償サブ回路 200 の第 4 端子としての役割を果たす。つまり、第 1 補償トランジスタ M2 の第 1 電極は、固定電圧の端子に電氣的に結合されている。図 2 では、固定電圧の端子は基準電圧入力端子 REF に結合されている。図 3 では、固定電圧の端子は高電圧入力端子 DD に結合されている。第 1 補償トランジスタ M2 の第 2 電極は、補償コンデンサ C2 の第 1 電極板に電氣的に結合されている。第 1 補償トランジスタ M2 のゲート電極は、補償サブ回路 200 の制御端子としての役割を果たす。

30

【0055】

第 2 補償トランジスタ M3 の第 1 電極は、補償サブ回路 200 の第 2 端子としての役割を果たす。つまり、第 2 補償トランジスタ M3 の第 1 電極は、駆動サブ回路 M1 のゲート電極に電氣的に結合されるとともに、補償コンデンサ C2 の第 2 電極板に電氣的に結合される。第 2 補償トランジスタ M3 の第 2 電極は、補償サブ回路 200 の第 1 端子としての役割を果たす。つまり、第 2 補償トランジスタ M3 の第 2 電極は、駆動トランジスタ M1 の第 2 電極に電氣的に結合される。

40

【0056】

第 1 補償トランジスタ M2 のゲート電極は、第 2 補償トランジスタ M3 のゲート電極に電氣的に結合されている。

【0057】

第 1 補償トランジスタ M2 は、第 2 補償トランジスタと同じ種類を有する。いくつかの実施形態では、第 1 補償トランジスタ M2 と第 2 補償トランジスタ M3 とは共に n 型トランジスタである。いくつかの他の実施形態では、第 1 補償トランジスタ M2 と第 2 補償トランジスタ M3 とは共に p 型トランジスタである。特定の実施形態では、図 2 および図 3

50

に示すように、第1補償トランジスタM2と第2補償トランジスタM3とは共にp型トランジスタであり、第1補償トランジスタM2と第2補償トランジスタM3とのゲート電極は、共に補償制御ゲート線G(N-1)に電氣的に結合されており、第1補償トランジスタM2と第2補償トランジスタM3とは、ゲート電極で受信された低レベル信号に応答してオンにされることができる。

【0058】

補償段階において、第1補償トランジスタM2のゲート電極および第2補償トランジスタM3のゲート電極は、補償制御信号を受信してオンにされる。その結果、固定電圧の端子からの固定電圧は、補償コンデンサC2の第1電極板に供給される。さらに、駆動サブ回路M1のゲート電極が駆動サブ回路M1の第2電極に電氣的に結合されることで、駆動サブ回路M1がダイオードとして機能する。

10

【0059】

同様に、本開示では、データ書込みサブ回路300は限らない。いくつかの実施形態では、図2および図3に示すように、データ書込みサブ回路300は、データ書込みトランジスタM4を含む。データ書込みトランジスタM4の第1電極は、データ信号入力端子DATAに電氣的に結合されるとともに、データ書込みサブ回路300の第1端子としての役割を果たす。データ書込みトランジスタM4の第2電極は、データ書込みサブ回路300の第2端子としての役割を果たす。データ書込みトランジスタM4のゲート電極は、データ書込みサブ回路300の制御端子としての役割を果たす。

【0060】

データ書込み段階において、データ書込み制御信号は、データ書込みトランジスタM4のゲート電極に供給される。このように、データ書込みトランジスタM4の第1電極および第2電極は、電氣的に接続される。したがって、データ信号入力端子DATAを介して入力された信号は、データ電圧記憶コンデンサC1に記憶される。さらに、データ電圧記憶コンデンサC1と、補償サブ回路200の補償コンデンサC2とは、直列に結合されている。

20

【0061】

発光段階において、式(1)によって得られた駆動電流は、発光サブ回路400を発光させる。

【0062】

本開示では、初期化サブ回路100の構造は限らない。いくつかの実施形態では、図2および図3に示すように、初期化サブ回路100は、第1初期化トランジスタM5および第2初期化トランジスタM6を含む。

30

【0063】

第1初期化トランジスタM5の第1電極は、初期化サブ回路100の第4端子としての役割を果たす。つまり、第1初期化トランジスタM5の第1電極は、基準電圧入力端子REFに電氣的に結合されている。第1初期化トランジスタM5の第2電極は、補償サブ回路200の第2端子に電氣的に結合されている。第1初期化トランジスタM5のゲート電極は、初期化サブ回路100の制御端子としての役割を果たす。

【0064】

第2初期化トランジスタM6の第1電極は、初期化サブ回路100の第1端子としての役割を果たす。つまり、第2初期化トランジスタM6の第1電極は、固定電圧の端子に電氣的に結合されている。いくつかの実施形態では、図2に示すように、固定電圧の端子は、基準電圧入力端子REFを含む。いくつかの他の実施形態では、図3に示すように、固定電圧の端子は、高圧入力端子DDを含む。第2初期化トランジスタM6の第2電極は、初期化サブ回路100の第2端子としての役割を果たす。つまり、第2初期化トランジスタM6の第2電極は、補償サブ回路200の第3端子に電氣的に結合されている。第2初期化トランジスタM6のゲート電極は、第1初期化トランジスタM5のゲート電極に電氣的に結合されている。いくつかの実施形態では、図2に示すように、第2初期化トランジスタM6のゲート電極と、第1初期化トランジスタM5のゲート電極とは、共に初期化制

40

50

御ゲート線 G (N - 2) に電氣的に結合されている。

【 0 0 6 5 】

第 1 初期化トランジスタ M 5 は、第 2 初期化トランジスタ M 6 とは同じ種類となり得る。いくつかの実施形態では、第 1 初期化トランジスタ M 5 と第 2 初期化トランジスタ M 6 とは共に n 型トランジスタとなり得る。いくつかの他の実施形態では、第 1 初期化トランジスタ M 5 と第 2 初期化トランジスタ M 6 とは共に p 型トランジスタとなり得る。特定の実施形態では、図 2 および図 3 に示すように、第 1 初期化トランジスタ M 5 と第 2 初期化トランジスタ M 6 とは共に両 p 型トランジスタである。

【 0 0 6 6 】

初期化段階において、初期化制御信号は、第 1 初期化トランジスタ M 5 のゲート電極および第 2 初期化トランジスタ M 6 のゲート電極に供給され、第 1 初期化トランジスタ M 5 および第 2 初期化トランジスタ M 6 がオンにされる。

10

【 0 0 6 7 】

省エネルギーおよび表示への改善のために、いくつかの実施形態では、発光サブ回路 4 0 0 は、発光段階のみで発光しておく、他の段階で発光しないことが可能である。

【 0 0 6 8 】

さらに、画素回路は、駆動サブ回路 M 1 と発光サブ回路 4 0 0 との間に結合された発光制御サブ回路 6 0 0 を含む。発光制御サブ回路 6 0 0 の第 1 端子は、駆動サブ回路 M 1 の第 2 電極に電氣的に結合されている。発光制御サブ回路 6 0 0 の第 2 端子は、発光サブ回路 4 0 0 の第 1 端子に電氣的に結合されている。発光制御サブ回路 6 0 0 の制御端子で受信された発光制御信号に応答して、発光制御サブ回路 6 0 0 は、駆動サブ回路 M 1 の第 2 電極を発光サブ回路 4 0 0 の第 1 端子に接続する。

20

【 0 0 6 9 】

発光制御信号は、発光段階のみにおいて発光制御サブ回路 6 0 0 の制御端子に供給可能である。したがって、駆動電流は、発光段階のみにおいて発光サブ回路 4 0 0 を流れる。

【 0 0 7 0 】

同様に、本開示では、発光制御信号の種類は、発光制御サブ回路 6 0 0 におけるトランジスタの種類に応じて適宜選択することができる。発光制御サブ回路 6 0 0 におけるトランジスタが p 型トランジスタとなると、発光制御信号は低レベル信号となり得る。発光制御サブ回路 6 0 0 におけるトランジスタが n 型トランジスタとなると、発光制御信号は高レベル信号となり得る。

30

【 0 0 7 1 】

本開示では、発光制御サブ回路 6 0 0 の構造は限らない。いくつかの実施形態では、図 2 および図 3 に示すように、発光制御サブ回路は、発光制御トランジスタ M 7 を含む。発光制御トランジスタ M 7 の第 1 電極は、発光制御サブ回路 6 0 0 の第 1 端子としての役割を果たす。つまり、発光制御トランジスタ M 7 の第 1 電極は、駆動サブ回路 M 1 の第 2 電極に電氣的に結合されている。発光制御トランジスタ M 7 の第 2 電極は、発光制御サブ回路 6 0 0 の第 2 端子としての役割を果たす。つまり、発光制御トランジスタ M 7 の第 2 電極は、発光サブ回路 4 0 0 の第 1 端子に電氣的に結合されている。発光制御トランジスタ M 7 のゲート電極は、発光制御サブ回路 6 0 0 の制御端子としての役割を果たす。

40

【 0 0 7 2 】

発光段階において、発光制御信号は、発光制御トランジスタ M 7 のゲート電極に供給され、発光制御トランジスタ M 7 がオンにされる。そこで、駆動サブ回路 M 1 の第 2 電極は、発光サブ回路 4 0 0 に電氣的に結合される。

【 0 0 7 3 】

暗状態での表示への改善のために、いくつかの実施形態では、画素回路は、放電サブ回路 7 0 0 をさらに含む。放電サブ回路 7 0 0 の第 1 端子は、基準電圧入力端子 R E F に電氣的に結合されている。放電サブ回路 7 0 0 の第 2 端子は、発光サブ回路 4 0 0 の第 1 端子に電氣的に結合されている。放電サブ回路 7 0 0 は、放電サブ回路 7 0 0 の制御端子で受信された放電制御信号に応答して、放電サブ回路 7 0 0 の第 1 端子および第 2 端子を電

50

氣的に接続することができる。

【0074】

同様に、本開示では、放電制御信号の種類は、放電サブ回路700におけるトランジスタの種類に応じて適宜選択することができる。放電サブ回路700におけるトランジスタがp型トランジスタとなると、放電制御信号は低レベル信号となり得る。放電サブ回路700におけるトランジスタがn型トランジスタとなると、放電制御信号は高レベル信号となり得る。

【0075】

一般的に、画素回路における発光サブ回路400は、発光ダイオードを含める。発光ダイオードは、積層構造を有してもよく、その結果、寄生容量が生じる。放電サブ回路700の第1、第2端子が電氣的に接続された後、発光サブ回路400の第1端子が基準電圧入力端子REFに電氣的に接続されることで、発光サブ回路400の第1端子での残留電荷は放電可能となり、暗状態での表示を容易にすることができる。

【0076】

放電サブ回路700の制御端子は、補償段階での放電を完了させるように、補償サブ回路200の制御端子に電氣的に結合されることができる。

【0077】

いくつかの実施形態では、図2および図3に示すように、放電サブ回路700は放電トランジスタM8を含む。放電トランジスタM8の第1電極は、放電サブ回路700の第1端子としての役割を果たす。つまり、放電トランジスタM8の第1電極は、基準電圧入力端子REFに電氣的に結合されている。放電トランジスタM8の第2電極は、放電サブ回路700の第2端子としての役割を果たす。つまり、放電トランジスタM8の第2電極は、発光サブ回路400の第1端子に電氣的に結合されている。放電トランジスタM8のゲート電極は、放電サブ回路700の制御端子としての役割を果たす。

【0078】

補償段階において、放電制御信号は、放電トランジスタM8のゲート電極に供給される。放電トランジスタM8がオンにされることで、発光サブ回路400の第1端子は、発光サブ回路400の第1端子を放電するように、基準電圧入力端子REFに電氣に接続される。

【0079】

本発明は、表示パネルをさらに提供する。図4は、本発明の様々な実施形態による例示的な表示パネル410の概略図を示す。図4に示すように、表示パネル410は、複数の画素ユニット411を含む。画素ユニット毎には、画素回路412が設けられている。画素回路412は、例えば上述した例示的な画素回路のうちの1つのような、本発明による画素回路のいずれかとなり得る。表示パネル410は、単独または、1つまたは複数の他の適切な構造との併用で表示装置を形成可能である。表示パネルを含む表示装置は、電子ペーパー、OLEDパネル、携帯電話、タブレットコンピュータ、テレビ、モニタ、ノートブックコンピュータ、デジタルフォトフレーム、ナビゲータ、または表示機能を有する他の適切な製品や部品となり得る。

【0080】

表示パネルは、データ線、および複数組のゲート線、すなわち複数のゲート線組を含める。データ線は、データ信号入力端子に電氣的に結合可能である。

【0081】

ゲート線組の各々は、補償制御ゲート線G(N-1)、データ書込み制御ゲート線G(N)、および初期化制御ゲート線G(N-2)を含める。図1に示すように、補償制御ゲート線G(N-1)は、補償サブ回路200の制御端子に電氣的に結合されている。データ書込み制御ゲート線G(N)は、データ書込みサブ回路300の制御端子に電氣的に結合されている。初期化制御ゲート線G(N-2)は、初期化サブ回路100の制御端子に電氣的に結合されている。

【0082】

図5は、本発明の様々な実施形態による異なるゲート線への例示的な配列信号の概略図を示す。図5に示すように、1つのデューティサイクルは、初期化段階t1、補償段階t2、データ書込み段階t3、および発光段階t4を含む。

【0083】

図5に示すように、補償段階t2において、補償制御信号は、補償制御ゲート線G(N-1)に供給される。データ書込み段階t3において、データ書込み制御信号は、データ書込みゲート線G(N)に供給される。

【0084】

上記のように、いくつかの実施形態では、画素回路は、発光制御サブ回路600をさらに含む。したがって、ゲート線組の各々は、発光制御ゲート線E(N)をさらに含める。発光制御サブ回路の制御端子は、発光制御ゲート線E(N)に電気的に結合可能である。図5に示すように、発光段階t4において、発光制御信号は、発光制御ゲート線E(N)に供給される。

10

【0085】

いくつかの実施形態では、画素回路も初期化サブ回路100をさらに含める。これらの実施形態では、ゲート線組の各々は、初期化制御ゲート線G(N-2)を含める。図5に示すように、初期化段階t1において、初期化制御信号は、初期化制御ゲート線G(N-2)に供給される。

【0086】

本開示は、表示パネルへの駆動方法をさらに提供する。図6は、本発明の様々な実施形態による例示的な表示パネルへの例示的な駆動方法610の概略図を示す。表示パネルは、本開示によるものである。駆動方法は、複数のデューティサイクルを含める。各デューティサイクルは、複数の段階を含める。複数の段階には、補償段階、データ書込み段階、および発光段階が含まれる。以下、駆動方法610について説明する。

20

【0087】

補償段階t2において、補償制御信号は、補償制御ゲート線に供給される。

【0088】

データ書込み段階t3において、データ制御信号がデータ書込み制御ゲート線に供給され、データ信号がデータ線に供給されることで、発光サブ回路が発光段階において発光可能である。

30

【0089】

発光段階t4において、発光サブ回路は、駆動サブ回路によって生成された駆動電流で制御されて発光する。

【0090】

いくつかの実施形態では、画素回路は、発光制御サブ回路をさらに含める。これに応じて、発光段階t4において、発光制御信号は、発光制御ゲート線E(N)に供給される。

【0091】

画素回路は、初期化サブ回路100をさらに含める。これに応じて、複数の段階は、初期化段階t1をさらに含める。初期化段階t1において、初期化制御信号は、初期化制御ゲート線G(N-2)に供給される。

40

【0092】

現段階を始める前に、すでに前の段階でオンにされたトランジスタをオフにされるのを確保するため、いくつかの実施形態では、1つのデューティサイクルの複数の段階には、少なくとも1つの段階とその段階に隣接する段階との間に、時間間隔を備えた段階が少なくとも1つ与えられる。

【0093】

図5に示すように、初期化段階t1と補償段階t2との間に時間間隔があり、補償段階t2とデータ書込み段階t3との間に時間間隔があり、データ書込み段階t3と発光段階t4との間に時間間隔がある。

【0094】

50

以下、本発明の駆動方法について図 2、5 および 6 を参照しながら説明する。

【0095】

いくつかの実施形態では、図 2 に示すように、画素回路は、初期化サブ回路 100、補償サブ回路 200、データ書込みサブ回路 300、データ電圧記憶サブ回路 500、放電サブ回路 700、発光制御サブ回路 600、および発光サブ回路 400 を含む。表示パネルのゲート線組の各々は、初期化制御ゲート線 $G(N-2)$ 、補償制御ゲート線 $G(N-1)$ 、データ書込み制御ゲート線 $G(N)$ 、および発光制御ゲート線 $E(N)$ を含める。

【0096】

初期化サブ回路 100 は、第 1 初期化トランジスタ $M5$ および第 2 初期化トランジスタ $M6$ を含む。第 1 初期化トランジスタ $M5$ と第 2 初期化トランジスタ $M6$ とは共に p 型トランジスタである。これに応じて、初期化制御信号は低レベル信号である。補償サブ回路 200 は、補償コンデンサ $C2$ 、第 1 補償トランジスタ $M2$ 、および第 2 補償トランジスタ $M3$ を含む。第 1 補償トランジスタ $M2$ と第 2 補償トランジスタ $M3$ とは共に p 型トランジスタである。これに応じて、補償制御信号は低レベル信号である。データ電圧記憶サブ回路 500 は、データ電圧記憶コンデンサ $C1$ を含む。データ書込みサブ回路 300 は、データ書込みトランジスタ $M4$ を含む。データ書込みトランジスタ $M4$ は、p 型トランジスタである。これに応じて、データ書込み制御信号は低レベル信号である。発光制御サブ回路 600 は、発光制御トランジスタ $M7$ を含む。発光制御トランジスタ $M7$ は、p 型トランジスタである。これに応じて、発光制御信号は低レベル信号である。放電サブ回路 700 は、放電トランジスタ $M8$ を含む。放電トランジスタ $M8$ は、p 型トランジスタである。これに応じて、放電制御信号は低レベル信号である。

【0097】

第 1 初期化トランジスタ $M5$ のゲート電極と、第 2 初期化トランジスタ $M6$ のゲート電極とは、初期化制御ゲート線 $G(N-2)$ に電氣的に結合されている。第 1 初期化トランジスタ $M5$ の第 1 電極は、基準電圧入力端子 REF に電氣的に結合されている。第 1 初期化トランジスタ $M5$ の第 2 電極は、補償コンデンサ $C2$ の第 2 電極板に電氣的に結合されている。第 2 初期化トランジスタ $M6$ の第 1 電極は、基準電圧入力端子 REF に電氣的に結合されている。第 2 初期化トランジスタ $M6$ の第 2 電極は、補償コンデンサ $C2$ の第 1 電極板に電氣的に結合されている。

【0098】

第 1 補償トランジスタ $M2$ のゲート電極は、第 2 補償トランジスタ $M3$ のゲート電極に電氣的に結合されるとともに、放電トランジスタ $M8$ のゲート電極に電氣的に結合されている。第 1 補償トランジスタ $M2$ のゲート電極、第 2 補償トランジスタ $M3$ のゲート電極、および放電トランジスタ $M8$ のゲート電極は、補償制御ゲート線 $G(N-1)$ に電氣的に結合されている。図 2 に示すように、第 1 補償トランジスタ $M2$ の第 1 電極は、基準電圧入力端子 REF に電氣的に結合されている。第 1 補償トランジスタ $M2$ の第 2 電極は、補償コンデンサ $C2$ の第 1 電極板に電氣的に結合されている。第 2 補償トランジスタ $M3$ の第 1 電極は、補償コンデンサ $C2$ の第 1 電極板に電氣的に結合されている。第 2 補償トランジスタ $M3$ の第 2 電極は、駆動サブ回路 $M1$ の第 2 電極に電氣的に結合されている。放電トランジスタ $M8$ の第 1 電極は、基準電圧入力端子 REF に電氣的に結合されている。放電トランジスタ $M8$ の第 2 電極は、発光サブ回路 400 の第 1 端子に電氣的に結合されている。

【0099】

データ書込みトランジスタ $M4$ の第 1 電極は、データ信号入力端子 $DATA$ に電氣的に結合されている。データ書込みトランジスタ $M4$ の第 2 電極は、補償コンデンサ $C2$ の第 1 電極板に電氣的に結合されている。データ書込みトランジスタ $M4$ のゲート電極は、データ書込み制御ゲート線 $G(N)$ に電氣的に結合されている。

【0100】

発光制御トランジスタ $M7$ のゲート電極は、発光制御ゲート線 $E(N)$ に電氣的に結合されている。発光制御トランジスタ $M7$ の第 1 電極は、駆動サブ回路 $M1$ の第 2 電極に電

10

20

30

40

50

氣的に結合されている。発光制御トランジスタM7の第2電極は、発光サブ回路400の第1端子に電氣的に結合されている。

【0101】

画素回路では、発光サブ回路400は、発光ダイオードとなり、発光サブ回路の第2端子は、低圧信号入力端子SSに電氣的に結合される。高レベル信号は、高圧信号入力端子DDを介して供給可能である。低レベル信号は、低圧信号入力端子SSを介して供給可能である。

【0102】

初期化段階t1において、低レベル初期化制御信号は初期化制御ゲート線G(N-2)に供給され、第1初期化トランジスタM5および第2初期化トランジスタM6はオンにされる一方、他のトランジスタはオフにされる。さらに、基準電圧入力端子REFから入力された基準電圧は、補償コンデンサC2および駆動サブ回路M1のゲート電極を初期化されるように、補償コンデンサC2の第1、第2電極板に伝送される。

10

【0103】

補償段階t2において、低レベル補償制御信号は補償制御ゲート線G(N-1)に供給され、第1補償トランジスタM2および第2補償トランジスタM3はオンにされ、第1補償トランジスタM2は補償コンデンサC2の第1電極板での電圧を基準電圧に保持する。これによって、駆動サブ回路M1がダイオードとして機能するように素早く安定して構成されて、補償コンデンサC2に駆動サブ回路M1のしきい電圧Vthが書込まれることができる。補償段階t2において、放電トランジスタM8がオンにされ、発光サブ回路400の第1端子が基準電圧入力端子REFに接続されることで、発光サブ回路400の第1端子が放電される。

20

【0104】

データ書込み段階t3において、低レベルのデータ書込み制御信号はデータ書込み制御ゲート線G(N)に供給され、データ書込みトランジスタM4はオンにされ、データ線からのデータ信号はデータ信号入力端子DATAからデータ電圧記憶コンデンサC1に伝送される。

【0105】

発光位相t4において、低レベルの発光制御信号が発光制御ゲート線E(N)に供給され、発光制御トランジスタM7がオンにされることで、駆動サブ回路M1で生成された駆動電流によって発光サブ回路400を発光させる。

30

【0106】

本発明は、画素回路、表示パネル、および表示パネルを駆動する方法を提供する。画素回路は、駆動サブ回路、補償サブ回路、データ書込みサブ回路、発光サブ回路、およびデータ電圧記憶サブ回路を含める。補償サブ回路の制御端子で受信された補償制御信号に回答して、補償サブ回路の第1端子が補償サブ回路の第2端子に電氣的に接続されることで、駆動サブ回路の第2電極と駆動サブ回路のゲート電極とが電氣的に接続され、駆動サブ回路のしきい電圧が補償サブ回路に記憶される。さらに、補償サブ回路の制御端子で受信された補償制御信号に回答して、補償サブ回路の第4端子は補償サブ回路の第3端子に電氣的に接続される。データ電圧記憶サブ回路は、データ書込み段階においてデータ書込みサブ回路を介して入力されたデータ電圧を記憶するように構成される。発光サブ回路は、駆動電流の駆動下で発光するように構成される。画素回路は、補償段階において結合されているダイオードを素早く形成し、表示パネルの発光への処理の非均一による影響を抑制することができる。

40

【0107】

本発明の実施形態について前述した説明は、例示または説明するためのものである。前述した説明は、本発明を網羅すること、または、詳細な形態や例示的实施例に限定することを意図していない。従って、前述した説明は、限定ではなく例示とみなされるべきである。当業者であれば、様々な変形や変更が行えることは明らかであろう。実施形態は、技術を説明する目的で提供されたものであり、実際のまたは意図的な適用に応じて様々な変

50

更が可能である。本発明の範囲は、添付した特許請求の範囲によって定義されることが意図されており、ここで使用されるすべての用語は特に説明しない限り、それらの最も広くで合理的な意味を表す。従って、「発明」、「本発明」などのような用語は、必ずしも請求の範囲を特定の実施形態に限定するものではない。本発明の実施形態に関する記載は、特に限定する意味ではなく、そのような限定も推測されるべきではない。また、これらの請求項は、名詞または構成要素が続く「第1」、「第2」などを使用する場合がある。数を特定しない限り、そのような用語は、名称と理解されるべき、構成要素の数量を制限するように解釈されるものではない。上記した利点および効果のいずれかは、すべての実施形態に適用されるかあるいは適用されない場合がある。当業者であれば、本発明の範囲から逸脱することなしに、前述した実施形態に様々な変更を行うことができるのが好ましい。また、本開示における構成要素または部品は、クレームされているかどうかに関係なく、公衆に献呈されたとはいえない。

10

【符号の説明】

【0108】

- M 1 駆動サブ回路
- 1 0 0 初期化サブ回路
- 2 0 0 補償サブ回路
- 3 0 0 データ書込みサブ回路
- 4 0 0 発光サブ回路
- 5 0 0 データ電圧記憶サブ回路
- 6 0 0 発光制御サブ回路
- 7 0 0 放電サブ回路

20

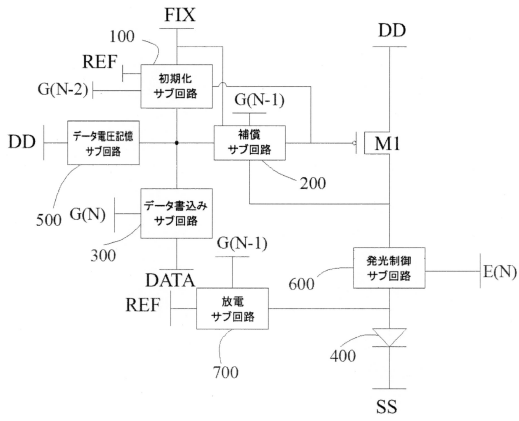
30

40

50

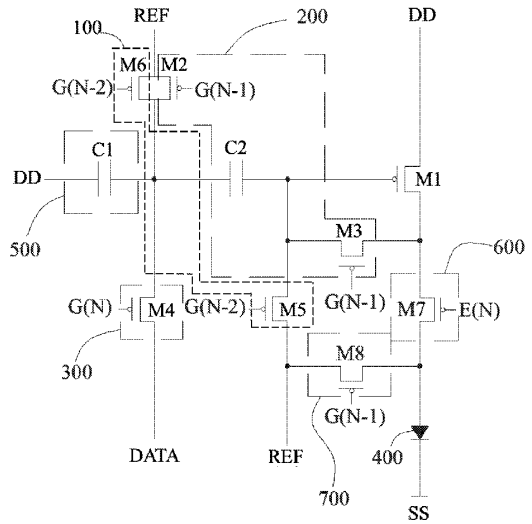
【 図面 】

【 図 1 】



【 図 2 】

FIG. 2

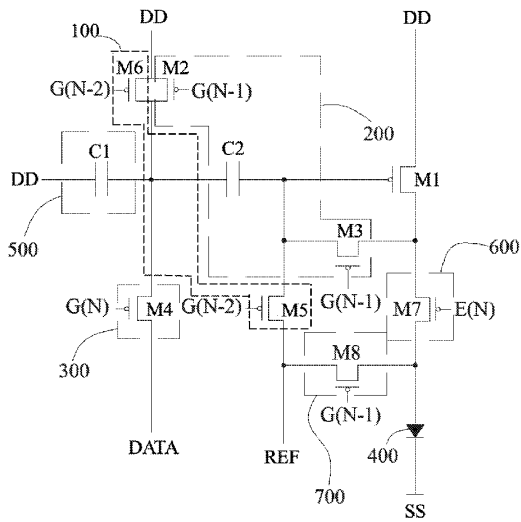


10

20

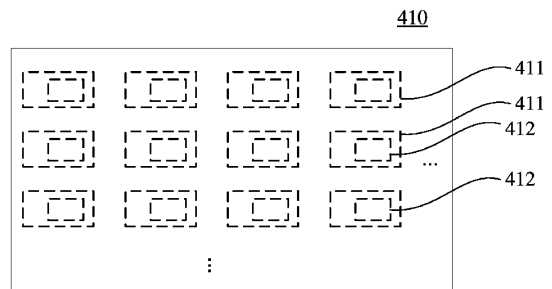
【 図 3 】

FIG. 3



【 図 4 】

FIG. 4



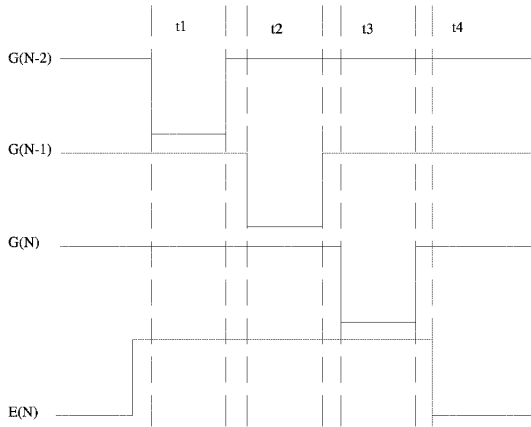
30

40

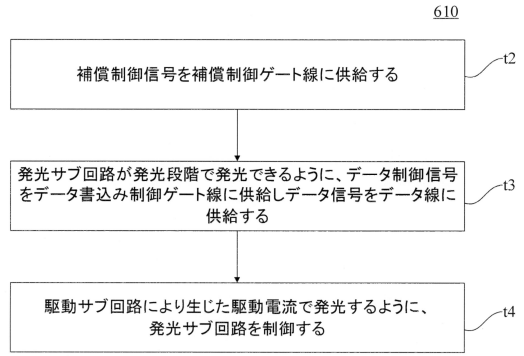
50

【 図 5 】

FIG. 5



【 図 6 】



10

20

30

40

50

フロントページの続き

T D .

中華人民共和国 017020 内蒙古自治区鄂尔多斯市 東 勝 区 鄂尔多斯装 備 制造基地
Ordos Equipment Manufacturing Base, Dongsheng
District, Ordos, Inner Mongolia, 017020, P. R. CHI
NA

(74)代理人 100108453

弁理士 村山 靖彦

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 イ・ジャン

中華人民共和国・100176・ベイジン・ビーディーイー・ディゼ・ロード・ナンバー・9

審査官 橋本 直明

(56)参考文献 米国特許出願公開第2015/0348464(US, A1)

中国特許出願公開第105185306(CN, A)

米国特許出願公開第2011/0025659(US, A1)

特開2006-215213(JP, A)

(58)調査した分野 (Int.Cl., DB名)

G 0 9 G 3 / 3 2 3 3

G 0 9 G 3 / 2 0