

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 29/78

(45) 공고일자 1990년07월 19일
(11) 공고번호 90-005124

(21) 출원번호	특1985-0007623	(65) 공개번호	특1986-0003671
(22) 출원일자	1985년10월 16일	(43) 공개일자	1986년05월 28일
(30) 우선권주장	84-216251 1984년10월 17일 일본(JP) 84-249339 1984년11월 26일 일본(JP)		
(71) 출원인	가부시기가이샤 히다찌세이사쿠쇼 미다 가쓰시게 일본국 도쿄도 지요다구 간다 스루가다이 4조메 6반찌		
(72) 발명자	와다나베 아쓰오 일본국 히다찌오다시 야마시따쵸 3949-3 나가노 다카히로 일본국 히다찌시 가네사와쵸 7조메 10-10 이께다 다카히데 일본국 도쿄로 자와시 나카아라이 4-41-11 몬마 나오히로 일본국 히다찌시 이시나자가쵸 1조메 21-13 사이토 류우이찌 일본국 히다찌시 이시나자가쵸 1조메 19-4-202		
(74) 대리인	한규환		

심사관 : 정용철 (책자공보 제1951호)

(54) 상보형 반도체장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

상보형 반도체장치

[도면의 간단한 설명]

제1도 내지 제3도는 본 발명의 기본 실시예를 개략적으로 나타낸 반도체 칩의 부분 단면도.

제4도는 반도체 칩의 부분 평면도.

제5도는 CMOS 집적회로의 부분 단면도.

제6a도 내지 제6h도는 제5도에 도시된 CMOS 집적회로의 제조단계를 나타낸 단면도.

제7도는 BI-CMOS(bipolar-CMOS) 집적회로의 부분 단면도.

제8a도 내지 제8i도는 CMOS와 BI-CMOS 집적회로에 적합한 다른 제조방법의 제조 단계를 나타낸 단면도.

제9도는 비교예이며, CMOS 집적회로에서 아이소레이션(isolation)을 나타낸 칩의 단면도.

제10a도 및 제10b도는 비교예이며, BI-CMOS 집적회로에서 아이소레이션을 나타낸 칩의 단면도이다.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|------------|-------------|
| 1 : 기판 | 2,3 : 매립 영역 |
| 4 : 에피택살층 | 21 : 분리 영역 |
| 9 : 도우프 영역 | 5 : 영역 |

6 : 도우프 영역	7,8 : 게이트
13 : 질화막	14,16,35 : 산화막
15 : 홈부	18 : 비활동막
20 : 웰영역	22,24 : n형 웰
23 : P형 웰	25 : 매립 영역
27 : P ⁺ 형 영역	30 : 웰 영역
33 : 폴리실리콘막	36 : 막
37 : HLD막	38 : 포토크레지스트
39 : 패턴	41 : 에미터 영역
43 : P형 베이스 영역	44 : 접촉영역

[발명의 상세한 설명]

본 발명은 반도체장치에 관한 것으로, 특히 P형 웰(well)과 n형 웰을 포함하는 상보형 모노리틱 반도체장치에 관한 것이다.

이 기술에서 잘 알려져 있는 바와 같이, 반도체에는 P형과 n형의 두가지 도전형이 있다. 이들 대응 도전형의 구조와 관련한 반도체 소자는 PNP 및 NPN BJT(바이폴라 접합 트랜지스터 : 이후 BJT라 함)와, P채널 및 n채널 FET(전계효과 트랜지스터 : 이후 FET라 함)등과 같은 상보형 소자들로 이루어진다. n채널 MOS FET와 P채널 MOS FET로 이루어진 CMOS 장치는 전력 소모가 낮고 집적 밀도가 높다는 장점을 가지며, 특히 논리회로에 사용하기에 적합하다. NPN BJT는 빠른 속도로 작동하고 대용량 출력의 장점을 가진다.

여러가지 기능을 수행할 수 있는 반도체 집적회로를 제조하기 위해서는 자주 동일 기판상에 여러가지 반도체 소자를 형성하여야 했다. 이러한 경우 비교적 낮은 불순물 농도의 P형 및 n형 영역을 가지는 반도체기판을 필요로 하였다. 예를 들어 CMOS LSI(대규모 집적회로)는 P형 웰내에 n채널 MOS FET와 n형 웰내에 P채널 MOS FET를 형성하여 제조된다. 또한 BI-MOS LSI는 일반적으로 CMOS구조 이외에도 NPN BJT가 개별적으로 형성되는 n형 웰을 가진다.

반도체 집적회로에서 소자사이에 분리가 형성될 필요가 있다. MOS FET에서 전하 캐리어는 표면을 따라 소오스로부터 드레인으로 흐르며, 반도체 벌크(Bulk)에서 분리는 통상 필요로 하지 않는다. 채널이 표면을 따라 형성되는 경우 기생 MOS FET를 형성할 위험이 있고, 그에 따라 각 MOS FET는 종종 채널스토퍼로 작용하는 높은 불순물 농도의 영역에 의하여 둘러싸여진다. 두터운 산화막이 선택적으로 형성되는 LOCOS(Local oxidation of silicon) 기술은 여러 경우에 이용된다. CMOS 집적회로에서 P형 웰과 n형 웰은 함께 존재한다. n채널 MOS FET를 포함하는 P형 웰과 P채널 MOS FET를 포함하는 n형 웰을 인접배치하면, 기생 다이리스터의 형성을 가져오는 Pn Pn의 4층 구조를 수반하게 된다. 이 경우 이 다이리스터가 턴-온 되면 관련 MOS FET가 기대했던 작동을 못하게 하도록 '래취-업'(Latch-up)을 발생시킨다. 이러한 래취-업을 방지하기 위하여 다이리스터를 구성하는 PnP 및 nPn BJT는 저전류 증폭률 β (PnP) 및 β (nPn)을 가져야 한다. 이러한 조건은 두께를 증가시키거나 또는 이들 BJT의 베이스 영역으로 작용하는 n영역과 P영역의 불순물 농도를 증가시킴으로써 달성될 수 있다.

한가지 대책은 n형 기판(잔여 n형 영역은 n형 웰로 됨)에 P형 웰을 형성하고, P형 웰과 n형 웰에는 각각 P형 웰 둘레보다 깊게 형성된 홈부를 가진 P형 웰(Pn 접합부의 측벽부)을 가진 n채널 MOS FET와 P채널 MOS FET를 형성시키는 것이다. 홈부 표면은 절연체로 피복되고 적합한 충전재료로 충전하여도 좋다. P형 웰의 표면에는 n채널 MOS FET를 위한 n⁺형 영역이 도우프 되고, n형 웰의 표면에는 P채널 MOS FET용 P형 영역이 도우프된다. P⁺형과 n⁺형 영역간의 전류경로는 홈부에 의하여 길어진다. P⁺형 영역으로부터 n형 웰(기판)을 경유하여 P형 웰까지의 거리를 증가시키기 위하여 홈부는 예를 들어 1 μ m의 폭과 5.5 μ m의 깊이를 갖도록 형성된다. 얇은 P형 웰로 nPn형 BJT를 허용하며, 이는 웰이 n⁺형 영역과 P형 웰과 n형 웰(기판)으로 형성되어 대전류 증폭률 β (nPn)을 갖도록 하고, 이로서 P형 웰은 4 μ m 이상 비교적 깊게 형성된다. 이에 대한 참고문헌으로는 1982. 3월자 Proceedings of Meeting of the Japanese Society of Applied Physics(P692)가 있다. 그러나 상기 첫수를 감안하더라도 nPn BJT의 전류증폭률 β (nPn)은 무시할 수 없을 정도로 크며, 또한 n⁺형 영역과 n형 웰(기판)간에 '펀치-드로우'(punch-through)의 위험이 있게 된다.

수직 nPn BJT와 CMOS FET로 이루어진 BI-CMOS의 경우 nPn BJT로 이루어진 n형 웰은 저부에 n⁺형 서브-콜렉터 매립 영역을 가진다. nPn BJT를 위한 n형 웰과, CMOS FET를 위한 n형 및 P형 웰은 P⁻형 기판상에 형성된다.

CMOS FET를 위한 n형 및 P형 웰이 n⁺형 및 P⁺형 매립 영역과 함께 저부에 형성될때, 웰에 흐르는 잠음전류를 신속히 흐르게 할수 있으며(이는 웰저항의 감소로 인함), 기생 BJT의 전류 증폭률은 높은 불순물 농도를 가진 베이스 영역의 형성으로 낮게 억제될 수 있다. 그러나 P형 웰과 n형 웰이 가로방향 BJT구조의 형성을 이루도록 인접하여 배치되는 경우, 래취-업 방지의 효과는 제한된다. nPn BJT에서 전위는 반도체 벌크에서도 변화한다. nPn BJT를 위한 절연은 주변부 둘레에 의해 두꺼운 산화막으로 이루어지며, 이것이 산화전면에 의하여 아래로 밀려져 이루어진 P⁺형 영역과 더불어 기판에 도달하여 산화막 하부에 위치하게 된다. 산화막 분리 영역은 CMOS FET용 P형 및 n형 웰 사이에

형성된다(일본 공개특허 공보 제 소57-18862호에 기재 참조).

그러나 매립 영역이 열처리중에 더욱 확산되므로 팽창되는 것은 피할 수 없다. 확산은 세로 방향 뿐만 아니라 가로 방향으로도 발생한다. 매립 서브-콜렉터를 열처리후 인접웰의 매립 영역으로부터 충분히 분리시키기 위하여 산화막 분리 영역은 6-7 μm 정도나 10이상으로 넓어야 한다. 이러한 크기의 분리 영역은 패킹밀도로는 개선되었다 할 수 없다. 더욱이 P⁺형 영역이 BJT의 분리를 위한 n⁺형 서브-콜렉터에 인접한 산화막 아래에 형성될때 nPn BJT의 캐패시턴스는 작동속도의 증가를 방해하는 P⁺n⁺ 접합부 때문에 커지게 된다. 상보형 집적회로의 분리의 바람직한 형태는 사파이어 기판상에 산화 분리를 형성하는 SOS 기판의 사용이다. 이 경우 웰저항에서의 감소가 제한되나 제조단가가 높아지는 문제가 있다.

본 발명의 목적은 높은 래취-업 전압을 가진 모노리틱 상보형 반도체장치를 제공하는데 있다. 본 발명의 한 형태는 서로 대응하는 도전형을 가진 쌍을 이룬 인접 웰이 그의 저부에서 웰 사이에 형성된 매립 영역보다 더 깊은 유전체 분리 홈부와 동일 레벨의 낮은 저항성 매립 영역을 구비하는 모노리틱 상보형 반도체장치를 제공한 것이다. 매립 영역은 웰저항을 감소시키고, 소수캐리어의 확산 길이를 감소시키며, 래취-업을 효과적으로 방지하게 된다. 매립 영역보다 깊은 유전체 분리 홈부는 가로 방향의 기생 다이리스터의 형성을 방지하고, 좁은 분리 영역을 실현하며, 양측의 매립 영역이 높은 캐패시턴스를 가지는 Pn 접합부의 형성을 방지하게 된다. 기판영역의 불순물 농도보다 더 높은 불순물 농도를 가진 영역은 유전체 분리 홈부의 바닥에 형성될 수 있다. 이러한 영역은 BJT의 매립 서브-콜렉터의 주변부에서의 펀치-드로우를 방지하는데 효과적이다.

CMOS 집적회로를 제조하는데 있어, 각 CMOS FET 사이의 분리는 기본적으로 불필요하고, 따라서 하나 이상의 MOS FET가 웰내에 형성될 수 있다. 적어도 하나 이상의 P형 웰과 n형 웰을 형성시킴으로써 소정수의 n채널 MOS FET와 소정수의 P채널 MOS FET를 P형 웰과 n형 웰에 각각 형성한 소망의 CMOS 집적회로를 제조할 수 있다. BI-CMOS의 경우 각각의 BJT는 주변소자로부터 분리되어야 하며, 그러므로 각 BJT 둘레에 유전체분리 홈부를 형성하는 것이 바람직하다. 더욱 바람직하게는 유전체분리 홈부가 비교적 높은 불순물 농도를 가진 매립 버퍼영역을 그의 저부에 형성하는 것이다. 매립 버퍼영역은 바람직하게는 웰 저부에 있는 매립 영역보다 더 깊이 배치되고 그로부터 분리되는 것이다.

유전체 분리 홈부는 유전체분리 홈부로서 작용하는 구조로 이루어진다. 예를 들어 이는 산화물 또는 질화물로 피복된 높은 저항의 폴리-실리콘으로 만들어진다.

본 발명을 첨부도면에 의거하여 상세히 기술하면 다음과 같다. 본 발명은 좀더 잘 이해하기 위하여 CMOS 집적회로에서 분리의 비교예(참고문헌 : Proceeding of Meeting of the Japanese Society of Applied Physics 1982. 3월)를 제9도와 관련하여 먼저 설명한다. 도면에서, P채널 MOS 트랜지스터(62)와 n채널 MOS 트랜지스터(61)는 폭이 1 μm 이고 깊이가 5.5 μm 인 유전체 분리 영역(21)(산화막과 폴리글리시탈린 실리콘으로 만들어짐)에 의하여 서로 분리된다. 분리 영역(21)은 P형 웰(30)보다 더 깊게 형성되고, 이로써 PnP 기생 BJT가 도면에서 화살표 A로 도시된 바와 같이 PnP 기생(BJT의 전류 증폭률을 감소시키고 이로써 래취-업 전압을 증가시키는 증가된 베이스폭을 가진다. 그러나 화살표 B로 표시된 부분에서 nPn 기생 BJT가 수직트랜지스터 구조를 가지며 베이스층으로 작용하는 P형 웰(30)이 낮은 불순물 농도를 가짐으로써 이 nPn기생 BJT는 비교적 큰 전류 증폭률을 가지는 것으로 예상된다. 이로써 PnPn 구조는 턴-온 될수 있는 다이리스터로 형성될 수 있다. 이외에도 P형 영역(30)은 펀치-드로우 될수 있게 된다. 제10a도와 제10b도는 BI-CMOS 집적회로의 비교예를 나타낸다(일본 공개공보 제 소57-18862호 1982. 11. 19. 공보 참조). 매립 영역(2), (3)을 형성한 P형 반도체 기판(1)의 표면상에는 n형 에피택살층(4)이 약 2 μm 의 두께로 형성된다. 이 에피택살층(4)은 P형 영역으로 피복된다. 이 에피택살층(4)에서의 각 영역들은 두꺼운 실리콘 산화막으로 만들어진 절연체에 의하여 분리된다. 산화막 영역(5)에 의해 아래로 밀리는 P⁺ 영역(27)이 n⁺ 서브-콜렉터 영역(2)을 둘러싸도록 배열된다. 이렇게 형성된 소자들은 nPn 바이폴라 트랜지스터(63), P채널 MOS 트랜지스터(62)와 n채널 MOS 트랜지스터(61)들로 구성된다. 에피택살층(4)과 P형 반도체 기판(1) 사이에는 바이폴라 트랜지스터 및 P MOS 트랜지스터의 부위에서의 n⁺ 매립 영역(2)과 n MOS 트랜지스터의 부위에서의 P⁺ 매립 영역(3)이 형성된다.

상기 구조는 분리에서 심각한 문제를 가지며, 예를 들어 n⁺ 매립 영역(2)이 분리 영역(5)의 양측에 위치된다.

n⁺ 매립 영역들은 소자의 형성중에 여러가지 열처리를 하여야 하고, 이들은 깊이 방향으로 뿐만 아니라 제10b도의 도시와 같이 가로방향으로도 확산된다. n⁺ 매립 영역(2)은 도면의 화살표로 표시된 가로방향으로 확산하는 측면을 가진다. 그 결과로 인접하는 n⁺ 매립 영역(2) 사이의 거리는 분리 영역(5)의 폭보다 작아진다. 따라서 n⁺ 매립 영역(2)이 그들 사이의 거리에 의하여 결정된 분리 파괴 전압을 가지므로 소정의 파괴전압을 극복하고자 할때는 n⁺ 매립 영역(2)의 가로방향 확산이 되도록 비교적 넓은 분리 영역(5)을 설계할 필요가 있다. 그러므로 분리폭을 감소시켜 고밀도 반도체 집적회로를 만든다는 것은 어렵다. 실제로 6-7 μm 보다 더 좁은 분리 영역(5)을 형성한다는 것은 실행될 수 없었다.

매립 영역(2)은 P⁺ 매립 영역(25)과 접촉하도록 배열된다. 높은 불순물 농도영역이 서로 접촉될때 큰 정전기적 캐패시턴스가 접촉표면에서 발생한다. n⁺ 매립 영역(2)은 nPn 바이폴라 트랜지스터(63)의 콜렉터 영역이므로, 큰 캐패시턴스는 낮은 작동속도를 발생하게 된다. 따라서 서로 접촉된 n⁺ 매립 영역(2)과 P⁺ 매립 영역(3)의 구조는 회로 작동속도를 높인다는 관점에서 보아 바람직하지 못하다.

이후 본 발명의 실시예를 상세히 설명한다. 제1도는 본 발명에 따른 반도체 칩을 나타낸 것이다. P⁻형 기판(1)의 표면에는 높은 불순물 농도를 가진 n⁺형 매립 영역(2)과 P⁺형 매립 영역(3)이 형성되며, 그다음 n⁻형 영역(20)과 P⁻형 영역(30)이 그위에 각각 형성된다. n⁺ 매립 영역(2)과 n⁻영역(20)은 함께 n형 웰(22)을 형성하며, 동시에 각 P⁺ 매립 영역(3)과 P⁻영역(30)도 함께 P형 웰(23)을 형성한다. P형 웰(23)과 n형 웰(22)의 경계에는 좁은 홈부가 기판(1)내로 깊이 형성되고, 그 내부에는 유전체 분리 영역(21)을 형성하도록 절연 충전물이 충전된다. 이는 유전체 분리 영역이 얇게 도우프된 영역(20), (30)과 두껍게 도우프된 매립 영역(2), (3)을 통하여 분리 영역이 연장되는 것이 중요하며 이로써 n형 웰(22)을 P형 웰(23)로부터 효과적으로 분리되게 한다.

제2도는 본 발명의 다른 실시예이며, 여기서 제1도와 동일한 부분에는 동일번호 또는 기호를 부여한다. 이 배열에서는 다른 n형 웰(24)이 n형 웰(22)내에 형성되고 유전체 분리 영역(21)에 의해 둘러싸인다. 또한 다른 유전체 분리 영역(21)이 P형 웰(23)과 n형 웰(22)사이에 형성된다. 각 분리 영역(21)은 매립 영역(2), (3)을 관통하여 기판(1)내로 연장된다. 또한 P⁻기판(1)보다 더 높은 강도를 가진 P⁺ 매립 영역(25)은 각 분리 영역(21)의 낮은 부위와 접촉하도록 분리 영역(21)의 바닥에 제공된다. 이 P⁺ 매립 영역은 인접 n⁺ 매립 영역(2) 사이를 분리하는데 효과적이다. 예를 들어 매립 영역(25)은 분리 영역(21)의 표면과 접촉하는 기판(1)의 일부가 변환(invert)될 때 발생하는 웰(24), (22)의 단락을 방지하고 또한 BJT가 웰(24)에 형성될 때 인접하는 n⁺ 매립 영역(2)사이의 기판(1)이 펀치 드로우되는 것을 방지한다. 제2도의 배열은 BI-CMOS LSI를 제조하는데 특히 적합하다. 홈부를 형성한다는 것은 홈부벽 근처에 있는 부위에서 크리스탈 결함등을 일으키게 하며, 그로인해, 홈부근의 영역이 전기적 특성에서 열화되기 쉽게 된다. 더욱이 MOS FET의 분리는 LOCOS 영역을 필요로 한다.

제3도는 웰 내측과 웰들 사이에 두터운 산화막(LOCOS)을 형성한 칩의 단면도이다. 유전체 분리 영역(21)위에 형성한 두터운 산화막(26)은 웰에 형성한 MOS FET가 분리 영역(21)과 직접 접촉되는 것을 방지하고, 이는 누설전류를 감소시키는데 유효하다.

제4도는 칩 레이아웃의 한 예를 나타낸 평면도이다. P형 영역(30)에는 유전체 분리 영역(21)에 의하여 둘러싸인 n형 웰(22)과 Pn분리형 n형 웰(28)이 형성된다. 유전체 분리 영역은 도시와 같이 항상 웰 사이에 형성될 필요는 없으며, 부위에 형성하면 된다.

제5도는 CMOS 집적회로의 일부를 나타낸다.

P⁻형 기판(1)상에는 n⁺ 매립 영역(2)과 P⁺ 매립 영역(3)이 형성되고, 그들 위에는 각각 n영역(20)과 P영역(30)이 형성된다. P⁺영역(9)은 P채널 MOS FET(62)의 소오스와 드레인에 형성하도록 n형 웰(22)내에 형성되고, 동시에 n⁺영역(6)은 n채널 MOS FET(61)의 소오스 및 드레인을 형성하도록 P형 웰(30)내에 형성된다. 채널 스톱퍼(16)는 두꺼운 산화막(26) 아래에 있는 소오스 및 드레인 영역(6)둘레에 형성된다. 소오스 및 드레인 사이에 있는 채널 영역 위에는 폴리실리콘 등으로 형성한 게이트 전극(8)이 산화막 등의 게이트 절연막(7)을 통하여 형성된다. 소오스 및 드레인 영역은 소오스 및 드레인 전극(100)으로 형성된다. 유전체 분리 영역(21)은 P채널 MOS FET(62)을 포함하는 n형 웰(22)의 둘레에 형성된다.

분리 영역(21)은 n MOS 트랜지스터(61)을 P MOS 트랜지스터(62)로부터 분리되게 한다. 분리 영역(21)은 실리콘산화막과 이 산화막에 의해 둘러싸인 폴리 크리스탈린 실리콘으로 만들어진다. 분리 영역(21)은 n형 웰(22)과 P형 웰(23) 사이에 있는 기부에서 n⁺ 매립 영역(2)과 P⁺ 매립 영역(3)을 관통하여 P⁻형 반도체 기판(1)내로 연장된다.

상기 구조는 CMOS에 대하여 래취-업 현상을 방지하도록 하는 저항의 상당한 증가를 갖게 한다. 래취-업은 P MOS 트랜지스터(62)와 n MOS 트랜지스터(61) 사이에서 발생하는 기생 다이리스터 효과에 의하여 발생된다. 제5도에 도시한 구조는 매립 영역(2), (3)을 관통하여 연장된 유전체 분리 영역(21)을 가지며, 여기서 기생다이리스터는 턴온되지 못한다.

그 이유는 P⁺ 매립 영역(3)과 n⁺ 매립 영역(2)이 기생 nPn 및 PnP 트랜지스터의 베이스 영역에 형성되어 각각 소수 캐리어의 확산을 방지하기 때문이다. 그 결과로 전류이득이 떨어지고 높은 래취-업 전압을 가진 반도체 장치가 얻어질 수 있다.

또한 이 실시예는 이하에 설명된 새로운 효과를 제공한다. 제9도에 도시된 예에서 P형 영역(30)은 일반적으로 P형 영역(30)이 펀치 드로우 되지 않도록 4 μ m 이상의 깊이를 가지도록 할 필요가 있다. 여기에서 유전체 분리 영역(21)은 적어도 4 μ m 이상의 깊이를 가진다.

이 실시예에서 펀치-드로우의 문제점은 n영역(20)에 관한 것이다. n영역(20)은 그의 저부에 n⁺ 매립 영역(2)에 의하여 이어지므로, 펀치드로우는 n영역(20)이 얇게 형성되더라도 발생되지 않는다. n영역(20)은 0.5~2.0 μ m 또는 실질적으로 1 μ m의 깊이이면 되는 것이며, 한편 n⁺ 매립 영역(2)은 0.5~3.0 μ m 또는 통상 1.5 μ m의 깊이를 가지면 된다. 유전체 분리 영역(21)은 적어도 그 영역이 매립 영역, 즉 2.5 μ m 깊이를 관통하여 연장하도록 한 깊이를 가지며, 이는 종래예와 비교하여 얇은 분리 영역이 될수 있다. 일반적으로 분리 영역(21)은 건식 에칭기술을 이용하여 반도체 기판에 깊은 홈부를 에칭하거나 밀링하여 형성된다. 홈부는 깊게하면 할수록 기계가공 또는 처리의 정밀성을 감소시키고, 기계가공 또는 처리에 의한 비틀림 또는 격자(格字)결함을 일으킨다는 관점에서 심각한 문제를 갖는다.

따라서 이 실시예에서 매립 영역의 존재는 반도체 장치의 제조공정을 현저히 촉진시키는 얇은 분리

영역(21)을 형성하게 된다. 홈부의 위치는 매립 영역의 경계와 일렬로 정렬된다. 여기서 홈부의 폭이 $1\mu\text{m}$ 일때 소정위치의 양측면(경계)에서 $0.5\mu\text{m}$ 의 위치 허용공차를 가진다. 홈부의 위치가 이 허용공차 이상 벗어났다 하더라도 웰의 저부에서는 서로 반대되는 도전형의 작은 영역이 형성될 뿐이다. 이러한 작은 영역은 특별히 해로운 효과를 발생시키지 않는다. 분리 영역(21)은 n형 웰영역(22)에 둘러싸이고, 이는 P형 웰영역(23)을 전기적으로 분리시킨다. 모든 n형 웰영역(22)을 위해 유전체 분리를 형성할 필요가 없을 뿐만 아니라 유전체 분리 영역이 래치-업 저항등을 위한 필요한 부위내에 형성되면 좋다. 도면의 우측단부에 n형 웰은 단지 Pn 분리만을 제공하기 위한 것이다.

더욱이 이 실시예에 따르면 n^+ 매립 영역(2)의 측면이 매립 영역(2), (3)을 관통하여 연장된 유전체 분리 영역(21)에 의하여 한정되고, 제10a도 및 제10b도에 도시된 실시예에서와 같이 n^+ 매립 영역의 가로방향 확산에 의한 나쁜 영향도 피할 수 있다. 이는 유전체 분리 영역(21)이 제10a도 및 제10b도의 경우의 $6\text{--}7\mu\text{m}$ 폭에서부터 그 폭을 $1\text{--}2\mu\text{m}$ 로 감소시키게 한다.

또한 이 실시예에 따르면, n^+ 매립 영역(2)은 그의 둘레부가 분리 영역(21)과 접촉되고 또 P^+ 매립 영역으로부터 분리되어 둘레부위에서 비교적 작은 정전기적 캐퍼시턴스를 갖게된다. 따라서 빠른 작동 집적회로가 실현될 수 있다. 다음으로 상기 CMOS 집적회로에 대한 제조 공정의 예를 제6a도 내지 제6b도를 참고하여 설명한다.

먼저 n^+ 매립 영역(2)과 P^+ 매립 영역(3)은 제6a도의 도시와 같이 P⁻형 실리콘 기판(1)의 표면에 형성된다. 그후 불순물 농도가 균일하게 분포되어 있는 n형 에피택셜층(10)이 약 $2\mu\text{m}$ 의 두께로 기판(1)상에 성장된다. 에피택셜층(10)의 표면에는 산화가 진행되고 이로써 약 50nm 두께의 얇은 산화막(12)이 형성되고, 그다음 실리콘 질화막(13)으로 피복된다. 다음 선택적으로 에칭을 실시하고, n^+ 매립 영역(2)에 레지스터된 부위에서 실리콘질화막(13)을 부분적으로 제거하는 동시에 P^+ 매립 영역(3)위의 실리콘질화막을 그대로 남겨둔다. 종래의 포토레지스트 공정이 상기 선택적 에칭을 실시하기 위하여 이용된다. 다음에 인(磷)이 이온주입에 의하여 실리콘질화막(13)이 피복되지 않은 부위내에 도우프된다. 인은 얇은 산화막(12)을 통하여 n형 에피택셜층(10)의 표면내로 주입되고 n형 영역(20)이 계속하여 이어지는 처리단계에서 형성된다. 실리콘질화막(13)으로 피복된 부위는 질화막(13)에 의해 마스크 되기 때문에 인은 도우프되지 않는다. 인 이온주입을 한 다음, 웨이퍼는 산화분위기에서 열처리되며, 그 결과 인 도우프된 영역상에 산화막이 더욱 성장되고 동시에 질화막으로 피복된 부위에는 산화막이 형성되지 않고 본래의 얇은 산화막 두께가 제6b도의 도시와 같이 보존된다. 이 실시예에서 산화막의 비교적 두꺼운 부위(14)는 150nm이다. 제6b도는 질화막(13)이 제거될때의 상태를 나타낸 것이다. 다음에 전체 웨이퍼 표면은 약 200nm 두께로 두꺼운 질화막(13)으로 피복되고, 유전체 분리 영역에 형성되는 질화막의 일부가 제6c도와 같이 제거된다. 이후 실리콘은 질화막의 마스크를 통하여 건식 에칭되고 폭이 약 $1\text{--}2\mu\text{m}$ 이고, 깊이가 약 $3\text{--}4\mu\text{m}$ 인 홈부(15)로 형성된다. 이는 오염과 손상된 층을 제거하는데는 건식 에칭된 홈표면을 가볍게 습식 에칭하는 것이 바람직한 것이다. 다음에 홈부의 내벽은 산화되고 산화막(12)이 제6d도에 도시와 같이 약 200nm의 두께로 형성된다. 그다음 높은 저항의 폴리크리스탈린 실리콘이 홈부내에 매립되고 홈부의 개구부에 노출된 폴리크리스탈린 실리콘의 표면은 산화막으로 산화된다.

이러한 식으로 유전체 분리 영역(21)이 완성된다. 질화막(13)을 제거한 후 붕소가 전체웨이퍼 표면상에 주입된다. 제6a도의 공정에서 인으로 도우프된 영역이 두꺼운 산화막(14)(제6a도 참조)을 가지고 있기 때문에, 붕소는 이 부위에 주입되지 않는다. 반면에, 인으로 도우프되지 않는 부위(12)의 산화막은 얇게 남고, 붕소가 이 부위에서 n형 에피택셜층(10)의 표면내로 주입된다.

다음에 도우프된 인과 붕소는 그들이 n^+ 및 P^+ 매립 영역(2) (3)에 도달할때까지 $1000\text{--}1200^\circ\text{C}$ 의 온도에서 확산된다.

따라서 n영역(20)과 P영역(30)이 제6e도의 도시와 같이 형성된다. 그리고 다시 질화막(13)이 형성되고 MOS 트랜지스터와 같은 반도체 소자가 차후에 형성되는 n영역(20) 및 P영역(30)의 표면에 남는 부위(활성영역(60)참조)에 패턴화 된다. 그 다음 붕소가 패턴화된 웨이퍼상에서 주입 작업이 수행된다. 붕소는 질화막이 없고, 두꺼운 산화막(16)이 없는 부위에만 주입된다. 이러한 주입영역은 n MOS 트랜지스터의 채널 스톱퍼로서 작용한다.

다음에 LOCOS가 상기 질화막을 이용하여 수행되므로 $1\mu\text{m}$ 두께의 필드산화막(11)이 제6f도의 도시와 같이 활성영역(60)을 제외한 부위에 형성된다.

다음에, 산화막은 활성영역(60)으로부터 제거되고, 높은 성능의 게이트 산화막(7)이 50nm의 두께로 다시 형성되고, 폴리크리스탈린 실리콘막이 화학적 증착법(이후 CVD라 함)에 의하여 $0.3\mu\text{m}$ 의 두께로 증착된다. 그후 폴리크리스탈린 실리콘층을 제6g도에 도시와 같이 MOS FET의 게이트(8)을 형성하도록 바람직하게 패턴화된다.

다음에 제6h도의 표시와 같이 폴리크리스탈린 실리콘 게이트를 이용한 자기 정합법(self alignment method)에 의하여 P MOS FET의 소오스 또는 드레인 영역이 n영역(20)의 활성표면 영역에 형성되고 n MOS FET의 소오스 또는 드레인 영역(6)이 P영역(30)의 활성 표면영역에 형성된다. 이 실시예에서, n MOS 소오스와 드레인은 비소이온 주입에 의하여 형성되고, P MOS 소오스와 드레인은 붕소 주입에 의하여 각각 $0.3\mu\text{m}$ 와 $0.4\mu\text{m}$ 의 길이로 형성된다. 소오스와 드레인을 형성한 다음, 포스트실리게이트 유리의 비활동막(18)은 $0.5\mu\text{m}$ 두께로 형성되고 그 다음 접촉장(17)이 개방된다. 마지막으로 알루미늄 등의 와이어링(100)이 형성되어 최종 비활동층(110)이 피복되어 제5도와 같이 장치가 완성된다.

여기서 유전체 분리영역(21)이 산화와 폴리-실리콘으로 충전된 홈부로 설명되었으나 기타 물질 또는 이 물질들의 조합에 의해 유전체 분리의 역할을 할 수 있는 것이면 사용될 수 있다. 이는 절연물 또는 산소, 질소 및 유리 절연체와 같은 절연체의 조성물로 형성될 수 있다. 그리고 절연 피복된 반도체라도 된다. 또한 측면벽을 가진 수직홈부가 도시되었으나, 이 홈부는 다른 단면형상을 가질 수 있

다. 예를 들어 측면벽이 V자형 홈과 같이 경사질 수도 있다. 제7도는 BI-CMOS 집적회로의 개략적인 단면도이고, 여기서 제5도와 동일한 부분에는 동일번호 또는 부호를 표시한다. 이 실시예는 nPn 수직 바이폴라 트랜지스터(63)가 n영역(24)에 형성된 제5도에 도시된 이전의 실시예와 다르다. 바이폴라 트랜지스터(63)는 무겁게 도우프된 n형 폴리크리스탈린 실리콘(42)으로 만들어진 에미터 영역(41)을 가진다. n⁺형 영역은 그로부터 단일결정의 Si영역내로 확산된다. P형 베이스 영역(43)과 콜렉터 접촉영역(44)은 통상의 BJT 공정에 이용되는 이온주입법에 의하여 형성된다.

바이폴라 트랜지스터(63)는 제5도와 관련하여 설명한 유전체 분리영역(21)에 의하여 서로 분리된다. n⁺ 매립영역 사이에서 펀치 드로우와 nPn 기생 트랜지스터 형성을 피하기 위하여 제2도와 관련하여 설명한 P⁺형 버퍼영역(25)은 유전체 분리 영역(21)의 하부에 형성된다. P⁺형 버퍼영역(25)은 n⁺형 서브-콜렉터의 매립영역(2)으로부터 일정한 거리를 두고 있다.

바이폴라 트랜지스터와 CMOS 트랜지스터의 칩상의 집적도에 따라 이 실시예는 바이폴라 트랜지스터에 의하여 특징지워진 고속 작동성과, CMOS에 의하여 특징지워진 높은 집적 및 낮은 전력소비의 양 특성을 가진 새로운 LSI 장치를 실현한 것이다. 더욱이 바이폴라 트랜지스터를 위한 절연체의 깊은 유전체 분리영역(21)의 이용은 비교적 작은 콜렉터 캐패시턴스를 갖게 하고, 그에 의하여 회로의 고속화를 증대시킬 수 있다. CMOS 트랜지스터와 nPn 바이폴라 트랜지스터가 상기 실시예에 의해 집적화되는 것이나, 본 발명은 그러한 조합에 제한되는 것이 아니고, 여러 유형의 반도체 소자의 집적화에 적용될 수 있다.

상기와 같이 상이한 도전형의 웰영역에 형성된 반도체 소자는 래취-업 또는 펀치-드로우를 발생시키지 않고도 단일 칩상에 높은 밀도로 집적화 될 수 있으며, 이로서 우수한 분리가 이루어지는 집적회로가 얻어질 수 있다.

제8a도 내지 8i도는 상기 실시예에서 사용하기에 적합한 분리영역을 가진 웰을 제조하는 방법이 다른 실시예이다. 먼저, 매립층을 가진 에피택셜 실리콘 기판(1)의 표면은 제8a도의 도시와 같이 예를 들어 430Å의 열적 산화막(35)을 형성하도록 열적 산화작용이 행하여진다. 다음에 산화저항 마스크(30), 즉 두께가 1500Å의 실리콘질화막이 증착되고, 1000Å 두께의 폴리실리콘막(33)이 그위에 다시 증착된다.

5000Å 두께의 폴리실리콘 HLD막(37)은 고온, 저압증착(HLD)법에 의하여 폴리실리콘막(33)상에 형성된다. 산화막(35)의 형성은 필수적인 것은 아니다. 폴리실리콘막(33)상에 형성된 HLD막(37)은 선택적 습식 에칭을 위하여 막(36), (33)에 대한 에칭 속도보다 충분히 빠른 에칭속도를 가지면 다른 물질로 만들어진다. 막(37), (33)의 두께는 이후의 공정스텝(제8g도)까지 전체가 에칭되지 않도록 선택된다. 막(35), (36), (33), (37)은 분리홈부가 형성될 때까지의 공정동안에 에칭이 끝나지 않도록 임의로 전체두께가 주어진다. 계속하여 포토레지스트(38)가 제8b도와 같이 통상적 사진석판기술 처리로 패턴화되고, 그다음 HLD막(37)과 폴리실리콘막(38)은 제8c도와 같이 건식에칭법에 의하여 제거된다. 다음에 예를 들어 습식에칭이 암모니아 불소화합물 액체를 이용하여 수행되고, HLD막(37)이 좁은 패턴 부위에서 제거되고, 좁은 폴리실리콘 패턴(39)이 제8d도에 표시와 같이 형성된다. 넓은 패턴 부위에 대하여서는 그위에 HLD막(37)이 잘못 형성되지 않게하여 패턴(34)이 측면에칭에 의하여 형성된다. 그다음 포토레지스트(38)는 제거되고, 실리콘질화막이 제거될 때까지 건식에칭을 실시함으로써, 좁은 패턴(39), (34)이 제8e도의 표시와 같이 형성된다. 제8d도에 나타난 습식에칭 조건은 좁은 패턴(39)상의 HLD막이 제거되고 패턴(34)의 소정의 폭이 형성되도록 설정된다. 포토마스크상의 패턴(39)이 폭의 설정은 패턴(34)에 대한 두배이하의 설정폭으로 제한된다.

HLD막(37) 대신에 모든 실리콘 산화막과 실리콘질화막에 대한 것보다 더욱 빠른 속도로 습식에칭할 수 있는 막을 이용하면 제8c도와 같이 산화막(35)이 노출될 때까지 에칭을 계속하여도 된다. 이 경우 폴리실리콘막(33)은 필요없게 된다.

다음에 n형 불순물인 P는 산화막(35)이 제8f도의 도시와 같이 이온 주입법에 의하여 노출되는 부위까지 주입되고, n형 층이 형성된다. 그다음 패턴(39), (34)에 남아있는 폴리실리콘 막은 제거하거나 또는 제8g도에 도시된 연속 산화처리후에 제거한다. 다음에 실리콘질화막(36)은 4000Å 두께로 제8g도의 도시와 같은 열적 산화막(35')을 형성하여 마스크로 사용된다. 산화막(35')은 다음에 설명될 실리콘 건식에칭 다음의 이온주입을 위한 마스크로서 사용되기에 충분한 두께로 형성된다. 다음에 고온의 인산 용액을 이용하여 패턴(39), (34)에서 실리콘질화막을 제거함으로써 예를 들어 산화막을 에칭하여 제8h도의 표시와 같이 노출된 실리콘의 협소한 영역이 형성된다. 다음에 실리콘은 제8i도에서와 같이 홈부(19)를 형성하도록 건식 에칭된다.

그다음 필요할 때 채널 스톱퍼 또는 버퍼영역(25)이 붕소 불화물이 이온주입과 어니얼링 처리에 의하여 각 홈부의 저부에 형성된다. 다음에 나머지 HLD막(37)이 제거되고, 실리콘질화막(36)이 고온의 인산액체를 이용하여 제거된 후 붕소 불화합물과 같은 P형 불순물이 제8i도의 도시와 같은 P형 확산층을 형성하도록 이온주입된다. 이 공정을 위하여 산화막(35')은 붕소 불화물 이온주입의 마스크로 이용되도록 충분한 두께를 가져야 한다.

필요에 따라 산화하는 실리콘질화막(36)의 제거전에 다시 수행된다. 이후 분리 홈부는 종래 처리방법에 의해 충전되고 유전체 분리 영역이 형성된다. 예를 들어 홈부의 내부벽이 산화된 후 실리콘질화막(18)으로 피복되고, 홈부는 제8k도의 표시와 같이 폴리크리스탈린 실리콘(19)으로 충전된다.

다음에 선택적인 산화 영역은 패턴화되고, 선택적인 산화가 붕소 불화물의 이온 주입을 통해서 예를 들어 P형 확산층상의 선택적인 산화 영역내에서 채널 스톱퍼(16)을 형성하게 된다. 산화막 형성 공정을 감소하는 처리는 필요할 때 가해지며, 유전체 분리 영역은 제8j도의 표시와 같이 완성된다. 이 공정은 P형 및 n형 확산 영역사이의 경계와 n형 확산 영역내에 임의의 위치에서 유전체 분리 홈부를 형성하는 반도체 구조를 제공한다. 끝으로 바이폴라 및 CMOS 구조는 종래의 방법으로 각각의 분리 영역에 형성되며, 이로서 반도체 장치는 완성된다.

상기 공정들은 실리콘질화막(36)과 폴리실리콘막(33)의 위치를 바꾸거나 3층 이상의 구조가 실현되는 막들을 제조하는 다른 코팅의 제공방식등의 변형이 가능하다. 또한 실리콘질화막의 단일층은 실리콘질화막(36)과 폴리실리콘막(33)을 결합한 위치에서 적합한 두께로 형성할 수 있으며, 에칭은 두께의 중간점 이상에서 이루어지면 된다.

상기 실시예에서 흥부가 P형 및 n형 확산층 사이의 경계와 n형 확산층에 형성되는 것이었으나, 본 발명은 P형 및 n형 영역사이의 경계와 기타 n형 또는 P형 영역에서의 임의의 위치에 분리 흥부를 가진 구조체와 상이한 농도의 P형 또는 n형의 영역사이에 있는 경계 및 어느 한가지 형의 영역에 있는 임의의 위치에 분리 흥부를 가진 구조체와, 단결정의 P형 또는 n형 확산 영역에 있는 임의의 위치에 분리흥부를 가진 구조체에도 적용할 수 있음을 알 수 있다.

(57) 청구의 범위

청구항 1

모노리딕 상보형 반도체 장치에 있어서, 제1도 전형의 반도체 기판(1)과, 기판상에 배열되고, 적어도 하나 이상의 첫번째 도전형의 첫번째 매립영역(3)과 첫번째 매립 영역(3)에 인접하여 배치된 두번째 매립영역(2)으로 구성되며, 첫번째 도전형에 대향되어 있는 첫번째 도전형으로 이루어진 높은 불순물 농도의 반도체 매립영역(2), (3)과, 상기 매립영역(2), (3)위에 배치되고 주표면을 형성하며, 적어도 하나 이상의 첫번째 매립영역(3)에 배치된 첫번째 도전형의 첫번째 웰 영역(30)과 다음 매립영역(2)상에 배치된 두번째 도전형의 두번째 웰 영역(20)으로 구성되는 낮은 불순물 농도의 반도체 웰 영역(20), (30)과, 주표면으로 부터 기판(1)내로 연장하고 첫번째 웰과 매립영역(30)(3)을 두번째 웰과 매립영역(20)(2)으로부터 분리되게 하는 절연부재들로 구성되는 것을 특징으로 하는 모노리딕 상보형 반도체장치.

청구항 2

제1항에 있어서, 주표면에 인접한 첫번째 웰에 도우프된 두번째 도전형의 첫번째 도우프 영역(9)과, 주표면에 인접하여 두번째 웰 영역에 도우프된 첫번째 도전형의 다음 도우프영역(6)으로 이루어지는 것을 특징으로한 모노리딕 상보형 반도체장치.

청구항 3

제2항에 있어서, 주표면에 인접하여 첫번째 웰 영역에 배열되고 소정 거리를 두고 제1도우프영역으로 부터 분리되는 다음 도전형의 세번째 도우프영역(9)과, 전기피일드를 형성하고, 첫번째 및 세번째 도우프 영역 사이에서 전류 경로를 제어하는 첫번째 게이트(7), (8)와, 주표면에 인접하여 두번째 웰 영역내에 배열되고 두번째 도우프 영역으로 부터 소정 거리만큼 분리되는 첫번째 도전형의 네번째 도우프 영역(6)과 전기피일드를 형성하고, 두번째 및 네번째 도우프 영역사이에서 전류경로를 제어하는 제2게이트 (7), (8)로 구성되는 것을 특징으로 하는 모노리딕 상보형 반도체장치.

청구항 4

제1항에 있어서, 반도체가 실리콘이며, 절연부재가 폴리-크리스탈린 실리콘의 동체와 폴리 크리스탈린 실리콘의 동체를 둘러싸고 있는 절연물질층으로 이루어진 것을 특징으로 하는 모노리딕 상보형 반도체장치.

청구항 5

제4항에 있어서, 절연물질이 산화 실리콘으로 이루어진 것을 특징으로 하는 모노리딕 상보형 반도체장치.

청구항 6

제1항에 있어서, 절연부재 아래에 배치된 기판(1)의 농도보다 높은 불순물 농도를 가지며, 두번째 매립영역을 둘러싸고 있는 첫번째 도전형의 반도체 분리 영역(25)으로 구성되는 것을 특징으로한 모노리딕 상보형 반도체 장치.

청구항 7

제1항에 있어서, 매립영역이 두번째 도전형의 세번째 매립영역을 가지며, 웰 영역이 두번째 도전형의 세번째 웰 영역으로 이루어지는 반도체 장치가 주표면에 인접한 세번째 웰 영역에 형성된 첫번째 도전형의 베이스 영역(42)과, 주표면에 인접한 베이스 영역내에 형성된 두번째 도전형의 에미터영역(41)과, 주표면에 인접한 세번째 웰 영역에 형성한 두번째 도전형의 콜렉터 접촉영역(44)으로 구성된 것을 특징으로 하는모노리딕 상보형 반도체장치.

청구항 8

제7항에 있어서, 절연부재 아래에 배치된 기판의 농도보다 높은 불순물 농도를 가지며, 세번째 매립영역을 둘러싸고 있는 첫번째 도전형의 반도체 분리 영역(25)으로 구성된 것을 특징으로 하는 모노리딕 상보형 반도체장치.

청구항 9

제8항에 있어서, 주표면에 인접한 첫번째 웰 영역내에 배열되어 이들 사이에 소정 거리를 두고 배치된 두번째 도전형의 첫번째 및 세번째 도우프 영역(6)과, 전기피일드를 형성하고, 첫번째 및 세번째 도우프 영역 사이에서 전류경로를 제어하는 첫번째 게이트(7), (8)와, 주표면에 인접한 두번째 웰 영역내에서 그들 사이에 소정 거리를 두고 배치된 첫번째 도전형의 두번째 및 네번째

도우프영역(9)과, 전기피일드를 형성하고, 두번째 및 네번째 도우프 영역 사이에 전류 경로를 제어 하는 두번째 게이트로 구성되는 것을 특징으로 하는 모노리딕 상보형 반도체 장치.

청구항 10

제9항에 있어서, 첫번째 및 세번째 도우프영역을 둘러싸고 절연부재에 인접하여 배치된 첫번째 웰 영역에 형성되는 첫번째 도전형의 채널 스토퍼영역(16)으로 구성되는 것을 특징으로 하는 모노리딕 상보형 반도체장치.

청구항 11

제8항에 있어서, 반도체 아이소레이션 영역이 매립영역으로 부터 분리된 것을 특징으로 하는 모노리딕 상보형 반도체장치.

청구항 12

모노리딕 상보형 반도체장치에 있어서, 첫번째 도전형의 반도체 기판(1)과, 기판에 배치되고, 적어도 하나 이상의 첫번째 도전형의 첫번째 매립영역(3)과 첫번째 매립영역에 인접하여 배치된 두번째 매립영역(2)으로 구성되며, 첫번째 도전형에 대향하고 두번째 도전형으로 이루어지는 높은 불순물 농도의 반도체 매립영역(2), (3)과, 상기 매립영역에 비하여 낮은 불순물 농도를 가지고 주표면을 형성하며, 적어도 하나 이상의 첫번째 매립 영역에 배치된 첫번째 도전형의 첫번째 웰 영역과 두번째 매립영역상에 배치된 두번째 웰 영역으로 이루어지며, 주표면으로부터 기판내로 연장하고, 첫번째 웰과 매립 영역을 두번째 웰과 매립영역으로 부터 분리되게한 절연부재로 구성되는 것을 특징으로 하는 모노리딕 상보형 반도체장치.

청구항 13

제12항에 있어서, 절연부재 아래에 배치된 기판의 농도보다 높은 불순물 농도를 가지며 두번째 매립 영역을 둘러싸고 그로부터 분리되게 한 첫번째 도전형의 반도체 버퍼영역으로 구성된 것을 특징으로 하는 모노리딕 상보형 반도체장치.

청구항 14

바이폴라와 상보형 MOS 집적회로 장치에 있어서, 높은 저항을 가진 첫번째 도전형의 반도체침과, 반도체침에 형성되고, BJT 웰(24)의 저부에 매립된 두번째 도전형의 도우프량이 많은 서브-콜렉터영역을 가진 수직 BJT로 구성되는 BJT와, 반도체 침에 형성되고, 제2도전형의 MOS 트랜지스터를 포함하는 첫번째 도전형의 첫번째 웰을 포함하며, 첫번째 웰의 저부에 매립된 첫번째 도전형의 도우프량이 많은 매립영역과 첫번째 도전형의 MOS 트랜지스터(62)를 포함하는 두번째 도전형의 두번째 웰과, 두번째 웰의 저부에 매립된 두번째 도전형의 무겁게 도우프된 두번째의 매립 영역을 가진 상보형 MOSFET의 웰 영역(20), (30)과 첫번 및 두번째의 도우프량이 많은 매립영역(2), (3)보다 더 깊은 깊이를 가지며 BJT와 CMOSFET 웰 영역을 서로 분리시키는 반도체 침에 배치된 유전체 분리영역(21)과, 반도체 침 내의 유전체 분리영역 아래에 배치되고 반도체 침의 농도보다 높은 불순물 농도를 가지며 서브-콜렉터 영역을 둘러싸면서 그로부터 분리된 반도체 분리영역(25)으로 구성되는 것을 특징으로 하는 모노리딕 상보형 반도체장치.

청구항 15

첫번째 도전형의 반도체 기판(1) 영역과 표면을 갖는 기판영역이, 상기 기판영역의 표면에 직접적 접촉되어 배치되고, 적어도 상기 첫번째 도전형의 하나의 첫번째 매립영역과 첫번째 도전형에 대응된 첫번째 도전형을 가진 첫번째 매립영역을 구성하고, 첫번째 및 두번째 매립영역(3,2)이 그들 사이의 공간을 구비한 높은 불순물 농도의 반도체 매립영역과, 상기 매립영역(3,2)에 배치되고, 반도체 웰 영역(22,23)이 연장되어 주요 표면을 형성하고 상기 첫번째 매립영역에 배치된 첫번째 도전형의 적어도 하나의 첫번째 웰 영역(23)과 상기 두번째 매립영역(2)에 배치된 두번째 도전형의 적어도 하나의 두번째 웰 영역(22)을 구성함으로써 첫번째 및 두번째 웰 영역(23,22) 사이에 공급된 첫번째 두번째 매립 영역(3,2) 사이에서 같은 공간을 구성하여 상기 매립영역과 비교하여 낮은 불순물 농도의 반도체 웰 영역(22,23)과, 상기 기판영역(1)내에서 상기 주요표면으로 연장하고, 상기 첫번째 웰과 매립영역(23,3) 사이의 공간에 충전되고 그곳에 인접한 상기 두번째 웰과 매립영역(22,2) 사이의 공간에 충전된 절연부재와, 상기 절연부재가 상기 첫번째 웰 및 매립영역(23,3)을 둘러싸는 것이 아닌 상기 두번째 웰 및 매립영역(22,2)를 둘러싸므로써 첫번째 웰과 매립영역(23,3)이 상기 절연부재로 인하여 두번째 웰과 매립영역(22,2)으로 부터 분리되는 것을 특징으로 하는 반도체장치.

청구항 16

높은 저항성을 가진 첫번째 도전형의 반도체 침(1)과, 표면을 구비한 상기 침(1)과, 상기 반도체 침(1)에 형성되고, 침(1)의 상기 표면으로 연장하고, 두번째 도전형의 무겁게 도핑된 서브콜렉터영역(2)을 가진 수직 BJT(63)을 포함하고 상기 BJT 웰(24) 저부에 매립된 바이폴라 접합 트랜지스터(BJT)와, 상기 반도체 침(1)에 형성되고, 침(1)의 상기 표면으로 연장하고 두번째 도전형의 MOS 트랜지스터(61)을 포함하고 상기 첫번째 웰(3,33)의 저부에 매립된 첫번째 도전형의 첫번째 무겁게 도핑된 매립영역(3)을 가진 첫번째 도전형의 첫번째 웰(3,30)을 구비하고, 첫번째 도전형의 MOS 트랜지스터(62)를 포함하고 상기 두번째 웰(2,20)의 저부에 매립된 두번째 도전형의 두번째 무겁게 도핑된 매립영역(2)을 가진 두번째 도전형의 두번째 웰(2,20)을 구비한 상보형 MOS 전계효과 트랜지스터(C MOS FET)와, 상기 반도체 침(1)에 배치되고, 첫번째 및 두번째 무겁게 도핑된 매립영역(3,2)보다 더 깊은 깊이에서 상기침의 표면으로 연장하고, 상기 BJT 웰(24)와 첫번째 도전형의 상기 첫번째 웰(3,30)를 둘러싸는 것이 아닌 상기 두번째 도전형의 상기 두번째 웰(2,20)을 둘러싸는 유전체 분리부재와, 반도체 침(1) 보다 더 높은 불순물 농도를 구비하고, 상기 반도체 침(1)내 상기 유전체 분리부재 아래에 배치되고, 상기 서브콜렉터 영역(2)과 분리되어 둘러싸는 상기 첫번째 도전형의 반도체

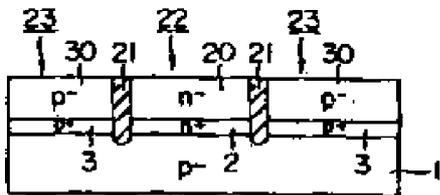
체 분리 영역(2)을 구성하는 것을 특징으로 하는 반도체장치.

청구항 17

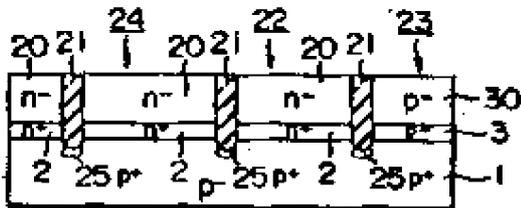
첫번째 도전형의 반도체 기판영역(1)과, 표면을 가진 기판영역(1)과, 첫번째 도전형의 적어도 하나의 반도체 웰(23)과 상기 첫번째 도전형에 대응된 두번째 도전형의 적어도 하나의 반도체 웰(22)은 가진 상기 기판 영역에 인접하게 배치된 반도체 웰과, 각각의 공간이 떨어진 첫번째 및 두번째 도전형의 반도체 웰(22,23)과, 기판영역에 인접하게 배치된 첫번째 도전형의 높은 불순물 농도의 첫번째 매립영역과 상기 첫번째 매립영역에 배치된 상기 첫번째 매립영역과 비교하여 낮은 불순물 농도의 반도체 활성영역(30)으로 구성된 각각의 첫번째 도전형의 반도체 웰(23)과, 기판 영역상에 인접하게 배치된 상기 두번째 도전형의 고불순물 농도의 두번째 매립영역(2)과 상기 두번째 매립영역(2)에 배치된 상기 두번째 매립영역(2)와 비교하여 저불순물 농도의 반도체 활성영역(20)으로 구성된 반도체 웰(22)과, 구조체의 주요 표면을 형성하는 반도체 웰의 반도체 활성영역(30,20)과, 상기 기판영역(1)내에서 상기 주요표면으로 연장하고 각각의 첫번째 및 두번째 도전형의 반도체 웰(22,23)을 분리하기 위해 첫번째 및 두번째 도전형의 반도체 웰(22,23) 사이의 공간을 충전하는 절연 부재(21)와, 상기 절연부재(21)가 두번째 도전형의 적어도 하나의 상기 반도체 웰(22)을 둘러싸고 첫번째 도전형의 적어도 하나의 상기 반도체 웰(23)을 둘러싸지 않는 것을 특징으로 하는 반도체장치.

도면

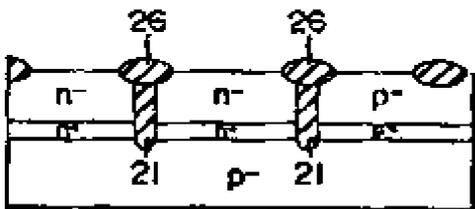
도면1



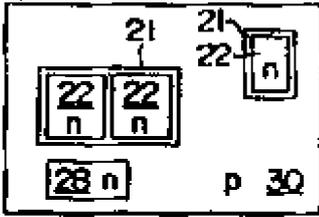
도면2



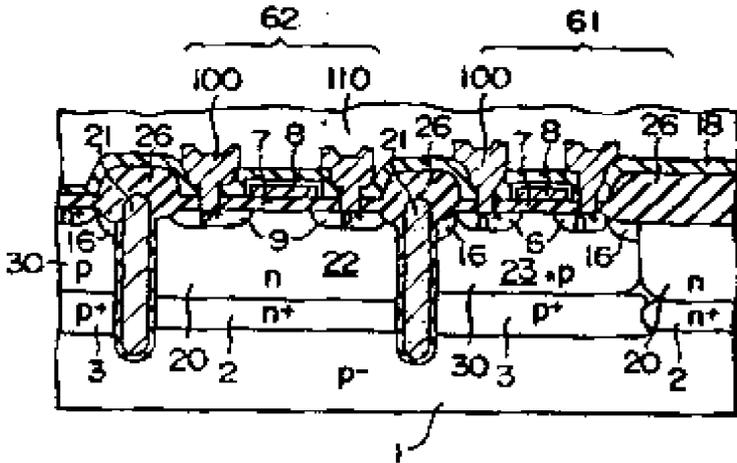
도면3



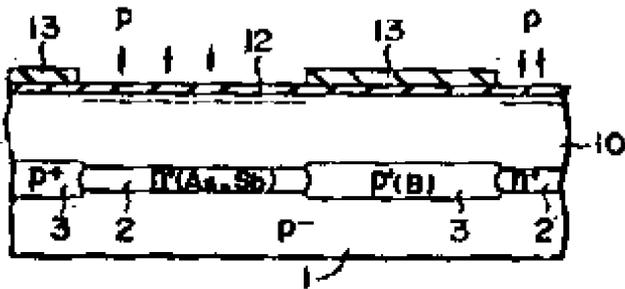
도면4



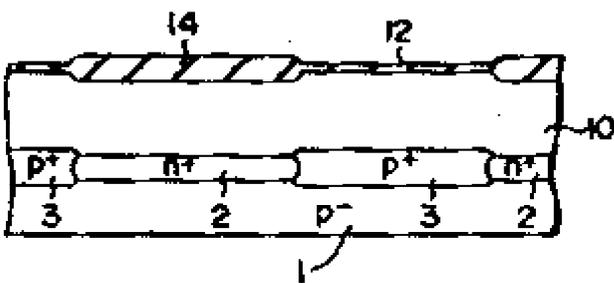
도면5



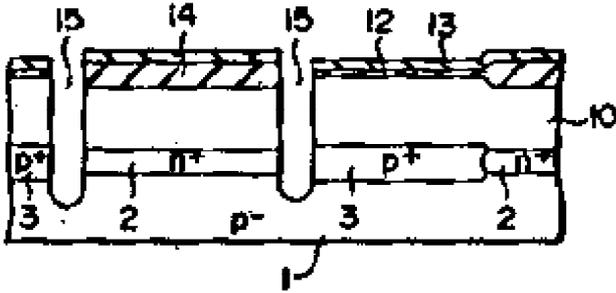
도면6a



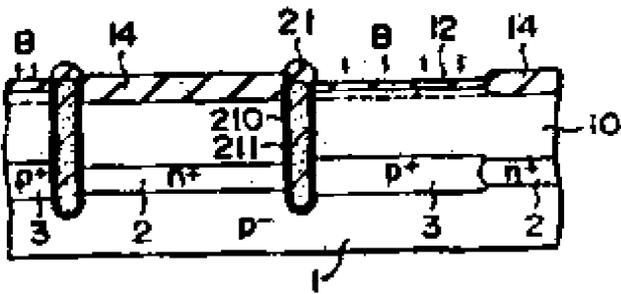
도면6b



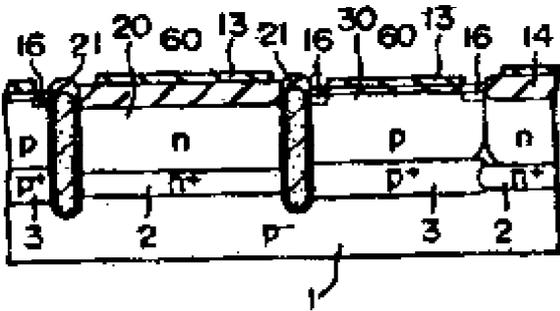
도면6c



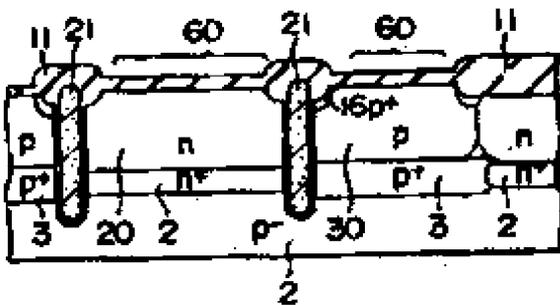
도면6d



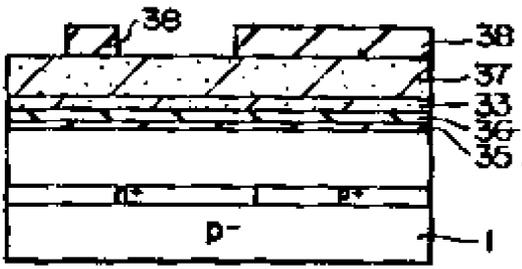
도면6e



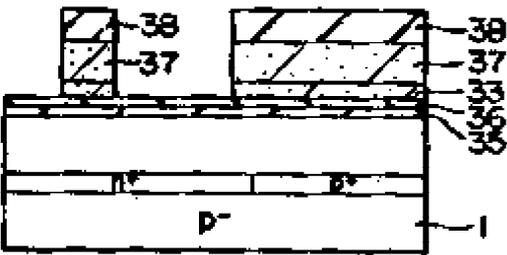
도면6f



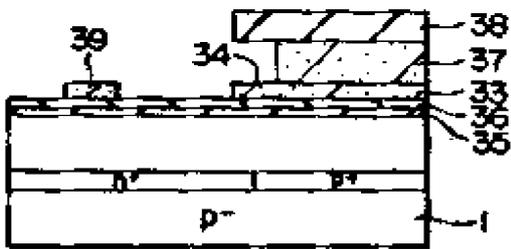
도면8b



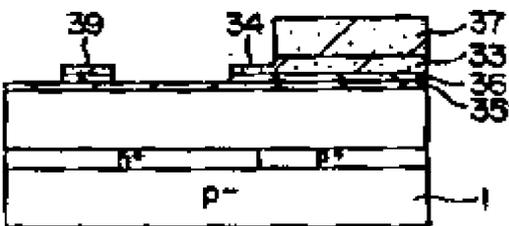
도면8c



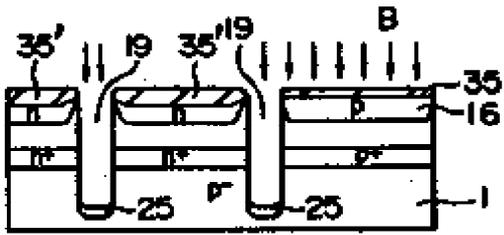
도면8d



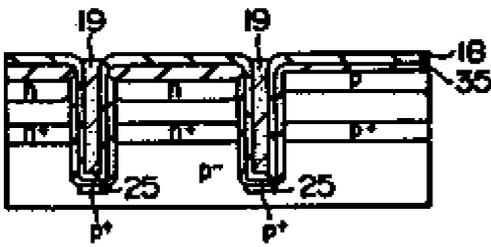
도면8e



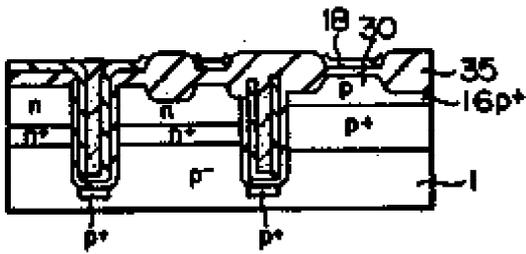
도면8j



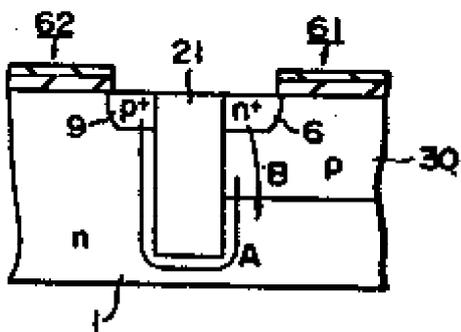
도면8k



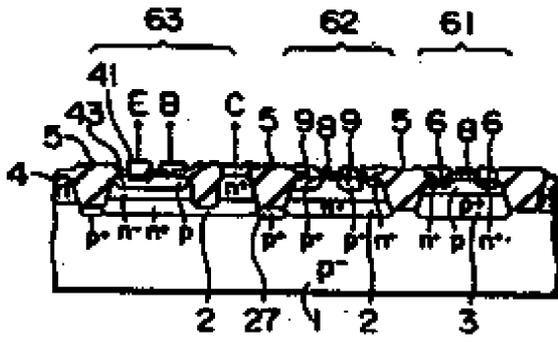
도면8l



도면9



도면 10a



도면 10b

