

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁸ (11) 공개번호 10-2006-0014672
H01L 21/336 (2006.01) (43) 공개일자 2006년02월16일

(21) 출원번호 10-2004-0063305
(22) 출원일자 2004년08월11일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자 박제민
경기도 수원시 영통구 영통동 벽적골8단지아파트 834동 2002호
(74) 대리인 박상수

심사청구 : 없음

(54) 리세스된 채널영역들을 갖는 모스 트랜지스터들을 채택하는 반도체 장치들 및 그 제조방법들

요약

리세스된 채널영역들을 갖는 모스 트랜지스터들을 채택하는 반도체 장치들 및 그 제조방법들을 제공한다. 상기 반도체 장치들은 반도체기판 및 상기 반도체기판의 소정영역에 형성되어 활성영역을 한정하는 소자분리막을 구비한다. 상기 활성영역 내에 리세스된 채널 트랜치 영역이 제공된다. 상기 리세스된 채널 트랜치 영역을 채우면서 상기 활성영역의 상부를 가르는 제1 게이트 전극이 제공된다. 상기 제1 게이트 전극의 하부 영역은 상기 채널 트랜치 영역에 자기정렬되어 상기 채널 트랜치 영역과 동일한 폭을 갖고, 상기 제1 게이트 전극의 상부 영역은 그것의 하부 영역보다 큰 폭을 갖는다. 상기 제1 게이트 전극에 인접하고 상기 소자분리막의 상부를 가로지르는 제2 게이트 전극이 제공된다. 상기 제2 게이트 전극의 하부 영역은 그것의 상부 영역보다 좁은 폭을 갖는다. 상기 제1 및 제2 게이트 전극들의 표면들은 보호막 패턴들에 의해 덮여진다. 상기 보호막 패턴들을 갖는 반도체기판 상에 층간절연막이 제공되고, 상기 제1 및 제2 게이트 전극들 사이의 상기 활성영역은 상기 층간절연막을 관통하는 자기정렬 콘택홀에 의해 노출된다. 상기 자기정렬 콘택홀의 하부 영역은 그 상부 영역보다 큰 폭을 갖는다. 상기 자기정렬 콘택홀은 콘택 패드로 채워진다. 상기 반도체 장치들을 형성하는 방법들 또한 제공된다.

대표도

도 2k

명세서

도면의 간단한 설명

도 1a 및 도 1b는 리세스된 채널 영역들을 갖는 종래의 디램 셀 트랜지스터들을 제조하는 방법들을 설명하기 위한 단면도들이다.

도 2a 내지 도 2l은 본 발명의 실시예들에 따른 모스 트랜지스터들 및 그 제조방법들을 설명하기 위한 단면도들이다.

도 3a 내지 도 3e는 본 발명의 실시예들에 따른 모스 트랜지스터들을 채택하는 반도체 장치들 및 그 제조방법들을 설명하기 위한 단면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치들 및 그 제조방법들에 관한 것으로, 특히 리세스된 채널 영역들(Recessed Channel Regions)을 갖는 모스(MOS) 트랜지스터들을 채택하는 반도체 장치들 및 그 제조방법들에 관한 것이다.

디램 소자와 같은 반도체 기억소자의 집적도가 증가함에 따라, 모스 트랜지스터가 차지하는 면적은 점점 감소하고 있다. 그 결과, 게이트 길이(채널 길이)가 급격히 감소하여 단채널 효과를 발생시킨다. 상기 단채널 효과를 억제시키기 위하여 채널 이온 주입량을 증가시킬 수 있다. 그러나, 채널 이온 주입량의 증가는 접합누설전류(Junction Leakage Current)를 증가시키는 결과를 초래한다. 디램에 있어서, 상기 접합 누설전류의 증가(특히, 셀 접합 누설전류의 증가)는 데이터 유지 시간(Data Retention Time)의 감소를 초래한다. 그 결과, 리프레쉬 주기를 감소시켜야 하고, 상기 리프레쉬 주기의 감소는 전력소모의 증가로 이어진다. 상기 문제점들을 해결하기 위하여 리세스된 채널 영역을 갖는 모스 트랜지스터가 제안된 바 있다.

도 1a 및 1b는 상기 리세스된 채널 영역들을 갖는 모스 트랜지스터를 셀 트랜지스터로 채택하는 종래의 디램 셀들을 제조하는 방법들을 설명하기 위한 단면도들이다.

도 1a를 참조하면, 반도체 기판(10)의 소정영역에 필드산화막(12)을 형성하여 활성영역을 한정한다. 상기 필드산화막(12)은 모스 트랜지스터들과 같은 개별소자들을 서로 격리시키는 역할을 한다. 상기 활성영역의 소정 영역들을 선택적으로 식각하여 채널 트렌치들(14)을 형성한다. 상기 채널 트렌치들(14)을 갖는 활성영역 상에 게이트 산화막(16)을 형성하고, 상기 게이트 산화막(16)을 갖는 반도체 기판의 전면 상에 폴리실리콘막(18)을 형성한다.

상기 폴리실리콘막(18) 상에 상기 금속 실리사이드막(20) 및 게이트 캐핑막(22)을 순차적으로 형성한다. 상기 금속 실리사이드막(20)은 상기 폴리실리콘막(18)의 전기적인 저항을 감소시키기 위하여 형성한다. 일반적으로, 상기 금속 실리사이드막(20)은 텅스텐 실리사이드막으로 형성하며, 상기 게이트 캐핑막(22)은 실리콘 질화막으로 형성한다.

도 1b를 참조하면, 상기 게이트 캐핑막(22)을 패터닝하여 상기 금속 실리사이드막(20)의 소정 영역들을 덮는 게이트 캐핑막 패턴들(52)을 형성한다. 상기 게이트 캐핑막 패턴들(52)을 식각마스크로 사용하여 상기 금속 실리사이드막(20), 폴리실리콘막(18) 및 게이트 산화막(16)을 연속적으로 식각하여 상기 채널 트렌치 영역들(14)의 상부를 가로지르는 게이트 전극들(60)을 형성한다. 그 결과, 상기 게이트 전극들(60)의 각각은 순차적으로 적층된 폴리실리콘 패턴(48) 및 금속 실리사이드 패턴(50)을 포함하게 된다. 상기 게이트 전극들(60) 및 게이트 캐핑막 패턴들(52)의 측벽들 상에 게이트 스페이서들(70)을 형성한다. 다음에, 상기 게이트 스페이서들(70) 및 게이트 캐핑막 패턴들(52)을 포함하는 반도체 기판의 전면 상에 식각 저지막(80) 및 층간절연막(90)을 순차적으로 형성한다.

상기 층간절연막(90) 및 상기 식각저지막(80)을 패터닝하여 상기 게이트 전극들(60) 사이의 반도체 기판(10)을 노출시키는 자기정렬 콘택홀들(91)을 형성한다. 상기 자기정렬 콘택홀들(91)은 상기 게이트 스페이서들(70)을 식각저지막으로 사용하여 형성된다. 상기 자기정렬 콘택홀들(91)을 갖는 기판 상에 도전막을 적층한 후, 상기 도전막을 평탄화시키어 상기 자기정렬 콘택홀들(91) 내에 서로 분리된 콘택 패드들(92)을 형성한다. 상기 콘택 패드들(92) 및 상기 활성영역 사이의 접촉면은 "S" 만큼의 폭을 갖는다. 상기 폭(S)은 상기 콘택 패드들(92)의 콘택 저항과 직접적으로 관련된다.

상기 게이트 전극들(즉, 상기 게이트 캐핑막 패턴들)을 패터닝하기 위한 사진 공정을 실시하는 동안 오정렬이 발생되면, 상기 콘택 패드들(92) 및 상기 활성영역 사이의 접촉면들 중의 어느 하나의 폭(S)은 감소할 수 있다. 이 경우에, 상기 콘택 패드들(92)은 불균일한 콘택저항을 보이고, 이러한 불균일한 콘택저항은 디램 셀들의 특성을 저하시킨다.

한편, 상기 자기정렬 콘택은 미국 특허 제4,453,306호 및 제4,691,219호에서 소개하고 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 리세스된 채널 영역 상의 게이트 전극을 패터닝하기 위한 사진 공정을 실시하는 동안 오정렬이 발생될지라도 상기 게이트 전극에 인접한 자기정렬 콘택 패드의 콘택면적이 변화하는 것을 방지하기에 적합한 반도체 장치들을 제공하는 데 있다.

또한, 본 발명이 이루고자 하는 또 다른 기술적 과제는, 리세스된 채널 영역 상의 게이트 전극을 패터닝하기 위한 사진 공정을 실시하는 동안 오정렬이 발생될지라도 상기 게이트 전극에 인접한 자기정렬 콘택 패드의 콘택면적을 균일하게 제어할 수 있는 반도체 장치의 제조방법들을 제공하는 데 있다.

발명의 구성 및 작용

본 발명의 일 양태에 따르면, 리세스된 채널을 갖는 모스 트랜지스터를 채택하는 반도체 장치들을 제공한다. 상기 반도체 장치들은 반도체기판 및 상기 반도체기판의 소정영역에 형성되어 활성영역을 한정하는 소자분리막을 포함한다. 상기 활성영역 내에 리세스된 채널 영역이 제공된다. 상기 리세스된 채널 영역은 상기 활성영역을 가로지른다. 상기 리세스된 채널 트렌치 영역을 채우면서 상기 활성영역의 상부를 가로지르도록 제1 게이트 전극이 배치된다. 상기 제1 게이트 전극의 하부 영역은 상기 채널 트렌치 영역에 자기정렬되어 상기 채널 트렌치 영역과 동일한 폭을 갖고, 상기 제1 게이트 전극의 상부 영역은 상기 하부 영역보다 큰 폭을 갖는다. 상기 제1 게이트 전극에 인접하고 상기 소자분리막의 상부를 가로지르도록 제2 게이트 전극이 배치된다. 상기 제2 게이트 전극의 하부 폭은 그것의 상부 폭보다 좁다. 상기 제1 및 제2 게이트 전극들의 표면들은 보호막 패턴들에 의해 덮여진다. 상기 보호막 패턴들을 갖는 반도체기판 상에 층간절연막이 제공된다. 상기 제1 및 제2 게이트 전극들 사이의 상기 활성영역은 상기 층간절연막을 관통하는 자기정렬 콘택홀에 의해 노출된다. 상기 자기정렬 콘택홀의 하부 영역의 폭은 그것의 상부 영역의 폭보다 크다. 상기 자기정렬 콘택홀은 콘택 패드로 채워진다.

몇몇 실시예들에서, 상기 층간절연막은 상기 보호막 패턴에 대하여 식각 선택비를 갖는 물질막일 수 있다.

다른 실시예들에서, 상기 보호막 패턴들은 상기 게이트 전극들의 하부 영역들의 측벽들을 덮는 트렌치 스페이서들, 상기 게이트 전극들의 상부 영역들 상에 적층된 게이트 캐핑막 패턴들, 및 상기 게이트 전극들의 상부 영역들의 측벽들과 아울러서 상기 게이트 캐핑막 패턴들의 측벽들을 덮는 게이트 스페이서들을 포함할 수 있다. 상기 게이트 스페이서들은 상기 트렌치 스페이서들의 상부 영역들에 연결된다.

또 다른 실시예들에서, 상기 게이트 전극들의 상기 상부 영역들은 차례로 적층된 폴리실리콘막 및 금속 실리사이드막을 포함할 수 있다. 이 경우에, 상기 게이트 전극들의 상기 하부 영역들은 상기 폴리실리콘막으로부터 연장될 수 있다.

또 다른 실시예들에서, 상기 자기정렬 콘택홀은 상기 보호막 패턴을 노출시킬 수 있다.

본 발명의 다른 양태에 따르면, 리세스된 채널을 갖는 모스 트랜지스터를 채택하는 반도체 장치의 제조방법들을 제공한다. 이 방법들은 반도체기판의 소정영역에 소자분리막을 형성하여 활성영역을 한정하는 것을 포함한다. 상기 활성영역을 갖는 반도체기판 상에 몰딩막을 형성한다. 상기 몰딩막은 상기 활성영역 및 상기 소자분리막의 상부를 각각 가로지르는 제1 및 제2 개구부들을 갖도록 형성된다. 상기 개구부들의 측벽들 상에 트렌치 스페이서들을 형성한다. 상기 트렌치 스페이서들 및 상기 몰딩막을 식각 마스크로 사용하여 상기 활성영역을 식각하여 상기 제1 개구부 하부의 상기 활성영역 내에 채널 트렌치 영역을 형성한다. 상기 몰딩막 상에 상기 개구부들 및 상기 채널 트렌치 영역을 채우는 게이트 도전막 및 게이트 캐핑막을 차례로 형성한다. 상기 게이트 캐핑막 및 상기 게이트 도전막을 패터닝하여 상기 제1 및 제2 개구부들을 각각 덮는 제1 및 제2 게이트 패턴들을 형성한다. 상기 몰딩막을 선택적으로 등방성 식각하여 상기 트렌치 스페이서들의 상부 영역을 노출시킨다. 상기 게이트 패턴들의 측벽들을 덮고 상기 노출된 트렌치 스페이서들과 연결된 게이트 스페이서들을 형성한다. 상기 게이트 스페이서들을 갖는 반도체기판 상에 층간절연막을 형성한다. 상기 층간절연막 및 상기 몰딩막을 패터닝하여 상기 제1 및 제2 게이트 패턴들 사이의 활성영역을 노출시키는 자기정렬 콘택홀을 형성한다. 상기 자기정렬 콘택홀을 채우는 콘택 패드를 형성한다.

본 발명의 몇몇 실시예들에서, 상기 트렌치 스페이서들은 상기 몰딩막에 대하여 식각 선택비를 갖는 절연막으로 형성할 수 있다.

본 발명의 다른 실시예들에서, 상기 게이트 캐핑막은 상기 몰딩막에 대하여 식각 선택비를 갖는 절연막으로 형성할 수 있다.

본 발명의 또 다른 실시예들에서, 상기 게이트 스페이서들은 상기 몰딩막에 대하여 식각 선택비를 갖는 절연막으로 형성할 수 있다.

본 발명의 또 다른 실시예들에서, 상기 자기정렬 콘택홀을 형성하는 것은 상기 패터닝된 게이트 캐핑막 및 상기 게이트 스페이서들을 식각 마스크들로 사용하여 상기 층간절연막 및 상기 몰딩막을 식각하여 상기 제1 및 제2 게이트 패턴들 사이를 지나는 예비 자기정렬 콘택홀을 형성하는 것과, 상기 예비 자기정렬 콘택홀을 갖는 기관의 표면을 세정하여 상기 트렌치 스페이서들을 노출시키는 것을 포함할 수 있다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위하여 제공되는 것이다. 따라서, 본 발명은 이하에서 설명되어지는 실시예들에 한정하지 않고 다른 형태로 구체화될 수 있다. 그리고, 도면들에 있어서, 층 및 영역의 길이, 두께 등은 설명의 편의를 위해 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소를 나타낸다.

도 2a 내지 도 2i는 본 발명의 실시예들에 따른 모스 트랜지스터들 및 그 제조방법들을 설명하기 위한 단면도들이다.

도 2a를 참조하면, 반도체기판(100)의 소정영역에 소자 분리막(110)을 형성하여 활성영역(A)과 소자분리영역(I)을 한정한다. 상기 소자분리막(110)은 트렌치 소자분리 기술을 사용하여 형성할 수 있다. 상기 활성영역에 불순물 이온들을 주입하여 불순물 영역(112)을 형성한다. 상기 불순물 영역(112)은 상기 반도체기판(100)과 다른 도전형을 갖도록 형성될 수 있다. 예를 들면, 상기 반도체기판(100)이 P형의 반도체기판인 경우에, 상기 불순물 영역(112)은 N형의 불순물들로 도핑될 수 있다. 상기 불순물 영역(112)을 갖는 기관 상에 몰딩막(115)을 형성한다. 상기 몰딩막(115)은 실리콘 산화막으로 형성할 수 있다.

도 2b를 참조하면, 상기 몰딩막(115)을 패터닝하여 상기 활성영역(A)의 상부를 가로지르는 한 쌍의 제1 개구부들(120) 및 상기 활성영역(A)의 양 옆에 위치하면서 상기 소자 분리막(110)의 상부를 가로지르는 한 쌍의 제2 개구부들(120')을 형성한다. 상기 제1 개구부들(120) 및 제2 개구부들(120')은 서로 평행하도록 형성될 수 있다. 상기 개구부들(120, 120')을 갖는 기관 상에 절연막을 형성하고, 상기 절연막을 에치백(Etch Back)하여 상기 개구부들(120, 120')의 측벽들 상에 트렌치 스페이서들(130)을 형성한다. 상기 트렌치 스페이서들(130)을 형성하기 위한 상기 절연막은 상기 몰딩막(115)에 대하여 식각 선택비를 갖는 물질막으로 형성하는 것이 바람직하다. 예를 들면, 상기 트렌치 스페이서들(130)은 실리콘 질화막(SiN)으로 형성할 수 있다.

도 2c를 참조하면, 상기 몰딩막(115)과 상기 트렌치 스페이서들(130)을 식각 마스크들로 이용하여 상기 활성영역(A)을 선택적으로 식각하여 상기 활성영역(A)을 가로지르는 한 쌍의 채널 트렌치 영역들(140)을 형성한다. 상기 채널 트렌치 영역들(140)은 상기 불순물 영역(112)보다 깊도록 형성된다. 그 결과, 상기 불순물 영역(112)은 상기 한 쌍의 채널 트렌치 영역들(140) 사이에 잔존하는 공통 드레인 영역(112d)과 아울러서 상기 활성영역(A)의 양 단들에 각각 잔존하는 제1 및 제2 소오스 영역들(112s', 112s'')로 분할된다. 상기 채널 트렌치 영역들(140)은 리세스된 채널 영역들을 한정한다. 상기 채널 트렌치 영역들(140)의 표면들은 습식 세정공정 또는 건식 세정공정을 사용하여 세정될 수 있다. 상기 습식 세정공정은 수산화 암모늄(NH₄OH), 과산화 수소(H₂O₂) 및 탈이온수(H₂O)의 혼합용액을 사용하여 실시될 수 있다. 상기 채널 트렌치 영역들(140)의 하부 모서리 부분들은 상기 세정공정에 의해 둥근 프로파일을 갖도록 변형될 수 있다.

도 2d를 참조하면, 상기 채널 트렌치 영역들(140)의 내벽들 상에 게이트 절연막(145)을 형성한다. 상기 게이트 절연막(145)은 상기 채널 트렌치 영역들(140)을 갖는 기관을 열산화시켜 형성할 수 있다.

도 2e를 참조하면, 상기 게이트 절연막(145)을 갖는 기관 상에 상기 채널 트렌치 영역들(140) 및 상기 개구부들(120, 120')을 채우는 게이트 도전막을 형성한다. 상기 게이트 도전막은 폴리실리콘막(150)과 금속 실리사이드막(160)을 차례로 적층시켜 형성할 수 있다. 이 경우에, 상기 폴리실리콘막(150)은 상기 채널 트렌치 영역들(140) 및 상기 개구부들(120, 120')을 채우도록 형성되는 것이 바람직하다. 상기 금속 실리사이드막(160)은 텅스텐 실리사이드막으로 형성될 수 있다. 상기 금속 실리사이드막(160) 상에 게이트 캐핑막(170)을 형성한다. 상기 게이트 캐핑막(170)은 상기 몰딩막(115)에 대하여 식각 선택비를 갖는 물질막으로 형성하는 것이 바람직하다. 예를 들면, 상기 게이트 캐핑막(170)은 실리콘 질화막(SiN)으로 형성할 수 있다.

도 2f를 참조하면, 상기 게이트 캐핑막(170)을 패터닝하여 상기 활성영역(A)의 상부를 가로지르는 한 쌍의 게이트 캐핑막 패턴들(171) 및 상기 활성영역(A)의 양 옆에 각각 배치된 또 다른 한 쌍의 게이트 캐핑막 패턴들(171)을 형성한다. 상기

게이트 캐핑막 패턴들(171)을 식각 마스크들로 사용하여 상기 금속 실리사이드막(160) 및 상기 폴리실리콘막(150)을 차례로 식각하여 상기 활성영역(A)의 상부를 가로지르는 한 쌍의 제1 게이트 전극들(250) 및 상기 소자분리막(110)의 상부를 가로지르는 한 쌍의 제2 게이트 전극들(250')을 형성한다. 즉, 상기 게이트 캐핑막(170) 및 상기 게이트 도전막을 패턴화하여 상기 제1 개구부들(120)을 덮는 한 쌍의 제1 평행한 게이트 패턴들(260) 및 상기 제2 개구부들(120')을 덮는 한 쌍의 제2 평행한 게이트 패턴들(260')을 형성한다. 그 결과, 상기 게이트 전극들(250, 250')의 각각은 순차적으로 적층된 폴리실리콘 패턴(151) 및 금속 실리사이드 패턴(161)을 포함할 수 있다.

상기 게이트 전극들(250, 250')은 상기 개구부들(120, 120')을 채우는 하부 영역들 및 상기 몰딩막(115)의 상부면으로부터 돌출된 상부 영역들을 갖도록 형성된다. 결과적으로, 상기 상부 영역들의 각각은 차례로 적층된 폴리실리콘 패턴(151) 및 금속 실리사이드 패턴(161)을 포함할 수 있고, 상기 하부 영역들의 각각은 상기 폴리실리콘 패턴(151)으로부터 연장되고 상기 트렌치 스페이서(130)에 의해 둘러싸여진 형태를 가질 수 있다. 상기 하부 영역들은 도 2f에 보여진 바와 같이 상기 채널 트렌치 영역들(140)에 자기정렬되어 상기 채널 트렌치 영역들(140)과 동일한 폭을 가질 수 있다. 또한, 상기 상부 영역들은 상기 하부 영역들보다 큰 폭을 가질 수 있다.

도 2g 및 도 2h를 참조하면, 상기 몰딩막(115)을 등방성 식각하여 상기 트렌치 스페이서들(130)의 상부 영역들을 노출시킨다. 상기 등방성 식각된 몰딩막(115)을 갖는 기판 전면에 절연막을 적층한다. 이어서, 상기 절연막을 에치백하여 상기 게이트 캐핑막 패턴들(171)의 측벽들 및 상기 게이트 전극들(250, 250')의 상부 영역들의 측벽들을 덮으면서 상기 트렌치 스페이서들(130)의 상부 영역들에 연결된 게이트 스페이서들(180)을 형성한다. 다시 말해서, 상기 게이트 스페이서들(180)은 상기 폴리실리콘 패턴(151), 상기 금속 실리사이드 패턴(161) 및 상기 게이트 캐핑막 패턴(171)의 측벽들 상에 형성된다. 상기 게이트 스페이서들(180)은 상기 몰딩막(115)에 대하여 식각 선택비를 갖는 물질막으로 형성하는 것이 바람직하다. 예를 들면, 상기 게이트 스페이서들(180)은 실리콘 질화막(SiN)으로 형성할 수 있다.

한편, 도 2a에 도시된 상기 불순물 영역(112)이 저농도 불순물 영역인 경우에, 상기 게이트 스페이서들(180) 및 상기 게이트 캐핑막 패턴들(171)을 이온 주입 마스크들로 사용하여 상기 반도체 기판(100)의 활성영역(A) 내에 불순물 이온들을 추가로 주입하여 고농도 소오스/드레인 영역들(미도시)을 형성할 수도 있다.

도 2i 및 도 2j를 참조하면, 상기 게이트 스페이서들(180)을 갖는 기판 상에 층간 절연막(190)을 형성한다. 상기 층간 절연막(190)은 상기 게이트 캐핑막 패턴들(171) 및 상기 게이트 스페이서들(180)에 대하여 식각 선택비를 갖는 물질막으로 형성하는 것이 바람직하다. 예를 들면, 상기 층간 절연막(190)은 BPSG, BSG, TEOS, 또는 USG와 같은 산화막으로 형성할 수 있다. 상기 게이트 캐핑막 패턴들(171) 및 상기 게이트 스페이서들(180)을 식각 마스크들로 사용하여 상기 층간 절연막(190) 및 상기 몰딩막(115)을 식각하여 상기 게이트 패턴들(260, 260') 사이의 영역들을 관통하고 상기 공통 드레인 영역(112d), 제1 소오스 영역(112s') 및 제2 소오스 영역(112s'')을 노출시키는 예비 자기정렬 콘택홀들을 형성한다.

상기 예비 자기정렬 콘택홀들을 갖는 기판의 표면을 습식 공정 또는 건식 공정을 사용하여 세정하여 최종 자기정렬 콘택홀들(200)을 형성한다. 상기 세정공정은 상기 트렌치 스페이서들(130) 및 게이트 스페이서들(180)을 식각 저지막으로 사용하여 실시될 수 있다. 그 결과, 상기 자기정렬 콘택홀들(200)은 상기 트렌치 스페이서들(130)을 완전히 노출시키도록 확장될 수 있다. 즉, 상기 자기정렬 콘택홀들(200)의 하부 영역들은 그것의 상부 영역들보다 넓도록 확장된다. 다시 말해서, 상기 자기정렬 콘택홀들(200)은 그 하부에 확장된 하부 영역들(201)을 갖도록 형성되어 상기 공통 드레인 영역(112d), 상기 제1 소오스 영역(112s') 및 상기 제2 소오스 영역(112s'')의 노출된 면적들을 극대화시킬 수 있다. 상기 습식 공정은 수산화 암모늄(NH₄OH), 과산화 수소(H₂O₂) 및 탈이온수(H₂O₂)의 혼합용액을 사용하여 실시될 수 있다.

도 2k를 참조하면, 상기 콘택홀들(200)을 포함한 반도체 기판 전면에 상기 콘택홀들(200)을 채우는 도전막을 형성한다. 상기 도전막은 도우프트 폴리실리콘막으로 형성할 수 있다. 상기 도우프트 폴리실리콘막은 인시투 공정을 사용하여 형성할 수 있다. 즉, 상기 도우프트 폴리실리콘막은 폴리실리콘막을 증착하는 동안 인(P)과 같은 도펀트들을 주입시키어 형성할 수 있다. 이어서, 상기 층간절연막(190)의 상부면이 노출될 때까지 상기 도전막을 평탄화시키어 상기 콘택홀들(200) 내에 서로 격리된 콘택 패드들(210)을 형성한다. 이때, 콘택홀들(200)의 확장부들(도 2j의 201) 역시 상기 도전막으로 채워져서 콘택 패드들(210)의 수평 연장부들(211)을 형성하게 된다. 결국, 상기 수평 연장부들(211) 및 상기 소오스/드레인 영역들(112s', 112s'', 112d) 사이의 접촉면들의 폭(S)은 도 2l에 도시된 바와 같이 상기 게이트 전극들(250, 250')의 오정렬에 관계없이 항상 일정할 수 있다.

도 3a 내지 도 3e는 본 발명의 또 다른 실시예에 따른 반도체 장치들 및 그 제조방법들을 설명하기 위한 단면도들이다.

도 3a를 참조하면, 셀 영역(C) 및 주변 영역(P)을 갖는 반도체 기판(100)의 소정영역에 소자분리막(110)을 형성하여 상기 셀 영역(C) 및 주변 영역(P) 내에 각각 셀 활성영역 및 주변 활성영역을 한정한다. 상기 소자분리막(110)을 갖는 기판의 전면 상에 몰딩막(115)을 형성한다. 상기 몰딩막(115)을 패터닝하여 상기 셀 영역(C) 내에 제1 개구부들(120) 및 제2 개구부들(120')을 형성한다. 상기 개구부들(120, 120')의 측벽들 상에 트렌치 스페이서들(130)을 형성한다. 상기 몰딩막(115), 상기 개구부들(120, 120') 및 상기 트렌치 스페이서들(130)은 도 2a 및 도 2b를 참조하여 설명된 실시예들과 동일한 방법들을 사용하여 형성할 수 있다.

상기 몰딩막(115) 및 상기 트렌치 스페이서들(130)을 식각 마스크들로 사용하여 상기 셀 활성영역을 식각하여 상기 셀 활성영역을 가로지르는 채널 트렌치 영역들(140)을 형성한다.

도 3b를 참조하면, 상기 채널 트렌치 영역들(140)을 갖는 기판 상에 상기 셀 영역(C)을 덮는 포토레지스트 패턴(도시하지 않음)을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 몰딩막(115)을 선택적으로 식각하여 상기 주변 영역(P) 내의 상기 소자분리막(110) 및 주변 활성영역을 노출시킨다. 이어서, 상기 포토레지스트 패턴을 제거한다.

도 3c를 참조하면, 상기 포토레지스트 패턴을 제거한 후에, 상기 채널 트렌치 영역들(140)의 내벽들 및 상기 주변 활성영역의 표면에 게이트 절연막(145)을 형성한다. 상기 게이트 절연막(145) 역시 도 2d를 참조하여 설명된 실시예들과 동일한 방법을 사용하여 형성할 수 있다. 상기 게이트 절연막(145)을 갖는 기판 상에 상기 개구부들(120, 120') 및 채널 트렌치 영역들(140)을 채우는 게이트 도전막 및 게이트 캐핑막(170)을 차례로 형성한다. 상기 게이트 도전막은 도 2e를 참조하여 설명된 바와 같이 폴리실리콘막(150) 및 금속 실리사이드막(160)을 차례로 적층시키어 형성할 수 있고, 상기 게이트 캐핑막(170) 역시 도 2e를 참조하여 설명된 실시예들과 동일한 방법들을 사용하여 형성할 수 있다.

도 3d를 참조하면, 상기 게이트 캐핑막(170), 금속 실리사이드막(160) 및 폴리실리콘막(150)을 연속적으로 패터닝하여 상기 셀 영역(C) 내에 도 2f에 보여진 것들과 동일한 형태들을 갖는 게이트 전극들 및 게이트 캐핑막 패턴들(171)을 형성한다. 즉, 상기 게이트 전극들의 각각은 차례로 적층된 폴리실리콘 패턴(151) 및 금속 실리사이드 패턴(161)을 갖도록 형성될 수 있다. 상기 셀 영역(C) 내에 상기 폴리실리콘 패턴들(151), 금속 실리사이드 패턴들(161) 및 게이트 캐핑막 패턴들(171)이 형성되는 동안 상기 주변 활성영역의 상부를 가로지르는 주변 게이트 패턴이 동시에 형성될 수 있다. 결과적으로, 상기 주변 게이트 패턴은 차례로 적층된 주변 폴리실리콘 패턴(152), 주변 금속 실리사이드 패턴(162) 및 주변 게이트 캐핑막 패턴(172)을 갖도록 형성될 수 있다.

상기 셀 게이트 패턴들 및 상기 주변 게이트 패턴을 형성한 다음에, 상기 몰딩막(115)을 등방성 식각하여 상기 트렌치 스페이서들(130)의 상부 영역을 노출시킨다. 상기 몰딩막(115)을 등방성 식각한 후에, 상기 셀 게이트 패턴들의 측벽들 및 상기 주변 게이트 패턴의 측벽 상에 각각 셀 게이트 스페이서들(180) 및 주변 게이트 스페이서(181)을 형성한다. 상기 게이트 스페이서들(180, 181)은 도 2h를 참조하여 설명된 실시예들과 동일한 방법들을 사용하여 형성될 수 있다.

상기 게이트 스페이서들(180, 181)을 형성한 다음에, 상기 주변 게이트 패턴의 양 옆의 상기 주변 활성영역 상에 선택적 에피택시얼 성장(selective epitaxial growth; SEG) 기술을 사용하여 상승된(elevated) 소오스/드레인 영역들(220)을 형성할 수 있다. 계속해서, 상기 상승된 소오스/드레인 영역들(220) 상에 선택적으로 셀리사이드(salicide; self-aligned silicide) 기술을 사용하여 소오스/드레인 금속 실리사이드막(230)을 추가로 형성할 수 있다.

도 3e를 참조하면, 상기 소오스/드레인 금속 실리사이드막(230)을 갖는 기판 상에 층간절연막(190)을 형성한다. 상기 층간 절연막(190)은 도 2i를 참조하여 설명된 실시예들과 동일한 방법들을 사용하여 형성할 수 있다. 즉, 상기 층간 절연막(190)은 상기 게이트 캐핑막 패턴들(171, 172) 및 게이트 스페이서들(180, 181)에 대하여 식각 선택비를 갖는 물질막으로 형성한다. 이어서, 상기 층간 절연막(190) 및 상기 몰딩막(115)을 패터닝하여 상기 셀 게이트 패턴들 사이의 상기 셀 활성영역을 노출시키는 자기정렬 콘택홀들(200)을 형성하고, 상기 자기정렬 콘택홀들(200)을 채우는 콘택 패드들(210)을 형성한다. 상기 자기정렬 콘택홀들(200) 및 콘택 패드들(210)은 도 2j 및 도 2k를 참조하여 설명된 실시예들과 동일한 방법들을 사용하여 형성할 수 있다.

발명의 효과

상술한 바와 같이 본 발명의 실시예들에 따르면, 몰딩막을 사용하여 리세스된 채널 트렌치 영역에 자기정렬된 하부 영역을 갖는 게이트 전극이 형성된다. 따라서, 상기 게이트 전극의 상부 영역을 형성하기 위한 사진공정시 오정렬이 발생할지라도, 상기 게이트 전극들 사이의 콘택 패드들 및 이들과 접촉하는 불순물 영역들 사이의 경계면의 폭은 상기 게이트 전극의 상부 영역의 오정렬에 관계없이 항상 일정할 수 있다.

(57) 청구의 범위

청구항 1.

반도체기판;

상기 반도체기판의 소정영역에 형성되어 활성영역을 한정하는 소자분리막;

상기 활성영역 내에 형성되고 상기 활성영역을 가로지르는 리세스된 채널 트렌치 영역;

상기 리세스된 채널 트렌치 영역을 채우면서 상기 활성영역의 상부를 가로지르되, 그것의 하부 영역은 상기 채널 트렌치 영역에 자기정렬되어 상기 채널 트렌치 영역과 동일한 폭을 갖고 그것의 상부 영역은 상기 하부 영역보다 큰 폭을 갖는 제 1 게이트 전극;

상기 제 1 게이트 전극에 인접하고 상기 소자분리막의 상부를 가로지르되, 그 하부 폭이 그 상부 폭보다 좁은 제 2 게이트 전극;

상기 제 1 및 제 2 게이트 전극들의 표면들을 덮는 보호막 패턴들;

상기 보호막 패턴들을 갖는 반도체기판 상에 적층된 층간절연막;

상기 층간절연막을 관통하여 상기 제 1 및 제 2 게이트 전극들 사이의 상기 활성영역을 노출시키되, 그 하부 영역의 폭이 그 상부 영역의 폭보다 큰 자기정렬 콘택홀; 및

상기 자기정렬 콘택홀을 채우는 콘택 패드를 포함하는 반도체 장치.

청구항 2.

제 1 항에 있어서,

상기 층간절연막은 상기 보호막 패턴에 대하여 식각 선택비를 갖는 물질막인 것을 특징으로 하는 반도체 장치.

청구항 3.

제 1 항에 있어서, 상기 보호막 패턴들은

상기 게이트 전극들의 상기 하부 영역들의 측벽들을 덮는 트렌치 스페이서들;

상기 게이트 전극들의 상기 상부 영역들 상에 적층된 게이트 캐핑막 패턴들; 및

상기 게이트 전극들의 상기 상부 영역들의 측벽들 및 상기 게이트 캐핑막 패턴들의 측벽들을 덮고 상기 트렌치 스페이서들의 상부 영역들에 연결된 게이트 스페이서들을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 4.

제 1 항에 있어서,

상기 게이트 전극들의 상기 상부 영역들은 차례로 적층된 폴리실리콘막 및 금속 실리사이드막을 포함하고, 상기 게이트 전극들의 상기 하부 영역들은 상기 상부 영역들의 상기 폴리실리콘막으로부터 연장된 것을 특징으로 하는 반도체 장치.

청구항 5.

제 1 항에 있어서,

상기 자기정렬 콘택홀은 상기 보호막 패턴을 노출시키는 것을 특징으로 하는 반도체 장치.

청구항 6.

반도체기판의 소정영역에 소자분리막을 형성하여 활성영역을 한정하고,

상기 활성영역을 갖는 반도체기판 상에 몰딩막을 형성하되, 상기 몰딩막은 상기 활성영역 및 상기 소자분리막의 상부를 각각 가로지르는 제1 및 제2 개구부들을 갖도록 형성되고,

상기 개구부들의 측벽들 상에 트렌치 스페이서들을 형성하고,

상기 트렌치 스페이서들 및 상기 몰딩막을 식각 마스크로 사용하여 상기 활성영역을 식각하여 상기 제1 개구부 하부의 상기 활성영역 내에 채널 트렌치 영역을 형성하고,

상기 몰딩막 상에 상기 개구부들 및 상기 채널 트렌치 영역을 채우는 게이트 도전막 및 게이트 캐핑막을 차례로 형성하고,

상기 게이트 캐핑막 및 상기 게이트 도전막을 패터닝하여 상기 제1 및 제2 개구부들을 각각 덮는 제1 및 제2 게이트 패턴들을 형성하고,

상기 몰딩막을 선택적으로 등방성 식각하여 상기 트렌치 스페이서들의 상부 영역을 노출시키고,

상기 게이트 패턴들의 측벽들을 덮고 상기 노출된 트렌치 스페이서들과 연결된 게이트 스페이서들을 형성하고,

상기 게이트 스페이서들을 갖는 반도체기판 상에 층간절연막을 형성하고,

상기 층간절연막 및 상기 몰딩막을 패터닝하여 상기 제1 및 제2 게이트 패턴들 사이의 활성영역을 노출시키는 자기정렬 콘택홀을 형성하고,

상기 자기정렬 콘택홀을 채우는 콘택 패드를 형성하는 것을 포함하는 반도체 장치의 제조방법.

청구항 7.

제 6 항에 있어서,

상기 트렌치 스페이서들은 상기 몰딩막에 대하여 식각 선택비를 갖는 절연막으로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 8.

제 6 항에 있어서,

상기 게이트 캐핑막은 상기 몰딩막에 대하여 식각 선택비를 갖는 절연막으로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 9.

제 6 항에 있어서,

상기 게이트 스페이서들은 상기 몰딩막에 대하여 식각 선택비를 갖는 절연막으로 형성하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 10.

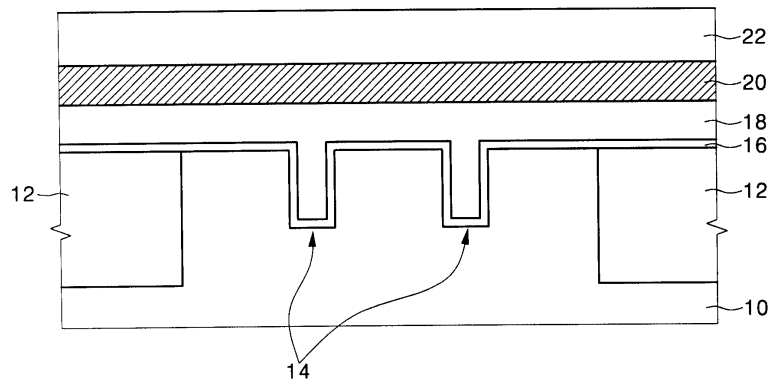
제 6 항에 있어서, 상기 자기정렬 콘택홀을 형성하는 것은

상기 패터닝된 게이트 캐핑막 및 상기 게이트 스페이서들을 식각 마스크들로 사용하여 상기 층간절연막 및 상기 몰딩막을 식각하여 상기 제1 및 제2 게이트 패턴들 사이를 지나는 예비 자기정렬 콘택홀을 형성하고,

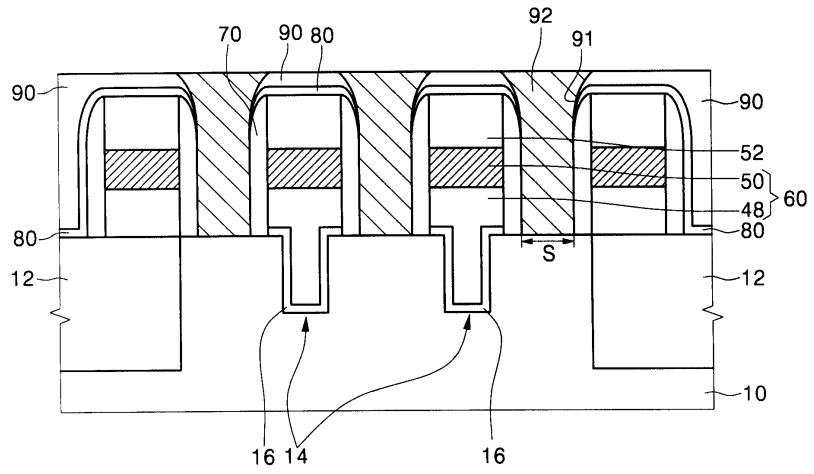
상기 예비 자기정렬 콘택홀을 갖는 기판의 표면을 세정하여 상기 트렌치 스페이서들을 노출시키는 것을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

도면

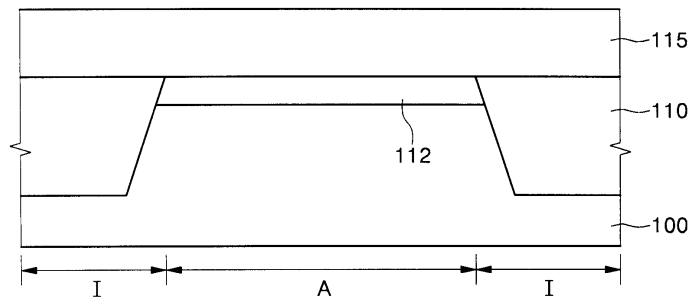
도면1a



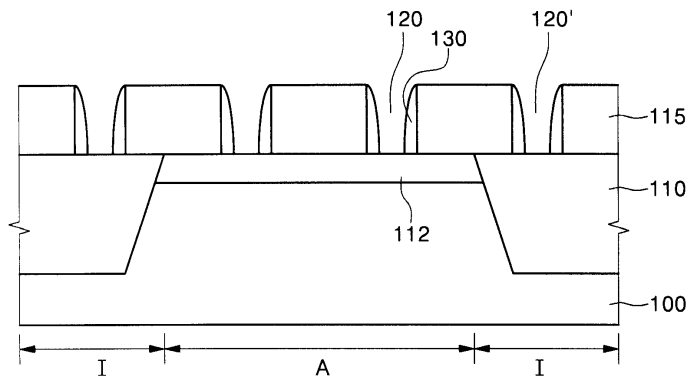
도면1b



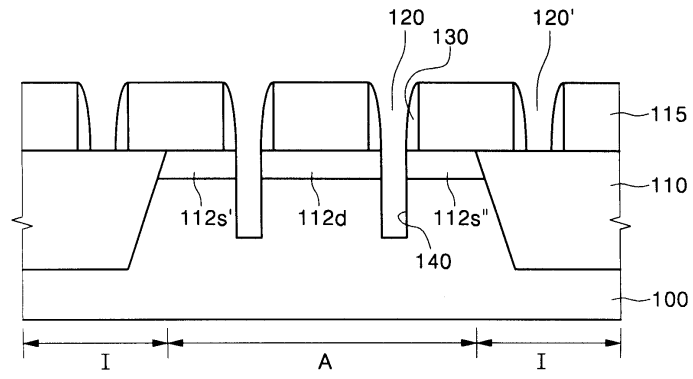
도면2a



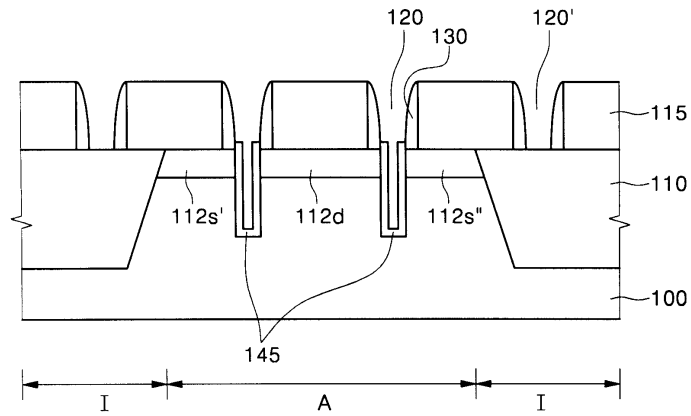
도면2b



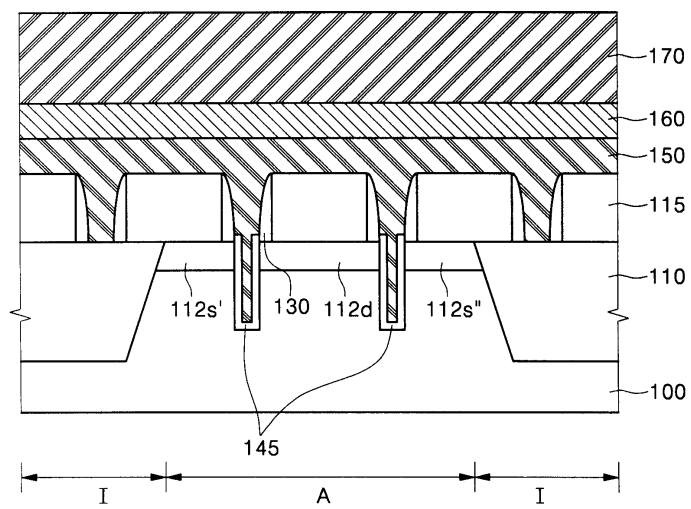
도면2c



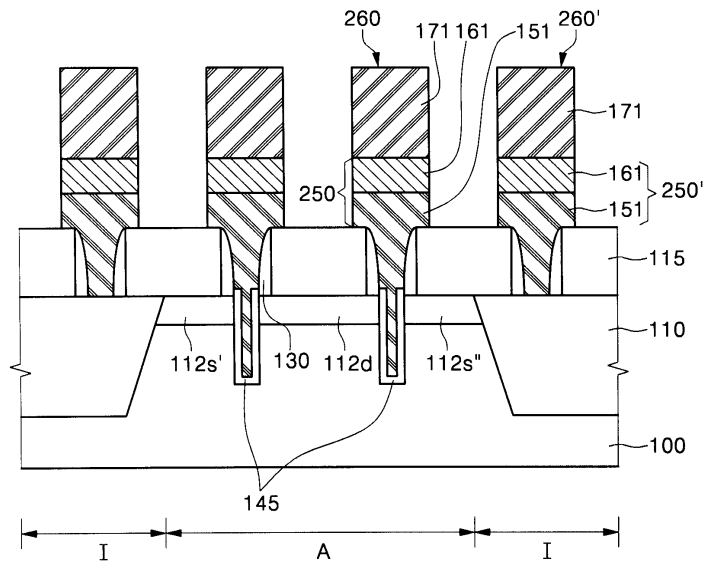
도면2d



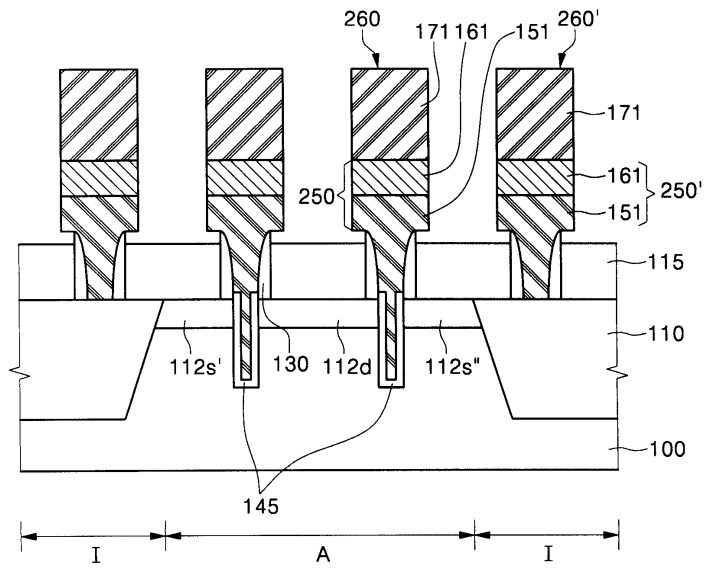
도면2e



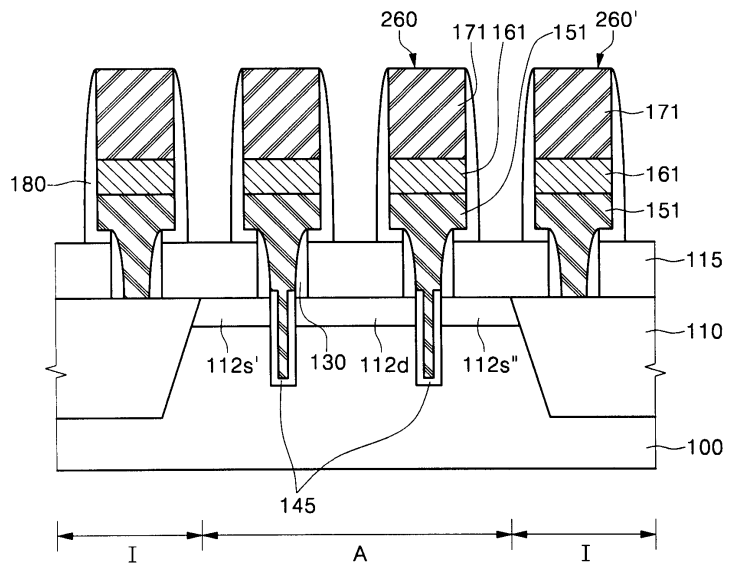
도면2f



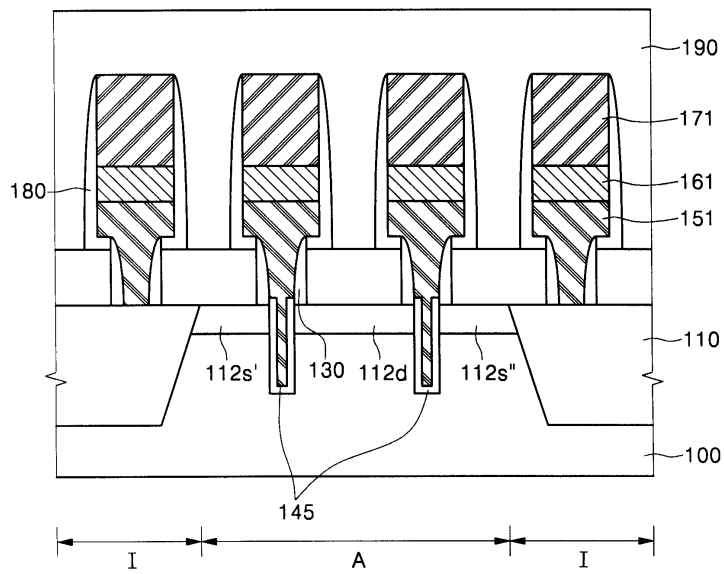
도면2g



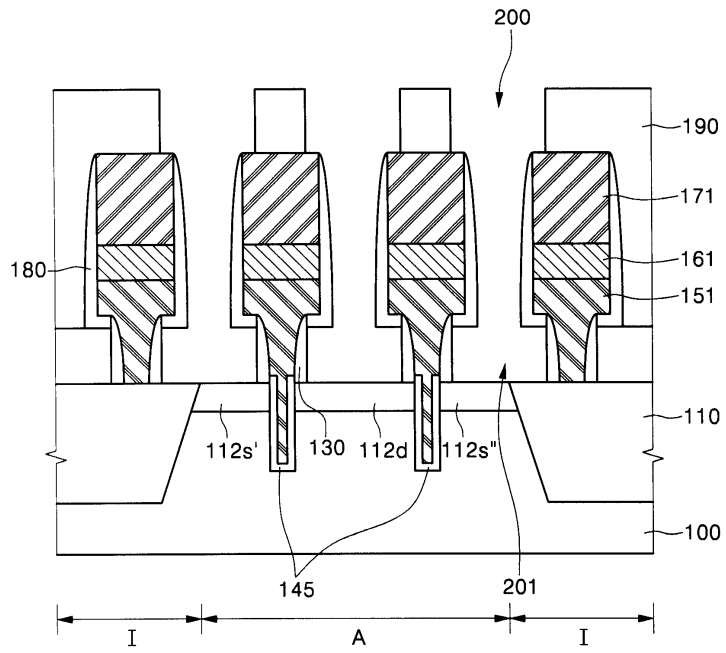
도면2h



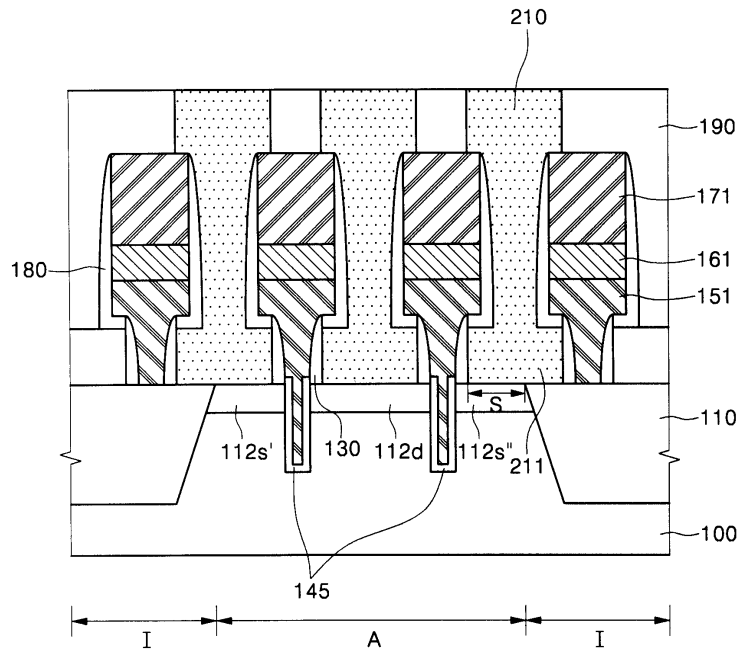
도면2i



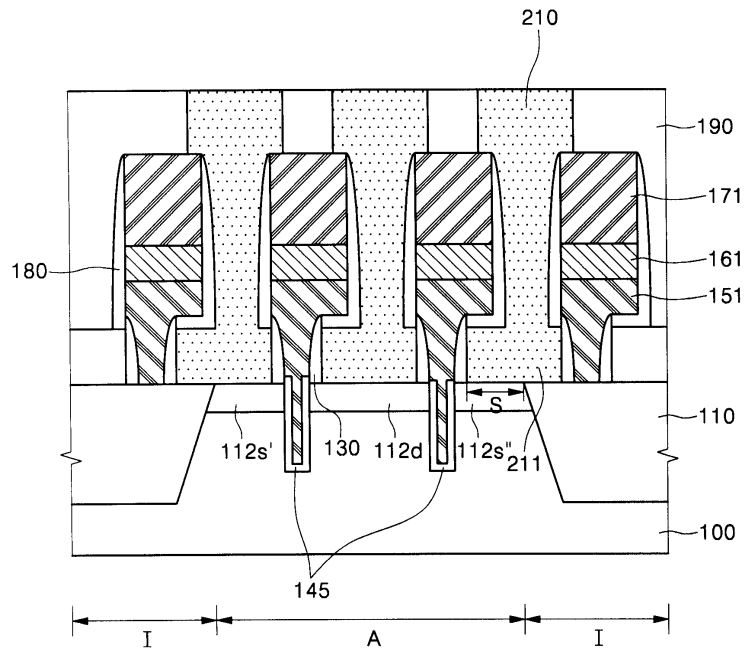
도면2j



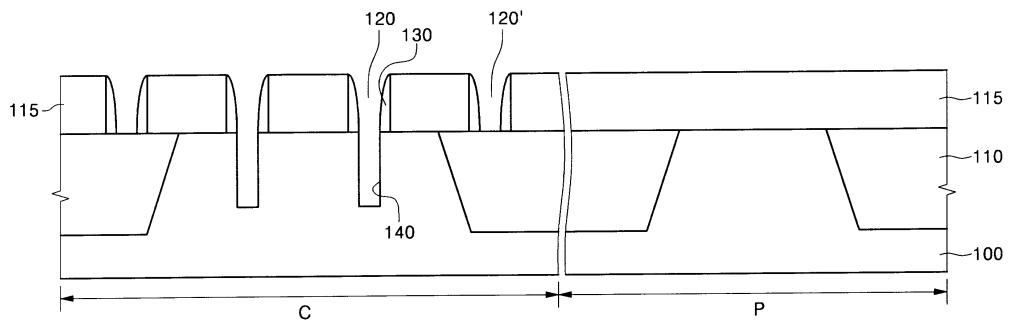
도면2k



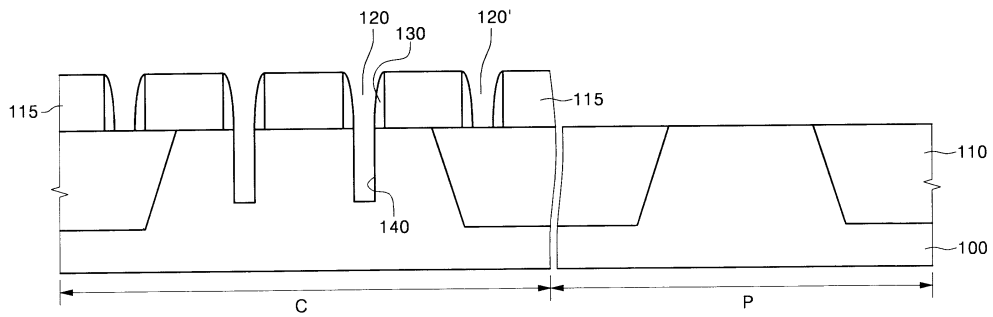
도면21



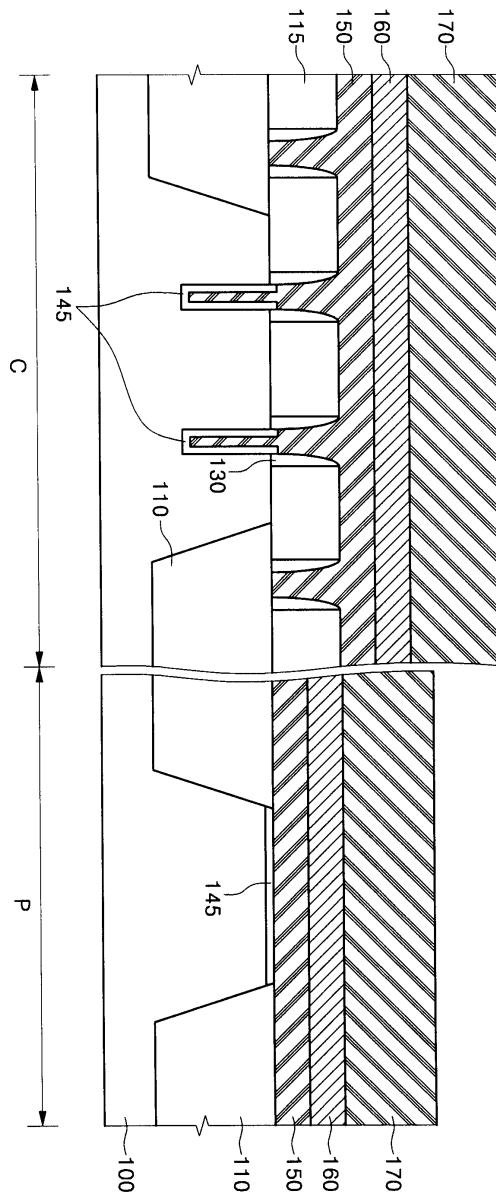
도면3a



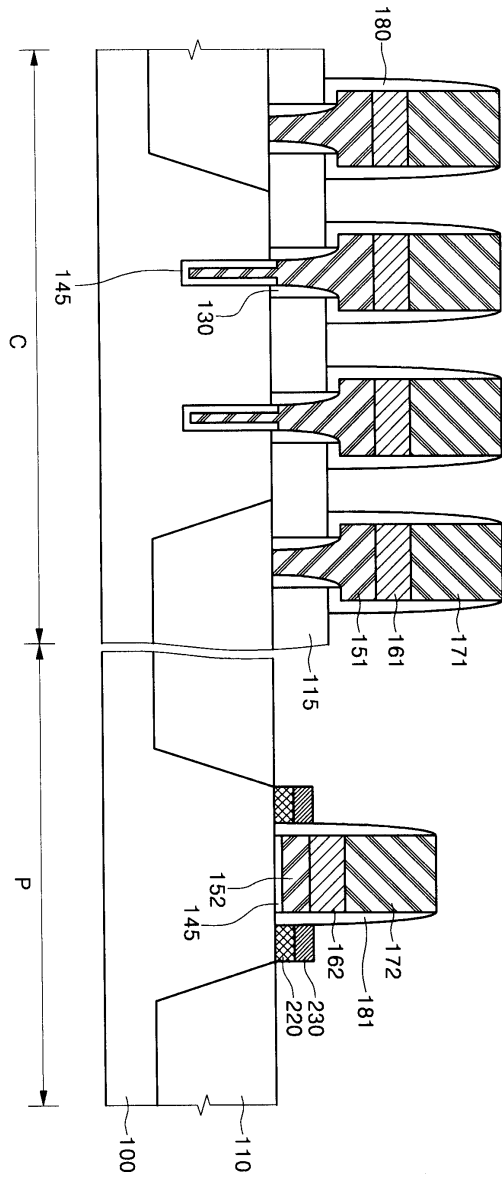
도면3b



도면3c



도면3d



도면3e

