



(12) 发明专利申请

(10) 申请公布号 CN 105938849 A

(43) 申请公布日 2016. 09. 14

(21) 申请号 201610075437. 0

H01L 21/329(2006. 01)

(22) 申请日 2016. 02. 03

(71) 申请人 杭州立昂微电子股份有限公司

地址 310018 浙江省杭州市下沙经济技术开发区 20 号路 199 号

(72) 发明人 张瑞丽 周诗雨 徐林海 朱春生 黄力平

(74) 专利代理机构 杭州宇信知识产权代理事务所 (普通合伙) 33231

代理人 张宇娟 代转嫫

(51) Int. Cl.

H01L 29/417(2006. 01)

H01L 29/06(2006. 01)

H01L 29/45(2006. 01)

H01L 29/872(2006. 01)

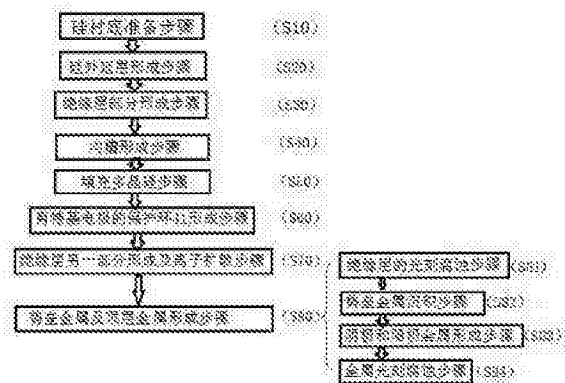
权利要求书2页 说明书7页 附图4页

(54) 发明名称

一种用于芯片级封装的肖特基芯片的制造方法

(57) 摘要

本发明提供了一种用于芯片级封装的肖特基芯片的制造方法,该肖特基芯片的制造步骤包括:硅衬底准备及硅外延层形成;通过热氧化或/和化学气相沉积在硅外延层表面沉积二氧化硅层;贯穿硅外延层的沟槽形成步骤;在沟槽内填充导电多晶硅作为沟槽填充物;离子注入法形成肖特基电极的保护环;通过化学气相沉积法沉积一层二氧化硅,同时利用氧化时高温作用,进行注入离子的热扩散;以及势垒金属及顶层金属形成步骤。本发明制造的肖特基芯片,将两个电极设置在硅外延层的同一主表面上,达到了芯片级封装要求封装器件具有近似半导体管芯的尺寸需求。



1. 一种用于芯片级封装的肖特基芯片的制造方法,其特征在于包括以下步骤:

一)硅衬底(2)准备步骤;所述硅衬底具有第一导电类型;

二)硅外延层(3)形成步骤;所述硅外延层具有第一导电类型;

三)绝缘层部分形成步骤:通过热氧化或/和化学气相沉积在硅外延层表面沉积二氧化硅层;

四)沟槽形成步骤:通过干法刻蚀在硅衬底的前表面和硅外延层的前表面之间形成欧姆电极的若干沟槽,沟槽贯穿硅外延层;

五)填充多晶硅步骤:在所述沟槽内填充导电多晶硅作为沟槽填充物(61);所述导电多晶硅具有第一导电类型;

六)在肖特基电极周围,离子注入法形成肖特基电极的保护环(41);注入形成的肖特基电极保护环具有第二导电类型,与第一导电类型相反;

七)绝缘层另一部分形成及离子扩散步骤:通过化学气相沉积法沉积一层二氧化硅作为绝缘层另外一部分即三次氧化层(73),在三次氧化层生长的同时,利用氧化时高温作用,进行步骤(六)完成的注入离子的热扩散;

八)势垒金属及顶层金属形成步骤:该步骤中,完成势垒金属的形成,从而在阳极形成势垒金属和硅外延层的肖特基接触;该步骤中,还完成顶层金属阳极金属和阴极联接金属的形成,分别形成肖特基电极(4)和欧姆电极(6)。

2. 根据权利要求1所述的一种用于芯片级封装的肖特基芯片的制造方法,其特征在于:所述四)沟槽形成步骤中,形成的沟槽的个数与肖特基电极个数为一对一设置;步骤八)中所述阴极联接金属的形成在沟槽填充物(61)之上形成阴极金属(63)。

3. 根据权利要求1所述的一种用于芯片级封装的肖特基芯片的制造方法,其特征在于:所述四)沟槽形成步骤中,形成多个周期排列的沟槽;步骤八)中所述阴极联接金属形成包括在周期排列的沟槽之间的间隙外延层上的形成势垒金属(42)、以及在整个欧姆电极顶层的形成阴极金属(63),该势垒金属、及覆盖其上的阴极金属(63)以及沟槽间隙外延层形成电联接。

4. 根据权利要求3所述的一种用于芯片级封装的肖特基芯片的制造方法,其特征在于:所述四)沟槽形成步骤中,周期排列的各沟槽的开口宽度为 $0.6\sim 1.2\mu\text{m}$,两沟槽之间的间隙外延层宽度为 $0.5\sim 2\mu\text{m}$ 。

5. 根据权利要求1~4任意一项所述的一种用于芯片级封装的肖特基芯片的制造方法,其特征在于还包括以下步骤:

隔离层形成步骤:在该步骤中,在导电多晶硅(61)与沟槽侧缘之间制作隔离层(62);其步骤为先通过化学气相沉积在整个结构表面沉积一层二氧化硅层;然后通过光刻腐蚀选择性的去除沟槽底部的二氧化硅层,暴露出沟槽底部的硅外延层的前表面,并保留在沟槽侧缘形成的二氧化硅层,该沟槽侧缘的二氧化硅层构成所述隔离层(62)。

6. 根据权利要求5所述的一种用于芯片级封装的肖特基芯片的制造方法,其特征在于,所述通过化学气相沉积在整个结构表面沉积一层二氧化硅层为:通过热氧化法形成 $400\sim 600\text{\AA}$ 厚度的二氧化硅层。

7. 根据权利要求5所述的一种用于芯片级封装的肖特基芯片的制造方法,其特征在于,所述通过化学气相沉积在整个结构表面沉积一层二氧化硅层为:通过湿法氧化法形成 1000

~3000Å厚度的二氧化硅层。

8. 根据权利要求1~4任一项所述的一种用于芯片级封装的肖特基芯片的制造方法,其特征在于:所述八)势垒金属及顶层金属形成步骤为:先进行绝缘层的光刻腐蚀,选择性的去除作为绝缘层的二氧化硅层,打开阴极和阳极开口,阳极暴露出硅外延层的前表面,阴极暴露出导电多晶硅的上表面及沟槽之间的间隙外延层的前表面;

然后进行势垒金属沉积;

再进行阴极和阳极金属形成步骤;

最后进行金属光刻腐蚀,以打开暴露出绝缘层的开口、切断阳极金属和阴极金属之间的电联接。

9. 根据权利要求8所述的一种用于芯片级封装的肖特基芯片的制造方法,其特征在于:所述八)势垒金属及顶层金属形成步骤中,在进行势垒金属沉积之后,进行一次退火处理,使势垒金属与硅外延层的前表面硅形成金属合金。

10. 根据权利要求1~4任一项所述的一种用于芯片级封装的肖特基芯片的制造方法,其特征在于:所述沟槽内填充的导电多晶硅的方块电阻为 $14\sim 20\ \Omega/\text{sq}$ 。

11. 根据权利要求1所述的一种用于芯片级封装的肖特基芯片的制造方法,其特征在于:所述三)绝缘层部分形成步骤为:先通过热氧化在外延层表面形成一层二氧化硅层即一次氧化层(71),再通过化学气相沉积继续在第一次二氧化硅层上沉积第二层二氧化硅层即二次氧化层(72)。

一种用于芯片级封装的肖特基芯片的制造方法

技术领域

[0001] 本发明涉及半导体器件,尤其涉及用于芯片级封装的肖特基器件芯片及制造方法。

背景技术

[0002] 由于节能和设备小型、轻型化的需要,高频开关电源的应用愈来愈普遍。与结型二极管相比,肖特基二极管具有正向电压更低和工作频率更高的优点,因此,肖特基二极管在高频开关电源中的应用广泛,其主要应用在PC power, 太阳能,LED路灯电源,工业电源,适配器等,目前肖特基二极管的应用占有所有整流二极管应用中主导之位,且其应用率有继续升高的趋势。

[0003] 随着消费者要求在小型便携设备中集成更多功能、并对电子元件更小型化的要求的增加,开发新型器件采用节省空间的芯片级封装(Chip Scale Package :CSP),应用于空间受限的手持和便携设备,如平板电脑、智能电话、PDA和微型硬盘驱动器,应用范围包括电流调节、升压和续流电路等。在电子电路中广泛应用的肖特基二极管,自然希望具有能够应用于芯片级封装的肖特基芯片以便实现电子电路的小型化。

[0004] 芯片级封装要求芯片面积与封装面积接近1:1的理想情况,从而比传统的半导体封装占用更小的电路板上的面积。采用传统封装工艺的肖特基芯片,将管芯的电极设置在正反两个表面上,芯片级封装器件为了确保具有近似半导体管芯的尺寸,将管芯的电极仅设置在一个表面上,如公告号为CN 100380679C的发明专利提出了一种芯片级封装的肖特基器件结构,就是阴极和阳极同时设置在同一表面的例子。但是,该发明专利中阴极是通过注入以及后续的扩散驱动在外延区形成一下沉区以形成电联接,这种结构的阴极具有高的导通电阻、同时其下沉区还会占用较大的芯片面积,如何减小器件的阴极导通电阻是目前应用于芯片级封装的芯片开发的主要难题。

发明内容

[0005] 针对现有用于芯片级封装的肖特基芯片的技术问题,本发明旨在提供一种阴极具有更小的导通电阻及占用较小芯片面积的肖特基芯片的制造方法。

[0006] 本发明提供了一种用于芯片级封装的肖特基芯片的制造方法,一种用于芯片级封装的肖特基芯片的制造方法,包括以下步骤:

- (一)硅衬底准备步骤:所述硅衬底具有第一导电类型;
- (二)硅外延层形成步骤:所述硅外延层具有第一导电类型;
- (三)绝缘层部分形成步骤:通过热氧化或/和化学气相沉积在硅外延层表面沉积二氧化硅层;
- (四)沟槽形成步骤:通过干法刻蚀在硅衬底的前表面和硅外延层的前表面之间形成欧姆电极的若干沟槽,沟槽贯穿硅外延层;
- (五)填充多晶硅步骤:在所述沟槽内填充导电多晶硅作为沟槽填充物;所述导电多晶

硅具有第一导电类型；

(六)在肖特基电极周围,离子注入法形成肖特基电极的保护环;注入形成的肖特基电极保护环具有第二导电类型,与第一导电类型相反;

(七)绝缘层另一部分形成及离子扩散步骤:通过化学气相沉积法沉积一层二氧化硅作为绝缘层另外一部分即三次氧化层,在三次氧化层生长的同时,利用氧化时高温作用,进行步骤(六)完成的注入离子的热扩散;

(八)势垒金属及顶层金属形成步骤:该步骤中,完成势垒金属的形成,从而在阳极形成势垒金属和硅外延层的肖特基接触;该步骤中,还完成顶层金属阳极金属和阴极联接金属的形成,分别形成肖特基电极和欧姆电极。

[0007] 进一步地,所述(四)沟槽形成步骤中,形成的沟槽的个数与肖特基电极个数为一对一设置;步骤(八)中所述阴极联接金属的形成为在沟槽填充物之上形成阴极金属。

[0008] 进一步地,所述(四)沟槽形成步骤中,形成多个周期排列的沟槽;步骤(八)中所述阴极联接金属形成包括在周期排列的沟槽之间的间隙外延层上的形成势垒金属、以及在整个欧姆电极顶层的形成阴极金属,该势垒金属、及覆盖其上的阴极金属以及沟槽间隙外延层形成电联接。进一步地,所述(四)沟槽形成步骤中,周期排列的各沟槽的开口宽度为 $0.6 \sim 1.2 \mu\text{m}$,两沟槽之间的间隙外延层宽度为 $0.5 \sim 2 \mu\text{m}$ 。

[0009] 本发明提供的肖特基芯片的制造方法,进一步还包括隔离层形成步骤:在该步骤中,在导电多晶硅与沟槽侧缘之间制作隔离层;其步骤为先通过化学气相沉积在整个结构表面沉积一层二氧化硅层;然后通过光刻腐蚀选择性的去除沟槽底部的二氧化硅层,暴露出沟槽底部的硅外延层的前表面,并保留在沟槽侧缘形成的二氧化硅层,该沟槽侧缘的二氧化硅层构成所述隔离层。

[0010] 进一步地,所述通过化学气相沉积在整个结构表面沉积一层二氧化硅层为:通过热氧化法形成 $400 \sim 600 \text{ \AA}$ 厚度的二氧化硅层。作为另一优选,所述通过化学气相沉积在整个结构表面沉积一层二氧化硅层为:通过湿法氧化法形成 $1000 \sim 3000 \text{ \AA}$ 厚度的二氧化硅层。

[0011] 进一步地,所述(八)势垒金属及顶层金属形成步骤为:先进行绝缘层的光刻腐蚀,选择性的去除作为绝缘层的二氧化硅层,打开阴极和阳极开口,阳极暴露出硅外延层的前表面,阴极暴露出导电多晶硅的上表面及沟槽之间的间隙外延层的前表面;然后进行势垒金属沉积;再进行阴极和阳极金属形成步骤;最后进行金属光刻腐蚀,以打开暴露出绝缘层的开口、切断阳极金属和阴极金属之间的电联接。

[0012] 进一步地,所述(八)势垒金属及顶层金属形成步骤中,在进行势垒金属沉积之后,进行一次退火处理,使势垒金属与硅外延层的前表面硅形成金属合金。

[0013] 进一步地,所述沟槽内填充的导电多晶硅的方块电阻为 $14 \sim 20 \Omega / \text{sq}$ 。

[0014] 进一步地,所述(三)绝缘层部分形成步骤为:先通过热氧化在外延层表面形成一层二氧化硅层即一次氧化层,再通过化学气相沉积继续在第一次二氧化硅层上沉积第二层二氧化硅层即二次氧化层。

[0015] 本发明的有益效果:

1)通过本发明制造出来的肖特基芯片,其两个电极肖特基电极(阳极)和欧姆电极(阴极)设置在硅外延层的同一主表面上,达到了芯片级封装要求封装器件具有近似半导体管芯的尺寸需求。

[0016] 2)通过若干填充高掺杂导电多晶硅的沟槽型下沉区及阴极联接金属构成欧姆电极。重掺杂导电多晶硅具有良好的导通性能,能够有效的降低芯片的导通电阻并且可以进一步降低阴极金属的厚度,从而改善其反向导通特性,并且进一步减少了欧姆电极占用的芯片面积,更加有效实现电子电路的小型化。

[0017] 3)本制造方法,还进一步将导电多晶硅和沟槽侧缘使用绝缘材料进行隔离,有效隔离了芯片的肖特基电极和欧姆电极,同时减少了高掺杂导电多晶硅在后续高温工艺中掺杂离子的扩散,进一步降低了该肖特基芯片的反向漏电流,使其反向阻断能力强,可靠性好。

附图说明

[0018] 图1是采用传统的封装方式的肖特基芯片的结构示意图。

[0019] 图2是公告号为CN 100380679C的发明专利中的肖特基芯片结构图。

[0020] 图3本发明第一实施例中的肖特基芯片11的横截面示意图。

[0021] 图4本发明第一实施例中的肖特基芯片12的横截面示意图。

[0022] 图5是本发明第一实施例中肖特基芯片11的制造方法的流程图。

[0023] 图6是本发明第二实施例中肖特基芯片20的横截面示意图。

[0024] 图7本发明第二实施例中肖特基芯片20的制造方法的流程图。

[0025] 各图中:硅衬底2,硅衬底的前表面2a,硅衬底的背表面2b,硅外延层3,硅外延层的前表面3a,肖特基电极4,保护环41,肖特基势垒金属42,阳极金属43,欧姆电极6,沟槽填充物61,隔离层62,阴极金属63,注入下沉区64,绝缘层7,一次氧化层71,二次氧化层72,三次氧化层73。

具体实施方式

[0026] 在下文中基于附图将描述本发明的实施例。在下面的图中,相同或相应的部件用相同的附图标记表示,并且将不再重复它们的描述。

[0027] 目前市场主要使用采用传统的封装方式的肖特基芯片,其结构如图1,该芯片的两个电极即肖特基电极4(阳极)和欧姆电极6(阴极)分置于硅外延层3的前表面3a以及硅衬底2的背表面2b,使其封装器件的体积及封装厚度均难以进一步满足小型便携设备的空间受限需求。

[0028] 公告号为CN 100380679C的发明专利中所提供的芯片级封装的肖特基芯片结构如图2,其阴极(欧姆电极6)因为是通过注入以及后续的扩散驱动在外延区形成一下沉区以形成与硅外延层的电联接,由于受到注入工艺以及后续扩散的限制,这种结构的阴极在扩散过程中形成如图2中注入下沉区64所示的上宽下窄的结构,且掺杂浓度从注入区的上表面沿着扩散途径至其下表面形成由高到低的梯度,由此形成的欧姆电极具有高的导通电阻、难以达到与图1传统结构的导通性能、同时因为其注入下沉区在硅外延层前表面需要更大的面积所以器件的欧姆电极会占用较大的芯片面积。

[0029] (第一实施例)

相较上面两种肖特基芯片,图3是示意性示出本发明第一实施例中的肖特基芯片11的横截面图。如图3所示,肖特基芯片11 包括具有第一导电类型的高掺杂的硅衬底2、形成在

高掺杂的硅衬底2的前表面2a 上的低掺杂的硅外延层3、该硅外延层3也具有第一导电类型、形成在该硅外延层3上的肖特基电极4、欧姆电极6、形成在硅外延层3 上的用于隔离肖特基电极4和欧姆电极6的绝缘层7、围绕肖特基电极4的周边设置的保护环41,该保护环41具有与第一导电类型相反导电性的第二导电类型;其中所述肖特基电极4包括形成在硅外延层3上的肖特基势垒金属42以及覆盖在势垒金属42上的阳极金属43;欧姆电极6的构成包括:为若干贯穿硅外延层3的沟槽以及形成于欧姆电极顶层的阴极联接金属,且沟槽内填充有具有第一导电类型的沟槽填充物61,该沟槽填充物61与所述硅衬底2前表面2a以及阴极联接金属形成电联接。在本发明中所述沟槽填充物61优选重掺杂导电多晶硅,优选第一导电类型为掺杂磷或砷等掺杂剂的N型,因此保护环41的第二导电类型优选为掺杂硼等掺杂剂的P型;作为优选,本发明的肖特基势垒金属42选择势垒较低的肖特基势垒金属层例如Ni、Ti、Cr等,以降低器件正向开启电压,同时还能降低阳极金属层的厚度,这样能大大改善器件正向导通特性,而且通常势垒较低的金属所含贵金属如Pt等比例低或者不含贵金属,因此肖特基势垒金属层成本低,可降低整个器件的成本;作为优选,本发明使用二氧化硅作为隔离肖特基电极4和欧姆电极6的绝缘层7。作为一种优选,欧姆电极的沟槽和肖特基电极个数一对一设置,阴极联接金属为形成于沟槽填充物之上的阴极金属63,沟槽填充物重掺杂导电多晶硅的方块电阻为 $14\sim 20\ \Omega/\text{sq}$ 。

[0030] 作为另一优选,如图4中肖特基芯片12所示的欧姆电极另一布置方式,欧姆电极为若干贯穿硅外延层3的沟槽周期排列而成,周期排列的沟槽的宽度 h_1 为 $0.6\sim 1.2\ \mu\text{m}$,两沟槽之间的间隙外延层宽度 h_2 为 $0.5\sim 2\ \mu\text{m}$,当然,图4中只是示意出沟槽及其间隙外延层的周期排列模式,并不表示限于图中所示的沟槽个数,具体沟槽个数根据沟槽的宽度 h_1 、间隙宽度 h_2 以及沟槽总宽度决定;由此,形成欧姆电极6的欧姆接触的阴极联接金属为形成在间隙外延层上的势垒金属42、以及形成在整个欧姆电极顶层的阴极金属63,该势垒金属、及覆盖其上的阴极金属63以及沟槽间隙外延层形成电联接。

[0031] 本发明的肖特基芯片,既通过将肖特基芯片的两个电极肖特基电极(阳极)和欧姆电极(阴极)设置在硅外延层的同一主表面上,达到了芯片级封装要求封装器件具有近似半导体管芯的尺寸需求,还改进了欧姆电极的设计,通过若干填充高掺杂导电多晶硅的沟槽型下沉区及阳极金属构成欧姆电极。重掺杂导电多晶硅具有良好的导通性能,能够有效的降低芯片的导通电阻并且可以进一步降低阴极金属的厚度,从而改善其反向导通特性,并且进一步减少了欧姆电极占用的芯片面积,更加有效实现电子电路的小型化。

[0032] 下面将参考图5来描述制造本实施例中肖特基芯片的方法,图5是按步骤次序示出的制造本实施例中肖特基芯片的方法流程图。

[0033] 参考图5,首先执行硅衬底准备步骤(S10)。在该衬底准备步骤中,准备硅衬底2,任何制备方法制备的单晶硅片均可作为该硅衬底2,例如:准备具有晶向为 $\langle 111 \rangle$ 的重掺杂磷的N型硅衬底。

[0034] 接下来,执行硅外延层形成步骤(S20)。在该步骤中,在硅衬底2上形成硅外延层3,外延层3相对硅衬底为轻掺杂且具有与硅衬底同样导电类型,例如硅衬底具有晶向为 $\langle 111 \rangle$ 的重掺杂磷的N型硅衬底,则硅外延层为轻掺杂磷的N型导电的 $\langle 111 \rangle$ 晶向的单晶硅外延层。

[0035] 接下来,执行绝缘层部分形成步骤(S30)。在该步骤中,在硅外延层3的前表面3a上形成二氧化硅层作为绝缘层7的一部分。具体的,例如:通过执行化学气相沉积在硅外延层

表面沉积一层二氧化硅层或者通过热氧化外延层表面的硅层、在外延层表面形成该二氧化硅层。热氧化生长的二氧化硅具有更优的薄膜质量,对器件性能的稳定性和可靠性更有利,但其生长速度慢,因此,本发明执行该绝缘层部分形成步骤优选采用先通过热氧化在外延层表面形成一层薄的二氧化硅层即一次氧化层71,再通过化学气相沉积继续在第一次二氧化硅层上沉积第二层二氧化硅层即二次氧化层72,两次二氧化硅层的总厚度达到该步骤所要求的二氧化硅层的厚度,这样既保证了绝缘层良好的绝缘特性,确保最终器件性能的稳定性和可靠性,同时也保证了生产工艺的效率,但该步骤并不限于所述的进行两次氧化的方法。

[0036] 接下来,执行沟槽形成步骤(S40)。具体的,该步骤以上面步骤中形成的二氧化硅层为硬掩模,通过光刻和刻蚀选择性的蚀刻出贯穿整个硅外延层的沟槽。作为优选,根据图3,欧姆电极的沟槽和肖特基电极个数一对一设置;作为另一优选,根据图4,欧姆电极的沟槽排布为若干贯穿硅外延层3的沟槽周期排列而成,因此该沟槽形成步骤中,各沟槽的开口宽度 h_1 优选为 $0.6\sim 1.2\mu\text{m}$,两沟槽之间的间隙外延层宽度 h_2 为优选 $0.5\sim 2\mu\text{m}$ 。后一种沟槽排布优选方式,在生产工艺上更易控制、且节省工艺时间。

[0037] 接下来,填充多晶硅步骤(S50)。该步骤中,在上面形成的沟槽中填充重掺杂的多晶硅61,该多晶硅61具有与硅外延层3同样的第一导电类型,例如填充重掺杂磷的多晶硅,其导电类型为N型,优选的该重掺杂的多晶硅的方块电阻为 $14\sim 20\ \Omega/\text{sq}$ 。具体的执行步骤为:先清洗整个结构层表面;之后在整个结构层表面沉积重掺杂的多晶硅,确保整个沟槽被填充;之后选择性去除部分多晶硅,使最后只在沟槽内填充有多晶硅且多晶硅与外延层3前表面3a平齐。

[0038] 接下来,肖特基电极的保护环41形成步骤(S60)。保护环41采用离子注入法形成,保护环41的导电类型为第二导电类型,与第一导电类型相反,例如:第一导电类型为N型,则保护环使用离子注入法注入硼离子,具有导电类型P型。具体的,如:通过光刻胶刻蚀出氧化层开口,使其暴露出硅外延层;然后通过离子注入掺杂剂;去除光刻胶并清洗整个结构层表面。

[0039] 接下来,执行绝缘层另一部分形成及离子扩散步骤(S70)。在该步骤中,通过化学气相沉积法沉积一层二氧化硅作为绝缘层另外一部分三次氧化层73,在三次氧化层73生长的同时,通过氧化时高温作用,进行注入离子的热扩散,从而最终形成保护环41。具体的,先清洗整个结构层的表面;之后在整个结构层表面通过化学气相沉积法沉积一层二氧化硅层即三次氧化层73,沉积过程中,通过控制氧化时的温度及时间,同时满足完成所需氧化硅层厚度的形成和注入离子扩散长度的控制,从而在形成氧化硅层的同时形成最终的阳极保护环。

[0040] 接下来,执行势垒金属及顶层金属形成步骤(S80)。在该步骤中,在阳极开口处完成势垒金属42的形成,从而在阳极形成势垒金属42和硅外延层3的肖特基接触;该步骤中,还完成顶层阳极金属43和阴极金属63的形成,阳极金属和阴极金属可以选择同样的金属例如都选择TiNiAg,或都选择CrNiAu等;也可以选择不同的金属分别作阳极和阴极,但是两电极选择不同的金属,会增加一次光刻和金属形成的工艺,器件成本会随之增加,因此,本发明优选同样的金属作为两电极金属材料,但本发明不限于该选择。具体的,先进行绝缘层的光刻腐蚀步骤(S81),选择性的去除作为绝缘层的二氧化硅层,打开阴极和阳极开口,阳极

暴露出硅外延层3的前表面3a,阴极暴露出导电多晶硅61的上表面(形成图4的肖特基芯片12时,该处还会暴露出各沟槽间隙外延层的前表面);然后进行势垒金属沉积步骤(S82),势垒金属沉积的方法可以是磁控溅射或金属热蒸发等;然后进行阴极和阳极金属形成(S83)步骤;最后进行金属光刻腐蚀步骤(S84),以打开暴露出绝缘层7的开口、切断阳极金属和阴极金属之间的电连接。优选的,例如势垒金属为Ni,对应的阳极和阴极金属选择TiNiAg,因为Ti和Ni具有很好的附着力,确保金属间良好的接触,减低导通电阻,也减少表面金属脱落的风险;再如:势垒金属为Ni,对应的阳极和阴极金属选择TiWNiVA1;再如:势垒金属为Cr,对应的阳极和阴极金属选择CrNiAu或CrTiWNiVA1。但本发明势垒金属及阴极和阳极金属的选择并不限于此处所列。优选的,在进行势垒金属沉积步骤(S82)之后,进行一次退火处理,使其与硅外延层3表面硅形成金属合金,以增加势垒高度,减少反向漏电流,同时金属合金的势垒高度相对更为稳定,例如:势垒金属为NiPt合金,形成势垒金属NiPt后,进行退火处理,该退火过程中,在阳极开口处,势垒金属NiPt在硅外延层3表面与单晶硅形成镍硅合金及铂硅合金。

[0041] (第二实施例)

图6是示意性示出本实施例中肖特基芯片20的横截面图。如图6所示,本实施例中的肖特基芯片20与第一实施例中肖特基芯片11的不同之处在于:肖特基芯片进一步包括:在若干贯穿硅外延层3的沟槽的侧缘,导电多晶硅61与沟槽侧缘之间设有隔离层62;优选的,隔离层62与绝缘层选择相同的绝缘材料,例如和绝缘层71一样均采用二氧化硅,这样就可以在绝缘层71形成的同时,完成该隔离层62的形成,减少了工艺步骤,节约器件的制造成本;优选该二氧化硅隔离层的厚度为400~3000Å。但本发明并不限于隔离层62与绝缘层71必须选择一样的材料,也可分别使用不同的绝缘材料,但是两者采用不同的材料,会增加一次绝缘材料形成和光刻刻蚀步骤,器件成本增加。本实施例的肖特基芯片20相对于第一实施例的肖特基芯片11,因为将导电多晶硅和沟槽侧缘进行了进一步的绝缘材料隔离,因此进一步的有效隔离了芯片的肖特基电极和欧姆电极,同时减少了高掺杂导电多晶硅在后续高温工艺中掺杂离子的扩散,进一步降低了该肖特基芯片的反向漏电流,使其反向阻断能力增强,可靠性好。

[0042] 图7是按步骤次序示出的制造本实施例中肖特基芯片20的方法的流程图。

[0043] 参考图7,首先执行硅衬底准备步骤(S10),该步骤与第一实施例相同。

[0044] 接下来,执行硅外延层形成步骤(S20),该步骤与第一实施例相同。

[0045] 接下来,执行绝缘层部分形成步骤(S30)。该步骤与第一实施例相同。

[0046] 接下来,执行沟槽形成步骤(S40)。该步骤与第一实施例相同。

[0047] 接下来,执行隔离层形成步骤(S90)。在该步骤中,完成导电多晶硅61与沟槽侧缘之间的隔离层62的制作。具体的,例如:先执行氧化步骤(S91),通过化学气相沉积在整个结构表面沉积一层二氧化硅层,该步骤中可以采用热氧化,其厚度优选为400~600Å,或者采用湿氧化,其厚度为1000~3000Å;然后执行隔离层光刻腐蚀步骤(S92),通过光刻腐蚀选择性的去除沟槽底部的二氧化硅层,暴露出沟槽底部的硅外延层3的前表面3a,并保留在沟槽侧缘形成的二氧化硅层,该沟槽侧缘的二氧化硅层即构成所述隔离层62。

[0048] 接下来,执行填充多晶硅步骤(S50)、肖特基电极的保护环41形成步骤(S60)、绝缘层另一部分形成及离子扩散步骤(S70)、势垒金属及顶层金属形成步骤(S80)。这几个步骤

与第一实施例相同。

[0049] 当然,本实施例中肖特基芯片20的沟槽排布同样可以采用如第一实施例中肖特基芯片12的周期排列方式,其变换方法等同与第一实施例中肖特基芯片11至肖特基芯片12的变化。

[0050] 在下文中,将描述本发明的实例。

[0051] 实例1

本实例根据图5示意出的本发明第一实施例中肖特基芯片11的制造方法,制造出的本实例的肖特基芯片。

[0052] 具体的,硅衬底准备步骤,使用了晶向为<111>的重掺杂磷的N型硅衬底,电阻率为 $0.0010 \Omega \cdot \text{cm}$ 。

[0053] 接下来,硅外延层形成,形成了轻掺杂磷的N型导电的<111>晶向的硅外延层,硅外延层厚度 $3.6 \mu\text{m}$,电阻率 $0.56 \Omega \cdot \text{cm}$ 。

[0054] 接下来,先通过热氧化先长一层一次氧化层500A的二氧化硅,然后通过湿氧化形成二次氧化层5000A的二氧化硅。

[0055] 接下来,以上面形成二氧化硅层为硬掩模,通过光刻和干法刻蚀选择性的蚀刻出一长方形的沟槽,并在沟槽底部暴露出硅外延层的前表面3a。

[0056] 接下来,在上面形成的沟槽中通过LPCVD淀积方法,在沟槽中填充掺杂磷的导电多晶硅,导电多晶硅的方块电阻为 $18 \Omega / \text{sq}$ 。

[0057] 接下来,通过光刻胶刻蚀出氧化层开口,使其暴露出硅外延层;然后通过离子注入掺杂剂硼,形成肖特基电极的保护环41;去除光刻胶并清洗整个结构层表面。

[0058] 接下来,通过化学气相沉积法沉积形成三次氧化层即厚度3300A的二氧化硅,同时通过氧化时高温作用,进行注入离子的热扩散,从而最终形成了保护环41。

[0059] 接下来,形成势垒金属和两电极金属。具体的,先进行绝缘层二氧化硅的光刻腐蚀,选择性的去除二氧化硅层,打开阴极和阳极开口;然后进行通过金属热蒸发进行了势垒金属Ni沉积,Ni的厚度为500A;然后进行在450度的温度下、N₂保护氛围下的退火处理,在该退火过程中,在阳极开口处,势垒金属Ni在硅外延层3表面与单晶硅形成了镍硅合金,镍硅合金和硅外延层构成了肖特基接触,形成势垒;之后采用金属热蒸发法,在整个结构层表面形成金属层TiNiAg;最后进行金属光刻腐蚀,以打开暴露出二氧化硅层的开口、切断阳极金属和阴极金属之间的联接。

[0060] 实例2

本实例根据图7示意出的本发明实施例二中肖特基芯片20的制造方法,制造出的本实例的肖特基芯片。本实例的肖特基芯片与实例1不同之处在于增加了在沟槽侧缘和导电多晶硅之间的二氧化硅隔离层,该二氧化硅隔离层通过湿氧化形成,其厚度为1500A,其余的如硅衬底、硅外延层、导电多晶硅、势垒金属、两电极金属等均与实例1完全相同。

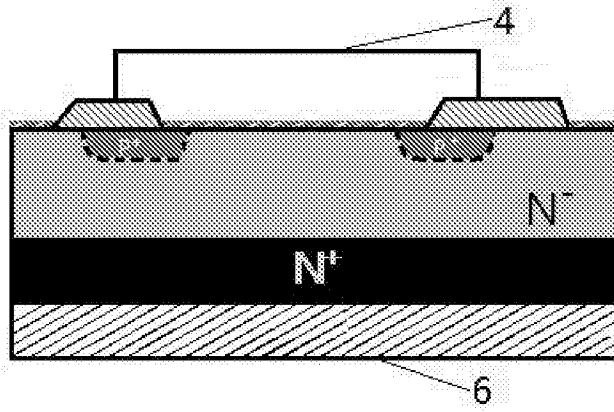


图1

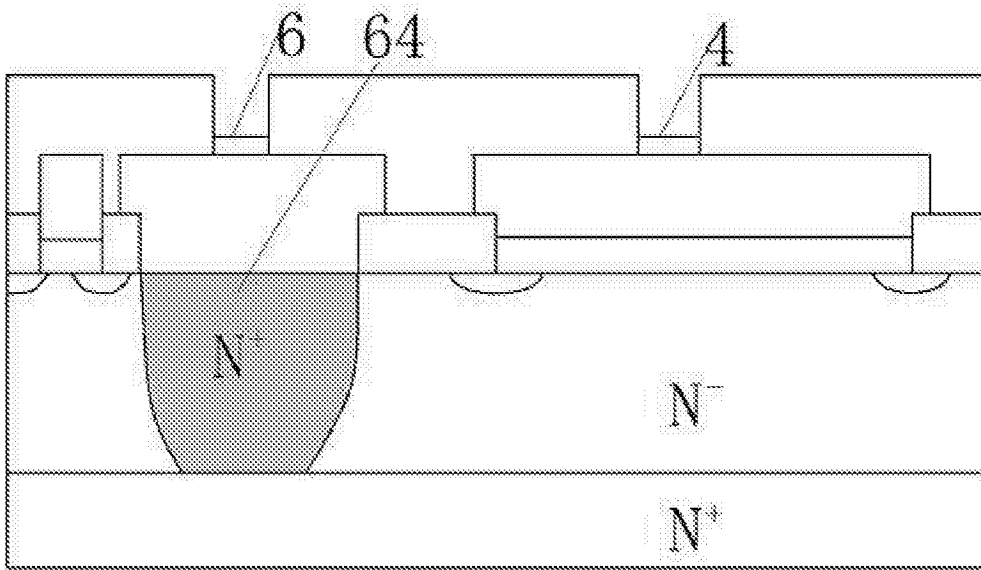


图2

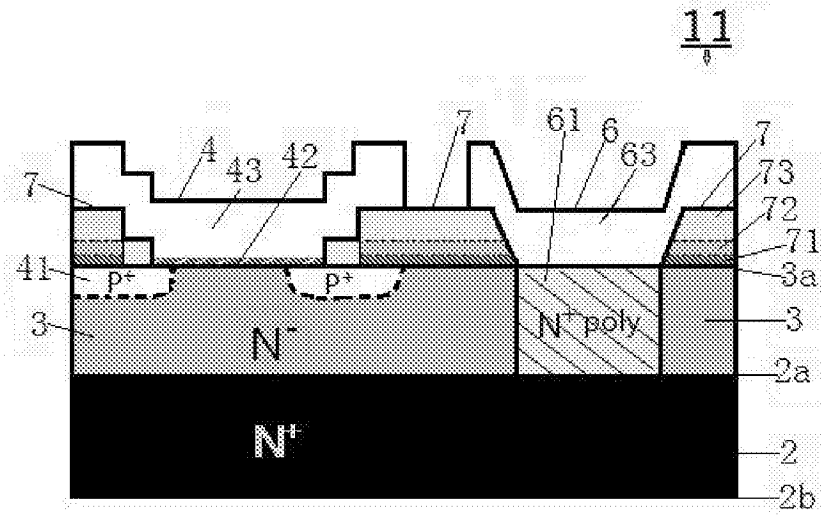


图3

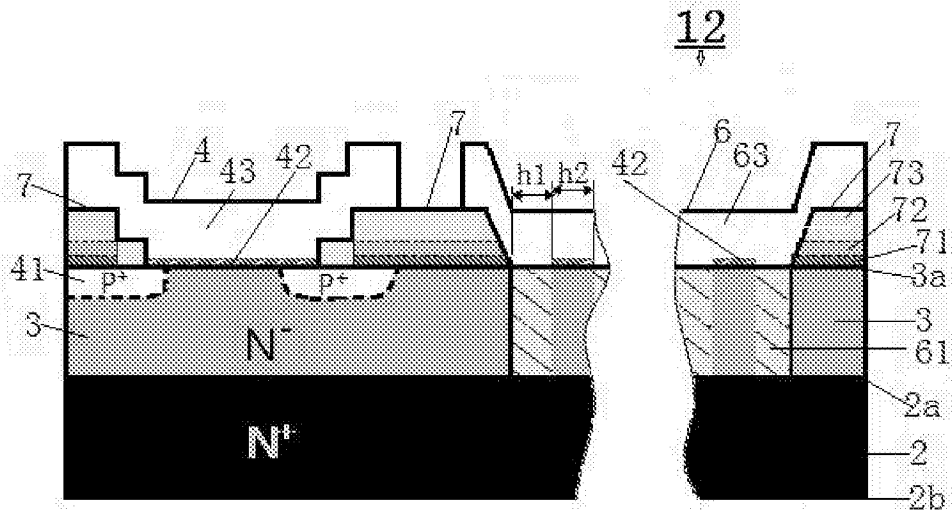


图4

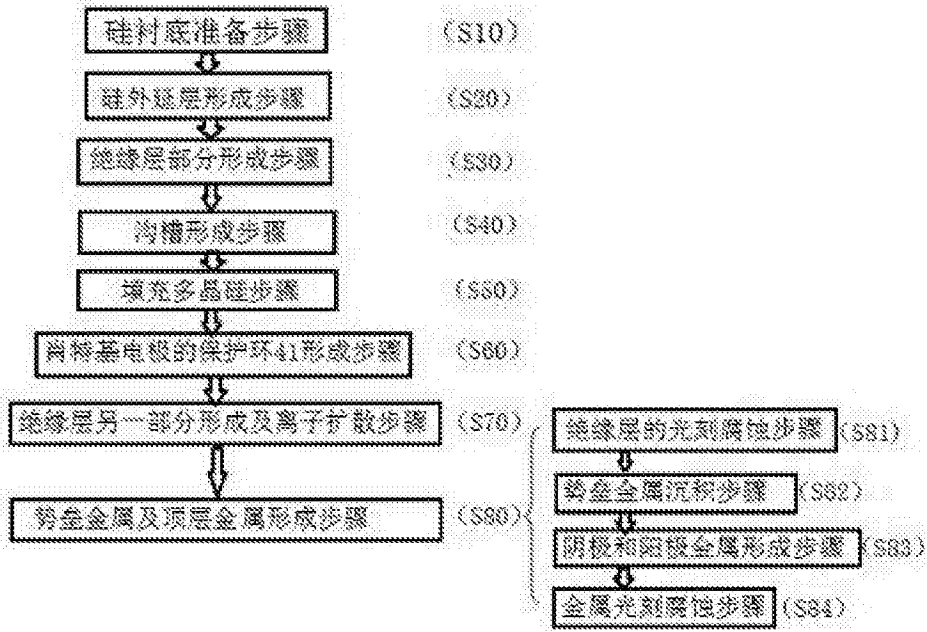


图5

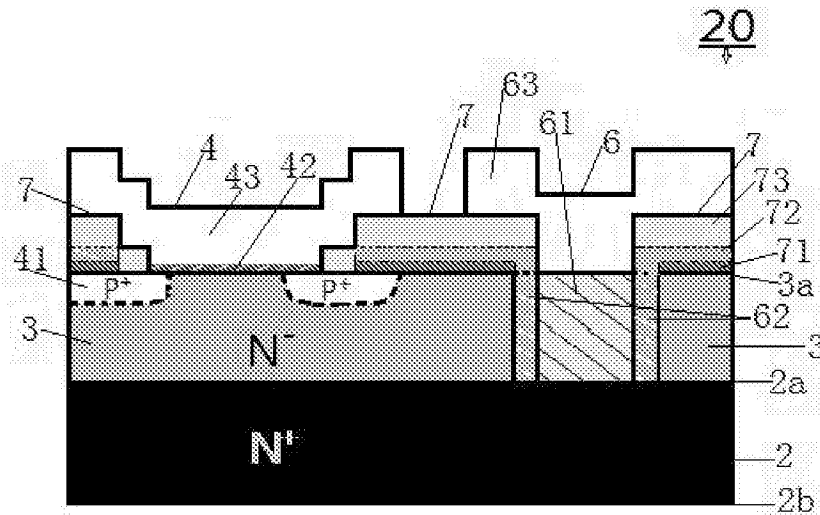


图6

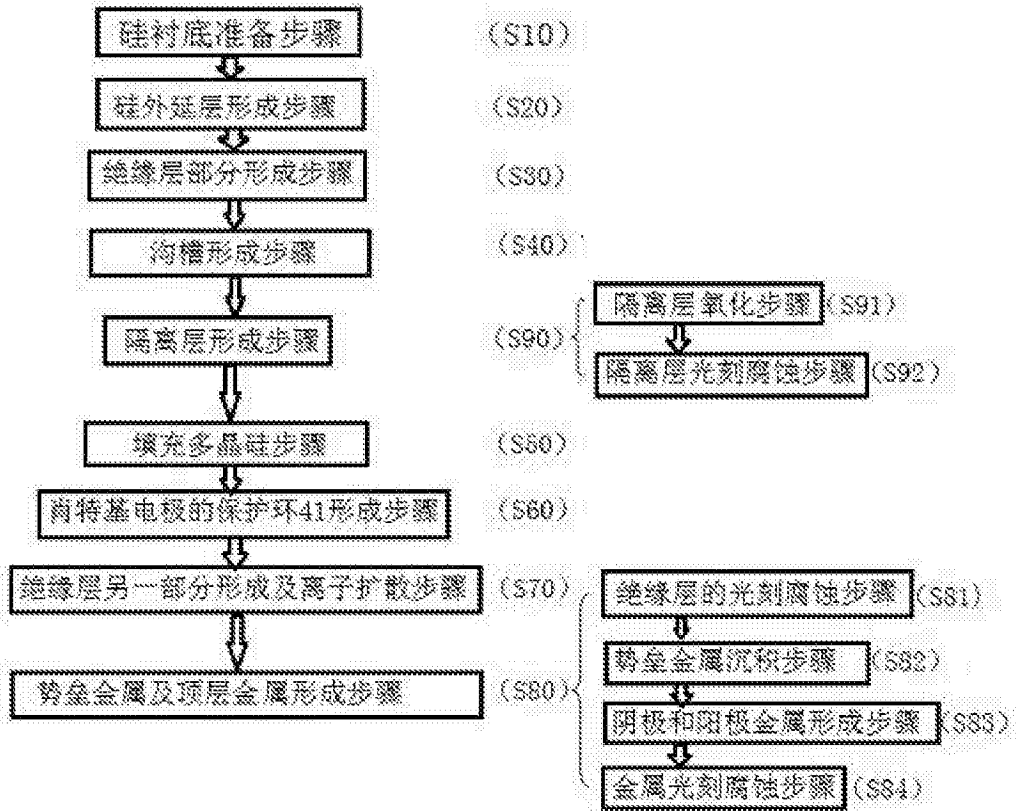


图7