

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5386084号
(P5386084)

(45) 発行日 平成26年1月15日(2014.1.15)

(24) 登録日 平成25年10月11日(2013.10.11)

(51) Int.Cl. F I
CO1G 15/00 (2006.01) CO1G 15/00 B
HO1L 29/786 (2006.01) HO1L 29/78 618B

請求項の数 15 (全 21 頁)

(21) 出願番号	特願2007-545284 (P2007-545284)	(73) 特許権者	000183646 出光興産株式会社 東京都千代田区丸の内3丁目1番1号
(86) (22) 出願日	平成18年11月16日(2006.11.16)	(74) 代理人	100086759 弁理士 渡辺 喜平
(86) 国際出願番号	PCT/JP2006/322837	(72) 発明者	矢野 公規 千葉県袖ヶ浦市上泉1280番地
(87) 国際公開番号	W02007/058248	(72) 発明者	井上 一吉 千葉県袖ヶ浦市上泉1280番地
(87) 国際公開日	平成19年5月24日(2007.5.24)	(72) 発明者	島根 幸朗 千葉県袖ヶ浦市上泉1280番地
審査請求日	平成21年8月18日(2009.8.18)	(72) 発明者	渋谷 忠夫 千葉県袖ヶ浦市上泉1280番地
(31) 優先権主張番号	特願2005-334500 (P2005-334500)	(72) 発明者	吉仲 正浩 千葉県袖ヶ浦市上泉1280番地
(32) 優先日	平成17年11月18日(2005.11.18)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体薄膜、及びその製造方法、並びに薄膜トランジスタ

(57) 【特許請求の範囲】

【請求項1】

インジウム、正二価元素及び酸素を含有する薄膜からなり、四端子法で求めた比抵抗が $10^{-1} \sim 10^8 \text{ cm}$ であり、キャリア密度が $2 \times 10^{+17} \text{ cm}^{-3}$ 未満であることを特徴とする半導体薄膜。

【請求項2】

前記正二価元素が亜鉛、マグネシウム、銅、コバルト、ニッケル、カルシウムから選ばれた一以上の元素であることを特徴とする請求項1に記載の半導体薄膜。

【請求項3】

伝導帯と価電子帯とのエネルギーバンドギャップが 2.8 eV 以上であることを特徴とする請求項1～2のいずれか1項に記載の半導体薄膜。

10

【請求項4】

前記薄膜が結晶質を含む膜からなることを特徴とする請求項1～3のいずれか1項に記載の半導体薄膜。

【請求項5】

前記薄膜中のインジウム [In] と、正二価元素 [X] との原子比が、 $X / (X + In) = 0.0001 \sim 0.1$ であることを特徴とする請求項1～4のいずれか1項に記載の半導体薄膜。

【請求項6】

請求項1～5のいずれか1項に記載の半導体薄膜の製造方法であって、

20

酸化インジウム、及び正二価元素の酸化物を含有する薄膜を成膜する成膜工程と、前記薄膜の酸化処理工程或いは結晶化工程とを含むことを特徴とする半導体薄膜の製造方法。

【請求項 7】

前記酸化処理工程或いは結晶化工程において、

前記薄膜を酸素存在下又は酸素の非存在下、 $80 \sim 650$ 、 $0.5 \sim 12000$ 分の条件で熱処理することを特徴とする請求項 6 に記載の半導体薄膜の製造方法。

【請求項 8】

前記酸化処理工程或いは結晶化工程において、

前記薄膜を酸素存在下又は酸素の非存在下、ランプアニール装置 (LA; Lamp Annealer)、急速熱アニール装置 (RTA; Rapid Thermal Annealer)、又はレーザーアニール装置により熱処理することを特徴とする請求項 6 又は 7 のいずれか 1 項に記載の半導体薄膜の製造方法。

10

【請求項 9】

前記酸化処理工程或いは結晶化工程がオゾン処理であることを特徴とする請求項 6 ~ 8 のいずれか 1 項に記載の半導体薄膜の製造方法。

【請求項 10】

前記酸化処理工程或いは結晶化工程において、

前記薄膜の少なくとも一部を非晶質膜から結晶質膜に結晶化させることを特徴とする請求項 6 ~ 9 のいずれか 1 項に記載の半導体薄膜の製造方法。

20

【請求項 11】

前記成膜工程において、前記薄膜を基板温度 200 以下で物理成膜することを特徴とする請求項 6 ~ 10 のいずれか 1 項に記載の半導体薄膜の製造方法。

【請求項 12】

前記薄膜中のインジウム [In] と、正二価元素 [X] との原子比を、 $X / (X + In) = 0.0001 \sim 0.1$ とすることを特徴とする請求項 6 ~ 11 のいずれか 1 項に記載の半導体薄膜の製造方法。

【請求項 13】

請求項 1 ~ 5 のいずれか 1 項に記載の半導体薄膜を用いたことを特徴とする薄膜トランジスタ。

30

【請求項 14】

請求項 6 ~ 12 のいずれか 1 項に記載の半導体薄膜の製造方法により製造された半導体薄膜を用いたことを特徴とする薄膜トランジスタ。

【請求項 15】

素子構成が、ボトムゲート構成であることを特徴とする請求項 13 ~ 14 のいずれか 1 項に記載の薄膜トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インジウム、正二価元素及び酸素を含有する半導体薄膜、及びその製造方法、並びにそのような半導体薄膜を用いた薄膜トランジスタに関する。

40

【背景技術】

【0002】

電界効果型トランジスタは、半導体メモリ集積回路の単位電子素子、高周波信号増幅素子、液晶駆動用素子などとして広く用いられており、現在、最も多く実用化されている電子デバイスである。

そのなかでも、近年における表示装置のめざましい発展に伴い、液晶表示装置 (LCD) のみならず、エレクトロルミネッセンス表示装置 (EL) や、フィールドエミッションディスプレイ (FED) などの各種の表示装置において、表示素子に駆動電圧を印加して表示装置を駆動させるスイッチング素子として、薄膜トランジスタ (TFT) が多用され

50

ている。

また、その材料としては、シリコン半導体化合物が最も広く用いられており、一般に、高速動作が必要な高周波増幅素子、集積回路用素子などには、シリコン単結晶が用いられ、液晶駆動用素子などには、大面積化の要求からアモルファスシリコンが用いられている。

【0003】

しかしながら、結晶性のシリコン系薄膜は、結晶化を図る際に、例えば、800 以上の高温が必要となり、ガラス基板上や有機物基板上への構成が困難である。このため、シリコンウェハーや石英などの耐熱性の高い高価な基板上にしか形成できないばかりか、製造に際して多大なエネルギーと工程数を要するなどの問題があった。

10

また、結晶性のシリコン系薄膜は、通常、TFTの素子構成がトップゲート構成に限定されるため、マスク枚数の削減などによるコストダウンが困難であった。

【0004】

一方、比較的低温で形成できる非晶性のシリコン半導体（アモルファスシリコン）は、結晶性のものに比べてスイッチング速度が遅いため、表示装置を駆動するスイッチング素子として使用したときに、高速な動画の表示に追従できない場合がある。

さらに、半導体活性層に可視光が照射されると導電性を示し、漏れ電流が発生して誤動作のおそれがあるなど、スイッチング素子としての特性が劣化するという問題もある。そのため、可視光を遮断する遮光層を設ける方法が知られており、例えば、遮光層としては金属薄膜が用いられている。

20

しかしながら、金属薄膜からなる遮光層を設けると工程が増えるだけでなく、浮遊電位を持つこととなるので、遮光層をグラウンドレベルにする必要があり、その場合にも寄生容量が発生するという問題がある。

【0005】

なお、現在、表示装置を駆動させるスイッチング素子としては、シリコン系の半導体膜を用いた素子が主流を占めているが、それは、シリコン薄膜の安定性、加工性の良さの他、スイッチング速度が速いなど、種々の性能が良好なためである。そして、このようなシリコン系薄膜は、一般に化学蒸気析出法（CVD）法により製造されている。

また、従来の薄膜トランジスタ（TFT）は、ガラス等の基板上にゲート電極、ゲート絶縁層、水素化アモルファスシリコン（a-Si:H）等の半導体層、ソース及びドレイン電極を積層した逆スタガ構造のものがあり、イメージセンサを始め、大面積デバイスの分野において、アクティブマトリクス型の液晶ディスプレイに代表されるフラットパネルディスプレイ等の駆動素子として用いられている。これらの用途では、従来アモルファスシリコンを用いたものでも高機能化に伴い作動の高速化が求められてきている。

30

【0006】

このような状況下、近年にあっては、シリコン系半導体薄膜よりも安定性が優れるものとして、金属酸化物からなる透明半導体薄膜、特に、酸化亜鉛結晶からなる透明半導体薄膜が注目されている。

例えば、特許文献1や、特許文献2などには、酸化亜鉛を高温で結晶化し薄膜トランジスタを構成する方法が記載されており、非特許文献1には、PLD（パルスレーザーディポジション）法で樹脂基板上に酸化インジウム、酸化ガリウム、酸化亜鉛からなる非晶質の透明半導体膜を作成し、薄膜トランジスタを駆動させる方法が記載されている。

40

【0007】

なお、従来から酸化インジウムと正二価元素の酸化物を含有する透明導電膜は知られている（例えば、特許文献3参照）。しかし、そのような透明導電膜において、亜鉛などの正二価元素は、キャリア密度を向上させたり、ウェットエッチングを容易にするなどの目的で含有されているに過ぎない。キャリア密度を低濃度に制御するために正二価元素をドーパントとして利用し、これによって、キャリア密度を低減させたり、薄膜トランジスタを駆動させようとする試みはなされていなかった。

【特許文献1】特開2003-86808号公報

50

【特許文献2】特開2004-273614号公報

【特許文献3】特開平7-235219号公報

【非特許文献1】NATURE vol.432 25 NOVEMBER 2004;p488-492

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、このような金属酸化物からなる透明半導体薄膜のうち、特に、酸化亜鉛を高温で結晶化してなる透明半導体薄膜は、電界効果移動度が $1\text{ cm}^2/\text{V}\cdot\text{sec}$ 程度と低く、 on-off 比も小さい。その上、漏れ電流が発生しやすいため、工業的には実用化が困難であった。また、酸化亜鉛を用いた結晶質を含む酸化物半導体については、多数の検討がなされているが、工業的に一般に行われているスパッタリング法で成膜した場合には、次のような問題があった。

10

すなわち、移動度が低い、 on-off 比が低い、漏れ電流が大きい、ピンチオフが不明瞭、ノーマリーオンになりやすいなど、TFETの性能が低くなるおそれがあった。また、耐薬品性が劣るため、ウェットエッチングが難しいなど、製造プロセスや使用環境の制限があった。さらに、性能を上げるためには高い圧力で成膜する必要があり、このため、成膜速度が遅かったり、700以上の高温処理が必要であったりするなど、工業化に問題もあった。また、ボトムゲート構成での電解移動度などのTFET性能が低く、性能を上げるにはトップゲート構成で膜厚を50nm以上にする必要があるなど、TFET素子構成上の制限もあった。

20

【0009】

また、非晶質の透明半導体薄膜は、特性の経時変化や熱変化が大きいため、長期使用時の閾値電圧の変化が大きいためなどの問題がある。特に液晶パネルのプロセスでは250以上、時には300以上の熱がかかる場合があり、特性の熱変化は、工業化する上での大きな障害となっていた。これは、キャリア数が大きすぎたり、非晶質であるため又は成膜時の酸素分圧を上げることで無理に酸素を含有させているため、酸素の移動が起こりやすくキャリア密度が変化しやすかったりするためであると推定される。

また、非晶質の透明半導体薄膜は、成膜時に多量の酸素を導入することが多いために制御が難しく、キャリア密度の経時変化や環境温度による変化が生じやすいことから成膜時の酸素分圧を精密に制御する必要があり、工業化する際の再現性、安定性、大面積均一性に問題があり、大型液晶ディスプレイなどへの適用は困難であった。

30

さらに、非晶質であるため、PANに代表されるエッチング液などへの耐薬品性が低く、半導体膜上の金属配線がウェットエッチングできない、屈折率が大きく多層膜の透過率が低下しやすいなどの欠点があった。また、非晶質であるため、雰囲気ガス中の酸素や水などを吸着して、電気特性が変化してしまうことにより、歩留まりが低下するなどのおそれもあった。

【0010】

一方、酸化インジウムの結晶質を含む膜、特に、多結晶膜は、酸素欠損が生成しやすく、成膜時の酸素分圧を上げたり、酸化処理などをしたりしても、キャリア密度を $2 \times 10^{17}\text{ cm}^{-3}$ 未満とすることが困難と考えられていた。そのため、半導体膜又はTFETとして用いる試みはほとんどなされていなかった。

40

【0011】

本発明は、上記の事情に鑑みなされたものであり、インジウム、正二価元素及び酸素を含有する半導体薄膜であって、キャリア濃度が低いとともに、ホール移動度が高く、また、エネルギーバンドギャップも大きい半導体薄膜、及びそのような半導体薄膜の製造方法、並びにそのような半導体薄膜を用いた、耐熱性や耐薬品性が高く、長期使用時の閾値のシフト量が少なく、しかも、電界効果移動度と on-off 比が高いとともに、漏れ電流の発生などの照射光による影響を小さくして、素子特性を向上させた薄膜トランジスタの提供を目的とする。

【課題を解決するための手段】

50

【0012】

上記課題を解決する本発明に係る半導体薄膜は、インジウム、正二価元素及び酸素を含有する薄膜からなり、四端子法で求めた比抵抗が $10^{-1} \sim 10^8 \text{ cm}$ であり、キャリア密度が $2 \times 10^{+17} \text{ cm}^{-3}$ 未満である構成としてある。

なお、透明半導体薄膜40の比抵抗は、室温付近の温度環境下で測定するものとし、室温付近とは、 $0 \sim 40$ 程度の温度範囲をいうものとする。

【0013】

このような構成とすることにより、本発明に係る半導体薄膜を用いることで、電界効果移動度と $on - off$ 比が高く、ピンチオフが明瞭な、従来のアモルファスシリコンを用いた電界効果型トランジスタに代わる大面積化の可能な、新たな優れた電界効果型トランジスタを得ることができる。また、このようにして得られるトランジスタは、無アルカリガラスなどの耐熱温度に限界のある基板上に構成することが可能である。

また、比抵抗が 10^{-1} cm より小さいと、電気が容易に流れ半導体薄膜として機能しないおそれがある。

一方、比抵抗が 10^8 cm より大きいと、強い電界をかけないと半導体として機能しないおそれがある。

また、本発明に係る半導体薄膜は、正二価元素を用いてキャリア濃度を低減させており、キャリア濃度を正二価元素の濃度で制御することができる。そのため、成膜時の酸素分圧でキャリア密度を制御する場合に比べ、均一性、安定性、再現性で優れている。

【0014】

また、キャリア密度が $2 \times 10^{+17} \text{ cm}^{-3}$ 以上になると、TFETとして駆動しないおそれがある。また、TFETとして駆動しても、ノーマリーオンになったり、閾値電圧が高くなったり、 $on - off$ 比が小さくなったり、漏れ電流が大きくなったりするおそれがある。

【0015】

また、本発明に係る半導体薄膜は、インジウム、正二価元素及び酸素を含有する薄膜からなり、四端子法で求めた比抵抗が $10^{-1} \sim 10^8 \text{ cm}$ であるとともに、酸化インジウムのピクスバイト型結晶を含む構成とすることができ、ピクスバイト構造をとることでホール移動度を高くすることができる。これは、インジウムの5s軌道が陵共有構造をとることによるものと推定される。

また、亜鉛などの正二価元素の少なくとも一部は、インジウムを固溶置換していることが好ましい。正三価であるインジウムを正二価元素が固溶置換することで効果的にキャリア密度を低下させることが期待できるからである。

【0016】

また、本発明に係る半導体薄膜は、効率的にキャリア濃度を制御できることから、前記正二価元素が亜鉛、マグネシウム、銅、コバルト、ニッケル、カルシウムから選ばれた一以上の元素であるのが好ましい。

【0017】

また、本発明に係る半導体薄膜は、伝導帯と価電子帯とのエネルギーバンドギャップが 2.8 eV 以上とするのが好ましく、このようにすることで、可視光の照射により、価電子帯の電子が励起されて漏れ電流が流れやすくなるおそれがあるという不具合を有効に回避することができる。

【0018】

また、本発明に係る半導体薄膜は、前記薄膜が結晶質を含む膜からなるのが好ましく、半導体薄膜の少なくとも一部又は全部を結晶質とすることで、半導体薄膜を非晶質とした場合に比べて、キャリア濃度の低減・制御を容易とすることができることに加え、トランジスタを構成した際に動作が安定化しやすい。そのため、耐熱性・耐久性に優れたトランジスタを作ることができる。

なお、薄膜に含ませる結晶質は、単結晶、多結晶のいずれであってもよいが、工業的に製造が容易で、大面積化が可能な多結晶膜が好ましい。また、単結晶は、製造プロセスや

10

20

30

40

50

使用時における屈曲や衝撃でクラックが発生するおそれがあるため、このことから多結晶が好ましい。

【0019】

また、本発明に係る半導体薄膜は、前記薄膜中のインジウム [In] と、正二価元素 [X] との原子比が、 $X / (X + In) = 0.0001 \sim 0.1$ であるのが好ましい。

原子比 [$X / (X + In)$] が 0.0001 より小さいと、キャリア数が制御できないおそれがある。

一方、原子比 [$X / (X + In)$] が 0.1 より大きくなると、界面あるいは表面が変質しやすく不安定になるおそれや、結晶化温度が高く結晶化が困難となって、キャリア濃度が高くなったり、キャリア濃度が経時変化したり、ホール移動度が低下したり、耐熱性が低下したり、耐薬品性が低下したりするおそれがある。また、トランジスタを駆動させた際に閾値電圧が変動したり、駆動が不安定となったりするおそれがある。

10

【0020】

また、本発明に係る半導体薄膜の製造方法は、前述したような半導体薄膜の製造方法であって、酸化インジウム、及び正二価元素の酸化物を含有する薄膜を成膜する成膜工程と、前記薄膜のドーパントを機能させる酸化処理工程或いは結晶化工程とを含む方法としてある。

【0021】

このような方法とした本発明に係る半導体薄膜の製造方法によれば、薄膜中に酸化インジウムを主成分として含有させることで、高い移動度を実現するとともに、雰囲気ガス中の水又は水素の含有量を制御することによって、移動度を制御することができる。

20

また、正三価元素であるインジウムに対して正二価元素を含有させるとともに、成膜時或いは成膜後に少なくとも一部を結晶化させることで、安定して均一にキャリア濃度を減少させることも可能となる。

【0022】

また、本発明に係る半導体薄膜の製造方法は、前記酸化処理工程或いは結晶化工程において、前記薄膜を酸素存在下又は酸素非存在下で、80～650、0.5～12000分の条件で熱処理する方法とすることができる。

熱処理の温度が80より低いと処理効果が発現しなかったり、時間がかかりすぎたりするおそれがあり、650より高いと基板が変形するおそれがある。

30

また、熱処理の時間が0.5分より短いと内部まで電熱する時間が不足し処理が不十分となるおそれがあり、12000分より長いと処理装置が大きくなり工業的に使用できなかったり、処理中に基板が破損・変形したりするおそれがある。

【0023】

また、本発明に係る半導体薄膜の製造方法は、前記酸化処理工程或いは結晶化工程において、前記薄膜を酸素存在下又は酸素非存在下で、ランプアニール装置 (LA; Lamp Annealer)、急速熱アニール装置 (RTA; Rapid Thermal Annealer)、又はレーザーアニール装置により熱処理する方法とすることができる。また、酸化処理工程或いは結晶化工程は、オゾン処理とすることができる。また、酸化処理工程或いは結晶化工程は、高周波素、電磁波、紫外線、プラズマやその他のエネルギーを加えることによってもよい。

40

【0024】

また、本発明に係る半導体薄膜の製造方法は、前記成膜工程において、前記薄膜を基板温度200以下で物理成膜する方法とすることができる。

このような方法とすれば、低キャリア濃度に制御しやすくなる。

【0025】

また、本発明に係る半導体薄膜の製造方法は、前記薄膜中のインジウム [In] と、正二価元素 [X] との原子比を、 $X / (X + In) = 0.0001 \sim 0.1$ とするのが好ましい。

原子比 [$X / (X + In)$] が 0.0001 より小さいと、キャリア数が制御できない

50

おそれがある。

一方、原子比 $[X / (X + I n)]$ が 0.1 より大きくなると、界面あるいは表面が変質しやすく不安定になるおそれがあるとともに、結晶化温度が高く結晶化が困難となってしまうことから、耐熱性が低下したり、耐薬品性が低下したり、キャリア濃度が高くなったり、移動度が低下したりするおそれがある。また、トランジスタを駆動させた際に閾値電圧が変動したり、駆動が不安定となったり、ピンチオフが不明瞭になったり、耐熱性や耐久性が低下するおそれがある。

【0026】

また、本発明に係る薄膜トランジスタは、前述したような本発明に係る半導体薄膜や、前述したような本発明に係る半導体薄膜の製造方法により製造された半導体薄膜を用いて構成することができる。

10

【0027】

トランジスタの構成は、ボトムゲート、トップゲート、ボトムコンタクト、トップコンタクトなど、公知の構成を制限なく利用することができる。特に、ボトムゲート構成で、アモルファスシリコンや ZnO の TFT に比べ高い性能が得られ有利である。ボトムゲート構成は、製造時のマスク枚数を削減しやすく、大型ディスプレイなどの用途の製造コストを低減しやすいため好ましい。

ここで、ボトムゲート構成の TFT とは、通常、ゲート電極を設置（成膜）した後に半導体層を設置（成膜）する構成のことである。

【発明の効果】

20

【0028】

以上のように、本発明によれば、薄膜中に酸化インジウムを主成分として含有させることで、高い移動度を実現することができることに加え、正三価元素であるインジウムに対して正二価元素を含有させることで、キャリア濃度を減少させるとともに、成膜後に酸化処理或いは結晶化処理を施すことによって、キャリア濃度を制御することができる。

その結果、電界効果移動度と $onn-off$ 比が高く、また、ノーマリーオフを示すとともに、ピンチオフが明瞭な、従来のアモルファスシリコンを用いた電界効果型トランジスタに代わる大面積化の可能な、新たな優れた電界効果型トランジスタを得ることができる。

【図面の簡単な説明】

30

【0029】

【図1】本発明に係る薄膜トランジスタの第一実施形態の概略を示す説明図である。

【図2】本発明に係る薄膜トランジスタの第二実施形態の概略を示す説明図である。

【図3】本発明に係る薄膜トランジスタの第三実施形態の概略を示す説明図である。

【図4】本発明に係る薄膜トランジスタの第三実施形態の概略を示す説明図である。

【符号の説明】

【0030】

- 1 薄膜トランジスタ
- 40 透明半導体薄膜

【発明を実施するための最良の形態】

40

【0031】

以下、本発明の好ましい実施形態について説明する。

【0032】

[第一実施形態]

まず、本発明に係る薄膜トランジスタの第一実施形態について説明する。

なお、図1は、本発明に係る薄膜トランジスタの第一実施形態の概略を示す説明図である。

【0033】

図示する例において、電界効果型トランジスタとしての薄膜トランジスタ1は、ガラス基板60上にドレイン電極10とソース電極20とを離間して形成するとともに、ドレイ

50

ン電極 10 とソース電極 20 のそれぞれの少なくとも一部と接するように透明半導体薄膜 40 を形成し、さらに、透明半導体薄膜 40 上に、ゲート絶縁膜 50、ゲート電極 30 をこの順で形成してなるトップゲート型の薄膜トランジスタ 1 として構成されている。

【0034】

本実施形態において、ゲート電極 30、ソ - ス電極 20、ドレイン電極 10 の各電極を形成する材料に特に制限はなく、本実施形態の効果を失わない範囲で一般に用いられているものを任意に選択することができる。例えば、ITO、IZO、ZnO、SnO₂ などの透明電極や、Al、Ag、Cr、Ni、Mo、Au、Ti、Ta などの金属電極、又はこれらを含む合金の金属電極を用いることができる。

ゲート電極 30、ソ - ス電極 20、ドレイン電極 10 の各電極は、異なる二層以上の導電層を積層した多層構造とすることもでき、図示する例において、各電極 30、20、10 は、それぞれ第一導電層 31、21、11 と第二導電層 32、22、12 とから構成されている。

【0035】

また、ゲート絶縁膜 50 を形成する材料にも特に制限はない。本実施形態の発明の効果を失わない範囲で一般に用いられているものを任意に選択できる。例えば、SiO₂、SiNx、Al₂O₃、Ta₂O₅、TiO₂、MgO、ZrO₂、CeO₂、K₂O、Li₂O、Na₂O、Rb₂O、Sc₂O₃、Y₂O₃、Hf₂O₃、CaHfO₃、PbTi₃、BaTa₂O₆、SrTiO₃、AlN などの酸化物を用いることができる。これらのなかでも、SiO₂、SiNx、Al₂O₃、Y₂O₃、Hf₂O₃、CaHfO₃ を用いるのが好ましく、より好ましくは SiO₂、SiNx、Y₂O₃、Hf₂O₃、CaHfO₃ であり、特に好ましくは Y₂O₃ である。これらの酸化物の酸素数は、必ずしも化学量論比と一致していなくともよい（例えば、SiO₂ でも SiO_x でもよい）。

このようなゲート絶縁膜 50 は、異なる 2 層以上の絶縁膜を積層した構造でもよい。また、ゲート絶縁膜 50 は、結晶質、多結晶質、非晶質のいずれであってもよいが、工業的に製造しやすい多結晶質か、非晶質であるのが好ましい。

【0036】

本実施形態において、透明半導体薄膜 40 は、酸化インジウムと正二価元素の酸化物とを含有する薄膜からなり、ホール測定で求めたキャリア密度が $2 \times 10^{+17} \text{ cm}^{-3}$ 未満となるように形成してある。

【0037】

ここで、キャリア密度が $2 \times 10^{+17} \text{ cm}^{-3}$ 以上となると、漏れ電流が大きくなるおそれがある。このような不具合をより有効に回避するには、キャリア密度は、 10^{+17} cm^{-3} 以下とするのがよいが、好ましくは 10^{+16} cm^{-3} 以下、より好ましくは 10^{+15} cm^{-3} 以下、さらに好ましくは $5 \times 10^{+14} \text{ cm}^{-3}$ 以下であり、 $3 \times 10^{+14} \text{ cm}^{-3}$ 以下とするのが特に好ましい。

なお、電子キャリア濃度の下限としては、得られる酸化物膜をどのような素子や、回路又は装置に用いるかにもよるが、例えば、 $10^{+14} / \text{ cm}^3$ 以上とするのが好ましい。

【0038】

また、透明半導体薄膜 40 の比抵抗は、四端子法で求めた値が、通常 $10^{-1} \sim 10^8 \text{ cm}$ である。比抵抗が 10^{-1} cm より小さいと、電気が容易に流れ半導体薄膜として機能しないおそれがある。一方、比抵抗が 10^8 cm より大きいと、強い電界をかけないと半導体として機能しないおそれがある。

このような不具合をより有効に回避するには、比抵抗は、 $10 \sim 10^7 \text{ cm}$ であるのが好ましく、より好ましくは $10^2 \sim 10^6 \text{ cm}$ であり、 $10^3 \sim 10^4 \text{ cm}$ であるのが特に好ましい。

また、透明半導体薄膜 40 の膜厚は、通常 $0.5 \sim 500 \text{ nm}$ 、好ましくは $1 \sim 150 \text{ nm}$ 、より好ましくは $3 \sim 80 \text{ nm}$ 、特に好ましくは $10 \sim 60 \text{ nm}$ である。 0.5 nm より薄いと工業的に均一に成膜することが難しい。一方、 500 nm より厚いと成膜時間

10

20

30

40

50

が長くなり工業的に採用できない。また、3～80 nmの範囲内にあると、移動度やオンオフ比などTFT特性が特に良好である。

【0039】

このように、透明半導体薄膜40をキャリア密度が $2 \times 10^{17} \text{ cm}^{-3}$ 未満となるように形成することで、電界効果移動度とともに、on/off比も高く、また、ノーマリーオフを示し、かつ、ピンチオフが明瞭な、従来のアモルファスシリコンを用いた電界効果型トランジスタに代わる大面積化の可能な、安定性の高い新たな優れた電界効果型トランジスタを得ることができる。

【0040】

さらに、透明半導体薄膜40に酸化インジウムを含有させることで、高い移動度を実現するとともに、成膜時における雰囲気ガス中の酸素分圧や、雰囲気ガス中の水 H_2O 、又は水素 H_2 の含有量を制御することによって、移動度を制御することができる。

【0041】

本実施形態において、酸化物として透明半導体薄膜40に含有させる正二価元素としては、例えば、Zn, Be, Mg, Ca, Sr, Ba, Ti, V, Cr, Mn, Fe, Co, Ni, Pd, Pt, Cu, Ag, Cd, Hg, Sm, Eu, Ybなどが挙げられる。これらのなかでも、Zn, Mg, Mn, Co, Ni, Cu, Caが好ましい。これらのなかでも、効率的にキャリア濃度を制御できることから、Zn, Mg, Cu, Ni, Co, Caがより好ましく、添加によるキャリア制御の効果からはCu, Niが特に好ましく、透過率やバンドギャップの広さからはZn, Mgが特に好ましい。これらの正二価元素は、

本実施形態の効果を失わせない範囲内で複数組合せて使用してもよい。

【0042】

なお、ここでいう正二価元素とは、イオン状態での価数としてそれぞれ正二価を取りうる元素のことである。

正二価元素を含有させるのが有効な理由は必ずしも明らかではないが、正二価元素の一部が正三価のインジウムサイトに置換することでドーパントとして機能し、キャリア密度を制御していることが理由の一つと推定される。

【0043】

そして、正三価元素であるインジウムに対して正二価元素を含有させることで、安定してキャリア濃度を制御することも可能となると推定される。

ここで、透明半導体薄膜40には、本実施形態の効果を損なわない範囲で酸化インジウム、正二価元素の酸化物以外の元素や化合物が含まれていてもよい。

ただし、通常は酸化インジウムと正二価元素の酸化物とを合わせて50質量%以上含ませるものとし、その含有量が50質量%より小さいと、移動度が低下するなど本実施形態の効果が十分に現れないおそれがある。

本実施形態の効果が十分に現れるようにするには、酸化インジウムと正二価元素の酸化物と合わせて65質量%以上含むことが好ましく、より好ましくは80質量%以上、さらに好ましくは90質量%以上であり、95質量%以上含むことが特に好ましい。

【0044】

また、本実施形態の効果が十分に現れるようにするには、Snなどの正四価元素の含有量が3質量%以下であることが好ましく、2質量%以下であることがより好ましく、1質量%以下であることが特に好ましい。正四価元素を含むとキャリア密度を低濃度に制御できないおそれがある。

【0044】

また、本実施形態において、透明半導体薄膜40の伝導帯と価電子帯とのエネルギーバンドギャップは、2.8 eV以上とすることができる。

エネルギーバンドギャップが2.8 eVより小さいと、可視光が照射された際に、価電子帯の電子が励起されて導電性を示し、漏れ電流が生じやすくなるおそれがある。このような不具合をより有効に回避するには、エネルギーバンドギャップは、好ましくは3.0 eV以上、さらに好ましくは3.1 eV以上であり、3.5 eV以上が特に好ましい。

また、バンドギャップの上限に制限はないが、通常は4.5 eV以下、好ましくは4.

10

20

30

40

50

0 e V以下である。バンドギャップが大きすぎると、キャリア密度が高くなりT F Tを構成した際の漏れ電流が大きくなったり、ノーマリーオンとなってしまうたりするおそれがある。

【0045】

また、透明半導体薄膜40は、結晶質膜からなるのが好ましく、半導体薄膜50が非晶質では、キャリア濃度の低減・制御が困難となるおそれがある。

これは、正二価元素がインジウムに固溶置換などして活性化することが困難なためと推定される。

さらに、半導体薄膜50は、多結晶であるのが好ましく、これによりガラス基板や有機物基板上にも容易に形成することができる。

【0046】

また、半導体薄膜50中に含有されるインジウム[In]と正二価元素[X]の原子比 $[X / (X + In)]$ は、0.0001~0.1とすることができる。

原子比 $[X / (X + In)]$ が0.0001より小さく、正二価元素の含有率が少ないと、本実施形態の効果が現れずキャリア数が制御できないおそれがある。

一方、原子比 $[X / (X + In)]$ が0.1より大きくなり、正二価元素の含有率が過剰になると、界面あるいは表面が変質しやすく不安定になるおそれや、結晶化温度が高く結晶化が困難になったり、キャリア濃度が高くなったり、ホール移動度が低下したりするおそれがある。また、トランジスタを駆動させた際に閾値電圧が変動したり、駆動が不安定となったりするおそれがある。

本実施形態において、上記のような不具合をより有効に回避するためには、原子比 $[X / (X + In)]$ は0.0005~0.1であるのが好ましく、より好ましくは0.001~0.099、さらに好ましくは0.005~0.095であり、0.01~0.09が特に好ましい。0.01~0.08が最も好ましい。

【0047】

また、透明半導体薄膜40は、酸化インジウムのピクスパイト型結晶を含んでいるのが好ましく、透明半導体薄膜40の少なくとも一部がピクスパイト構造をとることでホール移動度が高くなるものと推定される。ピクスパイト型結晶を含むことはX線回折により確認できる。

さらに、透明半導体薄膜40は、酸化インジウムのピクスパイト型結晶のインジウムサイトの一部が、正二価元素により固溶置換されているのが好ましく、このとき、正二価元素は亜鉛Zn, Mg, Cu, Ni, Co, Caであるのが特に好ましい。

【0048】

本実施形態において、透明半導体薄膜40を形成する成膜方法としては、スプレー法、ディップ法、CVD法などの化学的成膜方法のほか、物理的成膜方法も利用することができる。キャリア密度の制御や、膜質の向上が容易であるという観点から、物理的成膜方法の方が好ましい。

【0049】

物理的成膜方法としては、例えば、スパッタ法、真空蒸着法、イオンプレーティング法、パルスレーザーディポジション法などを挙げることができるが、工業的には量産性が高いスパッタ法が好ましい。

スパッタ法としては、例えば、DCスパッタ法、RFスパッタ法、ACスパッタ法、ECRスパッタ法、対向ターゲットスパッタ法などが挙げられる。これらのなかでも、工業的に量産性が高く、また、RFスパッタ法よりもキャリア濃度を下げやすいDCスパッタ法や、ACスパッタ法が好ましい。また、成膜による界面の劣化を抑えて、漏れ電流を抑制したり、on-off比などの透明半導体薄膜40の特性を向上させたりするには、膜質の制御がしやすいECRスパッタ法や、対向ターゲットスパッタ法が好ましい。

また、スパッタ時の基板・ターゲット間距離(S-T距離)は、通常150mm以下、好ましくは110mm、特に好ましくは80mm以下である。S-T距離が短いとスパッタ時に基板がプラズマに曝されることにより、正二価元素の活性化が期待できる。また、

10

20

30

40

50

150 mmより長いと、成膜速度が遅くなり工業化に適さなくなるおそれがある。

【0050】

スパッタ法を用いる場合、インジウムと、亜鉛、マグネシウム、銅、コバルト、ニッケル、カルシウムから選ばれた一以上の元素と、酸素を含有する焼結ターゲットを用いても、酸化インジウムを含有する焼結ターゲットと正二価元素の酸化物を含有する焼結ターゲットを用いて共スパッタしてもよい。また、金属、あるいは合金ターゲットを用いて酸素などのガスを導入しながら、反応性スパッタを行なってもよい。

再現性、大面積での均一性、及びTFTにした際の特性からインジウムと、亜鉛、マグネシウム、銅、コバルト、ニッケル、カルシウムから選ばれた一以上の元素と、酸素を含有する焼結ターゲットを用いることが好ましい。

10

焼結ターゲットを製造するにあたり、焼結は還元雰囲気で行うことが好ましい。さらに、焼結ターゲットのバルク抵抗は $0.001 \sim 1000 \text{ m}\Omega\text{cm}$ であることが好ましく、 $0.01 \sim 100 \text{ m}\Omega\text{cm}$ であることがより好ましい。また、ドーピングする正二価元素は、焼結ターゲットを製造する時に酸化物或いは金属粉末の状態に加えてもよい。焼結ターゲットの焼結密度は、通常70%、好ましくは85%以上、より好ましくは95%以上、特に好ましくは99%以上である。

【0051】

スパッタ法を用いる場合、到達圧力は、通常 $5 \times 10^{-2} \text{ Pa}$ 以下とするが、 $5 \times 10^{-2} \text{ Pa}$ より大きいと、雰囲気ガス中の H_2O などから多量の水素原子が供給されて移動度が低下するおそれがある。これは、水素原子が結合することで酸化インジウムの結晶構造に変化が生じたためと考えられる。

20

このような不具合をより有効に回避するためには、到達圧力は、好ましくは $5 \times 10^{-3} \text{ Pa}$ 以下、より好ましくは $5 \times 10^{-4} \text{ Pa}$ 以下、さらに好ましくは $1 \times 10^{-4} \text{ Pa}$ 以下であり、 $5 \times 10^{-5} \text{ Pa}$ 以下であるのが特に好ましい。

【0052】

また、雰囲気ガス中の酸素分圧は、通常 $40 \times 10^{-3} \text{ Pa}$ 以下とする。雰囲気ガス中の酸素分圧が $40 \times 10^{-3} \text{ Pa}$ より大きいと、移動度が低下したり、キャリア濃度が不安定となったりするおそれがある。これは成膜時に雰囲気ガス中の酸素が多すぎると、結晶格子間に取り込まれる酸素が多くなり散乱の原因となったり、容易に膜中から離脱し不安定化したりするためと推定される。

30

このような不具合をより有効に回避するためには、雰囲気ガス中の酸素分圧は、好ましくは $15 \times 10^{-3} \text{ Pa}$ 以下、より好ましくは $7 \times 10^{-3} \text{ Pa}$ 以下であり、 $1 \times 10^{-3} \text{ Pa}$ 以下であるのが特に好ましい。

【0053】

また、雰囲気ガス中の水 H_2O 、又は水素 H_2 の濃度は、通常1.2 vol%以下とする。1.2 vol%より大きいとホール移動度が低下するおそれがある。これは、水素Hが、ピクソバイト構造のインジウムあるいは酸素と結合して酸素-インジウム結合の稜共有部分を頂点共有化するためと推定される。

このような不具合をより有効に回避するためには、雰囲気ガス中の水 H_2O 、又は水素 H_2 の濃度は、好ましくは1.0 vol%以下、より好ましくは0.1 vol%以下であり、0.01 vol%以下であるのが特に好ましい。

40

【0054】

また、このような成膜工程において、透明半導体薄膜40が結晶質を含む膜からなるようにするためには、結晶質を含む膜を成膜する方法、又は成膜してから後処理で結晶化させるか或いは結晶性を向上させる方法のいずれによってもよい。

結晶質を含む膜を成膜する方法では、通常、基板温度 $250 \sim 550$ で物理成膜する。基板温度は、好ましくは $300 \sim 500$ 、より好ましくは $320 \sim 400$ である。 250 以下では、結晶性が低くキャリア密度が高くなるおそれがある。 550 以上では、コストが高くなり、また、基板が変形するおそれがある。

成膜してから後処理で結晶化させるか或いは結晶性を向上させる方法では、通常は、基

50

板温度250以下で物理成膜する。基板温度が250より高いと後処理の効果が十分に発揮されず、低キャリア濃度、高移動度に制御することが困難となるおそれがある。このような不具合をより有効に回避するためには、基板温度は、好ましくは200以下、より好ましくは150以下、さらに好ましくは100以下であり、特に好ましくは50以下である。

結晶質を含む膜を成膜する方法は、プロセスが単純で工業的に好ましいが、高いTFT特性を得るには、成膜してから後処理で結晶化させる方法の方が、結晶性がよく、膜応力も少なく、キャリアを制御しやすいため好ましい。また、後処理で結晶化する前に結晶を含んでいても良いが、いったん非晶質膜を成膜してから、後処理により結晶化させる方が、結晶性の制御が行いやすく、良質な半導体膜が得られるため好ましい。

10

【0055】

なお、大面積をスパッタ法で成膜する場合、膜質の均一性を持たせるため、基板を固定したフォルダーは回転させる、マグネットを動かしてエロージョン範囲を広げるなどの方法をとることが好ましい。

【0056】

このような成膜工程を終えた後に、本実施形態では、酸化インジウムと正二価元素の酸化物とを含有する薄膜に対して、酸化処理工程或いは結晶化処理を施すことで、透明半導体薄膜40中のキャリア濃度を制御することができる。

なお、成膜時に酸素などのガス成分の濃度を制御して、キャリア濃度を制御する方法もあるが、このような方法では、ホール移動度が低下するおそれがある。これは、キャリア制御のために導入したガス成分が、膜中に取り込まれ散乱因子となっているものと推定される。

20

【0057】

また、透明半導体薄膜40は、非晶質膜として成膜した後に、酸化処理時に結晶化させるのが好ましく、これにより、ホール移動度を高く維持したまま、低いキャリア濃度が実現できる。

【0058】

また、酸化処理工程或いは結晶化処理としては、酸素存在下又は酸素の非存在下で、通常80~650、0.5~12000分の条件で熱処理する。酸化処理工程或いは結晶化処理は、酸素の存在下で行うと、酸素欠損の減少が同時に起こることが期待でき好ましい。

30

熱処理の温度が80より低いと処理効果が発現しなかったり、時間がかかりすぎたりするおそれがあり、650より高いとエネルギーコストが高くなったり、タクトタイムが長くなったり、TFTとしたときの閾値電圧が大きくなったり、基板が変形したりするおそれがある。このような不具合をより有効に回避するために、処理温度は、好ましくは120~500、より好ましくは150~450、さらに好ましくは180~350であり、200~300が特に好ましい。220~290が最も好ましい。

また、熱処理の時間が0.5分より短いと内部まで電熱する時間が不足し処理が不十分となるおそれがあり、12000分より長いと処理装置が大きくなり工業的に使用できなかったり、処理中に基板が破損・変形したりするおそれがある。このような不具合をより有効に回避するために、処理時間は、好ましくは1~600分、より好ましくは5~360分、さらに好ましくは15~240分であり、30~120分が特に好ましい。

40

【0059】

また、酸化処理工程或いは結晶化処理としては、酸素存在下又は酸素の非存在下、ランプアニール装置(LA; Lamp Annealer)、急速熱アニール装置(RTA; Rapid Thermal Annealer)、又はレーザーアニール装置により熱処理することができ、酸化処理工程或いは結晶化処理として、オゾン処理や紫外線などの照射処理を適用することもできる。また、紫外線を当てながらオゾン処理するなど、これらの方法を組合せて用いても良い。

熱処理をする場合は、熱処理時の膜面の温度が、成膜時の基板温度より100~270

50

高い方が好ましい。この温度差が100より小さいと熱処理効果が無く、270より高いと基板が変形したり、半導体薄膜界面が変質し半導体特性が低下したりするおそれがある。このような不具合をより有効に回避するには、成膜時の基板温度より熱処理時の膜面の温度が130~240高いものがより好ましく、160~210高いものが特に好ましい。

【0060】

本実施形態において、薄膜トランジスタ1の電界効果移動度は、通常 $1\text{ cm}^2/\text{Vs}$ 以上とする。電界効果移動度が $1\text{ cm}^2/\text{Vs}$ より小さいと、スイッチング速度が遅くなるおそれがある。このような不具合をより有効に回避するために、電界効果移動度は、好ましくは $5\text{ cm}^2/\text{Vs}$ 以上、より好ましくは $18\text{ cm}^2/\text{Vs}$ 以上、さらに好ましくは $30\text{ cm}^2/\text{Vs}$ 以上であり、特に好ましくは $50\text{ cm}^2/\text{Vs}$ 以上である。

10

また、薄膜トランジスタ1のon-off比は、通常 10^3 以上とするが、好ましくは 10^4 以上、より好ましくは 10^5 以上、さらに好ましくは 10^6 以上であり、特に好ましくは 10^7 以上である。

また、低消費電力の観点からは閾値電圧(V_{th})がプラスでノーマリーオフとなることが好ましい。閾値電圧(V_{th})がマイナスでノーマリーオンとなると、消費電力が大きくなるおそれがある。閾値電圧は、通常は $0.01\sim 5\text{ V}$ 、好ましくは $0.05\sim 3\text{ V}$ 、より好ましくは $0.1\sim 2\text{ V}$ 、さらに好ましくは $0.2\sim 1\text{ V}$ である。 5 V より大きいと消費電力が大きくなるおそれがあり、 0.01 V より小さいと変動によりノーマリーオンとなるおそれがある。

20

また、TFETのチャンネル幅 W とチャンネル長 L の比 W/L は、通常 $0.1\sim 100$ 、好ましくは $1\sim 20$ 、特に好ましくは $2\sim 8$ である。 W/L が 100 を越えると漏れ電流が増えたり、on-off比が低下したりするおそれがある。 0.1 より小さいと電界効果移動度が低下したり、ピンチオフが不明瞭になったりするおそれがある。

さらに、チャンネル長 L は通常 $0.1\sim 1000\text{ }\mu\text{m}$ 、好ましくは $1\sim 100\text{ }\mu\text{m}$ 、さらに好ましくは $2\sim 10\text{ }\mu\text{m}$ である。 $0.1\text{ }\mu\text{m}$ 以下は工業的に製造が難しく、また、ショートチャンネル効果が現れたり、漏れ電流が大きくなるおそれがある。 $1000\text{ }\mu\text{m}$ 以上では、素子が大きくなりすぎたり、駆動電圧が大きくなるなどしてまい好ましくない。

また、TFET駆動時のゲート電圧・ドレイン電圧は、通常は 100 V 以下、好ましくは 50 V 以下、より好ましくは 20 V 以下、さらに好ましくは 5 V 以下である。 100 V より大きいと、消費電力が大きくなり実用性が低下するおそれがある。

30

【0061】

[第二実施形態]

次に、本発明に係る薄膜トランジスタの第二実施形態について説明する。

なお、図2は、本発明に係る薄膜トランジスタの第二実施形態の概略を示す説明図である。

【0062】

図示する例において、薄膜トランジスタ1は、ガラス基板60上に形成されたゲート電極30の上に、ゲート絶縁膜B52とゲート絶縁膜A51とをこの順で積層し、さらに、その上に透明半導体薄膜40を形成している。そして、この透明半導体薄膜40上の両側に、ソース電極20とドレイン電極10とが形成されるボトムゲート型の薄膜トランジスタ1として構成されている。

40

【0063】

前述した第一実施形態では、トップゲート型の薄膜トランジスタの例を挙げたが、薄膜トランジスタのタイプとしては、本実施形態のように、ボトムゲート型の薄膜トランジスタとすることもできる。

【0064】

第一実施形態のようなトップゲート型の薄膜トランジスタとすると、ゲート絶縁膜50の成膜により透明半導体薄膜40の表面(界面)が劣化する場合があります。これを避けるためには、本実施形態のようなボトムゲート型とするのが好ましい。また、本実施形態のよ

50

うなボトムゲート型の薄膜トランジスタとすると、透明半導体薄膜40の成膜によりゲート絶縁膜（ゲート絶縁膜A51）の表面（界面）が劣化する場合があります、これを避けるためには、第一実施形態のようなトップゲート型とするのが好ましい。

【0065】

本実施形態においても、透明半導体薄膜40は、前述したのと同様にして形成することができ、ボトムゲート型の薄膜トランジスタとした以外は、第一実施形態と同様であるため、他の構成についての詳細な説明は省略する。

【0066】

[第三実施形態]

次に、本発明に係る薄膜トランジスタの第三実施形態について説明する。

10

なお、図3、図4は、本発明に係る薄膜トランジスタの第三実施形態の概略を示す説明図である。

【0067】

図3に示す例において、薄膜トランジスタ1は、ゲート電極（図示せず）が形成された導電性のシリコン基板65上に、ゲート絶縁膜51を積層し、さらに、その上に透明半導体薄膜40を形成している。そして、この透明半導体薄膜40上の両側に、ソース電極20とドレイン電極10とが形成されるボトムゲート型の薄膜トランジスタとして構成されている。

【0068】

また、図4に示す例において、薄膜トランジスタ1は、ゲート電極（図示せず）が形成された導電性のシリコン基板65上に、ゲート絶縁膜51を積層し、さらに、その上の両側にソース電極20とドレイン電極10とが形成される。そして、これらの電極20、10をゲート絶縁膜51との間に挟むようにして透明半導体薄膜40が形成され、ボトムゲート型の薄膜トランジスタとして構成されている。

20

【0069】

前述した第一実施形態、第二実施形態では、絶縁体からなる基板（ガラス基板）を用いた例を示したが、薄膜トランジスタのタイプとしては、本実施形態のように、導電性のある基板上に形成された薄膜トランジスタとすることもできる。

また、本実施形態においても、透明半導体薄膜40は、前述したのと同様にして形成することができ、導電性基板（シリコン基板）上に薄膜トランジスタを形成した以外は、第一実施形態、第二実施形態と同様であるため、他の構成についての詳細な説明は省略する。

30

【実施例】

【0070】

以下、具体的な実施例を挙げて、本発明をより詳細に説明する。

【0071】

[実施例1]

(1) スパッタリングターゲットの製造、及び評価

1. ターゲットの製造

原料として、平均粒径が3.4 μmの酸化インジウムと、平均粒径が0.6 μmの酸化亜鉛とを、原子比〔In / (In + Zn)〕が0.95、原子比〔Zn / (In + Zn)〕が0.05となるように混合して、これを湿式ボールミルに供給し、72時間混合粉砕して原料微粉末を得た。

40

得られた原料微粉末を造粒した後、直径10cm、厚さ5mmの寸法にプレス成形して、これを焼成炉に入れ、1,400℃、48時間の条件で焼成して、焼結体（ターゲット）を得た。このとき、昇温速度は、3℃/分であった。

2. ターゲットの評価

得られたターゲットにつき、密度、バルク抵抗値を測定した。その結果、理論相対密度は99%であり、四端子法により測定したバルク抵抗値は、80mΩであった。

【0072】

50

(2) 透明半導体薄膜の成膜

上記(1)で得られたスパッタリングターゲットを、DCスパッタ法の一つであるDCマグネトロンスパッタリング法の成膜装置に装着し、ガラス基板(コーニング1737)上に透明導電膜を成膜した。

ここでのスパッタ条件としては、基板温度; 250℃、到達圧力; 1×10^{-3} Pa、雰囲気ガス; Ar 100%、スパッタ圧力(全圧); 4×10^{-1} Pa、投入電力100W、成膜時間20分間、S-T距離95mmとした。

この結果、ガラス基板上に、膜厚が約100nmの透明導電性酸化物が形成された透明導電ガラスが得られた。

なお、得られた膜組成をICP法で分析したところ、原子比 $\{In / (In + Zn)\}$ が0.95、原子比 $\{Zn / (In + Zn)\}$ が0.05であった。

10

【0073】

(3) 透明半導体薄膜の酸化処理

上記(2)で得られた透明半導体薄膜を大気中(酸素存在下)300℃で、1時間加熱(大気下熱処理)することで酸化処理を行なった。

【0074】

(4) 透明半導体薄膜の物性の評価

上記(3)で得られた透明半導体薄膜のキャリア濃度、及びホール移動度をホール測定装置により測定した。キャリア濃度は 6×10^{14} cm⁻³、ホール移動度は5 cm² / Vsであった。また、四端子法により測定した比抵抗の値は、2100 Ω cmであった。

20

【0075】

ホール測定装置、及びその測定条件は下記のとおりであった、

[ホール測定装置]

東陽テクニカ製: Resi Test 8310

[測定条件]

室温(25℃)、0.5 [T]、 $10^{-4} \sim 10^{-1.2}$ A、AC磁場ホール測定

【0076】

さらに、この透明導電性酸化物の透明性については、分光光度計により波長400nmの光線についての光線透過率が85%であり、透明性においても優れたものであった。また、エネルギーバンドギャップは3.6 eVと十分に大きかった。

30

また、X線結晶構造解析により多結晶であることが確認された。

【0077】

[実施例2~11、比較例1~6]

原料の組成比、成膜条件、酸化処理条件を表1のように調整した以外は、実施例1と同様に作製評価した。

【0078】

また、これらの実施例、及び比較例について、PAN耐性、耐熱性についても評価するとともに、透明半導体薄膜の透過率、屈折率(波長500nm)を併せて表1に示した。

[PAN耐性]

PANによるエッチング速度が10nm/分以上のものを×とし、それ以外のものを○として表1中に示した。

40

ここで、PAN耐性の評価には、45℃のPANエッチング液(リン酸91.4wt%、硝酸3.3wt%、酢酸10.4wt%)を用いた。PANエッチング液(リン酸、硝酸、酢酸を含むエッチング液)は、通常リン酸が20~95wt%、硝酸0.5~5wt%、酢酸3~50wt%の範囲にあるものが用いられる。

[耐熱性]

260℃、1時間の熱処理で、比抵抗が処理前の1/10以下になったものを×とし、それ以外のものを○として表1中に示した。

【0079】

【表 1】

成膜方法	実施例											比較例					
	1	2	3	4	5	6	7	8	9	10	11	1	2	3	4	5	6
成膜条件	DCマグ ネトロ スパッタ	DCマグ ネトロ スパッタ	RFマグ ネトロ スパッタ	DCマグ ネトロ スパッタ	DCマグ ネトロ スパッタ	RFマグ ネトロ スパッタ	RFマグ ネトロ スパッタ	RFマグ ネトロ スパッタ	RFマグ ネトロ スパッタ	RFマグ ネトロ スパッタ	RFマグ ネトロ スパッタ	DCマグ ネトロ スパッタ	DCマグ ネトロ スパッタ	DCマグ ネトロ スパッタ	DCマグ ネトロ スパッタ	RFマグ ネトロ スパッタ	RFマグ ネトロ スパッタ
基板温度 [°C]	25	25	25	25	25	25	25	25	25	25	25	25	25	25	25	25	25
到達圧力 [$\times 10^{-4}$ Pa]	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10
雰囲気ガス	Ar:100%	Ar:100%	Ar:100%	Ar:100%	Ar:100%	Ar:100%	Ar:100%	Ar:100%	Ar:100%	Ar:100%	Ar:100%	Ar:100%	Ar:100%	Ar:100%	Ar:92% H ₂ :9%	Ar:96% O ₂ :4%	Ar:95% O ₂ :5%
全圧 [Pa]	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4	0.4
酸素分圧 [$\times 10^{-3}$ Pa]	0	0	0	0	6	0	0	0	0	0	0	0	0	0	0	0	20
In/(In+X)	0.95	0.95	0.95	0.97	0.93	0.98	0.98	0.98	0.98	0.98	0.98	1.00	0.00	0.95	0.95	0.55	0.55
X/(In+X)	0.05	0.05	0.05	0.03	0.07	0.02	0.02	0.02	0.02	0.02	0.02	0.00	1.00	0.05	0.05	0.45	0.45
X	Zn	Zn	Zn	Zn	Zn	Mg	Cu	Cu	Ni	Co	Zn	Zn	Zn	Zn	Zn	Zn	Zn
Ca/(In+Zn+Ga)																0.35	0.35
酸化処理	大気下 熱処理 300°C 1時間	大気下 熱処理 250°C 1時間	大気下 熱処理 230°C 1時間	大気下 熱処理 300°C 1時間	大気下 熱処理 300°C 1時間	大気下 熱処理 280°C 2時間	大気下 熱処理 280°C 2時間	大気下 熱処理 280°C 2時間	大気下 熱処理 280°C 2時間	大気下 熱処理 280°C 2時間	大気下 熱処理 280°C 2時間	大気下 熱処理 300°C 1時間	大気下 熱処理 300°C 1時間	大気下 熱処理 300°C 1時間	大気下 熱処理 300°C 1時間	大気下 熱処理 300°C 1時間	大気下 熱処理 300°C 1時間
半導体薄膜 の特性	多結晶 6×10^{14}	多結晶 8×10^{14}	多結晶 4×10^{15}	多結晶 6×10^{15}	多結晶 1.1×10^{14}	多結晶 5×10^{16}	多結晶 2×10^{15}	多結晶 2×10^{14}	多結晶 1×10^{16}	多結晶 2×10^{16}	多結晶 6×10^{16}	多結晶 1×10^{18}	多結晶 6×10^{17}	多結晶 3×10^{20}	多結晶 7×10^{20}	多結晶 1.1×10^{16}	多結晶 9×10^{15}
ホール移動度 [cm^2/Vs]	5	5	6	10	3	7	4	8	8	8	12	28	1	35	17	3	2
比抵抗(四端子法) [Ωcm]	2100	1570	260	40	19000	15	7800	20	20	40	10	0.22	10	0.0006	0.00053	190	350
エネルギーバンドギャップ(eV)	3.6	3.6	3.6	3.6	3.6	3.7	3.5	3.5	3.5	3.5	3.6	4.1	3.3	4.2	4.2	3.7	3.8
PAN耐性	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
耐熱性	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
光線透過率(%)	85	85	85	85	85	89	83	83	83	83	85	84	83	82	82	83	83
屈折率	1.9	1.9	1.9	1.9	1.9	1.9	1.9	1.9	1.9	1.9	1.9	1.9	2.2	2.1	2.1	2.1	2.1

また、表 1 の半導体膜を用い図 3 及び図 4 の構成のトランジスタをそれぞれ作製したところ、実施例 1 ~ 11、比較例 2, 5, 6 ではトランジスタ特性を確認できたが、比較例 1, 3, 4 では確認できなかった。

【0081】

さらに、実施例、及び比較例の半導体薄膜について、以下のように薄膜トランジスタを製造して、その評価を行った。

【0082】

[実施例：トップゲート型透明薄膜トランジスタ/絶縁体基板]

ガラス基板上に、成膜時間以外は、前記実施例 1 と同じ条件で作成した 30 nm の透明半導体薄膜を用い、図 1 のような構成で、チャンネル長さ $L = 10 \mu\text{m}$ 、チャンネル幅 $W = 150 \mu\text{m}$ のトップゲート型の薄膜トランジスタを構成した。

このとき、ゲート絶縁膜として、誘電率の高い酸化イットリウムを厚み 170 nm に積層して用いた。また、ゲート電極、ソース電極、ドレイン電極の各電極は、第一導電層として厚み 40 nm の Au、第二導電層として厚み 5 nm の Ti を用いた。

【0083】

その結果、電界効果移動度； $35 \text{ cm}^2 / \text{Vs}$ 、on-off 比； 10^8 以上、閾値電圧 (V_{th})；+2.0 V (ノーマリーオフ) の特性を示す薄膜トランジスタが得られた。また、出力特性は明瞭なピンチオフを示した。

【0084】

[実施例：ボトムゲート型透明薄膜トランジスタ/絶縁体基板]

ガラス基板上に、図 2 のような構成で、チャンネル長さ $L = 5 \mu\text{m}$ 、チャンネル幅 $W = 25 \mu\text{m}$ のボトムゲート型の薄膜トランジスタを構成した。

半導体薄膜は、成膜時間以外は、実施例 1 と同じ条件で作成した 100 nm の透明半導体薄膜を用い、ゲート絶縁膜 A として厚み 30 nm の CaHfOx 、ゲート絶縁膜 B として厚み 340 nm の SiNx 、ソース電極、及びドレイン電極として厚み 70 nm の Al、ゲート電極として 320 nm の Ta を用いた。

【0085】

その結果、電界効果移動度； $70 \text{ cm}^2 / \text{Vs}$ 、on-off 比； 10^7 以上、閾値電圧 (V_{th})；+0.5 V (ノーマリーオフ) の特性を示す薄膜トランジスタが得られた。また、出力特性は明瞭なピンチオフを示した。

【0086】

[実施例：ボトムゲート型透明薄膜トランジスタ/導電性基板 (1)]

導電性シリコン基板に、図 3 のような構成で、チャンネル長さ $L = 100 \mu\text{m}$ 、チャンネル幅 $W = 1500 \mu\text{m}$ のボトムゲート型の薄膜トランジスタを構成した。

半導体薄膜は、成膜時間以外は、実施例 4 と同じ条件で作成した 50 nm の透明半導体薄膜を用い、ゲート絶縁膜として厚み 300 nm の SiO_2 熱酸化膜、ソース電極、及びドレイン電極として厚み 50 nm の Au を用いた。

【0087】

その結果、電界効果移動度； $19 \text{ cm}^2 / \text{Vs}$ 、on-off 比； 10^6 以上、ノーマリーオフの特性を示す薄膜トランジスタが得られた。また、出力特性は明瞭なピンチオフを示した。

【0088】

[実施例：ボトムゲート型透明薄膜トランジスタ/導電性基板 (2)]

導電性シリコン基板に、図 3 のような構成で、チャンネル長さ $L = 100 \mu\text{m}$ 、チャンネル幅 $W = 1500 \mu\text{m}$ のボトムゲート型の薄膜トランジスタを構成した。

半導体薄膜は、成膜時間以外は、実施例 11 と同じ条件で作成した 50 nm の透明半導体薄膜を用い、ゲート絶縁膜として厚み 300 nm の SiO_2 熱酸化膜、ソース電極、及びドレイン電極として厚み 50 nm の Au を用いた。

【0089】

その結果、電界効果移動度； $24 \text{ cm}^2 / \text{Vs}$ 、on-off 比； 10^5 以上、ノーマ

10

20

30

40

50

リーオフの特性を示す薄膜トランジスタが得られた。また、出力特性は明瞭なピンチオフを示した。

【0090】

[実施例：ボトムゲート型透明薄膜トランジスタ/導電性基板(3)]

導電性シリコン基板の上に、図4のような構成で、チャンネル長さ $L = 100 \mu\text{m}$ 、チャンネル幅 $W = 2000 \mu\text{m}$ のボトムゲート型の薄膜トランジスタを構成した。

半導体薄膜は、成膜時間以外は、実施例4と同じ条件で作成した 50 nm の透明半導体薄膜を用い、ゲート絶縁膜として厚み 300 nm の SiO_2 熱酸化膜、ソース電極、及びドレイン電極として厚み 50 nm のAuを用いた。

【0091】

その結果、電界効果移動度； $10 \text{ cm}^2 / \text{Vs}$ 、on-off比； 10^5 以上、ノーマリーオフの特性を示す薄膜トランジスタが得られた。また、出力特性は明瞭なピンチオフを示した。

【0092】

[実施例：ボトムゲート型透明薄膜トランジスタ/導電性基板(4)]

導電性シリコン基板の上に、図4のような構成で、チャンネル長さ $L = 100 \mu\text{m}$ 、チャンネル幅 $W = 2000 \mu\text{m}$ のボトムゲート型の薄膜トランジスタを構成した。

半導体薄膜は、成膜時間以外は、実施例6と同じ条件で作成した 20 nm の透明半導体薄膜を用い、ゲート絶縁膜として厚み 300 nm の SiO_2 熱酸化膜、ソース電極、及びドレイン電極として厚み 50 nm のAuを用いた。

【0093】

その結果、電界効果移動度； $11 \text{ cm}^2 / \text{Vs}$ 、on-off比； 10^4 以上、ノーマリーオフの特性を示す薄膜トランジスタが得られた。また、出力特性は明瞭なピンチオフを示した。

【0094】

[実施例：ボトムゲート型透明薄膜トランジスタ/導電性基板(5)]

導電性シリコン基板の上に、図4のような構成で、チャンネル長さ $L = 100 \mu\text{m}$ 、チャンネル幅 $W = 2000 \mu\text{m}$ のボトムゲート型の薄膜トランジスタを構成した。

半導体薄膜は、成膜時間以外は、実施例7と同じ条件で作成した 20 nm の透明半導体薄膜を用い、ゲート絶縁膜として厚み 300 nm の SiO_2 熱酸化膜、ソース電極、及びドレイン電極として厚み 50 nm のAuを用いた。

【0095】

その結果、電界効果移動度； $11 \text{ cm}^2 / \text{Vs}$ 、on-off比； 10^6 以上、ノーマリーオフの特性を示す薄膜トランジスタが得られた。また、出力特性は明瞭なピンチオフを示した。

【0096】

[比較例：トップゲート型透明薄膜トランジスタ/絶縁体基板]

ガラス基板の上に、前記比較例2と同じ条件で作成した透明半導体薄膜を用い、図1のような構成で、チャンネル長さ $L = 10 \mu\text{m}$ 、チャンネル幅 $W = 150 \mu\text{m}$ のトップゲート型の薄膜トランジスタを構成した。

このとき、ゲート絶縁膜として、誘電率の高い酸化イットリウムを厚み 170 nm に積層して用いた。また、ゲート電極、ソース電極、ドレイン電極の各電極は、第一導電層として厚み 40 nm のAu、第二導電層として厚み 5 nm のTiを用いた。

【0097】

その結果、電界効果移動度； $0.5 \text{ cm}^2 / \text{Vs}$ 、on-off比； 10^3 、閾値電圧(V_{th})； -0.5 V (ノーマリーオン)の特性を示す薄膜トランジスタが得られた。また、出力特性をみるとピンチオフが不明瞭であった。

【0098】

[比較例：ボトムゲート型透明薄膜トランジスタ/絶縁体基板]

ガラス基板の上に、図2のような構成で、チャンネル長さ $L = 5 \mu\text{m}$ 、チャンネル幅 $W = 25$

10

20

30

40

50

μm のボトムゲート型の薄膜トランジスタを構成した。チャネル層（透明半導体薄膜）は、前記比較例2と成膜時間以外は同じ条件で作成した 100nm の透明半導体薄膜を用い、ゲート絶縁膜Aとして厚み 30nm の CaHfOx 、ゲート絶縁膜Bとして厚み 340nm の SiNx 、ソース電極およびドレイン電極として厚み 70nm の Al 、ゲート電極として 320nm の Ta を用いた。

【0099】

その結果、電界効果移動度； $0.3\text{cm}^2/\text{Vs}$ 、 on-off 比； 10^2 以上、閾値電圧（ V_{th} ）； -1.5V （ノーマリーオン）の特性を示す薄膜トランジスタが得られた。また、出力特性をみるとピンチオフが不明瞭であった。

【0100】

[比較例：ボトムゲート型透明薄膜トランジスタ／導電性基板（1）]

導電性シリコン基板の上に、図3のような構成で、チャネル長さ $L = 100\mu\text{m}$ 、チャネル幅 $W = 1500\mu\text{m}$ のボトムゲート型の薄膜トランジスタを構成した。

半導体薄膜は、成膜時間以外は、比較例1と同じ条件で作成した 50nm の透明半導体薄膜を用い、ゲート絶縁膜として厚み 300nm の SiO_2 熱酸化膜、ソース電極、及びドレイン電極として厚み 50nm の Au を用いた。

【0101】

その結果、ノーマリーオンとなりゲート電圧を変えてもトランジスタ特性は確認できなかった。

【0102】

[比較例：ボトムゲート型透明薄膜トランジスタ／導電性基板（2）]

導電性シリコン基板の上に、図4のような構成で、チャネル長さ $L = 100\mu\text{m}$ 、チャネル幅 $W = 2000\mu\text{m}$ のボトムゲート型の薄膜トランジスタを構成した。

半導体薄膜は、成膜時間以外は、比較例1と同じ条件で作成した 50nm の透明半導体薄膜を用い、ゲート絶縁膜として厚み 300nm の SiO_2 熱酸化膜、ソース電極、及びドレイン電極として厚み 50nm の Au を用いた。

【0103】

その結果、ノーマリーオンとなりゲート電圧を変えてもトランジスタ特性は確認できなかった。

【0104】

[比較例：ボトムゲート型透明薄膜トランジスタ／導電性基板（3）]

導電性シリコン基板の上に、図3のような構成で、チャネル長さ $L = 100\mu\text{m}$ 、チャネル幅 $W = 1500\mu\text{m}$ のボトムゲート型の薄膜トランジスタを構成した。

半導体薄膜は、成膜時間以外は、比較例6と同じ条件で作成した 50nm の透明半導体薄膜を用い、ゲート絶縁膜として厚み 300nm の SiO_2 熱酸化膜、ソース電極、及びドレイン電極として厚み 50nm の Au を用いた。

【0105】

その結果、電界効果移動度； $8\text{cm}^2/\text{Vs}$ 、 on-off 比； 10^4 以上、ノーマリーオフの特性を示す薄膜トランジスタが得られた。また、出力特性は明瞭なピンチオフを示した。

【0106】

以上、本発明について、好ましい実施形態を示して説明したが、本発明は、前述した実施形態にのみ限定されるものではなく、本発明の範囲で種々の変更実施が可能であることはいうまでもない。

【0107】

例えば、前述した実施形態では、薄膜トランジスタの例を挙げたが、本発明に係る半導体薄膜は、種々の電界効果型トランジスタに適用することができる。

【0108】

例えば、本発明に係る半導体薄膜は、通常、 n 型領域で用いられるが、 P 型 Si 系半導体、 P 型酸化物半導体、 P 型有機半導体などの種々の P 型半導体と組合せて PN 接合型ト

10

20

30

40

50

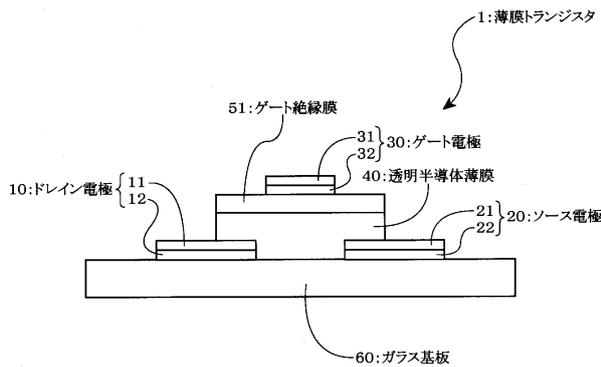
ランジスタなどの各種の半導体デバイスに利用することができる。また、TFTを論理回路、メモリ回路、差動増幅回路など各種の集積回路にも適用できる。さらに、電界効果型トランジスタ以外にも静電誘起型トランジスタ、ショットキー障壁型トランジスタ、ショットキーダイオード、抵抗素子に適用できる。

【産業上の利用可能性】

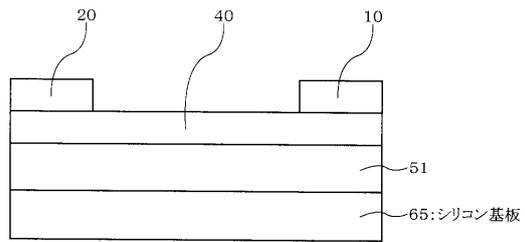
【0109】

本発明における半導体薄膜は、薄膜トランジスタなどの電界効果型トランジスタに用いる半導体薄膜として広く利用することができる。

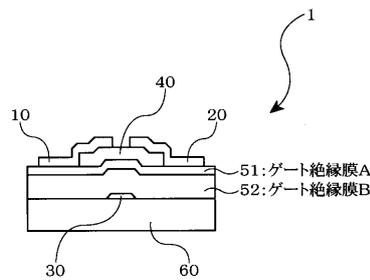
【図1】



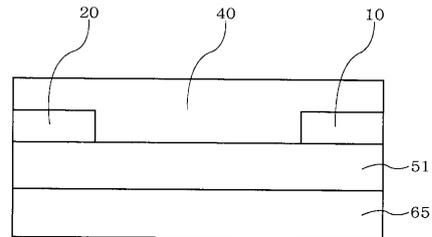
【図3】



【図2】



【図4】



フロントページの続き

審査官 大工原 大二

- (56)参考文献 特開2000-067657(JP,A)
特開2005-135649(JP,A)
特開2004-103957(JP,A)
特開2001-342572(JP,A)
Matthew P Taylor et al. , The electrical, optical and structural properties of $\text{In}_x\text{Zn}_{1-x}\text{O}$
($0 < x < 1$) thin films by combinatorial techniques, Meas.Sci.Technol, 2005年 1月,
Vol.16, No.1, p90-94

- (58)調査した分野(Int.Cl. , DB名)
C01G 1/00-23/08
CAplus/REGISTRY(STN)