

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-76736  
(P2009-76736A)

(43) 公開日 平成21年4月9日(2009.4.9)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 D	2 H 0 9 2
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 6 T	4 M 1 0 4
HO 1 L 29/417 (2006.01)	HO 1 L 29/78 6 1 6 U	5 F 1 1 0
HO 1 L 29/423 (2006.01)	HO 1 L 29/78 6 2 7 G	5 F 1 5 2
HO 1 L 29/49 (2006.01)	HO 1 L 29/50 M	
審査請求 未請求 請求項の数 13 O L (全 17 頁) 最終頁に続く		

(21) 出願番号 特願2007-245090 (P2007-245090)  
(22) 出願日 平成19年9月21日 (2007.9.21)

(71) 出願人 000006013  
三菱電機株式会社  
東京都千代田区丸の内二丁目7番3号  
(74) 代理人 100103894  
弁理士 冢入 健  
(72) 発明者 入住 智之  
東京都千代田区丸の内二丁目7番3号 三  
菱電機株式会社内  
Fターム(参考) 2H092 GA12 JA05 JA24 JA27 JA28  
JA29 JA33 JA35 JA36 JA37  
JA38 JA39 JA40 JA41 JA42  
JA43 JA44 NA24 NA29 NA30

最終頁に続く

(54) 【発明の名称】 半導体装置、表示装置及びその製造方法

(57) 【要約】

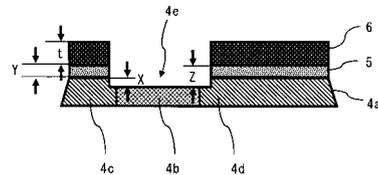
【課題】 閾値電圧などのばらつきを低減させることができ、信頼性の高い高性能な T F T 特性を持つ半導体装置を提供すること。

【解決手段】 本発明の一態様に係る半導体装置は、基板上に形成され、ソース領域 4 c、ドレイン領域 4 d 及びチャネル領域 4 b を有する多結晶半導体層 4 a と、多結晶半導体層 4 a のソース領域 4 c 及びドレイン領域 4 d 上に形成された金属性導電層 6 と、多結晶半導体層 4 a と金属性導電層 6 との間に形成された合金層 5 とを有し、多結晶半導体層 4 a は、チャネル領域 4 b の膜厚が、金属性導電層 6 が形成された領域の膜厚より薄くなるように形成された凹部 4 e を有し、凹部 4 e の深さ X と、合金層 5 の膜厚 Y と、金属性導電層 6 の膜厚 t とが、次の関係を満たしている。

$$0.1 t < Y < 0.3 t$$

$$0.3 Y < X < 2 Y$$

【選択図】 図 4



## 【特許請求の範囲】

## 【請求項 1】

基板上に形成され、ソース領域、ドレイン領域及びチャンネル領域を有する半導体層と、前記半導体層のソース領域及びドレイン領域上に形成された金属性導電層と、前記半導体層と前記金属性導電層との間に形成された、前記半導体層と前記金属性導電層との合金層とを有し、

前記半導体層は、前記チャンネル領域の膜厚が、前記金属性導電層が形成された領域の膜厚より薄くなるように形成された凹部を有し、

前記凹部の深さ  $X$  と、前記合金層の膜厚  $Y$  と、前記金属性導電層の膜厚  $t$  とが、次の 2 式の関係を満たしていることを特徴とする半導体装置。

$$\begin{aligned} 0.1t &< Y < 0.3t \\ 0.3Y &< X < 2Y \end{aligned}$$

## 【請求項 2】

前記半導体層は、非結晶半導体層を結晶化することによって形成された多結晶半導体層であることを特徴とする請求項 1 に記載の半導体装置。

## 【請求項 3】

前記金属性導電層の膜厚は、30nm以下であることを特徴とする請求項 1 又は 2 に記載の半導体装置。

## 【請求項 4】

前記金属性導電層は、Cr、Mo、W、Ta あるいはこれらを主成分とした合金からなることを特徴とする請求項 1、2 又は 3 に記載の半導体装置。

## 【請求項 5】

請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置を備える表示装置。

## 【請求項 6】

基板上に半導体層を形成する工程と、

前記半導体層上に金属性導電層を形成し、前記半導体層と前記金属性導電層との間に前記半導体層と前記金属性導電層との合金層が形成される工程と、

前記半導体層のチャンネル領域上の前記金属性導電層を除去する工程と、

前記半導体層のチャンネル領域上の前記合金層を除去するとともに、前記半導体層のチャンネル領域を除去して、前記半導体層のチャンネル領域に凹部を形成する工程とを含み、

前記凹部の深さ  $X$  と、前記合金層の膜厚  $Y$  と、前記金属性導電層の膜厚  $t$  とが、次の 2 式の関係を満たすように前記凹部を形成することを特徴とする半導体装置の製造方法。

$$\begin{aligned} 0.1t &< Y < 0.3t \\ 0.3Y &< X < 2Y \end{aligned}$$

## 【請求項 7】

前記半導体層のチャンネル領域上の前記合金層と前記半導体層のチャンネル領域とを、ガスをラジカル化して一括で除去することを特徴とする請求項 6 に記載の半導体装置の製造方法。

## 【請求項 8】

前記半導体層のチャンネル領域上の前記合金層と前記半導体層のチャンネル領域とを、 $CF_4$  と Ar の混合ガス又は  $CF_4$  と  $O_2$  の混合ガスを用いて除去することを特徴とする請求項 7 に記載の半導体装置の製造方法。

## 【請求項 9】

前記半導体層のチャンネル領域上の前記金属性導電層を、薬液により除去することを特徴とする請求項 7 又は 8 に記載の半導体装置の製造方法。

## 【請求項 10】

前記半導体層のチャンネル領域上の前記金属性導電層を、ガスをラジカル化して除去することを特徴とする請求項 7 又は 8 に記載の半導体装置の製造方法。

## 【請求項 11】

前記半導体層は、非結晶半導体層を結晶化することによって形成された多結晶半導体層

10

20

30

40

50

であることを特徴とする請求項 6 ~ 10 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 12】

前記基板と前記半導体層との間に絶縁層を形成する工程を含む請求項 6 ~ 11 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 13】

請求項 6 ~ 12 のいずれかに記載の方法により半導体装置を製造する工程を含む表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、表示装置及びその製造方法に関し、特に非晶質半導体層であるアモルファスシリコンをレーザアニールにより結晶化した多結晶半導体層であるポリシリコンを用いた半導体装置、表示装置及びその製造方法に関する。

【背景技術】

【0002】

近年、低温ポリシリコン T F T (Thin Film Transistor) 構造の半導体装置を用いた液晶ディスプレイや有機 E L ディスプレイなどの表示装置は、高精細、高移動度、高信頼性が得られることから注目されている。

【0003】

以下、図 10 を参照して低温ポリシリコン T F T 構造の半導体装置の製造方法について述べる。図 10 は、従来の半導体装置の構造を示す図である。まず、ガラス基板 1 上にプラズマ C V D 法により、下地窒化膜 2、下地酸化膜 3、非晶質半導体層としてアモルファスシリコンを順次形成する。次に、アニール処理を行い、アモルファスシリコン中の水素濃度を低下させる。そして、レーザアニール法により、アモルファスシリコンを結晶化させ、多結晶半導体層であるポリシリコンにする。次に、スパッタ法により金属性導電層 6 を形成する。このとき、金属性導電層と多結晶半導体層との界面に多結晶半導体層と金属性導電層 6 の合金層 5 が形成される。

【0004】

その後、金属性導電層 6 を写真製版により所望のパターンにパターニングする。次に、多結晶半導体層を写真製版により所望のパターンにパターニングする。そして、多結晶半導体層のチャンネル領域 4 b にあたる部分の金属性導電層 6 をエッチングして除去する。次に、多結晶半導体層と金属性導電層 6 の合金層 5 をエッチングして除去する。金属性導電層 6 は、多結晶半導体層のチャンネル領域 4 b を除いたソース領域 4 c ・ドレイン領域 4 d 及び保持容量部のみに形成される。

【0005】

次に、C V D 法によりゲート絶縁膜 7 を形成する。そして、スパッタ法によりゲート配線 8 を形成する。ゲート配線 8 は、A l、C r、M o、T i、W 等の金属材料又は合金材料である。次に、写真製版によりレジストパターンを形成して、エッチング液でゲート配線 8 を所望の形状にパターニングした後、レジストを除去する。

【0006】

次に、形成したゲート配線 8 をマスクとして、多結晶半導体層のソース領域 4 c ・ドレイン領域 4 d に不純物を導入する。ここで、導入する不純物元素として、P、B を用いることができる。P を導入すれば n 型の T F T を形成することができ、B を導入すれば p 型の T F T を形成することができる。片チャンネルの低温ポリシリコン T F T は、用いられる表示デバイスの仕様により、n 型か p 型かを作り分けることができる。さらに、C M O S 構造のように n 型、p 型の両チャンネルの低温ポリシリコン T F T を形成することもできる。

【0007】

次に、プラズマ C V D 法により、層間絶縁層 9 を形成する。層間絶縁層 9 は、S i H<sub>4</sub> と N<sub>2</sub> O、又は T E O S (tetra ethoxy silane、S i (O C<sub>2</sub> H<sub>5</sub>)<sub>4</sub>) と O<sub>2</sub> を反応

10

20

30

40

50

させた酸化シリコン膜、 $\text{SiH}_4$ と $\text{NH}_3$ を反応させた窒化シリコン膜や、 $\text{SiH}_4$ と $\text{N}_2\text{O}$ 、 $\text{NH}_3$ を反応させた酸窒化シリコン膜の単層膜や積層膜を用いることができる。

【0008】

次に、イオンドーピング法により、ドーピングしたP(リン)や、B(ボロン)を拡散させるため、熱処理を行う。次に、スパッタ法により、信号線10を形成する。信号線10となる導電膜は、Cr、Mo、W、Ta、Alやこれらを主成分とする合金膜である。次に、写真製版によりレジストパターンを形成して、エッチング液で信号線10を所望の形状にパターンニングした後、レジストを除去する。

【0009】

次に、プラズマCVD法により、保護膜11を形成する。その後、写真製版によりレジストパターンを形成して、ドライエッチング法でゲート絶縁膜7、層間絶縁層9及び保護膜11にコンタクトホールを形成した後、レジストを除去する。

10

【0010】

次に、スパッタ法により、画素電極13を形成する。画素電極13は、ITOやIZOなどの透明性を有する導電膜であればよい。次に、写真製版により、レジストパターンを形成して、エッチング液で画素電極13を所望の形状にパターンニングし、レジストを除去する。上記製造方法により、低温ポリシリコンTFT構造の半導体装置が完成する。このようなチャンネル領域の厚さがソース領域4c、ドレイン領域4dよりも薄くなっている半導体装置は、例えば、特許文献1に記載されている。

【0011】

20

【特許文献1】特開2006-313776号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

以上説明したように、従来の半導体装置では、多結晶半導体層のチャンネル領域4b上の金属性導電層6と合金層5とを除去している。しかしながら、多結晶半導体層のチャンネル領域4b上の金属性導電層6と合金層5を除去しただけでは、清浄な多結晶半導体層のチャンネル領域が形成されていないことがわかった。このため、閾値電圧などの特性がばらついて、半導体装置のTFT特性を低下させてしまうという問題があった。

【0013】

30

本発明は、このような事情を背景としてなされたものであり、本発明の目的は、閾値電圧などのばらつきを低減させることができ、信頼性の高い高性能なTFT特性を持つ半導体装置、これを用いた表示装置及びこれらの製造方法を提供することである。

【課題を解決するための手段】

【0014】

本発明の一態様に係る半導体装置は、基板上に形成され、ソース領域、ドレイン領域及びチャンネル領域を有する半導体層と、前記半導体層のソース領域及びドレイン領域上に形成された金属性導電層と、前記半導体層と前記金属性導電層との間に形成された、前記半導体層と前記金属性導電層との合金層とを有し、前記半導体層は、前記チャンネル領域の膜厚が、前記金属性導電層が形成された領域の膜厚より薄くなるように形成された凹部を有し、前記凹部の深さXと、前記合金層の膜厚Yと、前記金属性導電層の膜厚tとが、次の2式の関係を満たしていることを特徴とするものである。

40

$$0.1t \leq Y \leq 0.3t$$

$$0.3Y \leq X \leq 2Y$$

【0015】

本発明の一態様に係る半導体装置の製造方法は、基板上に半導体層を形成する工程と、前記半導体層上に金属性導電層を形成し、前記半導体層と前記金属性導電層との間に前記半導体層と前記金属性導電層との合金層が形成される工程と、前記半導体層のチャンネル領域上の前記金属性導電層を除去する工程と、前記半導体層のチャンネル領域上の前記合金層を除去するとともに、前記半導体層のチャンネル領域を除去して、前記半導体層のチャンネル

50

領域に凹部を形成する工程とを含み、前記凹部の深さ X と、前記合金層の膜厚 Y と、前記金属性導電層の膜厚 t とが、次の 2 式の関係を満たすように前記凹部を形成することを特徴とする。

$$\begin{aligned} 0.1t & \leq Y \leq 0.3t \\ 0.3Y & \leq X \leq 2Y \end{aligned}$$

【発明の効果】

【0016】

本発明によれば、閾値電圧などのばらつきを低減させることができ、信頼性の高い高性能な TFT 特性を持つ半導体装置、これを用いた表示装置及びこれらの製造方法を提供することができる。

10

【発明を実施するための最良の形態】

【0017】

以下、本発明を適用可能な実施の形態について説明する。以下の説明は、本発明の実施形態を説明するものであり、本発明が以下の実施形態に限定されるものではない。説明の明確化のため、以下の記載及び図面は、適宜、省略及び簡略化がなされている。

【0018】

実施の形態 1 .

本発明の実施の形態 1 に係る表示装置について、図 1 及び図 2 を参照して説明する。本実施の形態に係る表示装置は、半導体装置の一例である薄膜トランジスタ (TFT) を有するアクティブマトリクス表示装置である。ここでは、表示装置の一例として透過型液晶表示装置について説明する。図 1 は、本実施の形態に係る液晶表示装置 100 の構成を示す平面図である。また、図 2 は本実施の形態に係る液晶表示装置 100 の構成を示す断面図である。なお、説明のため、図 1 においては対向基板等の図示を省略している。

20

【0019】

図 1 及び図 2 に示すように、液晶表示装置 100 は、液晶パネル 101 とバックライト 102 とを備えている。液晶パネル 101 は、薄膜トランジスタ基板 (TFT 基板) 1、対向基板 20、シール材 21、液晶 22、スペーサ 23、ゲート線 (走査線) 24、ソース線 (信号線) 25、配向膜 26、対向電極 27、偏光板 28、ゲートドライバ 29、ソースドライバ 30 を備えている。本発明において注目すべき点は TFT 基板 1 に形成された TFT であり、後に詳述する。

30

【0020】

TFT 基板 1 の表示領域には、複数のゲート線 24 と複数のソース線 25 とが形成されている。複数のゲート線 24 は平行に設けられている。同様に、複数のソース線 25 は平行に設けられている。ゲート線 24 とソース線 25 とは、絶縁層を介して互いに交差するように形成されている。

【0021】

また、ゲート線 24 とソース線 25 の交差点付近には薄膜トランジスタ (Thin Film Transistor: TFT) 31 が設けられている。そして、隣接するゲート線 24 とソース線 25 とで囲まれた領域には、画素電極 (不図示) が形成されている。隣接するゲート線 24 とソース線 25 とで囲まれた領域が画素となる。従って、TFT 基板 1 上には、画素がマトリクス状に配列される。TFT 31 のゲートがゲート線 24 に、ソースがソース線 25 に、ドレインが画素電極に、それぞれ接続される。画素電極は、例えば、ITO (Indium Tin Oxide) などの透明導電性薄膜から形成されている。

40

【0022】

図 2 に示すように、液晶パネル 101 は、TFT 基板 1 と、TFT 基板 1 に対向配置される対向基板 20 と、両基板を接着するシール材 21 との間の空間に液晶 22 を封入した構成を有している。両基板の間は、スペーサ 23 によって、所定の間隔となるように維持されている。TFT 基板 1 及び対向基板 20 としては、光透過性のあるガラス基板、石英基板等の絶縁性基板が用いられる。

【0023】

50

TFT基板1において、上述した各電極及び配線等の上には配向膜26が形成されている。一方、対向基板20のTFT基板1に対向する面には、カラーフィルタ（不図示）、BM（Black Matrix）（不図示）、対向電極27、配向膜26等が形成されている。また、TFT基板1及び対向基板20の外側の面にはそれぞれ、偏光板28が貼着されている。

#### 【0024】

さらに、図1に示すように、TFT基板1の周辺領域には、ゲートドライバ29及びソースドライバ30が設けられている。ゲート線24は、表示領域から周辺領域まで延設されている。そして、ゲート線24は、TFT基板1の端部で、ゲートドライバ29に接続される。ソース線25も同様に表示領域から周辺領域まで延設されている。そして、ソース線25は、TFT基板1の端部で、ソースドライバ30と接続される。

10

#### 【0025】

液晶パネル101の背面には、バックライト102が備えられている。バックライト102は、液晶パネル101の反視認側から当該液晶パネル101に対して光を照射する。バックライト102としては、例えば、光源、導光板、反射シート、拡散シート、プリズムシート、反射偏光シートなどを備えた一般的な構成のものを用いることができる。

#### 【0026】

ここで図3を参照して、TFT基板1について詳細に説明する。図3は、本実施の形態に係る半導体装置を用いたTFT基板1の構成を示す図である。上述したように、TFT基板1は、ガラス基板や石英基板等の透過性を有する絶縁性基板である。図3に示すように、TFT基板1上には、半導体層の下地膜として第1の下地膜2、第2の下地膜3が順次積層して形成されている。第1の下地膜2、第2の下地膜3としては、透過性絶縁膜であるSiN膜やSiO<sub>2</sub>膜を用いることができる。これらの下地膜は、主にガラス基板からのNaなどの可動イオンが半導体層へ拡散することを防止する目的で設けられる。

20

#### 【0027】

第2の下地膜3の上には、多結晶半導体層4aが形成されている。多結晶半導体層4aは、ソース領域4c、チャンネル領域4b、ドレイン領域4dを有している。具体的には、多結晶半導体層4aには不純物を含む導電性領域があり、この部分がソース領域4c、ドレイン領域4dを形成する。そして、ソース・ドレイン領域に挟まれる領域がチャンネル領域となる。また、多結晶半導体層4aは、保持容量部となる領域まで延在して形成されている。この多結晶半導体層4aを用いてTFT及び保持容量が形成される。

30

#### 【0028】

多結晶半導体層4a上には、ソース領域4c及びドレイン領域4dに対応するように、金属性導電層6が形成されている。金属性導電層6としては、Cr、Mo、W、Taなどの金属膜や、これらを主成分とし、金属あるいは非金属元素を含む導電性を有する合金膜が用いられる。金属性導電層6は、ソース領域4c・ドレイン領域4dと電氣的に接続される。また、金属性導電層6は、TFT31に直列に接続される保持容量を形成する多結晶半導体層4a上にも形成される。このように低抵抗な金属性導電層6を保持容量の下部電極となる多結晶半導体層4aに積層することにより、下部電極には所望の電圧を確実に印加することが可能となり、安定した容量が形成される。また、多結晶半導体層4a上に金属性導電層6を形成しているために、後述する画素電極である透明導電性酸化膜をコンタクトホールを介して接続した場合でも、多結晶半導体層が酸化されることはなく、良好なコンタクト抵抗を得ることができるという効果を奏する。

40

#### 【0029】

ここで、金属性導電層6の膜厚tは、30nm以下、好ましくは25nm以下である。金属性導電層6の膜厚が30nmを超える場合には、下層の多結晶半導体層4aに不純物イオンが十分に到達できず、金属性導電層6と多結晶半導体層4aとのオーミック性コンタクトが得られなくなるからである。

#### 【0030】

また、多結晶半導体層4a上に金属性導電層6を形成したとき、多結晶半導体層4aと

50

金属性導電層 6 との界面に、多結晶半導体層 4 a と金属性導電層 6 との合金層 5 が形成される。この合金層 5 は、その膜厚を Y とすると、 $0.1t \leq Y \leq 0.3t$  の範囲で形成される。形成する金属性導電層 6 の膜厚 t が厚くなるほど基板温度が上昇するので、合金層 5 の膜厚も厚くなる。

【0031】

多結晶半導体層 4 a には、チャンネル領域 4 b の膜厚が金属性導電層 6 が形成された領域の膜厚より薄くなるように、凹部 4 e が形成されている。ここで、図 4 を参照して、多結晶半導体層 4 a に形成された凹部 4 e について詳細に説明する。図 4 は、本発明に係る TFT の構成の一部を示す図である。図 4 に示すように、多結晶半導体層 4 a のチャンネル領域 4 b には凹部 4 e が形成されている。

10

【0032】

凹部 4 e の深さ X (多結晶半導体層 4 a のチャンネル領域 4 b の削り量) と、合金層 5 の膜厚 Y とは、 $0.3Y \leq X \leq 2Y$  の関係を満たすようにする。また、凹部 4 e の深さ X 及び合金層 5 の膜厚 Y を足し合わせた深さ Z (合金層 5 とチャンネル領域 4 b のトータルの削り量) は、 $1.3Y \leq Z \leq 3Y$  を満たすこととなる。

【0033】

このような多結晶半導体層 4 a のチャンネル領域 4 b に凹部 4 e を形成した半導体装置における、凹部 4 e の深さ X と合金層 5 の膜厚 Y を足し合わせた深さ Z (トータルの削り量  $Z = X + Y$ ) と CV 特性の関係について説明する。一般に CV 曲線は図 5 に示す CV 曲線 A となる。しかし、チャンネル領域 4 b 表面が清浄でなく、金属汚染などがあれば、CV 曲線は CV 曲線 B となる。

20

【0034】

本実施の形態では、トータルの削り量 Z ( $Z = X + Y$ ) を変更して、そのときの CV 曲線を求めた。ここでは、合金層 5 の膜厚 Y は  $Y = 2 \text{ nm}$  で固定とするため、凹部 4 e の深さ (多結晶半導体層 4 a の削り量) X を変更した。そして、その CV 曲線の傾斜部の接線の傾きを求めた。CV 曲線の傾斜部の接線の傾きは、図 5 の接線 A、接線 B の傾きに相当する。

【0035】

図 6 にトータルの削り量 Z と接線の傾きの関係を示す。接線の傾き (単位は任意) が大きいほど、チャンネル領域の表面が清浄であり、CV 特性が良好であることを示している。図 6 を見ると、CV 特性が良好なのは、トータルの削り量 Z が  $2.3 \text{ nm} \leq Z \leq 6.2 \text{ nm}$  の範囲である。なお、本実施の形態では合金層 5 の膜厚 Y は  $Y = 2 \text{ nm}$  で固定なので、図 6 においてトータルの削り量 Z が  $2 \text{ nm}$  より小さい場合、チャンネル領域 4 b 上に合金層 5 が残ったままの状態となる。

30

【0036】

従って、関係式  $0.3Y \leq X \leq 2Y$ 、 $1.3Y \leq Z \leq 3Y$  を満足するように、多結晶半導体層 4 a のチャンネル領域 4 b をエッチングすると、TFT 特性の良好な半導体装置を得ることができる。すなわち、 $Y = 2 \text{ nm}$  のとき、凹部 4 e の深さ X は  $0.6 \text{ nm} \leq X \leq 4 \text{ nm}$ 、トータルの削り量 Z は  $2.6 \text{ nm} \leq Z \leq 6 \text{ nm}$  となる。これにより、半導体装置の CV 特性を良好な範囲とすることができる。

40

【0037】

また、半導体装置を製造する際に、半導体装置を作成した後に TFT 特性を測定すると、結果が最後にしかわからないため時間がかかってしまう。しかしながら本発明によれば、多結晶半導体層 4 a のチャンネル領域 4 b の膜厚を測定し管理すれば、製造途中で TFT 特性を把握することができる。このとき、問題があれば、すぐに対策を講じることができ、歩留低下を抑制することができる。

【0038】

多結晶半導体層 4 a、金属性導電層 6 の上には、ゲート絶縁層 7 が形成されている。ゲート絶縁層 7 としては、SiN 膜、SiO<sub>2</sub> 膜等が用いられる。ゲート絶縁層 7 の上には、保持容量部の上部電極、ゲート電極、ゲート配線を形成するための導電膜 8 が形成され

50

ている。導電膜 8 としては、Cr、Mo、W、Ta やこれらを主成分とする合金膜を用いることができる。導電膜 8 上には、基板表面の略全体を覆うように、層間絶縁層 9 が形成されている。層間絶縁層 9 上には、信号線 10 が形成されている。信号線 10 としては、Cr、Mo、W、Ta、Al やこれらを主成分とする合金膜を用いることができる。

#### 【0039】

信号線 10 上には、保護膜 11 が基板表面の略全体を覆うように形成されている。保護膜 11 としては、SiN 膜が用いられる。保護膜 11、層間絶縁層 9、ゲート絶縁膜 5 には、コンタクトホール 12 が形成されている。コンタクトホール 12 には、多結晶半導体層 4 a のソース領域 4 c に到達するコンタクトホール 12 a、ドレイン領域 4 d に到達するコンタクトホール 12 b、信号線 10 に到達するコンタクトホール 12 c が含まれる。多結晶半導体層 4 a のソース領域 4 c に到達するコンタクトホール 12 a、ドレイン領域 4 d に到達するコンタクトホール 12 b では、保護膜 11、層間絶縁層 9、ゲート絶縁膜 5 が除去され、多結晶半導体層 4 a のソース領域 4 c、ドレイン領域 4 d 上の金属性導電層 6 が露出されている。すなわち、金属性導電層 6 は、コンタクトホール 12 a、12 b の底部である。また、信号線 10 に到達するコンタクトホール 12 c では、信号線 10 が露出している。

10

#### 【0040】

保護膜 11 の上には、画素電極 13 が形成されている。画素電極 13 は、コンタクトホール 12 を介して、信号線 10、ソース領域 4 c 及びドレイン領域 4 d 上の金属性導電層 6 に接続される。画素電極 13 としては、ITO や IZO 等の透明性を有する導電膜が用いられる。

20

#### 【0041】

ここで、図 7 ~ 図 9 を参照して本実施の形態に係る表示装置の製造方法について説明する。図 7 ~ 図 9 は、本実施の形態に係る表示装置の製造工程断面図である。図 7 (a) に示すように、TFT 基板 1 の上に、CVD 法を用いて、第 1 の下地層 2、第 2 の下地層 3 を積層して形成する。本実施の形態では、ガラス基板上に SiN 膜を 40 ~ 60 nm の膜厚に成膜し、さらに SiO<sub>2</sub> 膜を 180 ~ 220 nm の膜厚で成膜する積層構造とした。なお、上記の膜構成、膜厚に限るものではない。

#### 【0042】

次に、第 2 の下地層 3 の上に非晶質半導体層 4 を CVD 法により形成する。本実施の形態では、非晶質半導体層 4 としてアモルファスシリコン膜を用いた。また、アモルファスシリコン膜は、30 ~ 100 nm、好ましくは、60 ~ 80 nm の膜厚に成膜する。これらの下地膜 2、3 及び非晶質半導体層 4 は、同一装置あるいは同一チャンバ内にて連続的に成膜することが好ましい。これにより、大気雰囲気中に存在するボロンなどの汚染物質が各膜の界面に取り込まれることを防止することができる。

30

#### 【0043】

なお、非晶質半導体層 4 の成膜後に、高温中でアニールを行うことが好ましい。これは、CVD 法によって成膜した非晶質半導体層 4 の膜中に、多量に含有された水素を低減するために行う。本実施の形態では、窒素雰囲気の低真空状態で保持したチャンバ内を 480 程度に過熱し、非晶質半導体層 4 を成膜した基板を 45 分間保持した。このような処理を行っておくことにより、非晶質半導体層 4 を結晶化する際に、温度が上昇しても水素の急激な脱離は起こらない。そして、非晶質半導体層 4 の表面荒れを抑制することができる。そして、非晶質半導体層 4 の表面に形成された自然酸化膜をフッ酸などでエッチング除去する。

40

#### 【0044】

次に、図 7 (b) に示すように、非晶質半導体層 4 に対して窒素などのガスを吹き付けながら、非晶質半導体層 4 の上からレーザ光を照射する。レーザ光は、所定の光学系を通して線状のビームに変換され、非晶質半導体層 4 に照射される。本実施の形態では、レーザ光として、YAG レーザの第 2 高調波 (発振波長: 532 nm) を用いた。YAG レーザの第 2 高調波の代わりにエキシマレーザを用いることも可能である。ここで、窒素を噴き

50

つけながら非晶質半導体層 4 にレーザ光を照射することにより、結晶粒界部分に発生する隆起高さを抑制することができる。本実施の形態では、結晶表面の平均粗さを 3 nm 以下にまで小さくしている。これにより、非晶質半導体層 4 を結晶化して多結晶半導体層 4 a が得られる。このように形成した多結晶半導体層 4 a であるポリシリコン膜を用いて、TFT 及び保持容量が形成される。

#### 【0045】

上述の通り、多結晶半導体層 4 a には不純物を含む導電性領域があり、この部分がソース領域 4 c、ドレイン領域 4 d を形成する。そして、ソース・ドレイン領域に挟まれる領域がチャンネル領域 4 b となる。

#### 【0046】

さらに、図 7 (c) に示すように、TFT 3 1 に直列に接続される保持容量を形成する多結晶半導体層 4 a 上と、ソース領域 4 c、ドレイン領域 4 d 上に金属性導電層 6 を形成する。多結晶半導体層 4 a 上の金属性導電層 6 は、スパッタリング法で形成する。金属性導電層 6 としては、Cr、Mo、W、Ta などの金属膜や、これらを主成分とし、金属あるいは非金属元素を含む導電性を有する合金膜を用いることができる。本実施の形態では、Mo 膜をおよそ 20 nm の膜厚として、DC マグネトロンを用いたスパッタリング法により形成した。

#### 【0047】

このように、金属性導電層 6 は、多結晶半導体層 4 a のソース領域 4 c 及びドレイン電極 4 d と contacts する。このため、後述する画素電極である透明導電性酸化膜を、contacts ホールを介して接続した場合でも、多結晶半導体層 4 a が酸化されることはなく、良好な contacts 抵抗を得ることができるという効果を奏する。

#### 【0048】

また、低抵抗な金属性導電層 6 を保持容量の下部電極となる多結晶半導体層 4 a に積層することにより、下部電極には所望の電圧を確実に印加することが可能となり、安定した容量を形成することができる。さらに、保持容量の下部電極用の多結晶半導体層 4 a の上に金属性導電層 6 を形成しているために、多結晶半導体層 4 a を低抵抗化するためのドーピング工程を削減することができる。このため、写真製版工程を削減することが可能となり、生産性が向上するという効果を奏する。

#### 【0049】

ここで、金属性導電層 6 の膜厚  $t$  を 20 nm としたが、30 nm 以下、好ましくは 25 nm 以下であればよい。30 nm を超える膜厚の場合には、この後に行う不純物イオンドーピングのマスクとなり、下層の多結晶半導体層に不純物イオンが十分に到達できず、金属性導電層 6 と多結晶半導体層 4 a とのオーミック性 contacts が得られなくなるからである。

#### 【0050】

また、金属性導電層 6 を多結晶半導体層 4 a 上に形成したとき、金属性導電層 6 と多結晶半導体層 4 a の界面に金属性導電層 6 と多結晶半導体層 4 a の合金層 5 が形成されている。本実施の形態では、合金層 5 として MoSi 層が形成される。この合金層 5 は、膜厚を  $Y$  とすると、 $0.1t < Y < 0.3t$  の範囲で形成される。形成する金属性導電層 6 の膜厚が厚くなるほど、基板温度が上昇するので、合金層 5 の膜厚も厚くなる。ここでは、スパッタリング時の温度を 180 とし、形成する金属性導電層 6 の膜厚  $t$  を 20 nm とすると、形成される合金層 5 の膜厚  $Y$  は 2 nm となった。

#### 【0051】

次に、多結晶半導体層 4 a とその上に接するように形成された金属性導電層 6 の上に、公知のハーフトーンマスクを用いることにより、1 回の写真製版工程で段差のあるフォトレジストパターンを形成する。すなわち、所望の多結晶半導体層形状部分のフォトレジストの膜厚を薄く形成し、所望の金属性導電層形状部分のフォトレジストの膜厚を厚く形成する。このようなレジストパターンを用いて、金属性導電層 6 及び多結晶半導体層 4 a をパターニングする。このような膜厚の異なるフォトレジストパターンは、ハーフトーン露

10

20

30

40

50

光技術若しくはグレー-ton露光技術を用いて形成することが可能である。すなわち、露光光の透過率を減じるフィルター膜もしくはフィルター層をフォトマスクに設ける方法、あるいは、パターンを細かいスリット状に分割して光の回折現象を利用する方法等を用いることが可能である。

【0052】

そして、燐酸及び硝酸を混合した薬液を用いたウエットエッチング法により、金属性導電層6を所望の形状に加工する。その後、 $CF_4$ と $O_2$ を混合したガスを用いたドライエッチング法により、多結晶半導体層4aを島状に加工する。また、エッチングガスに $O_2$ を混合しているため、写真製版法により形成したレジストを後退させながら、エッチングすることが可能となる。これにより、図8(d)に示すように、多結晶シリコン層4aは端部にテーパ形状を有する構造とすることができる。

10

【0053】

次に、アッシング処理によって、フォトレジストパターンの膜厚を全体的に減じて、フォトレジスト膜厚をあらかじめ薄く形成した部分のレジストを除去し、所望の金属性導電層形状部分のレジストパターンのみを残存させる。これにより、当該領域において、第3のメタル導電膜からなる反射金属膜21bを露出させる。

【0054】

次に、残したフォトレジストパターンを用いて、燐酸及び硝酸を混合した薬液を用いたウエットエッチング法により、再度金属性導電層6をパターンニングする。このとき、図8(e)に示すように、多結晶半導体層4aのチャネル領域上の金属性導電層5が除去される。その後、 $CF_4$ とArを混合したガス又は $CF_4$ と $O_2$ を混合したガスを用いたドライエッチング法により、多結晶半導体層のチャネル領域上の合金層5を除去するとともに、多結晶半導体層のチャネル領域4bを削って凹部4eを形成する(図8(f))。

20

【0055】

多結晶半導体層4aのチャネル領域4b上の金属性導電層6を除去した後に、多結晶半導体層4aのチャネル領域4b上の合金層5と、多結晶半導体層4aのチャネル領域4bを一括してエッチングして清浄なチャネル領域表面を出す。上述したように、関係式 $0.3Y - X - 2Y = 1.3Y - Z - 3Y$ を満足するように、多結晶半導体層4aのチャネル領域4bをエッチングする。ここでは、 $Y = 2\text{ nm}$ のとき、凹部4eの深さXは $0.6\text{ nm}$ 、 $X - 4\text{ nm}$ 、トータルの削り量Zは $2.6\text{ nm}$ 、 $Z - 6\text{ nm}$ となる。これにより、半導体装置のCV特性を良好な範囲とすることができる。また、閾値電圧のばらつきを低減させることができ、信頼性の高い高性能な半導体装置を実現することができる。

30

【0056】

次に、フォトレジストを剥離液で除去する。そして、洗浄処理を行った後、ゲート絶縁膜7を基板表面全体を覆うように成膜する(図9(g))。本実施の形態では、洗浄処理は、バッファードフッ酸(BHF)処理を行った。また、ゲート絶縁膜7としては、SiN膜、 $SiO_2$ 膜等が用いられる。本実施の形態では、ゲート絶縁膜7として $SiO_2$ 膜を用い、CVD法にて、 $70 \sim 100\text{ nm}$ の膜厚に成膜した。

【0057】

次に、図9(g)に示すように、保持容量部の上部電極8b、ゲート電極8a、ゲート配線(不図示)を形成するための導電膜8を成膜する。導電膜8としては、Cr、Mo、W、Taやこれらを主成分とする合金膜を用いることができる。本実施の形態では、導電膜8としてMo膜を、DCマグネトロンを用いたスパッタリング法により、膜厚 $200 \sim 400\text{ nm}$ となるように形成した。

40

【0058】

次に、形成した導電膜8を公知の写真製版法を用いて、所望の形状にパターンニングし、保持容量の上部電極8b、ゲート電極8a、ゲート配線を形成する。本実施の形態では、導電膜8のエッチングは、燐酸と硝酸を混合した薬液を用いたウエットエッチング法により行った。

【0059】

50

そして、形成したゲート電極 8 a をマスクとして、多結晶半導体層 4 a のソース領域 4 c ・ドレイン領域 4 d に不純物を導入する。ここで、導入する不純物元素として P、B を用いることができる。P を導入すれば n 型の T F T を形成することができ、B を導入すれば、p 型の T F T を形成することができる。又、ゲート電極 4 a の加工を n 型 T F T 用ゲート電極と p 型 T F T 用ゲート電極の 2 回に分けて行えば、n 型と p 型の T F T を同一基板上に作り分けることができる。ここで、P や B の不純物元素の導入には、イオンドーピング法を用いて行った。以上の工程により、ソース領域 4 c ・ドレイン領域 4 d が形成される。

**【 0 0 6 0 】**

次に、図 9 ( h ) に示すように、層間絶縁層 9 を基板表面全体を覆うように成膜する。つまり、ゲート電極 8 a 上に層間絶縁層 9 を成膜する。本実施の形態では、層間絶縁層 9 として S i O<sub>2</sub> 膜を膜厚 5 0 0 ~ 1 0 0 0 n m の厚さで C V D 法により成膜した。そして、窒素雰囲気中で 4 5 0 ° に加熱したアニール炉に 2 時間程度保持した。これは、多結晶半導体層のソース・ドレイン領域に導入した不純物元素を活性化させるために行う。

10

**【 0 0 6 1 】**

次に、信号線 1 0 を形成するための導電膜を成膜する。この導電膜としては、C r、M o、W、T a、A l やこれらを主成分とする合金膜を用いることができる。本実施の形態では、M o ( 上層 ) / A l ( 下層 ) の積層膜とし、M o 膜を膜厚 1 0 0 ~ 2 0 0 n m、A l 膜を 2 0 0 ~ 4 0 0 n m とし、D C マグネトロンを用いたスパッタリング法により導電膜を形成した。

20

**【 0 0 6 2 】**

次に、形成した導電膜を公知の写真製版法を用いて所望の形状にパターニングして、信号線 1 0 を形成する ( 図 9 ( h ) )。本実施の形態では、信号線 1 0 を形成するためのエッチングは、S F<sub>6</sub> と O<sub>2</sub> の混合ガス及び C l<sub>2</sub> と A r の混合ガスを用いたドライエッチング法により行った。そして、保護膜 1 1 を基板表面全体を覆うように成膜する。本実施の形態では、保護膜として S i N 膜を膜厚 3 0 0 ~ 6 0 0 n m となるように、C V D 法により成膜した。

**【 0 0 6 3 】**

次に、形成したゲート絶縁膜 5、層間絶縁層 9 及び保護膜 1 1 を公知の写真製版法を用いて所望の形状にパターニングする。ここでは、多結晶半導体層 4 a のソース領域 4 c に到達するコンタクトホール 1 2 a、ドレイン領域 4 d に到達するコンタクトホール 1 2 b、信号線 1 0 に到達するコンタクトホール 1 2 c の形成を行う。多結晶半導体層 4 a のソース領域 4 c 及びドレイン領域 4 d に到達するコンタクトホール 1 2 a、1 2 b では、ゲート絶縁膜 5、層間絶縁層 9 及び保護膜 1 1 が除去され、多結晶半導体層 4 a のソース領域 4 c、ドレイン領域 4 d 上の金属性導電層 6 が露出される。また、信号線 1 0 に到達するコンタクトホール 1 2 c では、保護層 1 1 が除去され、信号線 1 0 が露出している。本実施の形態では、コンタクトホール 1 2 のエッチングは、C H F<sub>3</sub>、O<sub>2</sub>、A r の混合したガスを用いたドライエッチング法により行った。

30

**【 0 0 6 4 】**

次に、画素電極 1 3 を形成するための導電膜を成膜する。導電膜は、I T O や I Z O などの透明性を有する導電膜であればよい。本実施の形態では、透明性導電膜として I T O を膜厚 8 0 ~ 1 2 0 n m となるように、D C マグネトロンを用いたスパッタリング法により形成した。また、スパッタリングには、A r ガス、O<sub>2</sub> ガス、H<sub>2</sub> O ガスを混合したガスを用いて行った。これにより、加工性が容易で非晶質の透明性導電膜が形成される。

40

**【 0 0 6 5 】**

そして、形成した透明性導電膜を公知の写真製版法を用いて、所望の形状にパターニングし、画素電極 1 3 を形成する ( 図 9 ( i ) )。本実施の形態では、透明性導電膜のエッチングはシュウ酸を主成分とする薬液を用いたウエットエッチング法により行った。次に、非晶質性透明導電膜を結晶化するためのアニールを実施する。以上の製造方法により、低温ポリシリコン T F T 構造の半導体装置が完成する。この T F T が形成された T F T 基

50

板を用いて、液晶表示装置 100 を製造することができる。

【0066】

このように、多結晶半導体層 4 a のチャネル領域 4 b 上の金属性導電層 6 を除去した後に、多結晶半導体層 4 a のチャネル領域 4 b 上の合金層 5 と、多結晶半導体層 4 a のチャネル領域 4 b を一括してエッチングして清浄なチャネル領域表面を出す。上述したように、関係式  $0.3Y < X < 2Y$ 、 $1.3Y < Z < 3Y$  を満足するように、多結晶半導体層 4 a のチャネル領域 4 b をエッチングする。これにより、半導体装置の C V 特性を良好な範囲とすることができる。また、閾値電圧のばらつきを低減させることができ、信頼性の高い高性能な半導体装置を実現することができる。

【0067】

実施の形態 2 .

本発明の実施の形態 2 に係る半導体装置の製造方法について説明する。本実施の形態では、基本的には実施の形態 1 において説明した T F T の製造方法と同様である。本実施の形態において、実施の形態 1 と異なる点は、多結晶半導体層 4 a のチャネル領域上の金属性導電層 6 のエッチング方法である。以下、この点について説明する。

【0068】

実施の形態 1 で説明したように、図 8 ( d ) に示すように、第 1 の下地層 2 、第 2 の下地層 3 上に、所定の形状の多結晶シリコン層 4 a 、金属性導電層 6 を形成する。また、金属性導電層 6 の形成により、多結晶シリコン層 4 a と金属性導電層 6 との界面には、多結晶シリコン層 4 a と金属性導電層 6 の合金層 5 が形成されている。

【0069】

その後、上述のとおり、アッシング処理によって、フォトリジストパターンの膜厚を全体的に減じて、フォトリジスト膜厚をあらかじめ薄く形成した部分のレジストを除去し、所望の金属性導電層形状部分のレジストパターンのみを残存させる。これにより、当該領域において、第 3 のメタル導電膜からなる反射金属膜 2 1 b を露出させる。

【0070】

次に、残したフォトリジストパターンを用いて、 $Cl_2$  ガスを用いたドライエッチング法により、再度金属性導電層 6 をパターンニングする。このとき、多結晶半導体層 4 a のチャネル領域 4 b 上の金属性導電層 6 が除去される。その後、 $CF_4$  と Ar を混合したガス又は  $CF_4$  と  $O_2$  を混合したガスを用いたドライエッチング法により、多結晶半導体層のチャネル領域上の合金層 5 を除去するとともに、多結晶半導体層のチャネル領域 4 b を削って凹部 4 e を形成する ( 図 8 ( f ) ) 。

【0071】

多結晶半導体層 4 a のチャネル領域 4 b 上の金属性導電層 6 を除去した後に、多結晶半導体層 4 a のチャネル領域 4 b 上の合金層 5 と、多結晶半導体層 4 a のチャネル領域 4 b を一括してエッチングして清浄なチャネル領域表面を出す。実施の形態 1 で説明したように、関係式  $0.3Y < X < 2Y$ 、 $1.3Y < Z < 3Y$  を満足するように、多結晶半導体層 4 a のチャネル領域 4 b をエッチングする。以降、実施の形態 1 と同様な工程により、低温ポリシリコン T F T 構造の半導体装置が完成する。

【0072】

本実施の形態に係る製造方法で作成された半導体装置においても、トータルの削り量  $Z$  ( $Z = X + Y$ ) と C V 特性の関係は、図 6 に示すとおりとなる。従って、実施の形態 1 と同様に、半導体装置の C V 特性を良好な範囲とすることができる。また、閾値電圧のばらつきを低減させることができ、信頼性の高い高性能な半導体装置を実現することができる。

【0073】

なお、上述の実施の形態においては、レーザアニーリングにより形成するポリシリコンからなる従来の L T P S T F T の場合について説明したが、これに限定されず、他の様々な方法で形成される結晶性シリコン T F T 等においても同様の効果を奏する。さらに、本発明による構造は、L C D だけでなく、有機 E L 表示装置等の他の表示装置にも適用可

10

20

30

40

50

能である。

【図面の簡単な説明】

【0074】

【図1】実施の形態に係る表示装置の構成を示す平面図である。

【図2】実施の形態に係る表示装置の構成を示す断面図である。

【図3】実施の形態に係る半導体装置の構成を示す図である。

【図4】実施の形態に係る半導体装置の一部の構成を示す図である。

【図5】本実施の形態に係るTFTのCV特性を示す図である。

【図6】トータルの削り量とCV曲線の傾きの関係を示すグラフである。

【図7】実施の形態に係る半導体装置の製造方法を説明する製造工程断面図である。

10

【図8】実施の形態に係る半導体装置の製造方法を説明する製造工程断面図である。

【図9】実施の形態に係る半導体装置の製造方法を説明する製造工程断面図である。

【図10】従来の半導体装置の構成を示す図である。

【符号の説明】

【0075】

1 TFT基板

2 第1の下地層

3 第2の下地層

4 非結晶半導体層

4 a 多結晶半導体層

20

4 b チャンネル領域

4 c ソース領域

4 d ドレイン領域

4 e 凹部

5 合金層

6 金属性導電層

7 ゲート絶縁層

8 導電層

9 層間絶縁層

10 信号線

30

11 保護膜

12 a、12 b、12 c コンタクトホール

13 画素電極

20 対向基板

21 シール材

22 液晶

23 スペース

24 ゲート線

25 ソース線

26 配向膜

40

27 対向電極

28 偏光板

29 ゲートドライバ

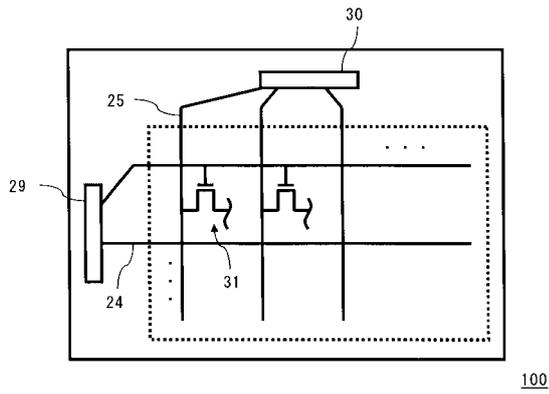
30 ソースドライバ

100 液晶表示装置

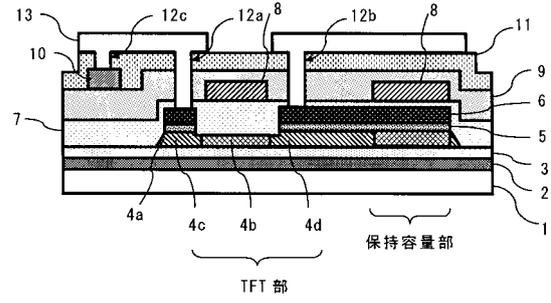
101 液晶パネル

102 バックライト

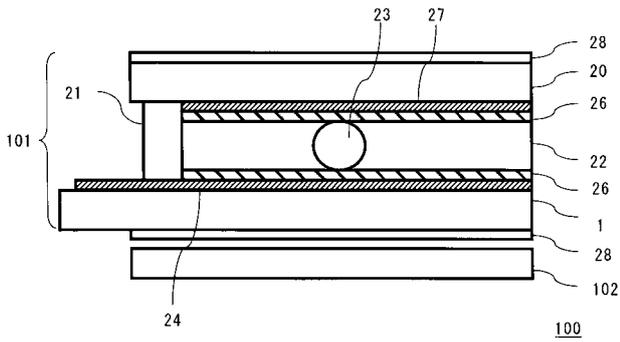
【 図 1 】



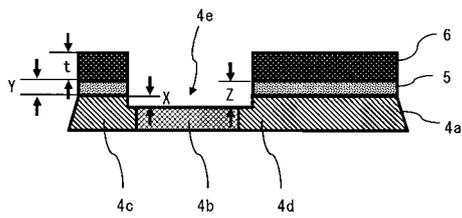
【 図 3 】



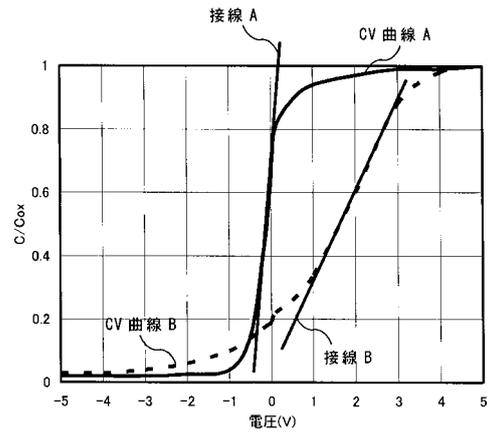
【 図 2 】



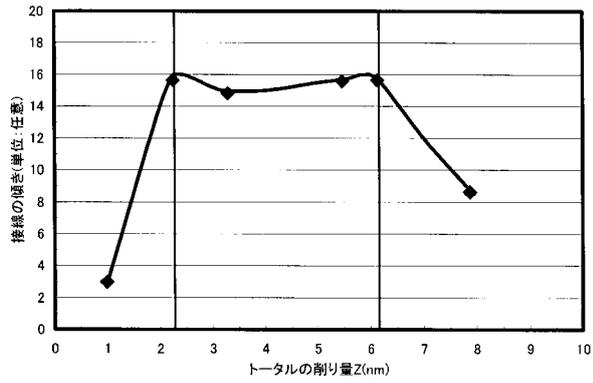
【 図 4 】



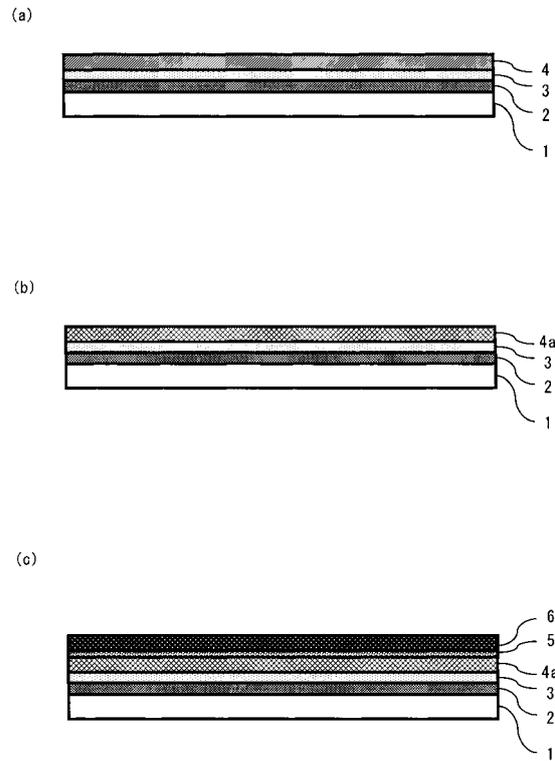
【 図 5 】



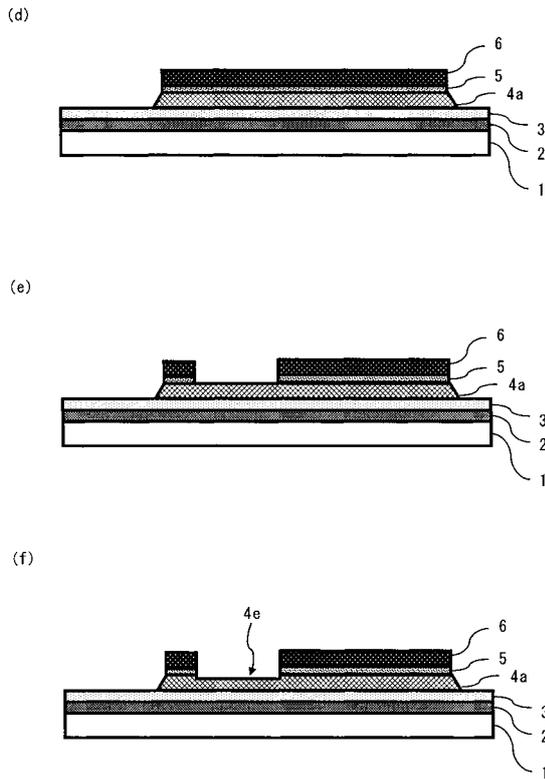
【 図 6 】



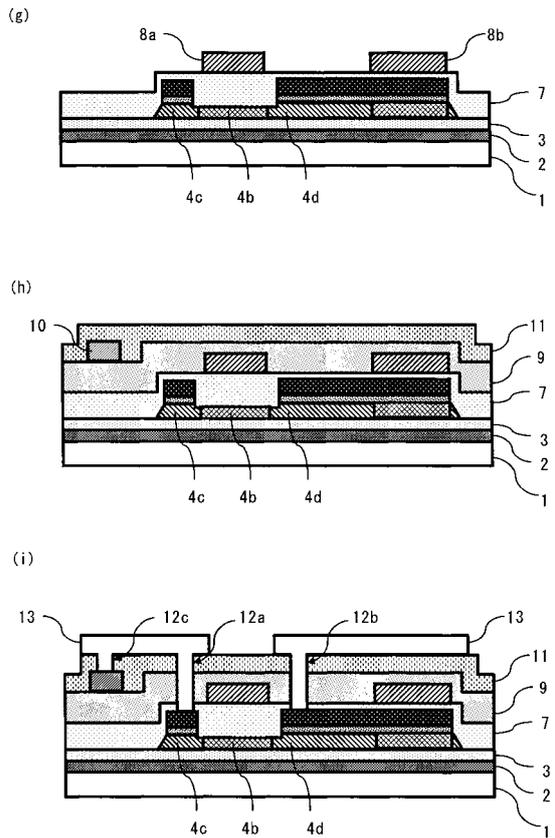
【 図 7 】



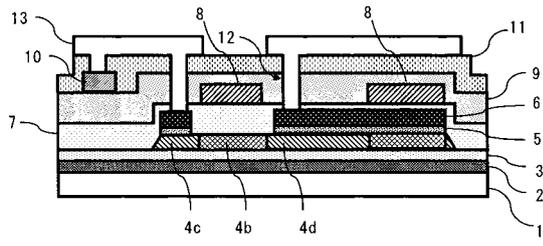
【 図 8 】



【 図 9 】



【図 10】



## フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
<b>H 0 1 L 21/20 (2006.01)</b>		H 0 1 L 29/58		G
<b>G 0 2 F 1/1362 (2006.01)</b>		H 0 1 L 21/20		
		G 0 2 F 1/1362		

Fターム(参考)	4M104	AA01	AA08	AA09	BB13	BB16	BB17	BB18	BB26	CC01	CC05
		DD37	DD64	FF13	FF26	GG09	GG10	GG14	GG20		
	5F110	AA30	BB01	BB04	CC02	DD02	DD03	DD13	DD14	DD17	EE04
		EE06	EE44	FF02	FF03	FF29	FF35	GG02	GG13	GG22	GG25
		GG44	GG58	HJ01	HJ12	HJ23	HK04	HK05	HK06	HK21	HK33
		HK41	HL07	HL23	HM02	HM17	NN03	NN04	NN24	NN72	NN73
		PP03	PP04	PP13	PP31	PP35	QQ02	QQ04	QQ09	QQ11	
	5F152	AA13	BB02	CC02	CC03	CD13	CD14	CE05	CE12	CE24	CE45
		CE48	EE11	EE16	FF03	FF06	FF47	FG23			