

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6370528号
(P6370528)

(45) 発行日 平成30年8月8日(2018.8.8)

(24) 登録日 平成30年7月20日(2018.7.20)

(51) Int.Cl. F I
G06F 12/16 (2006.01) G06F 12/16 310B
 G06F 12/16 320L

請求項の数 26 外国語出願 (全 21 頁)

<p>(21) 出願番号 特願2012-180750 (P2012-180750) (22) 出願日 平成24年8月17日 (2012.8.17) (65) 公開番号 特開2013-80455 (P2013-80455A) (43) 公開日 平成25年5月2日 (2013.5.2) 審査請求日 平成27年6月3日 (2015.6.3) 審判番号 不服2017-5543 (P2017-5543/J1) 審判請求日 平成29年4月18日 (2017.4.18) (31) 優先権主張番号 61/541, 321 (32) 優先日 平成23年9月30日 (2011.9.30) (33) 優先権主張国 米国 (US)</p>	<p>(73) 特許権者 501055961 ラムバス・インコーポレーテッド アメリカ合衆国, カリフォルニア州 9 4089, サニーヴェール, スイート 7 00, エンタープライズ ウェイ 105 0 (74) 代理人 100079108 弁理士 稲葉 良幸 (74) 代理人 100109346 弁理士 大貫 敏史 (74) 代理人 100126480 弁理士 佐藤 睦</p>
--	--

最終頁に続く

(54) 【発明の名称】 メモリデバイス群間でのチェックビットメモリデバイスの共有

(57) 【特許請求の範囲】

【請求項1】

- 第1のメモリチップと、
- 第2のメモリチップと、
- 第3のメモリチップと、

前記第1のメモリチップとの間で第1のデータを転送し、前記第2のメモリチップとの間で第2のデータを転送し、前記第3のメモリチップとの間で前記第1のデータに対応する第1のエラーチェック情報を転送し、前記第3のメモリチップとの間で前記第2のデータに対応する第2のエラーチェック情報を転送する、メモリバッファとを備え、

前記メモリバッファは、前記第1のエラーチェック情報または前記第2のエラーチェック情報の1つに対応する、前記第3のメモリチップ内の位置を示すエラーアドレスを決定し、前記エラーアドレスは、前記第1のデータが前記第1のメモリチップとの間で転送されているかどうか、または、前記第2のデータが前記第2のメモリチップとの間で転送されているかどうかに応じて異なって決定され、

前記メモリバッファは、データ転送のための少なくとも1つのアドレスを受信し、前記第1のデータが前記第1のメモリチップとの間で転送されているものであれば前記受信したアドレスのビット値を反転させることによって、および、前記第2のデータが前記第2のメモリチップとの間で転送されているものであれば前記ビット値を保持することによって、前記受信したアドレスから前記エラーアドレスを決定する、メモリモジュール。

【請求項 2】

前記メモリバッファは、連続して第 1 のデータアドレスに、次いで、第 2 のデータアドレスにアクセスすることによって前記第 1 のデータを転送し、前記メモリバッファは、

前記第 1 のデータの転送が読み出し動作に対応していれば、前記第 1 のデータアドレスにアクセスするのと実質的に同時に前記エラーアドレスにアクセスすること、

前記第 1 のデータの転送が書き込み動作に対応していれば、前記第 2 のデータアドレスにアクセスするのと実質的に同時に前記エラーアドレスにアクセスすること

によって前記第 1 のエラーチェック情報を転送する、請求項 1 に記載のメモリモジュール。

【請求項 3】

10

前記メモリバッファは、データ転送が前記第 1 のメモリチップによるものかまたは前記第 2 のメモリチップによるものかについての指示の受信に応答して、前記エラーアドレスを決定する、請求項 1 に記載のメモリモジュール。

【請求項 4】

前記指示は、1 つまたは複数のチップ選択信号を含む、請求項 3 に記載のメモリモジュール。

【請求項 5】

前記指示は、1 つまたは複数のアドレスビットを含む、請求項 3 に記載のメモリモジュール。

【請求項 6】

20

前記メモリバッファは、第 1 のビット幅で前記第 1 のエラーチェック情報を受信し、前記第 1 のビット幅より大きい第 2 のビット幅で前記第 3 のメモリチップに前記第 1 のエラーチェック情報を送信することによって、前記第 1 のエラーチェック情報を転送する、請求項 1 に記載のメモリモジュール。

【請求項 7】

前記メモリバッファは、第 1 のビット幅で前記第 3 のメモリチップから前記第 1 のエラーチェック情報を受信し、前記第 1 のビット幅より小さい第 2 のビット幅で前記第 1 のエラーチェック情報を送信することによって、前記第 1 のエラーチェック情報を転送する、請求項 1 に記載のメモリモジュール。

【請求項 8】

30

前記第 3 のメモリチップは、前記第 1 のメモリチップと前記第 2 のメモリチップとの間で共有される、請求項 1 に記載のメモリモジュール。

【請求項 9】

前記メモリバッファは、前記第 1 のデータまたは前記第 2 のデータの 1 つであるデータを受信し、データ転送が前記第 1 のメモリチップによるものかまたは前記第 2 のメモリチップによるものかに応じて、前記データを前記第 1 のメモリチップまたは前記第 2 のメモリチップのいずれかに選択的にルーティングする、ルーティング回路を備える、請求項 1 に記載のメモリモジュール。

【請求項 10】

前記エラーアドレスは、列アドレスを含む、請求項 1 に記載のメモリモジュール。

40

【請求項 11】

メモリバッファデバイスであって、

第 1 のメモリチップとの間で第 1 のデータを転送するための第 1 のインターフェースと

、

第 2 のメモリチップとの間で第 2 のデータを転送するための第 2 のインターフェースと

、

第 3 のメモリチップとの間で前記第 1 のデータに対応する第 1 のエラーチェック情報を転送し、前記第 3 のメモリチップとの間で前記第 2 のデータに対応する第 2 のエラーチェック情報を転送するための第 3 のインターフェースと、

前記第 1 のエラーチェック情報または前記第 2 のエラーチェック情報の 1 つに対応する

50

、前記第3のメモリチップ内の位置を示すエラーアドレスを決定する、回路であって、前記エラーアドレスは、前記第1のデータが前記第1のインターフェースを介して転送されているかどうか、または、前記第2のデータが前記第2のインターフェースを介して転送されているかどうかに応じて異なって決定される、回路と、
を備え、

前記回路は、データ転送のための少なくとも1つのアドレスを受信し、前記第1のデータが前記第1のインターフェースを介して転送されているものであれば前記受信したアドレスのビット値を反転させることによって、および、前記第2のデータが前記第2のインターフェースを介して転送されているものであれば前記ビット値を保持することによって、前記受信したアドレスから前記エラーアドレスを決定する、メモリバッファデバイス。

10

【請求項12】

前記回路は、連続して第1のデータアドレスに、次いで、第2のデータアドレスにアクセスすることによって前記第1のデータを転送し、前記回路は、

前記第1のデータの転送が読み出し動作に対応していれば、前記第1のデータアドレスにアクセスするのと実質的に同時に前記エラーアドレスにアクセスすること、

前記第1のデータの転送が書き込み動作に対応していれば、前記第2のデータアドレスにアクセスするのと実質的に同時に前記エラーアドレスにアクセスすること
によって前記第1のエラーチェック情報を転送する、請求項11に記載のメモリバッファデバイス。

【請求項13】

20

前記回路は、データ転送が前記第1のインターフェースを介するものかまたは前記第2のインターフェースを介するものかについての指示の受信に応答して、前記エラーアドレスを決定する、請求項11に記載のメモリバッファデバイス。

【請求項14】

前記指示は、1つまたは複数のチップ選択信号を含む、請求項13に記載のメモリバッファデバイス。

【請求項15】

前記指示は、1つまたは複数のアドレスビットを含む、請求項13に記載のメモリバッファデバイス。

【請求項16】

30

前記回路は、第1のビット幅で前記第3のインターフェースを介して前記第1のエラーチェック情報を受信し、前記第1のビット幅より大きい第2のビット幅で前記第3のインターフェースを介して前記第1のエラーチェック情報を送信することによって、前記第1のエラーチェック情報を転送する、請求項11に記載のメモリバッファデバイス。

【請求項17】

前記回路は、第1のビット幅で前記第3のインターフェースを介して前記第1のエラーチェック情報を受信し、前記第1のビット幅より小さい第2のビット幅で前記第1のエラーチェック情報を送信することによって、前記第1のエラーチェック情報を転送する、請求項11に記載のメモリバッファデバイス。

【請求項18】

40

メモリコントローラであって、

第1のメモリチップとの間で第1のデータを転送するための第1のインターフェースと

、

第2のメモリチップとの間で第2のデータを転送するための第2のインターフェースと

、

第3のメモリチップとの間で前記第1のデータに対応する第1のエラーチェック情報を転送し、前記第3のメモリチップとの間で前記第2のデータに対応する第2のエラーチェック情報を転送するための第3のインターフェースと、

前記第1のエラーチェック情報または前記第2のエラーチェック情報の1つに対応する、前記第3のメモリチップ内の位置を示すエラーアドレスを決定する、回路であって、前

50

記エラーアドレスは、前記第 1 のデータが前記第 1 のインターフェースを介して転送されているかどうか、または、前記第 2 のデータが前記第 2 のインターフェースを介して転送されているかどうかに応じて異なって決定される、回路と、
を備え、

前記回路は、前記第 1 のデータまたは前記第 2 のデータのうちの 1 つのデータ転送のための少なくとも 1 つのアドレスで前記第 1 のメモリチップまたは前記第 2 のメモリチップにアクセスし、前記エラーアドレスのビット値は、前記第 1 のデータが前記第 1 のインターフェースを介して転送されているものであれば前記アクセスしたアドレスの対応するビット値から反転され、前記エラーアドレスのビット値は、前記第 2 のデータが前記第 2 のインターフェースを介して転送されているものであれば前記アクセスしたアドレスの対応するビット値と同じである、メモリコントローラ。

10

【請求項 19】

前記回路は、連続して第 1 のデータアドレスに、次いで、第 2 のデータアドレスにアクセスすることによって前記第 1 のデータを転送し、前記回路は、

前記第 1 のデータの転送が読み出し動作であれば、前記第 1 のデータアドレスにアクセスすると実質的に同時に前記エラーアドレスにアクセスすること、

前記第 1 のデータの転送が書き込み動作であれば、前記第 2 のデータアドレスにアクセスすると実質的に同時に前記エラーアドレスにアクセスすること

によって前記第 1 のエラーチェック情報を転送する、請求項 18 に記載のメモリコントローラ。

20

【請求項 20】

第 1 のメモリチップとの間で第 1 のデータを転送すること、第 2 のメモリチップとの間で第 2 のデータを転送すること、第 3 のメモリチップとの間で前記第 1 のデータのための第 1 のエラーチェック情報を転送すること、および、前記第 3 のメモリチップとの間で前記第 2 のデータのための第 2 のエラーチェック情報を転送することをサポートする、メモリバッファデバイスにおける動作方法であって、

前記第 1 のメモリチップとの間で前記第 1 のデータを転送するかまたは第 2 のメモリチップとの間で前記第 2 のデータを転送するかについての指示を前記メモリバッファデバイスにおいて受信することと、

前記第 1 のメモリチップとの間で前記第 1 のデータを転送するかまたは前記第 2 のメモリチップとの間で前記第 2 のデータを転送するかについての指示に回答して、前記第 1 のエラーチェック情報または前記第 2 のエラーチェック情報の 1 つに対応する、前記第 3 のメモリチップ内の位置を示すエラーアドレスを決定することであって、前記エラーアドレスは、前記第 1 のデータが前記第 1 のメモリチップとの間で転送されるべきかどうか、または、前記第 2 のデータが前記第 2 のメモリチップとの間で転送されるべきかどうかに応じて異なって決定されることと

30

を含み、

データ転送のための少なくとも 1 つのアドレスを受信することをさらに含み、

前記エラーアドレスを決定することは、前記第 1 のデータが前記第 1 のメモリチップとの間で転送されるべきであれば前記受信したアドレスのビット値を反転させることと、前記第 2 のデータが前記第 2 のメモリチップとの間で転送されるべきであれば前記ビット値を保持することを含む、方法。

40

【請求項 21】

連続して第 1 のデータアドレスに、次いで、第 2 のデータアドレスにアクセスすることによって前記第 1 のメモリチップとの間で前記第 1 のデータを転送すること、および、

前記第 1 のデータの転送が読み出し動作に対応していれば、前記第 1 のデータアドレスにアクセスすると実質的に同時に前記エラーアドレスにアクセスすること、

前記第 1 のデータの転送が書き込み動作に対応していれば、前記第 2 のデータアドレスにアクセスすると実質的に同時に前記エラーアドレスにアクセスすること

によって前記第 3 のメモリチップとの間で前記第 1 のエラーチェック情報を転送する、請

50

求項 20 に記載の方法。

【請求項 22】

第 1 のビット幅で前記第 1 のエラーチェック情報を受信することと、前記第 1 のビット幅より大きい第 2 のビット幅で前記第 3 のメモリチップに前記第 1 のエラーチェック情報を送信することとをさらに含む、請求項 20 に記載の方法。

【請求項 23】

第 1 のビット幅で前記第 3 のメモリチップから前記第 1 のエラーチェック情報を受信することと、前記第 1 のビット幅より小さい第 2 のビット幅で前記第 1 のエラーチェック情報を送信することとをさらに含む、請求項 20 に記載の方法。

【請求項 24】

メモリチップと通信する方法であって、
第 1 のメモリチップとの間で第 1 のデータを転送することと、
第 2 のメモリチップとの間で第 2 のデータを転送することと、
第 3 のメモリチップとの間で前記第 1 のデータに対応する第 1 のエラーチェック情報を転送することと、

前記第 3 のメモリチップとの間で前記第 2 のデータに対応する第 2 のエラーチェック情報を転送することとを含み、

前記第 1 のエラーチェック情報または前記第 2 のエラーチェック情報の 1 つに対応する、前記第 3 のメモリチップ内の位置を示すエラーアドレスが、前記第 1 のデータが前記第 1 のメモリチップとの間で転送されているかどうか、または、前記第 2 のデータが前記第 2 のメモリチップとの間で転送されているかどうかに応じて異なって決定され、

データ転送のために少なくとも 1 つのアドレスが用いられ、前記エラーアドレスは、前記第 1 のデータが前記第 1 のメモリチップとの間で転送されているものであれば前記アクセスしたアドレスのビット値を反転させることによって、および、前記第 2 のデータが前記第 2 のメモリチップとの間で転送されているものであれば前記ビット値を保持することによって決定される、方法。

【請求項 25】

前記第 1 のデータは、連続して第 1 のデータアドレスに、次いで、第 2 のデータアドレスにアクセスすることによって転送され、

前記第 1 のエラーチェック情報は、

前記第 1 のデータの転送が読み出し動作に対応していれば、前記第 1 のデータアドレスにアクセスするのと実質的に同時に前記エラーアドレスにアクセスすること、

前記第 1 のデータの転送が書き込み動作に対応していれば、前記第 2 のデータアドレスにアクセスするのと実質的に同時に前記エラーアドレスにアクセスすることによって前記エラーチェック情報を転送する、請求項 24 に記載の方法。

【請求項 26】

前記第 1 のメモリチップと前記第 2 のメモリチップは同じメモリランクに属する、請求項 1 に記載のメモリモジュール。

【発明の詳細な説明】

【背景技術】

【0001】

本開示は、メモリシステムに関し、より具体的には、エラー検出および訂正 (E D C) 機能性を含むメモリシステムのコンポーネントに関する。

【0002】

本明細書の実施形態の教示は、添付の図面と併せて、以下の詳細な説明を考慮することによって容易に理解することができる。

【図面の簡単な説明】

【0003】

【図 1】—実施形態による、E D C 範囲に対するメモリシステムを示す。

【図 2 A】—実施形態による、図 1 の実施形態での書き込み動作中のアドレス回路の動作

10

20

30

40

50

を示す表である。

【図 2 B】一実施形態による、図 1 の実施形態での読み出し動作中のアドレス回路の動作を示す表である。

【図 3 A】一実施形態による、図 1 の実施形態での書き込み動作中のメモリシステムの動作を示すタイミング図である。

【図 3 B】一実施形態による、図 1 の実施形態での読み出し動作中のメモリシステムの動作を示すタイミング図である。

【図 4】別の実施形態による、E D C 範囲に対するメモリシステムを示す。

【図 5 A】一実施形態による、書き込み動作中の図 4 の実施形態のアドレス回路の動作を示す表である。

10

【図 5 B】一実施形態による、読み出し動作中の図 4 の実施形態のアドレス回路の動作を示す表である。

【図 6】さらに別の実施形態による、E D C 範囲に対するメモリシステムを示す。

【図 7】さらに別の実施形態による、E D C 範囲に対するメモリシステムを示す。

【発明を実施するための形態】

【0004】

本開示の実施形態は、メモリアクセス中に起こり得るメモリエラーを検出および訂正するためのエラー検出および訂正 (E D C) 範囲をサポートするメモリシステムのコンポーネントに関する。一実施形態では、メモリモジュールは、データを格納する 2 つのメモリデバイス群と、両方のメモリデバイス群のためにエラーチェック情報 (例えば、エラー訂正コード) を格納する別のメモリデバイスとを含む。また、メモリモジュールは、メモリモジュールとメモリコントローラとの間の通信を取り扱うメモリバッファも含む。メモリバッファは、あるメモリデバイス群のデータに、別のメモリデバイス群のデータとは無関係にアクセスすることができるように、メモリスレディングまたはダイナミックポイントツーポイント (D P P) メモリ構成をサポートすることができる。エラーチェック情報のためのメモリデバイスを共有する一方で独立したデータアクセスをサポートするため、バッファは、データが第 1 のメモリデバイス群によって転送されるかまたは第 2 のメモリデバイス群によって転送されるかに基づいて、エラーチェック情報にアクセスするためのアドレスを決定する。いくつかの実施形態では、メモリバッファにあるものとして記載される機能性は、代わりにメモリコントローラに実装して、メモリバッファの必要性を低減または排除することができる。

20

30

【0005】

本開示全体を通じて「エラーチェック情報」という用語は、メモリシステムに格納されたデータ内で起こるエラーの検出および/もしくは訂正において使用されるかまたは同エラーの検出および/もしくは訂正に関連する任意の情報として幅広く定義されることに留意されたい。その上、本明細書全体を通じて「エラー訂正コード」(E C C) という用語は、エラー検出および訂正のためにメモリシステムで使用されるエラーチェック情報を指す。

【0006】

ここで、本開示のいくつかの実施形態を詳細に参照し、その例を添付の図面に示す。図面では、実行可能な同様のまたは類似した参照番号を使用することができ、それらの参照番号は同様のまたは類似した機能性を示すことができることに留意されたい。図面は、単なる例示として本開示の実施形態を描写する。当業者であれば、以下の説明から、本明細書に記載される本開示の原理または称賛される利益から逸脱することなく、本明細書で示される構造および方法の代替の実施形態を使用することが容易に理解されよう。

40

【0007】

図 1 は、一実施形態による、E D C 範囲に対するメモリシステム 100 を示す。メモリシステム 100 は、一次信号リンク 160 を介して相互接続されたメモリコントローラ 102 とメモリモジュール 104 を含む。一実施形態では、システム 100 は、マザーボード上に存在し得る。メモリコントローラ 102 は、個別の集積回路でも、中央処理装置 (

50

CPU)またはグラフィック処理装置(GPU)などのより大きな集積回路の一部でもあり得る。

【0008】

一次信号リンク160は、メモリコントローラ102からメモリモジュール104まで制御およびアドレス情報を搬送するコマンドおよびアドレス用一次リンクPCAを含む。また、信号リンク160は、メモリコントローラ102とメモリモジュール104との間でデータを転送するための2つの一次データリンクPDQ0およびPDQ1も含む。一実施形態では、一次データリンクPDQ0およびPDQ1はそれぞれ32ビット幅である。また、一次信号リンク160は、メモリコントローラ102とメモリモジュール104との間でECCを転送するための2つの一次ECCリンクPECC0およびPECC1も含む。一実施形態では、ECCリンクPECC0およびPECC1はそれぞれ4ビット幅である。

10

【0009】

メモリコントローラ102は、モジュールスレッディングをサポートし、モジュールスレッディングは、単一の比較的幅広いメモリチャネルを、共通のアドレスバスを通じて互いに無関係にアクセスすることができる2つのサブチャネルに分割する技法を指す。例えば、メモリスレッディングを有効にすると、メモリコントローラ102は、メモリトランザクション(例えば、読み出しおよび書き込みトランザクション)を2つのスレッドT0およびT1に分割する。スレッドT0に対するデータはPDQ0リンクを介して転送され、スレッドT0に対するECCはPECC0リンクを介して転送される。スレッドT1に対するデータはPDQ1リンクを介して転送され、スレッドT1に対するECCはPECC1リンクを介して転送される。メモリコントローラ102は、PCAリンクを介してコマンドおよびアドレス情報を送信し、2つのアクティブローの選択信号S0#およびS1#を使用してトランザクション用のスレッドの1つを選択することによって、メモリトランザクションを制御する。例えば、S0#がアサートされればスレッドT0が選択され、S1#がアサートされればスレッドT1が選択される。他の実施形態では、メモリコントローラ102は、PCAリンクを介してまたは他のサイドバンド信号を通じて、帯域内信号伝達でスレッドを選択することができる。

20

【0010】

メモリモジュール104は、合計9つのメモリデバイス120を含む。当業者が通常使用する意味と一致して、メモリデバイス120は、電子的に情報を格納したり取り出したりすることができる集積回路デバイス(すなわち、チップ)である。各メモリデバイス120は、8ビット幅のインターフェースをサポートするx8メモリデバイスである。4つのメモリデバイス120-D0は、スレッドT0に対するデータを格納するメモリデバイスのハーフランクHR0を形成する。4つのメモリデバイス120-D1は、スレッドT1に対するデータを格納するメモリデバイスのハーフランクHR1を形成する。メモリデバイス120-Eは、スレッドT0とT1の両方に対するECCを格納し、効果的に、メモリデバイスの2つのハーフランクHR0とHR1との間で「共有」される。さらに、メモリデバイス120は、ダイナミックランダムアクセスメモリ(DRAM)、スタティックランダムアクセスメモリ(SRAM)または非揮発性メモリ(NVM)などの任意のタイプのメモリを表し得る。

30

40

【0011】

また、メモリモジュール104は、モジュールスレッディングと併せてEDCの機能性を可能にするメモリバッファ106も含む。いくつかの実施形態では、メモリバッファ106は、メモリモジュール104に取り付けられた単一の集積回路デバイスである。メモリバッファ106は、メモリコントローラ102とメモリデバイス120との間の通信を取り扱う。具体的には、メモリバッファ106は、二次データリンクSDQ0およびSDQ1を通じて、メモリデバイスのハーフランクHR0およびHR1でデータを転送し、コマンド/アドレス用二次リンクSCAを通じて、ハーフランクHR0およびHR1を制御する。いくつかの実施形態では、SCAリンクは2つのリンクに分割することができ、そ

50

れぞれがメモリデバイス120-Dの半分を専用して使用する。例えば、ハーフランクHR0を専用して使用するあるコマンドおよびアドレス用リンクが存在し、ハーフランクHR1を専用して使用する異なるコマンドおよびアドレス用リンクが存在し得る。

【0012】

メモリバッファ106は、二次ECCリンクSECCを通じて共有のメモリデバイス120-EでECCを転送し、ECCコマンド/アドレス用リンクECAを通じて共有のメモリデバイス120-Eを制御する。他の実施形態では、共有のメモリデバイス120-Eは、SCAリンクにおいて信号の大部分(例えば、addr[13:1])と結合する一方で、ECAリンクから単一のアドレス信号(例えば、addr[0])のみを受信することができる。これにより、共有のメモリデバイス120-Eは、SCAリンクでコマンド/アドレス信号の大部分を共有するが、SCAリンクにおいて対応するアドレスビットとは異なり得るそれ自体のユニークなアドレスビットを受信することができる。別の実施形態では、共有のメモリデバイス120-Eは、SCAリンクを共有し、SCAリンクからのコマンドを読み出すための専用チップ選択信号を有することができる。

10

【0013】

アドレス回路110もまた、アドレス回路110によって生成される二次選択信号(図示せず)を通じて、それぞれのメモリデバイス120と結合される。各メモリデバイス120は、その選択信号がアサートされれば着信コマンドを処理し、その選択信号がアサート解除されれば着信コマンドを無視する。ハーフランクHR0のデバイスにある選択信号が提供され得、ハーフランクHR1のデバイスに別の選択信号が提供され得、共有のメモリデバイス120-Eに異なる選択信号が提供され得る。一実施形態では、アドレス回路110は、一次選択信号S0#およびS1#の論理レベルから選択信号を導出することができる。

20

【0014】

また、メモリバッファ106は、さまざまな通信リンク(例えば、PDQ0、PDQ1、PECC0、PECC1、SDQ0、SDQ1、SECC、PCA、SCA、ECAなど)を介して、情報を受信および送信するインターフェース回路(例えば、I/F130)も含む。例えば、メモリバッファ106は、SDQ0リンクを介してハーフランクHR0と通信するためのインターフェース、SDQ1リンクを介してハーフランクHR1と通信するためのインターフェースおよびSECCリンクを介してデバイス120-Eと通信するためのインターフェースを有する。本明細書に記載されるバッファ106からの任意の着信通信またはバッファ106への任意の発信通信は、そのようなインターフェース(例えば、I/F130)を介して実行されることが理解される。

30

【0015】

メモリトランザクション中は、メモリコントローラ102は、列アドレスへのアクセスを要求するバッファ106にPCAリンクを介して列コマンド(例えば、読み出しまたは書き込みコマンド)を発行する。本明細書で使用されるように、列動作は、列コマンドおよびその列コマンドに関連する情報の転送を指す。また、メモリコントローラ102は、2つの選択信号S0#またはS1#の1つをアサートして列アクセスのためのアクティブスレッド(例えば、T0またはT1)を示す。スレッドのデータ部分は32ビット幅であるため、バースト長を8ビット(BL8)と仮定すると、全体で64バイトの転送を維持するには、スレッドへの単一のトランザクションは2回の連続した列動作からなる(すなわち、それぞれの列コマンドは、32ビット幅で8ビット長のデータのバーストに関連する)。同様に、スレッドのECC部分は4ビット幅であるため、2回の連続した列動作が、BL8バーストに対し全体で8バイトのデータ転送を維持する。

40

【0016】

書き込みトランザクション中は、メモリバッファ106は、2回の連続した32ビット幅のBL8バーストとしてPDQ0またはPDQ1の1つを介してデータを受信し、2回の連続した32ビット幅のBL8バーストでメモリデバイスのハーフランクHR1またはHR2の1つにデータを書き込む。例えば、スレッドT0に対するデータは、PDQ0を

50

介して受信され、ハーフランクHR0に書き込まれる。しかし、ECCが共有のメモリデバイス120-Eに書き込まれる前に、パッキング回路108は、2回の連続した4ビット幅のBL8バーストの1:2パッキングを実行し、それらを単一の8ビット幅のBL8バーストに変換する。例えば、ECCは、2回の連続した4ビット幅のBL8バーストとしてPECC0リンクを介して受信し、次いで、単一の8ビット幅のBL8バーストで共有のメモリデバイス120-Eに書き込むことができる。したがって、メモリバッファ106とメモリデバイス120-Dとの間のデータバーストの各対に対し、メモリバッファ106と共有のメモリデバイス120-Eとの間に1回のECCバーストが存在する。

【0017】

読み出しトランザクションは、書き込みトランザクションと同様であるが、読み出しトランザクション中は、パッキング回路108は、共有のメモリデバイス120-Eから読み出されたECCの2:1アンパッキングを実行し、SECCリンクを介して受信された単一の8ビット幅のバーストを2回の連続した4ビット幅の読み出しバーストに変換する。4ビット幅のバーストは、選択信号S0#およびS1#の論理レベルによって示されるようなアクティブスレッドに応じて、PECC0またはPECC1リンクのいずれかを介してメモリコントローラ102に送信される。したがって、一般的に言えば、パッキング回路は、あるビット幅のECCを、より大きなまたはより小さなビット幅のECCに転換する責任を有する。

【0018】

アドレス回路110は、バッファ106とメモリデバイス120との間の情報(すなわち、データおよびECC)の転送を制御する。具体的には、アドレス回路110は、各メモリトランザクションに対して、PCAリンクを介して2つの連続した列アドレス(「一次アドレス」)を受信し、SCAリンクを介して列アドレスを再度送信する。SCAリンクを介して送信されたデータにアクセスするためのこれらの列アドレス(「データアドレス」)は、メモリデバイスのハーフランクの1つにおけるデータの位置を示す。共有のメモリデバイス120-EとのECCアクセスには唯一単一の列アドレスが必要とされるため、アドレス回路110は、2つの一次アドレスから単一の列アドレスを導出することによって、ECCアクセスのための列アドレスを決定する。ECCアクセスのための列アドレス(「エラーアドレス」)は、メモリデバイスの選択されたハーフランクまたは選択されたスレッドから読み出されたかまたは同ハーフランクまたはスレッドに書き込まれたデータに関連する共有のメモリデバイス120-EにおけるECCの位置を示す。

【0019】

アドレス回路110は、ハーフランクHR0のデバイスでデータ転送が管理されるかまたはハーフランクHR1のデバイスでデータ転送が管理されるかに応じて、異なる方法でエラーアドレスを導出する。一実施形態では、アドレス回路110は、トランザクションがスレッドT0に対するものかまたはスレッドT1に対するものかの指示(トランザクションがHR0に対するものかまたはHR1に対するものかも示す)として、2つの選択入力S0#およびS1#を使用することができ、この指示を使用して着信一次アドレスの1つまたは複数のビットを変更してエラーアドレスを生成することができる。例えば、トランザクションがスレッドT0への書き込みであれば、エラーアドレスの生成において一次アドレスは全く変更されない可能性がある(すなわち、ビット値は保持される)。トランザクションがスレッドT1への書き込みであれば、一次アドレスのビットの1つを反転させてエラーアドレスを生成することができる。データ転送のためにアクセスされているデバイスのハーフランクに基づいて、ECCアクセスのためのアドレスを決定することによって、2つのスレッド間のアドレス競合は回避され、単一のECCメモリデバイス120-Eを2つのスレッド間で共有することができる。

【0020】

図2Aおよび2Bは、一実施形態による、図1の実施形態でのアドレス回路110の動作を示す表である。具体的には、図2Aは、書き込みトランザクション中のアドレス回路110の動作を示し、図2Bは、読み出しトランザクション中のアドレス回路110の動

10

20

30

40

50

作を示す。両図とも、図 1 を参照して説明される。

【 0 0 2 1 】

ここで図 2 A を参照すると、書き込みトランザクション中のアドレス回路 1 1 0 の動作を示す表 2 0 0 が示される。表 2 0 0 の最初の 2 つの行は、スレッド T 0 に対する連続した列書き込み動作を示す。S 0 # (アクティブロー信号) をアサートし、S 1 # をアサート解除することで、列動作がスレッド T 0 およびハーフランク H R 0 に関連することを示す。第 1 の列動作は一次列アドレス「... x y z 0」へのものであり、第 2 の列動作は一次列アドレス「... x y z 1」へのものである。両方の一次列アドレスは、P C A リンクを介して受信され、いかなる変更も行わずに S C A リンクを介してハーフランク H R 0 にデータアドレスとして提供される。第 1 の列動作中は、共有の E C C デバイス 1 2 0 - E への書き込み動作は存在しないが、その理由は、この期間中、パッキング回路 1 0 8 がパッキングプロセスを開始するためである。第 2 の列動作中は、アドレス回路 1 1 0 は、第 2 の列アドレス「... x y z 1」を、いかなる変更も行わずに E C A リンクを介してエラーアドレスとして提供し、8 ビット幅のバーストを共有の E C C デバイス 1 2 0 - E へ実行する。

10

【 0 0 2 2 】

表 2 0 0 の最後の 2 つの行は、スレッド T 1 に対する連続した列書き込み動作を示す。S 1 # をアサートし、S 0 # をアサート解除することで、列動作がスレッド T 1 およびハーフランク H 1 に対するものであることを示す。第 1 の列動作は一次列アドレス「... x y z 0」へのものであり、第 2 の列動作は一次列アドレス「... x y z 1」へのものである。両方の列アドレスは、P C A リンクを介して受信され、いかなる変更も行わずに S C A リンクを介してハーフランク H R 1 にデータアドレスとして提供される。前述と同様に、第 1 の列動作中は、共有の E C C デバイス 1 2 0 - E への書き込み動作は存在しないが、その理由は、この期間中、パッキング回路 1 0 8 がパッキングプロセスを開始するためである。しかし、第 2 の列動作中は、アドレス回路 1 1 0 は、一次列アドレスの最下位ビット (L S B) を反転させ、この変更した列アドレスを、E C A リンクを介してエラーアドレスとして提供する。したがって、共有の E C C デバイス 1 2 0 - E へ E C C を書き込むため、列アドレス「... x y z 1」は列アドレス「... x y z 0」に変換される。

20

【 0 0 2 3 】

ここで図 2 B を参照すると、読み出しトランザクション中のアドレス回路 1 1 0 の動作を示す表 2 0 5 が示される。図 2 B は図 2 A と同様であるが、読み出しトランザクション中は、パッキング回路 1 0 8 が第 1 の列動作中にアンパッキングプロセスを開始できるように、エラーアドレスは、第 1 の列動作で共有の E C C デバイス 1 2 0 - E に提供される。さらに、アドレス回路 1 1 0 は、一次列アドレスの L S B を反転させ、スレッド T 0 に対する E C C にアクセスする際にはエラーアドレスを生成し、スレッド T 1 に対する E C C にアクセスする際には一次列アドレスを直接使用する。

30

【 0 0 2 4 】

表 2 0 5 の最初の 2 つの行は、スレッド T 0 に対する連続した列読み出し動作を示す。S 0 # をアサートすることで、列動作がスレッド T 0 およびハーフランク H R 0 に対するものであることを示す。第 1 の列動作は一次列アドレス「... x y z 0」へのものであり、第 2 の列動作は列アドレス「... x y z 1」へのものである。両方の一次列アドレスは、P C A リンク上で受信され、いかなる変更も行わずに S C A リンクを介してハーフランク H R 0 にデータアドレスとして提供される。第 1 の列動作中は、アドレス回路 1 1 0 は、一次列アドレスの L S B を反転させ、この変更した列アドレスを、E C A リンクを介してエラーアドレスとして提供する。したがって、図 2 A の表においてスレッド T 0 に対する第 2 の列動作中に共有の E C C デバイス 1 2 0 - E において E C C が書き込まれた場所と一致するように、共有の E C C デバイス 1 2 0 - E から E C C を読み出すため、列アドレス「... x y z 0」は列アドレス「... x y z 1」に変換される。第 2 の列動作中は、共有の E C C デバイス 1 2 0 - E に提供されるエラーアドレスは存在しないが、その理由は、第 1 の列動作中に既に E C C が転送されているためである。

40

50

【 0 0 2 5 】

表 2 0 5 の 2 番目の 2 つの行は、スレッド T 1 への連続した列読み出し動作を示す。S 1 # をアサートすることで、列動作がスレッド T 1 およびハーフランク H R 1 に対するものであることを示す。第 1 の列動作は一次列アドレス「... x y z 0」へのものであり、第 2 の列動作は一次列アドレス「... x y z 1」へのものである。両方の列アドレスは、P C A リンクを介して受信され、いかなる変更も行わずに S C A リンクを介してハーフランク H R 1 にデータアドレスとして提供される。第 1 の列動作中は、図 2 A の表においてスレッド T 1 に対する第 2 の列動作中に共有の E C C デバイス 1 2 0 - E において E C C が書き込まれた場所と一致するように、共有の E C C デバイス 1 2 0 - E から E C C を読み出すため、アドレス回路 1 1 0 は、一次列アドレスを、いかなる変更も行わずに E C A リンクを介してエラーアドレスとして再度送信する。第 2 の列動作中は、共有の E C C デバイス 1 2 0 - E に提供されるアドレスは存在しないが、その理由は、第 1 の列動作中に既に E C C が転送されているためである。

10

【 0 0 2 6 】

他の実施形態では、アドレス回路 1 1 0 は、E C C アクセスのためのエラーアドレスを生成する際、一次アドレスの L S B 以外の列ビットを反転することができる。例えば、アドレス回路 1 1 0 は、最上位ビット (M S B) および / または L S B と M S B との間の他の任意のビットを反転するよう構成することができる。

【 0 0 2 7 】

図 3 A および 3 B は、一実施形態による、図 1 の実施形態のメモリシステム 1 0 0 の動作を示すタイミング図である。具体的には、図 3 A は、書き込み動作中のメモリシステム 1 0 0 に対するタイミング図であり、図 3 B は、読み出し動作中のメモリシステム 1 0 0 に対するタイミング図である。両図とも、図 1、図 2 A および図 2 B を参照して説明される。

20

【 0 0 2 8 】

ここで図 3 A を参照すると、スレッド T 0 に対する書き込み動作中のメモリシステム 1 0 0 に対するタイミング図が示される。タイミング図は、図 2 A からの表 2 0 0 の最初の 2 つの行に対応する。C l k は、P C A リンクの一部であり得るタイミング信号であるが、タイミング図では、基準ポイントとして使用するために別々に表す。

【 0 0 2 9 】

メモリコントローラ 1 0 2 は、2 回の連続した列動作の一部として P C A リンクを介して、2 つの一次アドレス P A 0 および P A 1 を提供する。メモリバッファ 1 0 6 は、2 つの一次アドレス P A 0 および P A 1 を受信し、少し遅れていかなる変更も行わずに S C A リンクを介して、2 つのデータアドレス D A 0 および D A 1 として一次アドレスを再度送信する。これはスレッド T 0 に対する書き込み動作であるため、メモリバッファ 1 0 6 は、E C A リンクを介して送信されるエラーアドレス E A として第 2 の一次アドレス P A 1 を使用する。エラーアドレス E A は、第 2 のデータアドレス D A 1 と実質的に同時にアクセスされる。これがスレッド T 1 に対する書き込みトランザクションであれば、メモリバッファ 1 0 6 は、第 2 の一次アドレス P A 1 のビットを反転させ、エラーアドレス E A として E C A リンクを介して変更したアドレスを提供することに留意されたい。

30

40

【 0 0 3 0 】

メモリコントローラ 1 0 2 は、P D Q 0 リンクを介して、データ D A T A 0 および D A T A 1 の 2 回のバーストを提供する。各データのバーストは、3 2 ビット幅であり、8 ビットのバースト長を有し、システムはダブルデータレート (D D R) 送信を使用すると仮定する。D A T A 0 は、P A 0 への第 1 の列動作に対するデータであり、D A T A 1 は、P A 1 への第 2 の列動作に対するデータである。メモリバッファ 1 0 6 は、P D Q 0 リンクを介してデータを受信し、少し遅れて S D Q 0 リンクを介してデータを再度送信する。D A T A 0 は、データアドレス D A 0 でハーフランク H R 0 に格納される。D A T A 1 は、データアドレス D A 1 でハーフランク H R 0 に格納される。

【 0 0 3 1 】

50

さらに、メモリコントローラ102は、PECC0リンクを介して、ECC、すなわち、ECC0およびECC1の2回のバーストを提供する。各ECCのバーストは、4ビット幅であり8ビット長である。ECC0を使用してDATA0のエラーをチェックすることができ、ECC1を使用してDATA1のエラーをチェックすることができる。パッキング回路108は、単一の列動作中に格納できるように、ECC0およびECC1をともにパッキングする。次いで、バッファ106は、単一の8ビット幅および8ビット長のバーストでSECCリンクを介してECC0およびECC1を送信する。ECC0およびECC1は両方とも、エラーアドレスEAで共有のECCデバイス120-Eに格納される。

【0032】

ここで図3Bを参照すると、スレッドT0に対する読み出しトランザクション中のメモリシステム100に対するタイミング図が示される。タイミング図は、図2Bからの表205の最初の2つの行に対応する。図3Aと同様に、メモリコントローラ102は、2回の連続した列動作の一部としてPCAリンクを介して、2つの一次アドレスPA0およびPA1を提供する。メモリバッファ106は、PCAリンクを介して2つの一次アドレスPA0およびPA1を受信し、少し遅れていかなる変更も行わずにSCAリンクを介して、2つのデータアドレスDA0およびDA1として一次アドレスを再度送信する。しかし、これはスレッドT0に対する読み出し動作であるため、メモリバッファ106は、第1の一次アドレスPA0のビットを反転させ、エラーアドレスEAとしてECAリンクを介して変更したアドレスを送信する。エラーアドレスは、第1のデータアドレスと実質的に同時にアクセスされる。これがスレッドT1に対する読み出しトランザクションであれば、エラーアドレスEAは、第1の一次アドレスPA0と同じビット値を有することに留意されたい。

【0033】

バッファ106は、データアドレスDA0およびDA1に回答してSDQ0リンクを介してハーフランクHR0のデバイスから、データDATA0およびDATA1の2回のバーストを受信する。各データのバーストは、32ビット幅であり8ビット長である。DATA0は、列アドレスDA0から読み出され、DATA1は、列アドレスDA1から読み出される。次いで、メモリバッファ106は、少し遅れてPDQ0リンクを介してメモリコントローラ102にデータDATA0およびDATA1を再度送信する。

【0034】

さらに、バッファ106は、SECCリンクを介して共有のメモリデバイス120-Eから、ECC0およびECC1を含むECCの単一の8ビット幅で8ビット長のバーストを受信する。ECC0とECC1は両方ともエラーアドレスEAから読み出される。パッキング回路108は、2回の別々のバーストでメモリコントローラ102に転送することができるように、ECCをアンパッキングする。次いで、バッファ106は、DATA0およびDATA1がPDQ0上で読み出される際と実質的に同じタイミングで、4ビット幅で8ビット長の2回のバーストでPECC0リンクを介してECC0およびECC1を送信する。

【0035】

一実施形態では、スレッドT1に対するメモリトランザクションは、図3Aおよび図3Bに示されるメモリトランザクションと同様に実行される。しかし、データは、データリンクPDQ0およびSDQ0の代わりに、データリンクPDQ1およびSDQ1を介して転送される。さらに、ECCは、リンクPECC0の代わりに、一次ECCリンクPECC1を介して転送される。

【0036】

図4は、別の実施形態による、EDC範囲に対するメモリシステム400を示す。図4は図1と同様であるが、図4のメモリコントローラ102は4つのスレッド(T0、T1、T2、T3)をサポートし、メモリモジュール104は2倍のメモリデバイス120、すなわち、合計16個のデータ用のメモリデバイス120-Dと、ECC用の2つのメモリデバイス120-Eとを含む。スレッドT0に対するデータはPDQ0リンクを介して

10

20

30

40

50

転送され、スレッドT0に対するECCはPECC0リンクを介して転送される。スレッドT1に対するデータはPDQ1リンクを介して転送され、スレッドT1に対するECCはPECC1リンクを介して転送される。スレッドT2に対するデータはPDQ2リンクを介して転送され、スレッドT2に対するECCはPECC2リンクを介して転送される。スレッドT3に対するデータはPDQ3リンクを介して転送され、スレッドT3に対するECCはPECC3リンクを介して転送される。それぞれの一次データリンク(PDQ0~PDQ3)は16ビット幅である。それぞれの一次ECCリンク(PECC0~PECC3)は2ビット幅である。

【0037】

メモリコントローラ102は、PCAリンク上でコマンドおよびアドレス情報を送信し、4つのアクティブローの選択信号S00#、S01#、S10#およびS11#を使用してデータ転送動作のスレッドの1つを選択することによって、データ転送動作を開始する。例えば、S00#がアサートされればスレッドT0が選択され、S01#がアサートされればスレッドT1が選択され、S10#がアサートされればスレッドT2が選択され、S11#がアサートされればスレッドT3が選択される。いくつかの実施形態では、異なる数のチップ選択信号が存在し得る。例えば、2つの物理的なチップ選択信号のみ存在し得る。4つの論理チップ選択を導出するため、2つの物理的なチップ選択信号を行アドレスビットまたはバンクアドレスビットと組み合わせることができる。このようにチップ選択を導出することは、ランク乗算(rank multiplication)と呼ばれる場合がある。

【0038】

各メモリデバイス120は、4ビット幅のインターフェースをサポートするx4メモリデバイスである。4つのメモリデバイス120-D0は、スレッドT0に対するデータを格納するメモリデバイスのクォータランクQR0を形成する。4つのメモリデバイス120-D1は、スレッドT1に対するデータを格納するメモリデバイスの別のクォータランクQR1を形成する。4つのメモリデバイス120-D2は、スレッドT2に対するデータを格納するメモリデバイスのクォータランクQR2を形成する。4つのメモリデバイス120-D3は、スレッドT3に対するデータを格納するメモリデバイスの別のクォータランクQR3を形成する。クォータランクQR0およびQR1は、メモリデバイスのハーフランクHR0を形成する。クォータランクQR2およびQR3は、メモリデバイスの別のハーフランクHR1を形成する。メモリデバイス120-E0は、メモリデバイスの2つのクォータランクQR0とQR1との間で共有され、スレッドT0とT1の両方に対するECCを格納する。メモリデバイス120-E1は、メモリデバイスの2つのクォータランクQR2とQR3との間で共有され、スレッドT2とT3の両方に対するECCを格納する。

【0039】

この実施形態では、スレッドのデータ部分は16ビット幅である。したがって、スレッドに対する単一のトランザクションは、各列動作に対してBL8と再度仮定すると、全体で64バイトの転送を維持するには、スレッドへの単一のトランザクションは、4回の連続した列動作からなる。同様に、各列動作に対してBL8と仮定すると、スレッドのECC部分は2ビット幅であるため、4回の連続した列動作が全体で8バイトの転送を維持する。

【0040】

書き込みトランザクション中は、メモリバッファ106は、4回の連続した16ビット幅のBL8バーストとしてスレッドの1つに対するデータを受信し、4回の連続した16ビット幅のBL8バーストでメモリデバイスのクォータランクの1つにデータを書き込む。例えば、スレッドT0に対するデータは、PDQ0を介して受信され、SDQ0を介してクォータランクQR0に書き込まれる。しかし、ECCが共有のメモリデバイス120-Eに書き込まれ得る前に、パッキング回路108は、連続した2ビット幅のBL8バーストの各対の1:2パッキングを実行し、その対を単一の4ビット幅のBL8バーストに変換する。例えば、パッキング回路108-1は、4回の連続した2ビット幅のBL8バ

10

20

30

40

50

ーラストとしてP E C C 0リンクを介してE C Cを受信し、次いで、2回の4ビット幅のB L 8バーストとして共有のメモリデバイス1 2 0 - E 0にE C Cを書き込むことができる。したがって、4回のデータ列動作ごとに、2回のE C C列動作が存在する。読み出しトランザクションは書き込みトランザクションと同様であるが、読み出しトランザクション中は、パッキング回路1 0 8は、共有のメモリデバイス1 2 0 - EからのE C Cの2 : 1アンパッキングを実行する。

【 0 0 4 1 】

アドレス回路1 1 0は、図1と併せて説明されるアドレス回路と同様であるが、図4のアドレス回路1 1 0は、より多くの数のメモリデバイス1 2 0との通信を取り扱う。具体的には、アドレス回路1 1 0は、各メモリトランザクションに対して、P C Aリンクを介して4つの連続した一次アドレスを受信し、S C Aリンクを介してデータアドレスとしてアドレスを再度送信する。アドレス回路1 1 0は、一次アドレスの各対からE C Cアクセスのための単一のエラーアドレスを導出する。したがって、4つの一次アドレスから2つのエラーアドレスが導出される。さらに、スレッド間での競合を回避するため、アドレス回路1 1 0は、データに対しどのクォータランクがアクセスされているかに応じて、異なる方法でエラーアドレスを導出する。具体的には、アドレス回路1 1 0は、選択入力S 0 0 #、S 0 1 #、S 1 0 #およびS 1 1 #を使用して、E C Cアクセスのための列アドレスビットの1つもしくは複数、または、4つ未満のチップ選択信号が存在する場合は、行/バンクアドレスビットなどのアクセスされているクォータランクの他の任意の指示を変更することができる。

【 0 0 4 2 】

図5 Aおよび5 Bは、一実施形態による、図4の実施形態のアドレス回路1 1 0の動作を示す表である。具体的には、図5 Aは、スレッドT 0およびT 1に対する書き込みトランザクション中のアドレス回路1 1 0の動作を示し、図5 Bは、スレッドT 0およびT 1に対する読み出しトランザクション中のアドレス回路1 1 0の動作を示す。スレッドT 2およびT 3に対してメモリトランザクションは示されていないが、スレッドT 0およびT 1に対するメモリトランザクションと同様である。図5 Aおよび5 Bの両図とも、図4を参照して説明される。

【 0 0 4 3 】

ここで図5 Aを参照すると、スレッドT 0およびスレッドT 1に対する書き込みトランザクション中の図4の実施形態のアドレス回路1 1 0の動作を示す表5 0 0が示される。表5 0 0の最初の4つの行は、スレッドT 0に対する連続した列書き込み動作を示す。S 0 0 # (アクティブロー信号)をアサートし、S 0 1 #をアサート解除することで、列動作がスレッドT 0およびクォータランクQ R 0に対するものであることを示す。第1の列動作は一次列アドレス「... x y 0 0」へのものであり、第2の列動作は一次列アドレス「... x y 0 1」へのものであり、第3の列動作は一次列アドレス「... x y 1 0」へのものであり、第4の列動作は一次列アドレス「... x y 1 1」へのものである。すべての一次列アドレスは、P C Aリンクを介して受信され、いかなる変更も行わずにS C Aリンクを介してクォータランクQ R 0にデータアドレスとして提供される。

【 0 0 4 4 】

第1の列動作中は、共有のE C Cデバイス1 2 0 - E 0への書き込み動作は存在しないが、その理由は、この期間中、パッキング回路1 0 8 - 1がパッキングプロセスを開始するためである。第2の列動作中は、アドレス回路1 1 0は、第2の一次アドレス「... x y 0 1」を、いかなる変更も行わずに共有のE C Cデバイス1 2 0 - E 0にE C Aリンクを介してエラーアドレスとして提供し、8ビット幅のバーストを共有のE C Cデバイス1 2 0 - E 0へ実行する。第3の列動作中は、共有のE C Cデバイス1 2 0 - E 0への書き込み動作は存在しないが、その理由は、この期間中、パッキング回路1 0 8 - 1がパッキングプロセスを再開するためである。第4の列動作中は、アドレス回路1 1 0は、第4の一次アドレス「... x y 1 1」を、いかなる変更も行わずに共有のE C Cデバイス1 2 0 - E 0にE C Aリンクを介してエラーアドレスとして提供し、別の8ビット幅のバーストを共

有のECCデバイス120 - E0へ実行する。

【0045】

表500の最後の4つの行は、スレッドT1に対する連続した列書き込み動作を示す。S01#をアサートし、S00#をアサート解除することで、列動作がスレッドT1およびクォータランクQR1に対するものであることを示す。第1の列動作は一次列アドレス「...xy00」へのものであり、第2の列動作は一次列アドレス「...xy01」へのものであり、第3の列動作は一次列アドレス「...xy10」へのものであり、第4の列動作は一次列アドレス「...xy11」へのものである。すべての4つの一次アドレスは、PCAリンクを介して受信され、いかなる変更も行わずにSCAリンクを介してクォータランクQR1にデータアドレスとして提供される。

10

【0046】

前述と同様に、第1の列動作中は、共有のECCデバイス120 - E0への書き込み動作は存在しないが、その理由は、この期間中、パッキング回路108 - 1がパッキングプロセスを開始するためである。しかし、第2の列動作中は、アドレス回路110は、一次アドレスのLSBを反転させ、この変更した列アドレスを、共有のECCデバイス120 - E0にECAリンクを介してエラーアドレスとして提供する。したがって、共有のECCデバイス120 - E0へECCを書き込むため、列アドレス「...xy01」は列アドレス「...xy00」に変換される。第3の列動作中は、共有のECCデバイス120 - E0への書き込み動作は存在しないが、その理由は、この期間中、パッキング回路108 - 1がパッキングプロセスを再開するためである。第4の列動作中は、アドレス回路110は、一次アドレスのLSBを反転させ、この変更した列アドレスを、共有のECCデバイス120 - E0にECAリンクを介してエラーアドレスとして提供する。したがって、共有のECCデバイス120 - E0へECCを書き込むため、列アドレス「...xy11」は列アドレス「...xy10」に変換される。

20

【0047】

ここで図5Bを参照すると、読み出し中のアドレス回路110の動作を示す表505が示される。図5Bは図5Aと同様であるが、パッキング回路108 - 1が第1および第3の列動作中にアンパッキングプロセスを開始できるように、エラーアドレスは、第1および第3の列動作で共有のECCデバイス120 - E0に提供される。さらに、アドレス回路110は、スレッドT0に対するエラーアドレスを生成する際には一次列アドレスのLSBを反転させ、スレッドT1に対するエラーアドレスを生成する際には反転させずに一次列アドレスに直接使用する。

30

【0048】

ここで図6を参照すると、別の実施形態による、EDC範囲に対するメモリシステム600を示される。メモリシステム600は、図4と併せて説明されるメモリシステムと同様である。しかし、図6のメモリシステム600は、改良された信号インテグリティに対するダイナミックポイントツーポイント(DPP)技術をサポートする実施形態である。DPPシステムでは、メモリコントローラ102は、狭いポイントツーポイントデータリンク上で各メモリモジュール104と通信することができるが、依然としてメモリモジュール104のすべてのメモリデバイス120にアクセスすることができる。例えば、信号リンク160は、ここでは、メモリコントローラ102とメモリモジュール104との間でデータを転送するための単一の16ビット幅のデータリンクPDQを含む。また、信号リンク160は、メモリコントローラ102とメモリモジュール104との間でECCを転送するための一次ECCリンクPECCも含む。PECCリンクは2ビット幅である。DPPをサポートするシステム600は、それら自体のポイントツーポイントデータリンクを通じてメモリコントローラ102と結合されるいくつかのメモリモジュール104を有し得るが、明確にするため、図6では1つのモジュール104のみが示される。

40

【0049】

機能上、バッファ106の動作は、図4、5Aおよび5Bと併せて説明されるものと同様である。バッファ106は、書き込み中に、PECCリンクを介して受信された2ビット

50

ト幅のECCバーストの対を、共有のメモリデバイス120-Eへ送信するために4ビット幅のバーストにパックするパッキング回路108を依然として含む。読み出し中は、パッキング回路108は、共有のメモリデバイス120-Eから受信された4ビット幅のECCバーストをアンパックし、PECCリンクを介して2ビット幅のバーストの対として送信する。また、バッファ106は、PCAリンクを介して着信列アドレスを受信し、ECCアクセスのための列アドレスを決定するアドレス回路110も含む。具体的には、アドレス回路110は、データ転送に対しメモリデバイス120のどのクォータランクがアクセスされているか(選択信号S00#~S11#または他のいくつかの指示で示されるように)、および、データ転送が読み出し動作か書き込み動作かに基づいて、ECCアクセスのための列アドレスを導出する。

10

【0050】

DPP動作をサポートするため、ここでは、バッファ106は、PDQリンクとそれぞれの二次データリンク(SDQ0~SDQ3)との間のデータのフローを管理するルーティング回路680を含む。ルーティング回路680を通じたデータのルーティングは、メモリデバイス120-Dのどのクォータランクがメモリトランザクションのために選択されるかを示す選択信号(S00#~S11#)の論理レベルによって構成される。また、バッファは、パッキング回路108と二次ECCリンク(SECC0およびSECC1)との間のECCのフローを管理する別のルーティング回路682も含む。ルーティング回路682を通じたECCのルーティングは、選択信号(S00#~S11#)の論理レベルによって構成される。一実施形態では、ルーティング回路680および682は、双方向マルチプレクサとして実装される。

20

【0051】

図7は、さらに別の実施形態による、EDC範囲に対するメモリシステム700を示す。図7のメモリシステム700は、図1と併せて先に説明されるメモリシステム100と同様である。しかし、メモリバッファ内にあるものとして先に記載される機能性は、メモリコントローラ102自体に位置する。その結果、メモリシステム700は、個別のメモリバッファを必要とすることなく、モジュールスレッディングおよびEDCの機能性を統合する。

【0052】

メモリシステム700は、信号リンク160を通じて通信するメモリコントローラ102とメモリモジュール104とを依然として含む。また、メモリコントローラは、2つのメモリスレッドT0およびT1をサポートする。しかし、信号リンク160は、ECCコマンドアドレスリンクECAおよび単一の8ビット幅のECCリンクPECCを含む。データアドレスはPCAリンクを介して通信され、エラーアドレスはECAリンクを介して通信される。また、信号リンク160は、3つの選択信号、すなわち、ハーフランクHR0に対して1つ、ハーフランクHR1に対して1つおよび共有のECCデバイス120-Eに対して1つ(図示せず)も含み得る。

30

【0053】

メモリコントローラ102は、制御回路780、パッキング回路108およびアドレス生成回路710を含む。メモリコントローラ102は、さまざまな通信リンク(例えば、PDQ0、PDQ1、PECC、PCA、ECAなど)上で情報を受信および送信するインターフェース(例えば、I/F730)を含む。例えば、メモリコントローラ102は、PDQ0リンクを介してハーフランクHR0と通信するためのインターフェース回路と、PECCリンクを介して共有のメモリデバイス120-Eと通信するためのインターフェース回路と、PDQ1リンクを介してハーフランクHR1と通信するためのインターフェース回路とを有する。本明細書に記載されるコントローラ102によって受信されるまたは同コントローラ102から送信される任意の情報は、そのようなインターフェース(例えば、I/F730)を介して実行されることが理解される。

40

【0054】

書き込み動作中は、制御回路780は、2つのスレッドT0およびT1の1つに対する

50

データおよびECCを生成する。所定のスレッドに対して、パッキング回路108は、ECCを8ビット幅のBL8バーストにパックし、PECCリンクを介してメモリモジュール104にECCを送信する。読み出し動作中は、パッキング回路108は、PECCリンクを介して受信されたECCの8ビット幅のBL8バーストをアンパックし、アンパックしたECCを制御回路780に提供する。次いで、制御回路780は、アンパックされたECCに対してあらゆる着信データをチェックし、いかなるメモリエラーも検出し訂正する。他の実施形態では、制御回路780自体がECCの8ビット幅のBL8バーストを直接生成するため、パッキング回路108は不要である。

【0055】

また、メモリコントローラ102は、図1、2Aおよび2Bと併せて説明されるアドレス回路110への動作の際と同様なアドレス生成回路710も含む。しかし、アドレス生成回路710はメモリコントローラ102内に位置するため、列動作に対する列アドレスを直接生成することができる。一実施形態では、アドレス生成回路710は、メモリデバイスのハーフランクのいずれかでデータを転送するための2つのデータアドレスを生成し、PCAリンクを介してこれらのアドレスを送信する。また、アドレス生成回路710は、データアドレスの各対に対する単一のエラーアドレスも生成し、ECAリンクを介してこのエラーアドレスを送信する。したがって、各ECC列動作に対して2回のデータ列動作が存在する。

【0056】

2つのメモリスレッドT0とT1との間でメモリデバイス120-Eの共有を可能にするため、アドレス生成回路710によって生成されるエラーアドレスは、データがハーフランクHR0で転送されているかまたはハーフランクHR1で転送されているかに基づいて異なる。例えば、2回の連続した列動作中は、データアドレスは「...xyz0」または「...xyz1」であり得る。列動作がスレッドT0に対する書き込み動作であれば、アドレス生成回路710は、第2のデータアドレス「...xyz1」を取り出し、スレッドT0に対するECCの転送のためのエラーアドレスとしてこの同じアドレスを使用することができる。しかし、列動作がスレッドT1に対する書き込み動作であれば、アドレス生成回路710は、第2のデータアドレス「...xyz1」のLSBを反転させ、スレッドT1に対するECCの転送のためのエラーアドレス「...xyz0」を生成することができる。

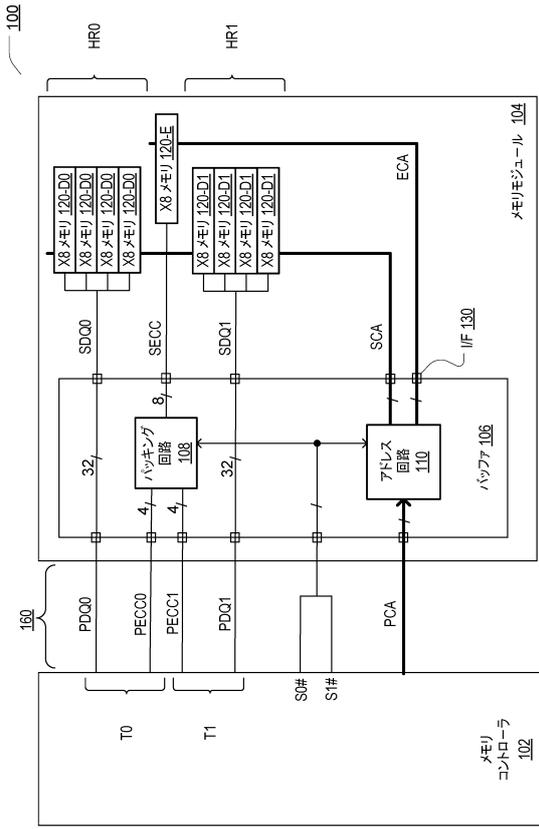
【0057】

開示された実施形態のいくつかは、こうして、モジュールスレッディングおよびDPPなどの高度なメモリ特徴をEDC能力と統合することを可能にする。メモリデバイス群間でECCメモリデバイスを共有することによって、ECCメモリデバイスをメモリデバイスの各群に専用して使用することなく、EDCをこれらの特徴と併せて使用することができる。さらに、メモリデバイスを共有することによって引き起こされるアドレス競合は、データに対しメモリデバイスのどの群がアクセスされているかに基づいて、共有のメモリデバイスにアクセスするためのアドレスを決定することによって回避される。

【0058】

本開示を読み進めると、当業者であれば、メモリデバイス群間でチェックビットメモリデバイスを共有するためのさらなる追加の代替の設計が理解されよう。したがって、本開示の特定の実施形態および適用例が解説され、説明されてきたが、本開示は本明細書で開示されるものと全く同一の構造および構成要素に限定されないことを理解されたい。本明細書の本開示の方法および装置の構成、動作および詳細において、添付の特許請求の範囲で定義されるような本開示の精神および範囲から逸脱することなく、当業者には明らかであろうさまざまな修正、変更および変形を行うことができる。

【図 1】



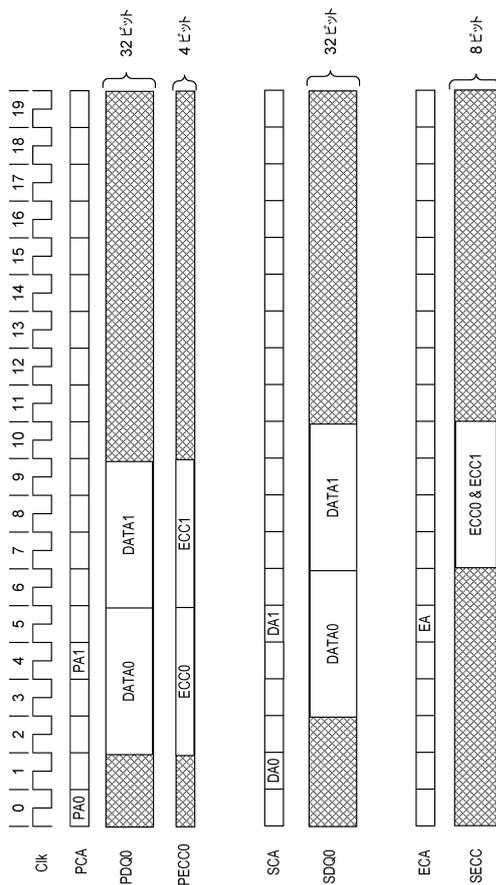
【図 2 A】

スレッド	Col	S1#	S0#	ハーフラック	一次列アドレス (PCA を介して)	データ列アドレス (SCA を介して)	エラー列アドレス (ECA を介して)
0	0	1	0	0	...XYZ0	...XYZ0	アクセスなし
0	1	1	0	0	...XYZ1	...XYZ1	...XYZ1
1	0	0	1	1	...XYZ0	...XYZ0	アクセスなし
1	1	0	1	1	...XYZ1	...XYZ1	...XYZ0

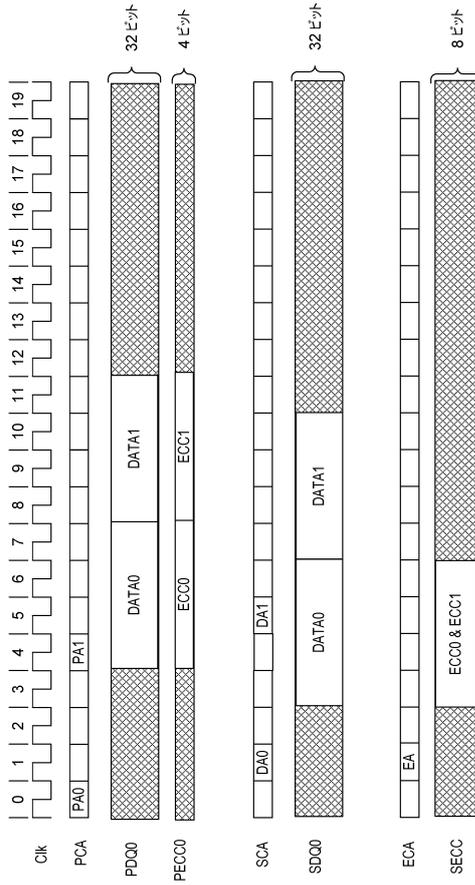
【図 2 B】

スレッド	Col	S1#	S0#	ハーフラック	一次列アドレス (PCA を介して)	データ列アドレス (SCA を介して)	エラー列アドレス (ECA を介して)
0	0	1	0	0	...XYZ0	...XYZ0	...XYZ1
0	1	1	0	0	...XYZ1	...XYZ1	アクセスなし
1	0	0	1	1	...XYZ0	...XYZ0	...XYZ0
1	1	0	1	1	...XYZ1	...XYZ1	アクセスなし

【図 3 A】



【図 3 B】

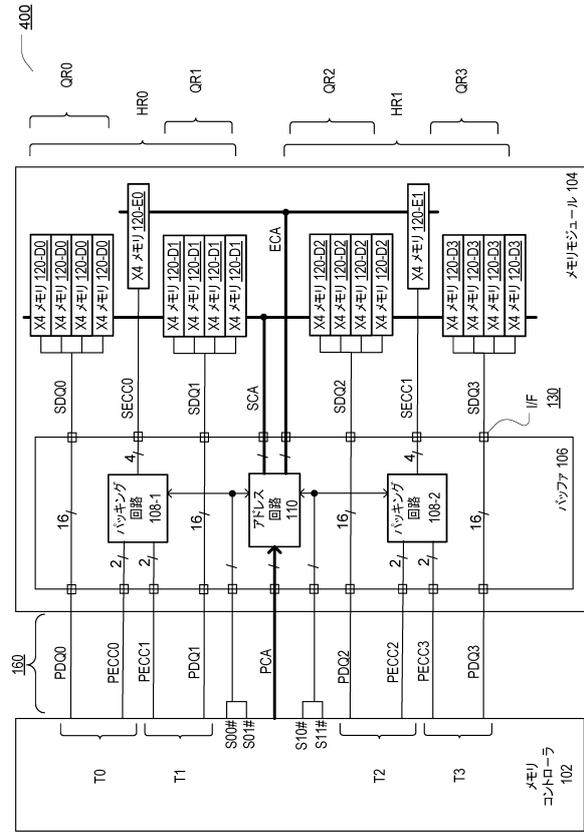


【図 5 A】

500

スレッド	Col	S01#	S00#	ハーフ ランク	クオータ ランク	一次列アドレス (PCA を介して)	データ列アドレス (SCA を介して)	エラー列アドレス (ECA を介して)
0	0	0	0	0	0	...xy00	...xy00	アクセスなし
0	1	1	0	0	0	...xy01	...xy01	...xy01
0	2	1	0	0	0	...xy10	...xy10	アクセスなし
0	3	1	0	0	0	...xy11	...xy11	...xy11
1	0	0	1	0	1	...xy00	...xy00	アクセスなし
1	1	0	1	0	1	...xy01	...xy01	...xy00
1	2	0	1	0	1	...xy10	...xy10	アクセスなし
1	3	0	1	0	1	...xy11	...xy11	...xy10

【図 4】

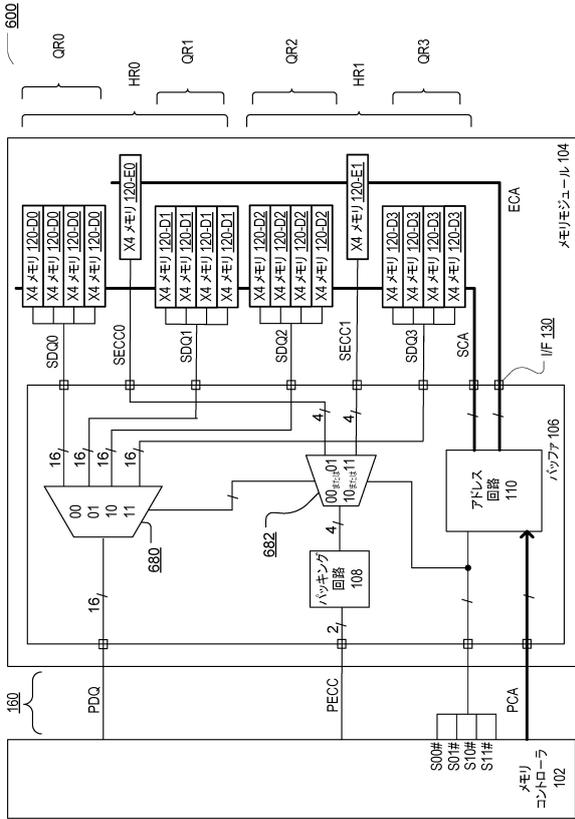


【図 5 B】

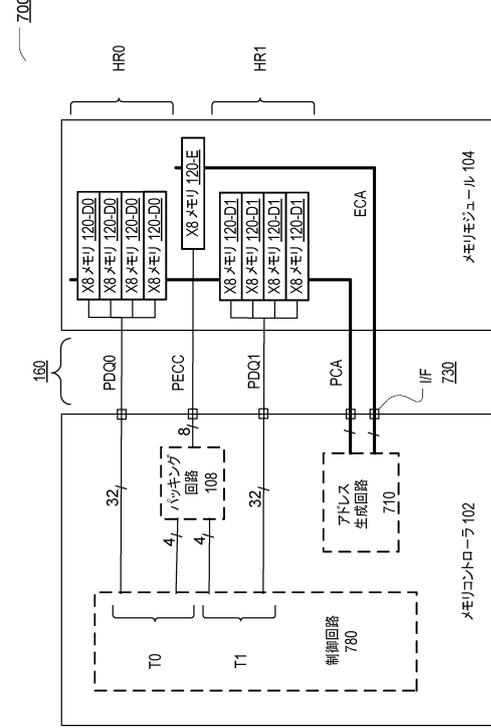
505

スレッド	Col	S01#	S00#	ハーフ ランク	クオータ ランク	一次列アドレス (PCA を介して)	データ列アドレス (SCA を介して)	エラー列アドレス (ECA を介して)
0	0	0	0	0	0	...xy00	...xy00	...xy01
0	1	1	0	0	0	...xy01	...xy01	アクセスなし
0	2	1	0	0	0	...xy10	...xy10	...xy11
0	3	1	0	0	0	...xy11	...xy11	アクセスなし
1	0	0	1	0	1	...xy00	...xy00	...xy00
1	1	0	1	0	1	...xy01	...xy01	アクセスなし
1	2	0	1	0	1	...xy10	...xy10	...xy10
1	3	0	1	0	1	...xy11	...xy11	アクセスなし

【 6 】



【 7 】



フロントページの続き

- (72)発明者 ギオバンニニ, トーマス ジェイ.
アメリカ合衆国, カリフォルニア州 94089, サニーヴェール, スイート 700, エンター
プライズ ウェイ 1050, ラムバス・インコーポレーテッド内
- (72)発明者 シャエファ- , イアン
アメリカ合衆国, カリフォルニア州 94089, サニーヴェール, スイート 700, エンター
プライズ ウェイ 1050, ラムバス・インコーポレーテッド内

合議体

審判長 辻本 泰隆

審判官 仲間 晃

審判官 須田 勝巳

(56)参考文献 特開昭64-21651(JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 12/16