

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G06F 13/00 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년04월03일 10-0567497 2006년03월28일
---	-------------------------------------	--

(21) 출원번호	10-2003-0048517	(65) 공개번호	10-2004-0010206
(22) 출원일자	2003년07월16일	(43) 공개일자	2004년01월31일

(30) 우선권주장 JP-P-2002-00210627 2002년07월19일 일본(JP)

(73) 특허권자 엔이씨 일렉트로닉스 가부시기가이샤
일본 211-8668 가나가와쵸 가와사키시 나카하라쿠 시모누마베 1753

(72) 발명자 타카하시히로유키
일본국카나가와켄카와사키시나카하라쿠시모누마베1753엔이씨일렉트로닉스코포레이션내
마츠이유우지
일본국카나가와켄카와사키시나카하라쿠시모누마베1753엔이씨일렉트로닉스코포레이션내
사타케히로유키
일본국카나가와켄카와사키시나카하라쿠시모누마베1753엔이씨일렉트로닉스코포레이션내

(74) 대리인 최달용

심사관 : 여원현

(54) 버스 인터페이스 회로 및 리시버 회로

요약

본 발명은 고속 동작을 실현하면서 소비 전력의 증대를 감소시키는 버스 시스템과 버스 인터페이스 회로를 제공하는 것을 목적으로 하는 것으로서, 상기 목적을 달성하기 위한 구성에 있어서, 버스선(11)과 프리차지 전원(121) 사이에 삽입되고, 프리차지 제어 신호(PE)를 제어 단자에 입력하고, 프리차지 제어 신호가 활성화 상태인 때에 온 되는 스위치 소자를 가지며, 프리차지 전원(121)으로부터 온 상태로 된 스위치 소자(122)가 온 되어 버스선(11)을 미리 정해진 프리차지 전압으로 프리차지하는 프리차지 회로(12)를 구비하고, 프리차지 전압은 고위측 전원 전압(VDD)과 저위측 전원 전압(VSS) 사이의 소정의 전압으로 되고, 출력 회로는 상기 출력 회로에 입력되고, 버스선(11)에 출력하여야 할 입력 신호가 제 1의 논리값인 때, 상기 프리차지 전압으로 프리차지 되어 있는 버스선(11)을 프리차지 전압으로부터 미리 정해진 VSS측으로 설정한다.

대표도

도 1

색인어

버스 인터페이스, 리시버

명세서

도면의 간단한 설명

도 1은 본 발명의 한 실시예의 구성을 도시한 도면.

도 2는 본 발명의 한 실시예의 타이밍 파형을 도시한 도면.

도 3은 본 발명과 비교예에 있어서의 버스의 전압 파형을 도시한 도면.

도 4는 본 발명의 한 실시예의 프리차지 회로와 리시버 회로의 구성을 도시한 도면.

도 5는 본 발명의 다른 실시예의 프리차지 회로와 리시버 회로의 구성을 도시한 도면.

도 6은 본 발명의 또 다른 실시예의 구성을 도시한 도면.

도 7은 본 발명의 비교예(도 7의 구성)와 버스 사이클의 시간을 대비하여 도시한 도면.

도 8은 종래의 메모리 디바이스의 구성의 한 예를 도시한 도면.

도 9는 도 8의 회로의 타이밍 파형을 도시한 도면.

도 10은 본 발명의 또 다른 실시예의 구성을 도시한 도면.

<도면의 주요 부분에 대한 간단한 설명>

10 : 서브어레이 블록 11 : 버스선

12 : 프리차지 회로 13 : 리시버 회로

14 : 전원 회로 22 : 버스선

30 : 프리차지 + 리시버 회로 32 : 제 1의 버스선

33 : 제 2의 버스선 34 : 프리차지 회로

35 : 리시버 회로 101 : 메모리 셀

102 : 워드 드라이버 103 : Y스위치

104 : 센스 앰프 105 : NOR(출력 제어 회로)

106 : 출력단 트랜지스터(드라이버) 110 : 출력 회로

200 : 서브어레이 201 : 메모리 셀 어레이

202 : 워드 드라이버 203 : Y스위치

204 : 센스 앰프 205 : 출력 회로

206 : NAND 207 : NOR

210 : 버스선 220 : 리시버 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명이 속하는 기술 분야

본 발명은 버스 인터페이스에 관한 것으로서, 특히 버스선을 구동하는 출력 회로와 버스선을 프리차지하는 프리차지 회로 및 버스선으로 출력된 신호를 수신하는 리시버 회로를 갖는 버스 인터페이스에 관한 것이다.

종래의 기술

종래의 메모리 디바이스의 버스 제어 시스템에 관해 설명한다. 도 8은 종래의 메모리 디바이스의 시스템 구성의 한 예를 모식적으로 도시한 도면이다. 도 8을 참조하면, 복수의 메모리 셀의 서브어레이 블록(200₁ 내지 200m)이 공통의 버스선(210)에 접속되어 있고, 버스선(210)에는 리시버 회로(220)가 접속되어 있다. 리시버 회로(220)는 서브어레이 블록(200₁ 내지 200m)으로부터의 판독 데이터를 수신하여 출력한다.

서브어레이 블록(200₁ 내지 200m)은 모두 동일한 구성으로 되어 있는 것으로서, 서브어레이 블록(200₁)의 구성이 도시되어 있다. 서브어레이 블록(200₁)은 도시되지 않은 복수의 워드선과 비트선이 행과 열방향으로 배치되고, 비트선과 워드선의 교차부에 메모리 셀이 어레이 상태로 배치된 메모리 셀 어레이(201)와, 도시되지 않은 어드레스 신호를 입력하는 X디코더에서 선택된 워드선을 구동하는 워드 드라이버(202)와, 도시되지 않은 어드레스 신호를 입력하는 Y디코더에서 선택된 비트선을 선택하여 센스 앰프(204)에 접속하는 Y스위치(203)를 구비하고, Y스위치(203)에서 선택된 비트선을 이루는 서로 상보의 비트선 쌍(T, B : B는 비트선의 상보 신호)이 센스 앰프(204)에 입력되어 있다. 센스 앰프(204)는 센스 인에이블 신호(SE)가 활성화 된 경우에, 센스 동작을 행하고, 센스 결과(SAT)를 출력 회로(205)에 출력한다. 출력 회로(205)는 고위측 전원(VDD)과 저위측 전원(VSS) 사이에 직렬 형태로 접속된 PMOS 트랜지스터(PM201)와 NMOS 트랜지스터(NM201)로 이루어지는 출력 버퍼 회로와, 출력 버퍼 회로를 제어하는 제어 회로를 구비하고 있다. PMOS 트랜지스터(PM201)의 게이트에는 센스 인에이블 신호(SE)와, 센스 앰프(204)의 출력 신호(SAT)와의 부정 논리곱을 취하는 NAND 회로(206)의 출력 단자가 접속되어 있고, NMOS 트랜지스터(NM201)의 게이트에는 센스 인에이블 신호(SE)의 반전 신호와 센스 앰프(204)의 출력 신호(SAT)와의 부정 논리합을 취하는 NOR 회로(207)의 출력이 접속되어 있다.

도 8에 도시한 종래의 출력 회로(205)의 동작에 관해 그 개략을 설명한다. 센스 인에이블 신호(SE)가 high 레벨이고, 센스 앰프(204)로부터 출력되는 출력 신호(SAT)가 high 레벨인 때, NAND 회로(206)의 출력은 low 레벨로 되고, PMOS 트랜지스터(PM201)가 온 하여, 고위측 전원(VDD)으로 버스선(210)을 충전하여 high 레벨로 한다.

센스 인에이블 신호(SE)가 high 레벨이고, 센스 앰프(204)의 출력 신호(SAT)가 low 레벨인 때, NOR 회로(207)의 출력은 high 레벨로 되고, NMOS 트랜지스터(NM201)가 온 하여, 버스선(210)의 전하를 저위측 전원(VSS)측으로 방전하여 low 레벨로 한다.

도 9는 도 8에 도시한 종래의 메모리 디바이스의 동작 타이밍의 한 예를 도시한 도면이다. 도 9에 있어서, SE는 도 8의 센스 인에이블 신호, P는 도 8의 PMOS 트랜지스터(PM201)의 게이트의 전압(도 8에서 P로 나타내는 노드의 전압), BS는 도 8의 출력 회로(205) 부근(BS)의 버스선(210)의 전압 파형, BE는 도 8의 출력 회로(205) 원단(BE)의 리시버 회로(220)의 입력 단자 부근의 버스선(210)의 전압 파형, OUT는 리시버 회로(220)의 출력 신호 파형을 각각 나타내고 있다.

센스 인에이블 신호(SE)의 상승에 의해 센스 앰프(204)가 동작하고, 센스 앰프(204)의 출력 신호(SAT)가 high 레벨인 때, NAND 회로(206)의 출력(P)은 하강하고, PMOS 트랜지스터(PM201)가 온 하여, 버스선을 고위측 전원(VDD)으로 충전한다. 리시버 회로(220)의 입력 단자의 버스선(210)의 전압 파형은 도 9의 BE와 같이, 상승한다. 리시버 회로(220)는 입력

단자의 전압과 기준 전압을 차동 입력하여 차동 증폭하는 회로 구성으로 되어 있고, 입력 단자의 전압(BE)(상승 시간은 느리다)이 기준 전압을 초과한 때, 출력 신호(OUT)는 high 레벨로부터 low 레벨로 전환된다. 이 경우, 버스선(210)의 배선이 길고, 용량성 부하가 커지면, BE의 상승의 경사(슬루 레이트)는 더욱 둔해지고, 센스 인에이블 신호의 활성화로부터 출력 신호(OUT)가 출력되기까지의 지연 시간이 증대한다. 이것은 액세스 타임의 증대로 이어지고 메모리 시스템의 고속 동작의 속도를 제한하는 요인이 된다.

한편, 버스선 원단의 신호 천이의 고속화를 도모하기 위해, 출력 버퍼 회로의 전류 구동 능력을 증대시키면, 소비 전력의 증대에 연결된다. 또한, 출력 버퍼 회로의 고위측 전원 전압측으로의 상승 시간을 단축하는데는 예를 들면 PMOS와 NMOS 트랜지스터의 이득 계수(β)의 비(β_p/β_n)를 크게 설정할 필요가 있고, 그 만큼, PMOS 트랜지스터의 사이즈를 크게 할 필요가 있다. 단, β 는 $(\mu\epsilon/t_{OX})(W/L)$ 로 주어진다(여기서, μ 는 캐리어의 이동도, ϵ 는 게이트 절연막의 유전율, t_{OX} 는 게이트 절연막의 막두께, W 는 채널 폭, L 은 채널 길이이다).

발명이 이루고자 하는 기술적 과제

따라서 본 발명은 상기 과제를 감안하여 창안된 것으로, 그 주된 목적은 고속 동작을 실현하면서 소비 전력의 증대를 억제 저감한 버스 시스템과 버스 인터페이스 회로 및 리시버 회로 및 이들의 회로를 갖는 반도체 장치를 제공함에 있다.

상기 목적을 달성하기 위한 본 발명은 버스선과 프리차지 전원 단자와의 사이에 삽입되고, 프리차지 동작을 제어하는 프리차지 제어 신호에 의거하여 온 오프 제어되는 스위치 소자를 구비하고, 프리차지 동작시에, 상기 프리차지 전원 단자로부터 온 상태의 상기 스위치 소자를 통하여 상기 버스선을 미리 정해진 프리차지 전압으로 프리차지하는 프리차지 회로를 구비하고, 상기 프리차지 전압은 출력 회로로부터 상기 버스선으로 출력된 신호를 수신하는 리시버 회로의 구동 전원을 이루는 제 1 및 제 2의 전원의 2개의 전원 전압 사이의 소정의 전압으로 되고, 상기 출력 회로는 상기 프리차지 전압과, 상기 제 1 및 제 2의 전원 전압중 미리 정해진 고정 전압으로 논리 진폭이 규정되는 출력 신호를, 상기 버스선으로 출력하는 수단을 구비하고 있다.

본 발명에 있어서, 상기 출력 회로는 상기 버스선으로 출력하여야 할 신호가 상기 제 1의 전원에 대응하는 제 1의 논리 레벨인 때, 상기 프리차지 전압으로 프리차지 되어 있는 상기 버스선을 구동하고, 상기 버스선의 전압을 상기 프리차지 전압으로부터 상기 미리 정해진 고정 전압으로 설정하고, 상기 버스선으로 출력하여야 할 신호가 상기 제 2의 전원에 대응하는 제 2의 논리 레벨인 때, 상기 버스선을 구동하지 않고, 상기 버스선의 전압을 상기 프리차지 전압으로 유지하는 제어를 행하는 수단을 구비하고 있다.

본 발명에 의하면, 버스선을 프리차지 전압으로 프리차지하고, 출력 회로는 프리차지 전압과 고정 전압으로 진폭이 규정된 신호를 버스선으로 출력하는 구성으로 함으로써, 버스선의 신호의 진폭을 감축하고, 출력 회로 및 리시버 회로의 버스 액세스 시간의 고속화를 달성하고 있다.

발명의 구성 및 작용

본 발명의 실시예에 관해 설명한다. 본 발명의 한 실시예에 있어서, 고위측 전원 전압(VDD)과 저위측 전원 전압(VSS) 사이의 소정의 전압(「중간 전압」이라고도 한다)을 프리차지 전압으로 하고, 버스선(도 1의 11)을 프리차지하는 프리차지 회로(도 1의 12)를 구비하고 있다. 프리차지 회로(12)는 프리차지 동작을 제어하는 프리차지 제어 신호(PE)에 의거하여 온 오프 제어되는 스위치 소자(도 1의 122)를 구비하고, 버스선(11)을 구동하는 출력 회로(예를 들면 도 1의 110)가 신호의 출력 동작을 행하기 전의 소정의 기간(「프리차지 기간」이라고 한다)에, 버스선(11)을 프리차지하고, 출력 회로(110)가 버스선(11)에 출력 신호를 출력할 때, 프리차지 동작을 정지시킨다.

버스선(11)에 데이터를 출력하는 출력 회로(110)는 버스선(11)과 저위측 전원(VSS 또는 그라운드) 사이에 접속되고, 버스선(11)에 출력하여야 할 신호를 제어 단자로부터 입력하고, 해당 신호가 제 1의 논리 레벨인 때, 버스선(11)을 프리차지 전압으로부터 미리 정해진 고정 전압(예를 들면 저위측 전원 전압(VSS))으로 설정하는 출력단(段) 트랜지스터(106)를 구비하고 있다. 그리고, 이 출력단 트랜지스터(106)는 제어 단자에 입력되는 신호가 제 2의 논리 레벨인 때, 오프 하여, 버스선(11)은 프리차지 전압으로 유지된다. 이와 같이, 버스선(11)상에 송출되는 신호의 논리 진폭은 저위측 전원 전압(VSS)과 프리차지 전압(V_p)으로 주어진다.

본 발명의 한 실시예에 있어서, 버스선(11)에 접속되고 버스선(11)에 전송되는 신호를 수신하는 리시버 회로(13)에 있어서, 해당 수신한 신호의 논리의 판정을 행하는 차동 회로(비교 회로)에 있어서의 기준 전압(V_r)의 크기가 프리차지 전압(V_p)과 고정 전압(저위측 전원 전압) 사이의 전압치로 되어 있다.

본 발명의 한 실시예에 있어서, 프리차지 전압을 주는 전원 회로를 칩 내에서 공통으로 구비하여도 좋다. 전원 회로(도 4의 14)는 고위측 전원(VDD)과 저위측 전원(VSS) 사이에 직렬 형태로 접속된 복수의 저항(도 4의 R1, R2, R3)과, 프리차지 전압(V_p)과 기준 전압(V_r)에 대응하는 저항의 탭으로부터의 출력 전압을 받고, 프리차지 전압과 기준 전압을 각각 출력하는 제 1, 제 2의 드라이버 회로(구동 회로)를 구비하고 있다. 제 1, 제 2의 드라이버 회로는 오프앰프의 출력 단자와 반전 입력 단자를 접속하고, 비반전 입력 단자에 입력된 입력 전압에 따른 전압을 출력 단자로부터 출력하는 볼티지 폴로워(도 4의 VF101, VF102)로 구성하여도 좋다.

본 발명의 한 실시예에 있어서, 프리차지 회로(12)는 전원 회로(14)의 제 1의 드라이버 회로(VF101)의 출력 단자와, 버스선(11) 사이에 삽입되고, 프리차지 제어 신호(PE)를 제어 단자에서 받고, 프리차지 동작시에 온 되어 상기 버스선을 프리차지하는 트랜지스터(NM104)를 구비하고 있다.

또한 본 발명의 한 실시예에 있어서, 리시버 회로(13)는 버스선(11)과 제 2의 드라이버 회로(VF102)의 출력 단자가 차동 입력 쌍에 각각 접속된 차동 쌍(NM101, NM102)과, 차동 쌍의 출력 쌍과, 고위측 전원 사이에 접속된 부하 소자 쌍(PM101, PM102)과, 차동 쌍의 공통 소스에 일단이 접속된 정전류원(NM103)을 구비하고, 정전류원의 타단은 저위측 전원에 접속되어 있는 차동 회로를 갖는다. 이 정전류원(NM103)은 바이어스 제어 단자로 프리차지 제어 신호(PE)를 받고, 프리차지 기간에는 오프 상태로 된다. 차동 회로로부터 출력된 신호는 프리차지 제어 신호에 의거하여 프리차지 동작시에 오프 상태로 되는 트랜스퍼 게이트(PM103, NM105)를 통하여 버퍼 회로(INV102)에 입력된다. 버퍼 회로(INV102)의 출력 단자에 접속되는 출력 단자(OUT)로부터는 프리차지 기간 종료 후에 버스선으로 출력된 신호를 리시버 회로(13)에서 수신한 신호가 출력된다.

본 발명의 다른 실시예에 있어서, 프리차지 회로(12)는 프리차지 전압(V_{p2})과 버스선(11) 사이에 삽입되고, 버스선(11)을 프리차지하는 제 1의 트랜지스터(도 5의 NM111)와, 프리차지 전압(V_{p2})을 구동 전원의 고위측의 전원 전압으로 하고, 프리차지 제어 신호(PE)의 반전 신호를 입력하고, 출력 단자가 트랜지스터(NM111)의 게이트에 접속되어 있는 인버터(INV111)를 구비하고 있다. 인버터(INV111)는 프리차지 제어 신호(PE)가 활성 상태인 때, 트랜지스터(NM111)의 게이트에 프리차지 전압(V_{p2})의 신호를 출력한다. 트랜지스터(NM111)를 NMOS로 구성한 경우, 트랜지스터(NM111)의 드레인에는 프리차지 전압(V_{p2})이 인가되고, 게이트에 프리차지 전압(V_{p2})이 인가되어 있고, 트랜지스터(NM111)의 소스의 전압은 프리차지 전압(V_{p2})으로부터 NMOS 트랜지스터의 임계치 전압(V_{tn})분 만큼 내려간 전압($V_{p2} - V_{tn}$)으로 되고, 해당 전압으로 버스선(11)이 프리차지 된다.

본 발명의 다른 실시예에 있어서, 리시버 회로(13)는 서로 병렬로 접속되어 있고 일단이 고위측 전원(VDD)에 공통으로 접속되어 이루어지는 2개의 트랜지스터(PM111, PM112)와, 2개의 트랜지스터(PM111, PM112)의 공통 접속된 타단과 버스선(11) 사이에 접속되고 프리차지 전압 단자(V_{p2})에 제어 단자가 접속된 트랜지스터(NM112)를 구비하고 있다. 트랜지스터(PM111)는 프리차지 제어 신호(PE)가 활성 상태인 때 온 하고 비활성 상태인 때 오프 한다. 3개의 트랜지스터(PM111, PM112, NM112)의 공통 접속점(노드(A))이 입력 단자에 접속된 인버터(INV112)를 구비하고, 트랜지스터(PM112)의 제어 단자는 인버터(INV112)의 출력 단자에 접속되고, 3개의 트랜지스터의 공통 접속점(노드(A))에 일단이 접속되고, 프리차지 제어 신호(PE)가 활성 상태인 때에 오프 상태로 되고, 프리차지 제어 신호(PE)가 비활성 상태인 때에 온 상태로 되는 트랜스퍼 게이트(NM113, PM113)와, 트랜스퍼 게이트의 타단에 입력 단자가 접속된 버퍼 회로(INV113)를 구비하고, 버퍼 회로(INV113)의 출력 단자가 리시버 회로(13)의 출력 단자(OUT)에 접속되어 있다.

본 발명의 다른 실시예에 있어서는 2개의 버스선 사이를 중계하는 버퍼 회로에 본 발명을 적용한 것이다. 즉, 제 1의 버스선(32)에 출력 회로(도 6의 31)로부터 데이터가 출력되기 전의 프리차지 기간에, 제 1의 버스선(32)이 소정의 프리차지 전압으로 프리차지 되고, 제 1의 버스선(32)에 출력되는 신호의 진폭이, 프리차지 전압과, 상기 출력 회로 및/또는 리시버 회로를 구동하는 제 1 및 제 2의 전원중 한쪽의 전원 전압으로 되어 있고, 제 1의 버스선(32)에의 프리차지 및 데이터의 수신을 행하는 리시버 회로(「프리차지 + 리시버 회로」라고도 한다)(30)는 프리차지 전압 단자(V_{p2})와 제 1의 버스선(32)에 삽입되고 제 1의 버스선(32)을 프리차지하는 제 1의 트랜지스터(NM301)와, 프리차지 전압(V_{p2})을 고위측 전원 전압으로 하고, 프리차지 동작을 제어하는 제 1의 프리차지 제어 신호(PE1)의 반전 신호($\overline{PE1}$)를 받고, 출력 단자가 제 1의 트랜지스터(NM301)의 게이트에 접속되어 있는 제 1의 인버터(INV301)를 구비하고 있다. 또한, 서로 병렬로 접속되어 있고 일단(소스)이 고위측 전원(VDD)에 공통으로 접속되어 이루어지는 2개의 트랜지스터(PM301, PM302)와, 2개의 트랜지스터(PM301, PM302)의 공통 접속된 타단(드레인)과 버스선(11) 사이에 접속되고, 프리차지 전압 단자(V_{p2})

에 제어 단자가 접속된 트랜지스터(NM302)를 구비하고 있다. 트랜지스터(PM301)는 제 1의 프리차지 제어 신호(PE1)가 활성화 상태인 때에 온 하고 비활성 상태인 때에 오프 한다. 또한, 이들 3개의 트랜지스터(PM301, PM302, NM302)의 공통 접속점이 입력 단자에 접속된 인버터(INV302)를 구비하고 있다. 트랜지스터(PM302)의 제어 단자는 인버터(INV302)의 출력 단자에 접속되어 있다. 또한, 인버터(INV302)의 출력 단자가 입력 단자에 접속되고, 출력 단자가 제 2의 버스선(33)에 접속되어 있는 트랜지스터(NM303)로 이루어지는 출력 회로를 구비하고 있다. 제 2의 버스선(33)은 프리차지 회로(34)로 프리차지 되고, 프리차지 후, 리시버 회로(30)의 출력 회로(NM303)에 의해, 제 2의 버스선(33)에 송출된 신호는 제 2의 버스선(33)측의 리시버 회로(35)에 의해 수신된다.

실시예

상기한 본 발명의 실시예에 관해 본 발명의 실시예에 관해 도면을 참조하여 더욱 상세히 설명한다. 도 1은 본 발명의 실시예의 구성을 도시한 도면이다. 도 1에는 복수의 서브어레이를 갖는 메모리 디바이스의 구성의 한 예가 모식적으로 도시되어 있다.

복수의 메모리 셀의 서브어레이 블록(10₁ 내지 10_m)이 공통으로 버스선(11)에 접속되어 있다. 또한, 도 1에 있어서, 서브어레이 블록(10₁ 내지 10_m)은 동일한 구성으로 이루어지고, 도 1에서는 설명의 편의를 위해, 하나의 서브어레이 블록(10₁)의 구성이 도시되어 있다.

버스선(11)에는 리시버 회로(13)가 접속되어 있고, 서브어레이 블록에서 선택된 메모리 셀로부터의 판독 데이터가 버스선(11)으로 출력되고, 리시버 회로(13)에서 수신되고 출력 단자(OUT)로부터 출력된다.

서브어레이 블록(10)은 어느것이나 도시되지 않은 복수의 워드선과 비트선이 행과 열방향으로 배치되고, 비트선과 워드선의 교차부에 메모리 셀이 어레이 상태로 배치된 메모리 셀 어레이(101)와, 도시되지 않은 어드레스 신호를 입력하는 X디코더에서 선택된 워드선을 구동하는 워드 드라이버(102)와, 도시되지 않은 어드레스 신호를 입력하는 Y디코더에서 선택된 비트선에 접속되는 스위치를 온 하여, 해당 비트를 센스 앰프에 접속하는 Y스위치(103)를 구비하고 있다. 각 비트선은 상보의 2개(T, B)의 쌍으로 이루어지고, Y스위치(103)에서 선택된 비트선 쌍(T, B)이, 센스 앰프(104)에 입력되어 있다.

센스 앰프(104)는 센스 인에이블 신호(SE)가 활성화 된 경우, 센스 동작을 행하고, 센스 결과(SAB)를 출력 회로(110)에 출력한다.

출력 회로(110)는 출력단 트랜지스터로서, 드레인이 버스선(11)에 접속되고 소스가 저위측 전원(VSS)에 접속된 NMOS 트랜지스터(106)를 가지며, NMOS 트랜지스터(106)의 게이트에는 센스 인에이블 신호(SE)의 반전 신호와, 센스 앰프(104)의 출력 신호인 SAB 신호(센스 앰프(104)의 출력 신호(SAT)의 반전 신호)의 부정 논리합 연산을 행하는 부정 논리합(NOR) 회로(105)의 출력 단자가 접속되어 있다. 센스 앰프(104)의 출력 신호(SAB)를 입력하여 NMOS 트랜지스터(106)의 온 및 오프를 제어하는 NOR 회로(105)는 출력 제어 회로를 구성하고 있다.

센스 인에이블 신호(SE)가 high 레벨이고, 센스 앰프(104)의 출력 신호(SAB)가 low 레벨(센스 앰프(104)의 출력 신호(SAT)가 high 레벨)인 때, NOR 회로(105)의 출력은 high 레벨로 되고, NMOS 트랜지스터(106)가 온 하여 버스선(11)을 방전한다.

또한, 본 실시예에 있어서, NOR 회로(105) 대신에, 센스 앰프(104)의 출력 신호(SAT)와 센스 인에이블 신호(SE)를 입력으로 하고 입력한 신호의 논리곱을 취하는 AND 회로로 구성하여도 좋음은 물론이다.

버스선(11)에 접속되는 프리차지 회로(12)는 고위측 전원 전압(VDD)과 저위측 전원 전압(VSS)의 중간 전압이 되는 프리차지 전압을 생성하는 프리차지 전원 회로(121)와, 프리차지 전원 회로(121)와 버스선(11) 사이에 접속되고, 프리차지 동작을 제어하는 프리차지 제어 신호(PE)를 게이트에서 받고, 프리차지 제어 신호(PE)가 활성화 상태인 때, 버스선(11)을 프리차지 전압으로 프리차지하는 트랜지스터(122)를 구비하고 있다.

버스선(11)에 접속되는 리시버 회로(13)는 프리차지 제어 신호(PE)를 받고, 프리차지 제어 신호(PE)가 활성화 상태인 때 수신 동작을 정지하고, 프리차지 제어 신호(PE)가 비활성 상태인 때, 수신 동작을 행하여 출력 단자(OUT)로부터 수신한 2치 논리 신호를 출력하는 구성으로 되어 있다. 이와 같이, 본 실시예에 있어서는 버스선(11)을 구동하는 드라이버를 출력단

트랜지스터(106)만으로 구성하고 있기 때문에, PMOS 트랜지스터와 NMOS 트랜지스터로 이루어지는 종래의 드라이버 회로에 비하여, 버스의 부하 용량을 줄일 수 있다. 또한, 본 실시예에 있어서는 버스선(11)을 구동하는 드라이버의 면적을 감축할 수 있다.

도 2는 도 1에 도시한 본 실시예의 구성의 타이밍 파형의 한 예를 도시한 도면이다. 도 2에 있어서, PE는 도 1의 프리차지 제어 신호, SE는 도 1의 센스 인에이블 신호, N은 도 1의 NMOS 트랜지스터(106)의 게이트의 전압 파형(NOR 회로(105)의 출력 전압 파형), BS는 도 1의 출력 버퍼 회로(106) 부근의 버스선(11)의 전압 파형, BE는 도 1의 출력 버퍼 회로(106)의 원단에 있는 리시버 회로(13)의 입력 단자 부근의 버스선(11)의 전압 파형, OUT는 도 1의 리시버 회로(13)의 출력 신호 파형이다.

프리차지 제어 신호(PE)가 low 레벨로부터 high 레벨로 상승하면, 프리차지 회로(12)의 트랜지스터(122)가 온 하고, 버스선(11)이 프리차지 전압으로 충전된다. 프리차지 제어 신호(PE)는 도시되지 않은 버스 제어 회로 등에서 생성 출력되고, 예를 들면 데이터의 판독 사이클(리드 사이클)의 최초의 미리 정해진 프리차지 기간, high 레벨로 유지된다. 프리차지 기간이 종료되면, 프리차지 제어 신호(PE)는 low 레벨로 된다.

계속해서, 센스 인에이블 신호(SE)가 상승하고, 센스 앰프(104)의 출력 신호(SAT)가 high 레벨이고(SAB는 low 레벨), NMOS 트랜지스터(106)의 게이트 전압이 high 레벨로 천이한다. 그러면, NMOS 트랜지스터(106)가 온 하여 버스선(11)의 전하를 방전하고, 버스선(11)은 프리차지 전위로부터 저위측 전원 전압(VSS)측으로 하강한다.

프리차지 전압은 예를 들면 고위측 전원 전압(VDD)의 반분 정도로 된다. 이 경우, 버스선(11)을 전송되는 신호의 진폭은 VDD/2로 되고, 버스선(11)의 원단부에 있어서 하강 시간은 도 7에 도시한 구성에 비하여 단축되어 있다.

리시버 회로(13)에서는 입력 단자에 접속되는 버스선(11)의 전압과, 기준 전압을 비교하여, 고위측 전원 전압(VDD)과 저위측 전원 전압(VSS)으로 규정되는 논리 진폭의 신호를 출력한다.

본 실시예에 있어서, 센스 인에이블 신호(SE)의 상승으로부터 리시버 회로(13)의 출력 신호(OUT)의 상승까지의 지연 시간은 도 8 및 도 9에 도시한 종래의 구성에 비하여, 각별히 감축되어 있고 액세스 시간이 단축되어 있다.

프리차지 회로(12)에 있어서, 버스선(11)을 구동하는 출력 회로(110)가 출력 동작을 행하는 때에는 프리차지 제어 신호(PE)는 low 레벨로 되어 있고, 트랜지스터(122)는 오프 한다. 또한, 리시버 회로(13)가 버스선(11)의 판독 동작을 행하는 때, 프리차지 회로(12)에 의한 버스선(11)의 프리차지 동작을 정지하는 제어가 행하여진다.

메모리 디바이스에서는 데이터의 판독 사이클에 있어서, 메모리 디바이스 외부로부터 공급된 어드레스 신호의 받아들임과 디코드, 디코드 결과에 의거한 메모리 셀의 선택, 선택된 메모리 셀에 접속되는 비트선의 센스 앰프에 의한 판독 동작 등이 행하여지고, 버스선(11)의 프리차지 동작(도 2의 프리차지 기간)은 해당 사이클의 시작 시점부터 센스 앰프에 의한 판독 동작 전의 사이의 임의의 타이밍에서 행하면 좋다.

본 실시예에 있어서, 버스선(11)에 접속되고 버스선(11)에 전송되는 신호를 수신하는 리시버 회로(13)는 상기 수신한 신호의 논리의 판정을 행하는 기준 전압(Vr)의 크기가 프리차지 전압보다도 작게 되어 있다.

도 3은 비교예로서 도 8에 도시한 종래의 버스 시스템과, 본 발명의 버스 시스템의 동작을 대비하여 설명하기 위한 설명도이다. 비교예를 이루는 도 8에 도시한 종래의 시스템에서는 버스선에 송출되는 신호의 진폭은 고위측 전원 전압(VDD)과 저위측 전원 전압(VSS)(그라운드 전위)으로 되어 있다. 각 판독 사이클에 있어서, 판독 값의 "1", "0"에 응하여, 사이클마다, 저위측 전원 전압(VSS), 고위측 전원 전압(VDD), ...,의 논리 신호가 출력된다.

한편, 본 실시예에서는 버스선(11)에 송출되는 신호의 진폭은 프리차지 전압과 저위측 전원 전압(VSS)으로 되고, 각 판독 사이클의 최초에서 버스선이 일단 프리차지 되고, 판독 데이터가 예를 들면 "1"인 때, 버스선(11)은 저위측 전원 전압(VSS)으로 된다. 판독 데이터가 예를 들면 "0"인 때는 버스선(11)은 프리차지 전압인 채로 된다. 이와 같이, 본 실시예에 있어서는 버스선(11)의 신호를 소 진폭으로 하고, 버스선(11)을 구동하는 드라이버를 NMOS 트랜지스터(106)만으로 구성함으로써, PMOS 트랜지스터와 NMOS 트랜지스터로 이루어지는 종래의 드라이버 회로(도 8 참조)에 비하여 버스의 부하 용량이 감소한다. 이 때문에, 버스선(11) 구동시의 피크 전류가 감소하고, 그 결과, 칩 내부에서 발생하는 노이즈를 저감시킬 수 있다.

일반적으로, 버스선 이외의 회로, 예를 들면 칩 외부로의 출력 구동 회로(드라이버 회로) 등에서는 관독 데이터가 "0"→"1"→"0"→"1"과 같이, "0"과 "1"이 교대로 전환되는 경우, 전류 피크(스위칭 시의 전원 전류)에 관해 워스트[최악] 케이스로 된다. 도 8에 도시한 종래의 회로 구성에 있어서는 관독 데이터의 "0"과 "1"이 교대로 전환되는 경우, 버스선(210)상의 데이터도, 상술한 바와 같이, 사이클마다 변화한다. 이 때문에, 칩 전체(서브어레이 블록, 센스 앰프, 출력 회로, 버스선, 리시버 회로 등을 포함한다)에서는 데이터 전환시에 있어서의 전류를 서로 어울린 것에 의해, 노이즈(스위칭 시의 전원 노이즈 등)가 발생한다.

이에 대해, 본 실시예에 의하면, 버스선(11)에 관해서는 관독 데이터가 "1"→"1"→"1"→"1"로 되는 경우가 전류(노이즈)에 관해 워스트 케이스로 된다. 이와 같이, 본 실시예에서는 종래의 회로 구성과는 버스선(11)의 전류 피크의 워스트 케이스의 조합이 다르다. 즉, 본 실시예에 있어서는 버스선(11)의 전류에 관한 워스트 케이스의 데이터의 조합("1"→"1"→"1"→"1")과, 버스선(11)과 동일한 칩에 포함되는 다른 논리 회로의 스위칭 전류에 관한 워스트 케이스의 데이터의 조합("0"→"1"→"0"→"1")이 서로 달라서, 칩 전체로는 전류 피크가 버스선(11)과 다른 회로에 분산되는 것으로 된다. 이 때문에, 본 실시예에 있어서는 전류 피크가 완화되고, 전류 피크에 의해 발생하는 노이즈를 저감할 수 있다.

그리고, 본 실시예에 있어서, 버스선(11)의 프리차지 전압을 전원 전압(VDD)의 반분으로 한 경우, 버스선(11)의 신호 진폭은 전원 전압(VDD)의 반분으로 되고, 진폭이 VDD인 경우의 종래의 구성에 비하여, 스위칭 동작시의 소비 전력이 감축된다.

다음에, 본 발명의 다른 실시예에 관해 설명한다. 도 4는 도 1에 도시한 버스선(11)에 접속된 리시버 회로와 프리차지 회로의 구성을 도시한 도면이다.

도 4를 참조하면, 본 실시예에서는 도 1의 프리차지 전원 회로(121)와, 리시버 회로(13)로의 기준 전압을 공급하는 회로를, 하나의 전원 회로(14)로 구성하고, 프리차지 회로(12)를, 드레인을 전원 회로(14)의 프리차지 전압 출력 단자에 접속하고, 게이트에 프리차지 제어 신호(PE)를 입력하고, 소스를 버스선(11)에 접속한 NMOS 트랜지스터(NM104)로 구성하고 있다.

리시버 회로(13)는 소스가 공통 접속되고, 정전류원을 이루는 트랜지스터(NM103)의 드레인에 접속되고, 게이트가 버스선(11)과 기준 전압 출력 단자에 접속되어 차동 쌍을 이루는 NMOS 트랜지스터(NM101, NM102)와, NMOS 트랜지스터(NM101, NM102)와 전원(VDD) 사이에 접속되고, 능동 부하를 이루는 커런트 미러 회로를 구성하는 PMOS 트랜지스터(PM101, PM102)를 구비하고 있다.

정전류원을 이루는 NMOS 트랜지스터(NM103)의 소스는 저위측 전원 전압(VSS)에 접속되고, 게이트에는 프리차지 제어 신호(PE)를 인버터(INV101)에서 반전한 신호가 공급된다.

차동 쌍의 NMOS 트랜지스터(NM101)의 드레인과, 부하를 이루는 PMOS 트랜지스터(PM101)의 드레인의 접속점은 차동 회로의 출력 노드를 이루고, 게이트에 프리차지 제어 신호(PE)를 입력하는 PMOS 트랜지스터(PM103)와, 게이트에 프리차지 제어 신호(PE)의 반전 신호($\overline{\text{PE}}$)를 입력하는 NMOS 트랜지스터(NM105)로 이루어지는 CMOS형 트랜스퍼 게이트를 통하여, 반전 버퍼 회로를 이루는 인버터(INV102)의 입력 단자에 입력되고, 인버터(INV102)의 출력 단자가 리시버 회로(13)의 출력 단자(OUT)에 접속되어 있다. 인버터(INV102)의 출력 단자는 인버터(INV103)의 입력 단자에 접속되고, 인버터(INV103)의 출력 단자는 인버터(INV102)의 입력 단자에 접속되어 있다. 인버터(INV102)와 인버터(INV103)는 플립 플롭을 구성하고, 트랜스퍼 게이트(NM105, PM103)가 오프 상태인 때, 인버터(INV102)의 입력 단자를, 해당 트랜스퍼 게이트가 오프 상태로 되기 직전의 논리 레벨로 설정한다. 인버터(INV102)의 입력 용량을 구동하는 인버터(INV103)의 전류 구동 능력은 인버터(INV102)에 비하여 작아도 좋다.

전원 회로(14)는 예를 들면 고위측 전원(VDD)과 저위측 전원(VSS) 사이에 직렬 형태로 접속된 저항(R1, R2, R3)과, 저항(R1과 R2)의 접속점을 비반전 입력 단자(+)에 접속하고, 출력 단자를 반전 입력 단자(-)에 접속한 연산증폭기(OP앰프)로 이루어지는 제 1의 볼티지 폴로워(VF101)와, 저항(R2와 R3)의 접속점을 비반전 입력 단자(+)에 접속하고, 출력 단자를 반전 입력 단자(-)에 접속한 연산증폭기(OP앰프)로 이루어지는 제 2의 볼티지 폴로워(VF102)를 구비하고, 제 1, 제 2의 볼티지 폴로워(VF101, VF102)는 각각의 출력 단자로부터 이하의 식으로 주어지는 프리차지 전압(V_p)과 기준 전압(V_r)을 출력한다.

$$V_p = VDD \times (R2 + R3) / (R1 + R2 + R3)$$

$$V_r = V_{DD} \times R_3 / (R_1 + R_2 + R_3)$$

도 4를 참조하여 본 실시예의 동작에 관해 설명한다. 프리차지 회로(12)에서 프리차지 전압(V_{p2})으로 프리차지된 버스선(11)은 도시되지 않은 출력 회로로부터 데이터가 출력되고, 차동 회로(NM101, NM102의 차동 쌍을 포함하다)에서는 버스선(11)의 전압을 기준 전압(V_r)과 비교하여, 버스선(11)의 전압이 프리차지 전압(V_p)인 경우(도 1의 센스 앰프(104)의 출력(SAT)이 low 레벨인 때), 기준 전압(V_r)보다도 크고, 이 때문에, 차동 회로의 출력(NMOS 트랜지스터(NM101)의 드레인 노드의 전압)은 low 레벨로 되고, 온 상태의 트랜스퍼 게이트(데이터 판독시, 프리차지 제어 신호(PE)는 low 레벨이다)를 통하여, 버퍼 회로(INV102)로 전송되고, 버퍼 회로(INV102)로부터 출력 단자(OUT)로 high 레벨이 출력된다.

한편, 버스선(11)의 전압이 저위측 전원 전압(VSS)인 경우(도 1의 센스 앰프(104)의 출력(SAT)이 high 레벨인 때), 기준 전압(V_r)보다도 작기 때문에, 차동 회로의 출력은 high 레벨로 되고, 온 상태의 트랜스퍼 게이트(데이터 판독시, 프리차지 제어 신호(PE)는 low 레벨이다)를 통하여, 버퍼 회로(INV102)로 전송되고, 버퍼 회로(INV102)로부터 출력 단자(OUT)로 low 레벨이 출력된다.

도 4에 도시한 회로 구성에 있어서, 전원 회로(14)는 프리차지 회로(12)와 리시버 회로(13)에 공통으로 되어 있고, 또한, 전원 회로(14)를 1칩에 하나 준비하는 구성으로 하여도 좋다.

도 4에 도시한 구성에 있어서, 리시버 회로(13)는 차동 증폭 회로로 구성되어 있고, 전원(VDD)으로부터 VSS측으로 DC 전류가 흐른다. 또한, 리시버 회로(13) 자체의 전방 지연 시간도 결코 빠르지 않다.

도 5는 본 발명의 다른 실시예의 리시버 회로의 구성을 도시한 도면이다. 도 5에 있어서, 프리차지 전원(V_{p2})은 버스선(11)의 프리차지 전압을 결정하기 위한 전원으로서, 그 전원 전압은 저위측 전원 전압(VSS)보다 크게 되고, 고위측 전원 전압(VDD)보다 작게 되어 있다.

프리차지 회로(12)는 드레인이 프리차지 전원(V_{p2})에 접속되고, 소스가 버스선(11)에 접속된 NMOS 트랜지스터(NM111)와, 프리차지 제어 신호(PE)의 반전 신호(\overline{PE})를 입력하고, 프리차지 전원(V_{p2})과 저위측 전원(VSS)으로 구동되는 인버터(INV111)를 구비하고, 인버터(INV111)의 출력 단자는 트랜지스터(NM111)의 게이트에 접속되어 있다.

리시버 회로(13)는 소스가 버스선(11)에 접속되고, 게이트가 프리차지 전원(V_{p2})에 접속되어 있는 NMOS 트랜지스터(NM112)와, 고위측 전원(VDD)에 소스가 접속되고, 드레인이 NMOS 트랜지스터(NM112)의 드레인에 접속되고, 프리차지 제어 신호(PE)의 반전 신호(\overline{PE})를 게이트에 입력하는 PMOS 트랜지스터(PM111)와, 고위측 전원(VDD)에 소스가 접속되고, 드레인이 NMOS 트랜지스터(NM112)의 드레인에 접속된 PMOS 트랜지스터(PM112)와, NMOS 트랜지스터(NM112)의 드레인(노드(A))에 입력 단자가 접속된 인버터(INV112)를 구비하고, 인버터(INV112)의 출력 단자가 PMOS 트랜지스터(PM112)의 게이트에 접속되어 있다. NMOS 트랜지스터(NM112)의 드레인(노드(A))은 게이트에 프리차지 제어 신호(PE)의 반전 신호(\overline{PE})를 입력하는 NMOS 트랜지스터(NM113)와, 게이트에 프리차지 제어 신호(PE)를 입력하는 PMOS 트랜지스터(PM113)로 이루어지는 CMOS형 트랜스퍼 게이트를 통하여, 반전 버퍼를 이루는 인버터(INV113)의 입력 단자에 접속되고, 인버터(INV113)의 출력 단자는 출력 단자(OUT)에 접속된다. 인버터(INV113)의 출력 단자는 또한 인버터(INV114)의 입력 단자에 접속되어 있고, 인버터(INV114)의 출력 단자는 인버터(INV113)의 입력 단자에 접속되고, 인버터(INV113)와 인버터(INV114)는 플립플롭을 구성하고 있다. 트랜스퍼 게이트(PM113, NM113)가 오프인 때, 인버터(INV114)는 인버터(INV113)의 입력 단자를, 해당 트랜스퍼 게이트가 오프 상태로 되기 직전의 논리 레벨로 설정한다. 인버터(INV113)의 입력 용량을 구동하는 인버터(INV114)의 전류 구동 능력은 인버터(INV113)에 비교하여 작아도 좋다.

프리차지 회로(12)는 프리차지 제어 신호(PE)가 high 레벨인 때, 프리차지 제어 신호(PE)의 반전 신호(\overline{PE})를 입력으로 하는 인버터(INV111)의 출력은 high 레벨(프리차지 전원 전압(V_{p2}))로 되고, NMOS 트랜지스터(NM111)의 소스 전압은 $V_{p2} - V_{tn}$ 으로 된다. 단, V_{tn} 은 NMOS 트랜지스터(NM111)의 임계치 전압이다.

프리차지 전원 전압(V_{p2})을 낮게 설정함으로써, 버스선(11)은 저 진폭 동작으로 되고, 고속이며 또한 소비 전력의 저감을 도모할 수 있다.

리시버 회로(13)에 있어서는 NMOS 트랜지스터(NM112)의 게이트·소스간 전압(V_{gs})은 $V_{p2} -$ (버스선(11)의 전위)로 되고, 버스선(11)이 프리차지 전압($V_p = V_{p2} - V_{tn}$)인 때, $V_{gs} = V_{p2} - (V_{p2} - V_{tn}) = V_{tn}$ 으로 되고, 정확히 NMOS 트랜지스터의 임계치 전압으로 된다.

도 5에 도시한 실시예의 동작에 대해 설명한다. 프리차지 동작시에는 프리차지 제어 신호(PE)가 high 레벨이고, 프리차지 제어 신호(PE)의 반전 신호($\overline{\text{PE}}$)는 low 레벨이기 때문에, 프리차지 제어 신호(PE)의 반전 신호($\overline{\text{PE}}$)를 게이트에 입력으로 하는 PMOS 트랜지스터(PM111)는 온 하고, NMOS 트랜지스터(NM112)의 드레인 노드(A)는 전원 전압(VDD)으로 된다. 인버터(INV112)의 출력은 low 레벨로 되고, PMOS 트랜지스터(PM112)도 온 하고 있다.

프리차지 제어 신호(PE) 및 그 반전 신호($\overline{\text{PE}}$)가 high 레벨 및 low 레벨인 때, 트랜스퍼 게이트(NM113, PM113)는 오프 하고, 출력 단자(OUT)에는 인버터(INV113)의 출력(즉, 인버터(INV113, INV114)로 이루어지는 플립플롭에 기억되어 있는 논리값)이 출력된다.

프리차지 동작시에는 프리차지 제어 신호(PE)가 high 레벨이고, 그 반전 신호($\overline{\text{PE}}$)는 low 레벨이기 때문에, 프리차지 제어 신호(PE)의 반전 신호($\overline{\text{PE}}$)를 게이트에 입력으로 하는 PMOS 트랜지스터(PM111)는 온 한다.

다음에, 프리차지 동작의 종료시, 즉, 프리차지 제어 신호(PE), 그 반전 신호($\overline{\text{PE}}$)가 low 레벨, high 레벨인 때, 프리차지 회로(12)의 NMOS 트랜지스터(NM111)가 오프 하고, 리시버 회로(13)의 PMOS 트랜지스터(PM111)가 오프 한다. 리시버 회로(13)의 트랜스퍼 게이트(PM113, NM113)는 온 한다.

도 1에 있어서, 버스선(11)의 프리차지 회로(12)에 의한 프리차지 동작 종료 후(이 때, 프리차지 제어 신호(PE)는 low 레벨), 센스 인에이블 신호(SE)가 high 레벨이고, 센스 앰프(104)의 출력 신호(SAB)가 low 레벨(센스 앰프(104)의 출력 신호(SAT)가 high 레벨)인 때, 출력 회로(110)에 의해 구동되어 버스선(11)이 프리차지 전압으로부터 저위측 전원 전압(VSS)으로 되면, NMOS 트랜지스터(NM112)의 게이트-소스간 전압(Vgs)이 $V_{p2} - (\text{저위측 전원 전압(VSS)})$ 로 되고, NMOS 트랜지스터(NM112)가 온 하고, 노드(A)를 방전한다. 노드(A)의 방전에 의해, 인버터(INV112)의 출력 전압은 high 레벨로 변화하고, P채널 MOS 트랜지스터(PM112)가 오프 한다. 노드(A)의 전압(low 레벨)은 트랜스퍼 게이트(NM113, PM113)를 통하여, 반전 버퍼를 이루는 인버터(INV113)의 입력 단자에 전달되고, 인버터(INV113)로부터 high 레벨이 출력 단자에 출력된다.

프리차지 제어 신호(PE)가 low 레벨로 되고, 센스 인에이블 신호(SE)가 high 레벨이고, 도 1에 있어서, 센스 앰프(104)의 출력 신호(SAB)가 high 레벨(센스 앰프(104)의 출력 신호(SAT)가 low 레벨)인 때, 버스선(11)은 프리차지 전압인 채로 되고, 리시버 회로(13)의 노드(A)는 고위측 전원 전압(VDD)인 채로 되고, 노드(A)의 전압은 트랜스퍼 게이트(NM113, PM113)를 통하여, 반전 버퍼를 이루는 인버터(INV113)의 입력 단자에 전달되고, 출력 단자(OUT)에는 노드(A)의 반전 신호인 low 레벨이 출력된다. 이 때, 인버터(INV112)는 low 레벨을 PMOS 트랜지스터(PM112)의 게이트에 출력하고, PMOS 트랜지스터(PM112)는 온으로 되고, 노드(A)는 고위측 전원 전압(VDD)로 유지된다.

인버터(INV114)는 출력 단자(OUT)의 값을 반전한 신호를 인버터(INV113)의 입력 단자에 공급하고, 트랜스퍼 게이트(NM113, PM113)가 오프 상태인 때(프리차지 제어 신호(PE)가 high 레벨로 되는 프리차지 동작시), 오프 상태로 되기 직전의 출력 단자(OUT)의 값을 반전한 신호 전압이 인버터(INV113)의 입력 단자에 공급된다. 즉, 프리차지 제어 신호(PE)가 high 레벨로 되는 프리차지 동작시에는 앞의 사이클에서 버스선(11)에 출력된 데이터를, 인버터(INV113, INV114)로 이루어지는 플립플롭에서 보존 출력하고, 프리차지 제어 신호(PE)가 low 레벨인 때에는 버스선(11)에 출력된 데이터를 레벨 변환한 신호(노드(A)의 전압)가 온 상태의 트랜스퍼 게이트(NM113, PM113)를 통하여, 플립플롭(인버터(INV113, INV114))으로부터 보존 출력된다.

본 실시예에 있어서는 리시버 회로(13)에 있어서, 버스선(11)의 전압 레벨을 판정하는 회로를 이루는 PMOS 트랜지스터(PM111 및 PM112)와, NMOS 트랜지스터(NM112)에 있어서, NMOS 트랜지스터(NM112)가 온 한 때를 제외하고, 도 4에 도시한 차동 회로와 같이, DC 전류가 전원(VDD)으로부터 VSS측으로 흐르는 일은 없고, 소비 전력의 저감을 도모할 수 있고, 고위측 전원 전압(VDD)으로 설정되는 노드(A)의 전압에 의거하여 버스선(11)의 신호의 논리를 판정하고 있고, 고속 동작에 대응할 수 있다.

다음에, 본 발명의 또 다른 실시예에 대해 설명한다. 도 6은 본 발명의 또 다른 실시예의 구성을 도시한 도면으로, 버스 사이에 접속되는 리시버·버퍼 회로의 구성이 도시되어 있다.

도 6에 있어서, 제 1 버스선(32)과 제 2 버스선(33)은 상기 실시예에서 설명한 바와 같이, 전원 전압(VDD)의 반분 정도의 프리차지 전압(V_p)으로 프리차지 되고, 신호 진폭을 프리차지 레벨로 하는 버스로 이루어진다.

제 1의 버스선(32)에는 드레인이 제 1의 버스선(32)에 접속되고, 소스가 저위측 전원(VSS)에 접속되고, 게이트에 출력하여야 할 신호를 입력하는 NMOS 트랜지스터(출력단 트랜지스터)로 이루어지는 출력 회로(31₁ 내지 31_n)가 접속되어 있다.

제 1의 버스선(32)에 접속되는 리시버 회로(「프리차지 + 리시버 회로」라고도 한다)(30₁)는 제 1의 버스선(32)의 신호를 수신하고, 제 2의 버스선(33)으로 출력한다. 제 2의 버스선(33)에는 프리차지 회로(34)와 리시버 회로(35)가 접속되어 있다.

리시버 회로(프리차지 + 리시버 회로)(30₁)는 프리차지 회로(도 5 참조)와, 리시버 회로와, 오픈 드레인의 출력 회로로 이루어진다.

보다 상세하게는 도 6을 참조하면, 드레인이 전원(V_{p2})에 접속되고 소스가 제 1의 버스선(32)에 접속된 NMOS 트랜지스터(NM301)와, 제 1의 프리차지 제어 신호(PE1)의 반전 신호($\overline{\text{PE1}}$)를 입력하고 전원 전압(V_{p2})으로 구동되는 인버터(INV301)를 구비하고, 인버터(INV301)의 출력 단자가 트랜지스터(NM301)의 게이트에 접속되고, 인버터(INV301)와 NMOS 트랜지스터(NM301)가 프리차지 회로를 구성하고 있다. 리시버 회로로서, 소스가 제 1의 버스선(32)에 접속되고 게이트에 프리차지 전원 전압(V_{p2})이 공급되는 NMOS 트랜지스터(NM302)와, 고위측 전원(VDD)에 소스가 접속되고 드레인이 NMOS 트랜지스터(NM302)의 드레인에 접속되고 프리차지 제어 신호(PE1)의 반전 신호($\overline{\text{PE1}}$)를 게이트에 입력하는 PMOS 트랜지스터(PM301)와, 고위측 전원(VDD)에 소스가 접속되고 드레인이 NMOS 트랜지스터(NM302)의 드레인에 접속된 PMOS 트랜지스터(PM302)와, NMOS 트랜지스터(NM302)의 드레인에 입력 단자가 접속된 인버터(INV302)를 구비하고, 인버터(INV302)의 출력 단자가 PMOS 트랜지스터(PM302)의 게이트에 접속되어 있다. 또한 인버터(INV302)의 출력 단자는 드레인이 제 2의 버스선(33)에 접속되고, 소스가 저위측 전원 전압(VSS)에 접속된 NMOS 트랜지스터(NM303)의 게이트에 접속되어 있다. 제 1의 프리차지 제어 신호(PE1)가 high 레벨인 때, 제 1의 프리차지 제어 신호(PE1)의 반전 신호($\overline{\text{PE1}}$)는 low 레벨이고, PMOS 트랜지스터(PM301)는 온 상태로 되고, NMOS 트랜지스터(NM302)의 드레인 노드를 고위측 전원 전압(VDD)에 접속하고, 인버터(INV302)의 출력 신호는 low 레벨로 되고, 인버터(INV302)의 출력 신호를 게이트에서 받는 NMOS 트랜지스터(NM303)는 온 상태로 된다. 제 1의 프리차지 제어 신호(PE1)가 low 레벨인 때, 제 1의 프리차지 제어 신호(PE1)의 반전 신호($\overline{\text{PE1}}$)는 high 레벨이고, PMOS 트랜지스터(PM301)는 오프 상태로 되고, 제 1의 버스선(32)의 전압 레벨이, 저위측 전원 전압(VSS)/제 1의 프리차지 전압에 의해, NMOS 트랜지스터(NM302)의 드레인 노드는 저위측 전원 전압(VSS)/고위측 전원 전압(VDD)으로 되고, NMOS 트랜지스터(NM302)의 드레인 노드 전압을 입력 단자로부터 입력하는 인버터(INV302)의 출력 신호는 high 레벨/low 레벨로 되고, 인버터(INV302)의 출력 신호를 게이트에서 받는 NMOS 트랜지스터(NM303)는 온/오프 된다.

제 2의 버스선(33)에 접속되는 프리차지 회로(34)와 리시버 회로(35)는 도 1 또는 도 4 등을 참조하여 설명한 상기 실시예의 프리차지 회로(12)와 리시버 회로로 구성된다. 도 6에 도시한 예에서는 프리차지 회로(34)와 리시버 회로(35)는 제 2의 프리차지 제어 신호(PE2)로 프리차지 동작과 판독 동작이 제어되어 있고, 또한 제 2의 버스선(33)을 프리차지하기 위한 프리차지 전원은 V_{p2}와는 다른 전원(V_{p3})으로 되어 있다. 또한, 프리차지 전원(V_{p3})은 V_{p2}와 동일하여도 좋음은 물론이다.

상기 실시예에 있어서, 프리차지 회로는 제 1의 버스선(32)의 프리차지를 제어하는 제 1의 프리차지 제어 신호(PE1)가 high 레벨인 때, 제 1의 프리차지 제어 신호(PE1)의 반전 신호($\overline{\text{PE1}}$)를 입력으로 하는 인버터(INV301)의 출력은 high 레벨(전원 전압(V_{p2}))로 되고, NMOS 트랜지스터(NM301)의 소스 전압은 V_{p2} - V_{tn}으로 된다. 단, V_{tn}은 NMOS 트랜지스터(NM301)의 임계치 전압이다.

제 1의 프리차지 전원 전압(V_{p2})을 낮게 설정함으로써, 버스선은 저 진폭 동작으로 되고, 고속이며 또한 소비 전력의 저감을 도모할 수 있는 것은 도 5를 참조하여 설명한 상기 실시예와 마찬가지로이다. 또한, 제 1의 프리차지 전원(V_{p2})을 고위측 전원(VDD)으로 하면, 프리차지 전원(V_{p2})용의 전원이 필요 없게 된다.

NMOS 트랜지스터(NM302)의 게이트·소스간 전압(V_{gs})은 V_{p2} - (버스선의 전위)로 되고, 제 2의 버스선(33)이 프리차지 전압(V_p = V_{p2} - V_{tn})인 때, V_{gs} = V_{p2} - (V_{p2} - V_{tn}) = V_{tn}으로 되어, 정확히, NMOS 트랜지스터의 임계치 전압으로 된다.

제 1의 버스선(32)의 프리차지 기간에는 제 1의 프리차지 제어 신호(PE1)가 high 레벨이고, 그 반전 신호($\overline{\text{PE1}}$)는 low 레벨이기 때문에, 제 1의 프리차지 제어 신호(PE1)의 반전 신호($\overline{\text{PE1}}$)를 게이트에 입력으로 하는 PMOS 트랜지스터(PM301)는 온 하고, NMOS 트랜지스터(NM302)의 드레인 노드는 고위측 전원 전압(VDD)으로 되고, 인버터(INV302)의

출력은 low 레벨로 되고, PMOS 트랜지스터(PM302)도 온 한다. 인버터(INV302)의 출력은 low 레벨이기 때문에, 인버터(INV302)의 출력 단자를 게이트에 입력하는 NMOS 트랜지스터(NM303)는 오프 상태로 된다. 이 때, NMOS 트랜지스터(NM303)는 제 2의 버스선(33)을 구동하지 않는다. 제 2의 버스선(33)은 리시버 회로(프리차지 + 리시버 회로)(301)에 있어서, NMOS 트랜지스터(303)가 제 2의 버스선(33)을 구동하기 전의 타이밍에서, 프리차지 회로(34)에 의해 소정의 프리차지 전압으로 설정되어 있다.

제 1의 버스선(32)의 프리차지 기간 종료시, 즉, 프리차지 제어 신호(PE1) 및 그 반전 신호($\overline{\text{PE1}}$)가 low 레벨 및 high 레벨인 때, NMOS 트랜지스터(NM301)가 오프 하고, PMOS 트랜지스터(PM301)가 오프 한다.

제 1의 버스선(32)에 접속되는 복수의 출력 회로(31)중 어느 하나의 출력 회로의 NMOS 트랜지스터가 온 하고, 제 1의 버스선(32)이 low 레벨(저위측 전원 전압(VSS))로 되면, NMOS 트랜지스터(NM302)의 게이트·소스간 전압(V_{gs})이 $V_{p2} - (저위측 전원 전압(VSS))$ 로 되고, NMOS 트랜지스터(NM302)가 온 하고, 그 드레인 노드를 방전하고, 인버터(INV302)의 출력 전압은 high 레벨로 변화하고, PMOS 트랜지스터(PM302)가 오프 한다. NMOS 트랜지스터(NM302)의 드레인 노드의 전압은 low 레벨로 되고, 인버터(INV302)에서 반전되고, NMOS 트랜지스터(NM303)의 게이트에는 high 레벨이 공급 되고, NMOS 트랜지스터(NM303)가 온 하고, 제 2의 버스선(33)은 low 레벨로 된다. 리시버 회로(35)는 제 2의 버스선(33)의 신호를 수신하고, 출력 단자(OUT)로부터 보통의 논리 진폭의 신호를 출력한다.

도 7은 본 발명의 실시예와, 비교예로서 도 8에 도시한 종래의 회로와의 성능을 비교하여 도시한 도면이다. 도 7에 도시한 바와 같이, 관독 액세스에 있어서의 어드레스 디코더에 의한 어드레스의 디코드와, 선택된 셀의 액세스(디코더 + 셀)는 본 발명과 비교예(종래의 회로)에서 동일하다. 이에 대해, 센스 인에이블 신호(SE)를 활성화 하고 나서, 리시버 회로의 출력 신호(OUT)가 출력되기 까지의 시간은 본 발명에서는 종래의 회로의 절반(0.6ns)으로 되어 있다. 이와 같이, 본 발명은 메모리 디바이스에 적용한 경우, 그 액세스 타임의 고속화에 공헌하고 있다.

다음에, 본 발명의 또 다른 실시예에 관해 설명한다. 도 10은 본 발명의 또 다른 실시예의 구성을 도시한 도면이다. 도 10에는 도 1에 도시한 서브어레이 블록(10)과, 도 6에 도시한, 제 1, 제 2의 버스선(32, 33) 사이에 접속되는 프리차지 + 리시버 회로(단지 「리시버 회로」라고 한다)(30)의 구성을 구비한 반도체 기억 장치의 구성이 도시되어 있다. 도 10에 있어서, 제 1의 버스선(32)에 출력 회로(110)를 통하여 접속된 복수의 서브어레이 블록(10_1 내지 10_n)은 도 1의 서브어레이 블록(10_1)과 동일한 구성으로 이루어지고, 도 10에서는 간단을 위해, 하나의 서브어레이 블록(10_1)이 도시되어 있다.

서브어레이 블록(10_1)은 복수의 메모리 셀로 이루어지는 메모리 셀 어레이(101)와, 도시되지 않은 어드레스 신호를 입력하는 X디코더에서 선택된 워드선을 구동하는 워드 드라이버(102)와, 도시되지 않은 어드레스 신호를 입력하는 Y디코더에서 선택된 비트선에 접속되는 스위치를 온 하고, 해당 비트를 센스 앰프에 접속하는 Y스위치(103)를 구비하고 있다. 각 비트선은 상보의 2개(T, B)의 쌍으로 이루어지고, Y스위치(103)에서 선택된 비트선 쌍(T, B)이, 센스 앰프(104)에 입력되어 있다. 센스 앰프(104)는 센스 인에이블 신호(SE)가 활성화 된 경우, 센스 동작을 행하고, 센스 결과(SAB)를 출력 회로(110)에 출력한다. 출력 회로(110)는 출력단 트랜지스터로서, 드레인이 제 1의 버스선(32)에 접속되고 소스가 저위측 전원(VSS)에 접속된 NMOS 트랜지스터(106)를 가지며, NMOS 트랜지스터(106)의 게이트에는 센스 인에이블 신호(SE)의 반전 신호와, 센스 앰프(104)의 출력 신호인 SAB 신호(센스 앰프(104)의 출력 신호(SAT)의 반전 신호)의 부정 논리합을 취하는 NOR 회로(105)의 출력 단자가 접속되어 있다. 센스 앰프(104)의 출력 신호(SAB)를 입력하여 NMOS 트랜지스터(106)의 온 및 오프를 제어하는 NOR 회로(105)는 출력 제어 회로를 구성하고 있다.

센스 인에이블 신호(SE)가 high 레벨이고, 센스 앰프(104)의 출력 신호(SAB)가 low 레벨(센스 앰프(104)의 출력 신호(SAT)가 high 레벨)인 때, NOR 회로(105)의 출력은 high 레벨로 되고, NMOS 트랜지스터(106)가 온 하여 제 1의 버스선(32)을 방전한다.

도 10에 있어서, 리시버 회로(30_1)의 구성과 동작, 및 제 2의 버스선(33)에 접속하는 프리차지 회로(34), 리시버 회로(35)는 각각, 도 6을 참조하여 설명한 것과 동일한 구성으로 이루어지고, 따라서 동일한 동작을 행하기 때문에, 그 설명은 생략한다.

이하에서는 서브어레이 블록(10_1) 메모리 셀의 관독 동작의 한 예에 관해 설명한다. 서브어레이 블록(10)의 메모리 셀의 관독 사이클의 시작 등에 마련되는 프리차지 기간에, 제 1의 프리차지 제어 신호(PE1)가 high 레벨로 되고, NMOS 트랜지스터(NM301)를 통하여, 제 1의 버스선(32)이 제 1의 프리차지 전압($V_{p2} - V_{tn}$; 단, V_{p2} 는 제 1의 프리차지 전원 전압, V_{tn} 은 NMOS 트랜지스터(NM301)의 임계치 전압)으로 프리차지된다.

제 1의 버스선(32)의 프리차지 기간이 종료되면, 제 1의 프리차지 제어 신호(PE1)는 low 레벨로 되고, 센스 인에이블 신호(SE)가 high 레벨로 된다. 그리고, 활성화 된 센스 앰프(104)로부터의 판독 데이터 신호(SAT)가 논리 "1"인 때(예를 들면 high 레벨에 대응), 상보 데이터 신호(SAB)는 low 레벨이기 때문에, NOR 회로(105)는 high 레벨을 출력하고, NMOS 트랜지스터(106)가 온 하고, 제 1의 버스선(32)은 저위측 전원(VSS)의 레벨로 된다. 리시버 회로(30₁)(프리차지 + 리시버 회로)에서는 저위측 전원(VSS)의 레벨(low 레벨)의 제 1의 버스선(32)을 소스에서 받는 NMOS 트랜지스터(NM302)가 온 한다. 이 때문에, NMOS 트랜지스터(NM302)의 드레인 노드는 low 레벨로 되고, 입력 단자가 NMOS 트랜지스터(NM302)의 드레인 노드에 접속되는 인버터(INV302)의 출력은 high 레벨로 된다. 이 때문에, 인버터(INV302)의 출력 신호를 게이트에서 받는 PMOS 트랜지스터(PM302)가 오프 한다. 또한, 이 때, 제 1의 프리차지 제어 신호(PE1)의 반전 신호를 게이트에 입력하는 PMOS 트랜지스터(PM301)는 오프 상태로 되어 있고, NMOS 트랜지스터(NM302)의 드레인 노드는 low 레벨로 된다. 인버터(INV302)의 출력 신호(high 레벨)를 게이트에서 받는 NMOS 트랜지스터(NM303)가 온 하고, 제 2의 버스선(33)은 low 레벨로 된다. 제 2의 버스선(33)은 제 2의 프리차지 제어 신호(PE2)에 의해 제어되는 프리차지 회로(34)를 통하여 제 2의 버스선(33)의 판독시의 프리차지 기간에, 제 2의 프리차지 전압(Vp3)으로 프리차지 되어 있다. 또한, 제 1의 버스선(32)과 제 2의 버스선(33)의 프리차지 기간은 제 1의 버스선(32)의 쪽이 시작이 빠르던지, 또는 같은 타이밍 기간이라도 좋다. 리시버 회로(35)는 예를 들면 도 4에 도시한 구성으로 하여도 좋고, 제 2의 프리차지 제어 신호(PE2)가 low 레벨인 때, 제 2의 버스선(33)의 low 레벨을 수신하고, 출력 단자(OUT)로부터 low 레벨을 출력한다.

한편, 제 1의 버스선(32)의 프리차지 기간 종료 후, 활성화 된 센스 앰프(104)로부터의 판독 데이터 신호(SAT)가 논리 "0"인 때(예를 들면 low 레벨에 대응), 상보 데이터 신호(SAB)는 high 레벨, 센스 인에이블 신호(SE)는 high 레벨(그 반전 신호는 low 레벨)이기 때문에, NOR 회로(105)는 low 레벨을 출력하고, NMOS 트랜지스터(106)가 오프 상태로 되고, 제 1의 버스선(32)은 제 1의 프리차지 전압(Vp2 - Vtn)으로 유지된다. 리시버 회로(30₁)(프리차지 + 리시버 회로)에서는 제 1의 프리차지 전압의 제 1의 버스선(32)을 소스에서 받는 NMOS 트랜지스터(NM302)에서는 오프 상태로 되고, NMOS 트랜지스터(NM302)의 드레인 노드는 high 레벨로 되고, 입력 단자가 NMOS 트랜지스터(NM302)의 드레인 노드에 접속되는 인버터(INV302)의 출력은 low 레벨로 된다. 이 때문에, 인버터(INV302)의 출력을 게이트에서 받는 PMOS 트랜지스터(PM302)는 온 상태로 되고, NMOS 트랜지스터(NM302)의 드레인 노드는 high 레벨로 된다. 또한 제 1의 프리차지 제어 신호(PE1)의 반전 신호를 게이트에 입력하는 PMOS 트랜지스터(PM301)는 오프 상태로 되어 있다. 인버터(INV302)의 출력 신호(low 레벨)를 게이트에서 받는 NMOS 트랜지스터(NM303)는 오프 상태로 되고, 제 2의 버스선(33)은 제 2의 프리차지 전압(Vp3)으로 된다. 리시버 회로(35)는 제 2의 프리차지 제어 신호(PE2)가 low 레벨인 때, 제 2의 버스선(33)의 제 2의 프리차지 전압(Vp3)을 수신하고, 출력 단자(OUT)로부터 high 레벨(고위측 전원 전압(VDD) 레벨)을 출력한다.

이상 본 발명을 상기 각 실시예에 입각하여 설명하였지만, 본 발명은 상기 실시예의 구성에만 한정되는 것이 아니고, 특허 청구의 범위의 각 청구항의 발명의 범위 내에서 당업자라면 이를 수 있는 각종 변형, 수정을 포함하는 것은 물론이다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 의하면 버스선을 전원 전압 이하의 전압으로 프리차지하고, 버스선을 구동하는 출력 회로는 출력하여야 할 신호의 논리값에 따라 버스선을 프리차지 전위로부터 고정 전압으로 설정하는 구성으로 되어 있기 때문에 버스 인터페이스 회로의 고속화를 도모하고 소비 전력의 저감을 도모하는 것이 가능해 진다.

(57) 청구의 범위

청구항 1.

버스선과 프리차지 전원 단자 사이에 삽입되고, 프리차지 동작을 제어하는 프리차지 제어 신호에 의거하여 온 오프 제어되는 스위치 소자를 구비하고, 프리차지 동작시에, 상기 프리차지 전원 단자로부터 온 상태의 상기 스위치 소자를 통하여 상기 버스선을 미리 정한 프리차지 전압으로 프리차지하는 프리차지 회로와,

상기 프리차지 전압과, 제 1 및 제 2의 전원 전압 중 미리 정해진 고정 전압으로 논리 진폭이 규정되는 출력 신호와, 상기 버스선으로 출력하는 출력 회로와,

상기 출력 회로로부터 상기 버스선으로 출력된 신호를 수신하는 리시버 회로를 구비하고,

상기 프리차지 전압은 상기 리시버 회로 및/또는 상기 출력 회로를 구동하기 위한 제 1 및 제 2의 전원의 2개의 전원 전압 사이의 소정의 전압으로 되는 것을 특징으로 하는 버스 인터페이스 회로.

청구항 2.

제 1항에 있어서,

상기 출력 회로는 상기 버스선으로 출력하여야 할 신호가 상기 제 1의 전원에 대응하는 제 1의 논리 레벨인 때, 상기 프리차지 전압으로 프리차지 되어 있는 상기 버스선을 구동하고, 상기 버스선의 전압을 상기 프리차지 전압으로부터 상기 미리 정해진 고정 전압으로 설정하고,

상기 버스선으로 출력하여야 할 신호가 상기 제 2의 전원에 대응하는 제 2의 논리 레벨인 때, 상기 버스선을 구동하지 않고, 상기 버스선의 전압을 상기 프리차지 전압으로 유지하는 제어를 행하는 수단을 구비하고 있는 것을 특징으로 하는 버스 인터페이스 회로.

청구항 3.

제 1항에 있어서,

상기 고정 전압은 상기 제 1 및 제 2의 전원 중 저위측의 전원 전압이고,

상기 출력 회로가 상기 버스선과 상기 저위측의 전원 사이에 삽입되고, 상기 버스선으로 출력하여야 할 신호를 제어 단자에 입력하고, 상기 버스선으로 출력하여야 할 신호가 제 1의 논리 레벨인 때에 온 상태로 되어 상기 버스선을 방전하고, 상기 버스선의 전압을 상기 프리차지 전압으로부터 상기 저위측의 전원 전압으로 하는 출력단 트랜지스터를 구비하고 있는 것을 특징으로 하는 버스 인터페이스 회로.

청구항 4.

제 1항에 있어서,

상기 리시버 회로는 상기 버스선으로부터 논리 진폭이 상기 프리차지 전압과 상기 고정 전압으로 규정되는 신호를 수신하고, 상기 수신한 신호가 상기 제 1 및 제 2의 전원 전압에 대응하는 논리 레벨 중 어느 논리 레벨의 신호인지 판정하는 수단을 구비하고 있는 것을 특징으로 하는 버스 인터페이스 회로.

청구항 5.

제 4항에 있어서,

상기 리시버 회로에 있어서, 상기 수신한 신호의 논리 레벨의 판정을 행하기 위한 기준 전압의 크기가 상기 프리차지 전압과 상기 고정 전압 사이의 전압치로 되어 있는 것을 특징으로 하는 버스 인터페이스 회로.

청구항 6.

제 1항에 있어서,

상기 제 1 및 제 2의 전원간에 직렬 형태로 접속된 복수의 저항과,

제 1 및 제 2의 출력 단자와,

상기 복수의 저항의 접속점 중 상기 프리차지 전압에 대응한 접속점으로부터의 전압을 받고, 상기 제 1의 출력 단자로부터 상기 프리차지 전압을 출력하는 제 1의 구동 회로와,

상기 복수의 저항의 접속점 중 기준 전압에 대응한 접속점으로부터의 전압을 받고, 상기 제 2의 출력 단자로부터 상기 기준 전압을 출력하는 제 2의 구동 회로를 포함하는 전원 회로를 구비하고,

상기 프리차지 회로는 상기 전원 회로의 상기 제 1의 출력 단자와 상기 버스선 사이에 삽입되고, 상기 프리차지 제어 신호를 제어 단자에서 받고, 상기 프리차지 제어 신호가 활성화 상태인 때에 온으로 되고, 상기 제 1의 출력 단자로부터의 상기 프리차지 전압에 따라 상기 버스선을 프리차지하는 스위치 소자를 구비하고,

상기 리시버 회로는 상기 버스선과 상기 전원 회로의 상기 제 2의 출력 단자가 입력 쌍에 각각 접속된 차동 쌍과, 상기 차동 쌍의 출력 쌍과 상기 제 1의 전원 사이에 접속된 부하 소자 쌍과, 상기 차동 쌍을 구동하는 전류원을 구비하고, 상기 전류원 상기 차동 쌍과 상기 제 2의 전원 사이에 접속되어 이루어지는 차동 회로를 가지며,

상기 전류원은 상기 프리차지 제어 신호에 의거하여 프리차지 동작시에 오프 상태로 되고,

상기 차동 회로의 출력 단자에 일단이 접속되고, 상기 프리차지 제어 신호가 제어 단자에 입력되고, 프리차지 동작시에 오프 상태로 되는 트랜스퍼 게이트와,

상기 트랜스퍼 게이트의 타단에 입력 단자가 접속되어 있는 버퍼 회로를 구비하고,

상기 버퍼 회로의 출력 단자가 상기 리시버 회로의 출력 단자에 접속되어 있는 것을 특징으로 하는 버스 인터페이스 회로.

청구항 7.

제 1항에 있어서,

상기 프리차지 회로가 상기 버스선의 프리차지 전압을 규정하는 프리차지 전원 단자와 상기 버스선 사이에 삽입된 제 1 도전형의 제 1의 트랜지스터와,

상기 프리차지 전원이 고위측의 구동 전원으로서 공급되고, 상기 프리차지 제어 신호에 의거하여 출력 신호를 출력하는 회로로서, 상기 프리차지 제어 신호가 활성화 상태인 때, 상기 프리차지 전원 전압에 대응하는 전압의 출력 신호를 출력하고, 상기 제 1의 트랜지스터의 제어 단자에 공급하는 제 1의 제어 회로를 구비하고,

상기 제 1의 제어 회로의 출력 신호가 상기 프리차지 전원 전압에 대응하는 전압 레벨인 때, 상기 제 1의 트랜지스터가 온하여, 상기 버스선을 프리차지하는 것을 특징으로 하는 버스 인터페이스 회로.

청구항 8.

제 7항에 있어서,

상기 제 1의 제어 회로가 상기 프리차지 제어 신호의 반전 신호를 입력하는 입력 단자와, 상기 입력한 신호를 반전한 신호를 출력하는 출력 단자를 가지며, 상기 고위측의 전원 전압에 대응하는 논리 레벨의 신호로서, 상기 프리차지 전원 전압을 출력하는 제 1의 인버터로 이루어지는 것을 특징으로 하는 버스 인터페이스 회로.

청구항 9.

제 1항에 있어서,

상기 리시버 회로가 서로 병렬로 접속되어 있고 일단이 상기 제 1의 전원에 공통으로 접속되어 있는 제 2 도전형의 제 2 및 제 3의 트랜지스터와,

상기 제 2 및 제 3의 트랜지스터의 공통 접속된 타단과, 상기 버스선 사이에 접속되고, 상기 프리차지 전원 단자에 제어 단자가 접속되어 있는 제 1 도전형의 제 4의 트랜지스터를 구비하고,

상기 제 2의 트랜지스터는 상기 프리차지 제어 신호가 활성화 상태 및 비활성 상태인 때에, 각각 온 상태 및 오프 상태로 되고,

상기 제 2 내지 제 4의 트랜지스터의 공통 접속점이 입력 단자에 접속된 제 2의 인버터를 구비하고,

상기 제 3의 트랜지스터의 제어 단자는 상기 제 2의 인버터의 출력 단자에 접속되고,

상기 제 2 내지 제 4의 트랜지스터의 접속점에 일단이 접속되고, 상기 프리차지 제어 신호가 활성화 상태 및 비활성 상태인 때에, 각각 오프 상태 및 온 상태로 되는 트랜스퍼 게이트와,

상기 트랜스퍼 게이트의 타단에 입력 단자가 접속된 버퍼 회로를 구비하고,

상기 버퍼 회로의 출력 단자가 상기 리시버 회로의 출력 단자에 접속되어 있는 것을 특징으로 하는 버스 인터페이스 회로.

청구항 10.

제 9항에 있어서,

상기 버퍼 회로가 제 3의 인버터로 이루어지고,

상기 제 3의 인버터의 출력 단자에 입력 단자가 접속되어 있는 제 4의 인버터를 또한 구비하고,

상기 제 4의 인버터의 출력 단자가 상기 제 3의 인버터의 입력 단자에 접속되어 있는 것을 특징으로 하는 버스 인터페이스 회로.

청구항 11.

출력 회로로부터 버스선에 데이터가 출력되기 전의 프리차지 기간에, 상기 버스선이 소정의 프리차지 전압으로 프리차지 되고, 상기 버스선으로 출력되는 신호의 논리 진폭이, 상기 프리차지 전압과, 상기 출력 회로 및/또는 리시버 회로를 구동하는 제 1 및 제 2의 전원중 한쪽의 전원 전압으로 규정되어 있고,

상기 버스선으로 출력되는 데이터를 수신하는 상기 리시버 회로가,

서로 병렬로 접속되어 있고 일단이 상기 제 1의 전원에 공통으로 접속되어 있는 제 2 도전형의 제 1 및 제 2의 트랜지스터와,

상기 제 1 및 제 2의 트랜지스터의 공통 접속된 타단과 상기 버스선 사이에 접속되고, 상기 프리차지 전원 단자에 제어 단자가 접속되어 있는 제 1 도전형의 제 3의 트랜지스터를 구비하고,

상기 제 1의 트랜지스터는 프리차지 동작을 제어하는 프리차지 제어 신호가 활성화 상태 및 비활성 상태인 때에, 각각 온 상태 및 오프 상태로 되고,

상기 제 1 내지 제 3의 트랜지스터의 공통 접속점에 접속된 입력 단자를 가지며, 상기 제 2의 트랜지스터의 제어 단자에 접속된 출력 단자를 갖는 제 1의 인버터를 구비하고,

상기 제 1 내지 제 3의 트랜지스터의 접속점에 접속된 일단을 가지며, 상기 프리차지 제어 신호가 활성화 상태 및 비활성 상태인 때에, 각각 오프 상태 및 온 상태로 되는 트랜스퍼 게이트와,

상기 트랜스퍼 게이트의 타단에 접속된 입력 단자를 가지며,

상기 리시버 회로의 출력 단자에 접속된 출력 단자를 갖는 버퍼 회로를 구비하고 있는 것을 특징으로 하는 리시버 회로.

청구항 12.

출력 회로로부터 제 1의 버스선에 데이터가 출력되기 전의 프리차지 기간에, 상기 제 1의 버스선이 소정의 프리차지 전압으로 프리차지 되고, 상기 제 1의 버스선으로 출력되는 신호의 진폭이, 상기 프리차지 전압과, 상기 출력 회로 및/또는 리시버 회로를 구동하는 제 1 및 제 2의 전원중 한쪽의 전원 전압으로 되어 있고,

상기 제 1의 버스선에의 프리차지 및 데이터의 수신을 행하는 상기 리시버 회로로서,

상기 제 1의 버스선의 프리차지 전압을 규정하는 프리차지 전원 전압 단자와, 상기 버스선 사이에 삽입된 제 1 도전형의 제 1의 트랜지스터와,

상기 프리차지 전원 전압을 구동 전원 전압으로 하여, 프리차지 동작을 제어하는 프리차지 제어 신호의 반전 신호를 받는 입력 단자를 가지며, 상기 프리차지 제어 신호가 활성화 상태인 때, 상기 프리차지 전원 전압의 레벨의 신호를 출력하는 출력 단자를 가지며, 상기 출력 신호를 상기 제 1의 트랜지스터의 게이트에 공급하는 제 1의 인버터를 구비하고,

상기 제 1의 인버터의 출력 신호가 상기 프리차지 전원 전압인 때, 상기 제 1의 트랜지스터가 온 하여, 상기 제 1의 버스선을 프리차지하고,

서로 병렬로 접속되어 있고 일단이 상기 제 1의 전원에 공통으로 접속되어 있는 제 2 도전형의 제 2 및 제 3의 트랜지스터와,

상기 제 2의 트랜지스터는 상기 프리차지 제어 신호의 반전 신호를 받는 제어 단자를 가지며, 상기 프리차지 제어 신호가 활성화 상태 및 비활성 상태인 때에, 각각 온 상태 및 오프 상태로 되고,

상기 제 2 및 제 3의 트랜지스터의 공통 접속된 타단과, 상기 버스선 사이에 접속되고, 상기 프리차지 전원 단자에 접속되어 있는 제어 단자를 갖는 제 1 도전형의 제 4의 트랜지스터를 구비하고,

상기 제 2 내지 제 4의 트랜지스터의 공통 접속 노드에 접속된 입력 단자를 가지며, 상기 제 3의 트랜지스터의 제어 단자에 접속된 출력 단자를 갖는 제 2의 인버터를 구비하고,

상기 제 2의 인버터의 출력 단자에 접속된 입력 단자와, 제 2의 버스선에 접속되어 있는 출력 단자를 갖는 버퍼 회로를 구비하고 있는 것을 특징으로 하는 리시버 회로.

청구항 13.

제 12항에 있어서,

상기 제 2의 버스선이, 상기 제 2의 버스선에 접속되는 프리차지 회로에 의해, 상기 제 2의 버스선에의 데이터 출력의 전의 프리차지 기간에 프리차지 되고,

상기 버퍼 회로가 상기 제 2의 버스선과 제 2의 전원 사이에 접속되고, 제어 단자가 상기 제 2의 인버터의 출력 단자에 접속되어 있는 제 5의 트랜지스터로 이루어지는 것을 특징으로 하는 리시버 회로.

청구항 14.

제 1항에 기재된 버스 인터페이스 회로를 구비한 것을 특징으로 하는 반도체 장치.

청구항 15.

복수의 메모리 셀을 포함하는 메모리 셀 어레이와,

제 1항에 기재된 버스 인터페이스 회로를 구비하고,

상기 버스 인터페이스 회로의 상기 출력 회로에는 상기 메모리 셀 어레이 중 선택된 메모리 셀로부터 판독한 데이터를 출력하는 센스 앰프의 출력 신호가 공급되고,

상기 출력 회로는 상기 센스 앰프의 출력 신호에 의거하여 상기 버스선으로 출력 신호를 출력하는 것을 특징으로 하는 반도체 기억 장치.

청구항 16.

복수의 메모리 셀을 포함하는 메모리 셀 어레이와,

상기 메모리 셀 어레이 중 선택된 메모리 셀의 데이터에 응한 논리값의 신호를 출력하는 센스 앰프와,

상기 센스 앰프의 출력 신호를 수신하고, 상기 센스 앰프의 출력 신호가 제 1 또는 제 2의 논리값의 어느 한쪽에 해당되는 경우, 제 1의 버스선을 구동하는 제 1의 버스선 구동 회로와,

상기 제 1의 버스선에 대한 판독 사이클마다 활성화 되는 제 1의 프리차지 제어 신호를 입력하고, 상기 제 1의 프리차지 제어 신호가 활성화 되어 프리차지 동작을 지시하고 있는 때에, 상기 제 1의 버스선을 제 1의 프리차지 전압으로 프리차지하는 제 1의 프리차지 회로와,

상기 제 1의 프리차지 제어 신호가 활성화 되어 있는 때에는 1사이클 전의 판독 사이클에서 상기 제 1의 버스선으로 출력된 신호를 보존하고, 상기 제 1의 프리차지 제어 신호가 비활성화 되어 있는 때에, 상기 제 1의 버스선의 신호를 수신하고, 상기 수신한 신호를 레벨 변환하여 출력 신호로서 출력하는 제 1의 리시버 회로를 구비하고 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 17.

제 16항에 있어서,

상기 제 1의 리시버 회로의 출력 신호를 입력하고 상기 제 1의 리시버 회로의 출력 신호가 제 1의 논리 레벨인 때, 제 2의 버스선을 구동하는 제 2의 버스선 구동 회로와,

상기 제 2의 버스선에 대한 판독 사이클마다 활성화 되는 제 2의 프리차지 제어 신호를 입력하고, 상기 제 2의 프리차지 제어 신호가 활성화 되어 프리차지 동작을 지시하고 있는 때에, 상기 제 2의 버스선을 제 2의 프리차지 전압으로 프리차지하는 제 2의 프리차지 회로와,

상기 제 2의 프리차지 제어 신호를 입력하고, 상기 제 2의 프리차지 제어 신호가 비활성화 되어 있는 때에, 상기 제 2의 버스선의 신호를 수신하고, 상기 수신한 신호를 레벨 변환하여 출력 신호로서 출력하는 제 2의 리시버 회로를 구비하고 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 18.

제 17항에 있어서,

상기 제 1의 리시버 회로가 상기 제 1의 버스선에의 프리차지를 행하는 상기 제 1의 프리차지 회로를 가지며,

상기 제 1의 프리차지 회로는 상기 제 1의 버스선의 프리차지 전압을 규정하는 프리차지 전원 전압 단자와, 상기 버스선 사이에 삽입된 제 1 도전형의 제 1의 트랜지스터와,

상기 프리차지 전원 전압을 구동 전원 전압으로 하고, 프리차지 동작을 제어하는 프리차지 제어 신호의 반전 신호를 받고, 상기 프리차지 제어 신호가 활성 상태인 때, 상기 프리차지 전원 전압의 레벨의 신호를 출력하고, 상기 제 1의 트랜지스터의 게이트에 공급하는 제 1의 인버터를 구비하고,

상기 제 1의 인버터의 출력 신호가 상기 프리차지 전원 전압인 때, 상기 제 1의 트랜지스터가 온 하고, 상기 제 1의 버스선을 프리차지하고,

또한, 상기 제 1의 버스선에 접속된 리시버 회로로서,

서로 병렬로 접속되어 있고 일단이 제 1의 전원에 공통으로 접속되어 있는 제 2 도전형의 제 2 및 제 3의 트랜지스터와,

상기 제 2의 트랜지스터는 제어 단자에 상기 프리차지 제어 신호의 반전 신호를 받고, 상기 프리차지 제어 신호가 활성 상태 및 비활성 상태인 때에, 각각 온 상태 및 오프 상태로 되고,

상기 제 2 및 제 3의 트랜지스터의 공통 접속된 타단과, 상기 버스선 사이에 접속되고, 상기 프리차지 전원 단자에 접속되어 있는 제어 단자를 갖는 제 1 도전형의 제 4의 트랜지스터를 구비하고,

상기 제 2 내지 제 4의 트랜지스터의 공통 접속점에 접속된 입력 단자를 가지며, 상기 제 3의 트랜지스터의 제어 단자 접속된 출력 단자를 갖는 제 2의 인버터를 또한 구비하고,

상기 제 2의 인버터의 출력 단자에 접속된 입력 단자를 가지며, 상기 제 2의 버스선에 접속된 입력 단자를 갖는 버퍼 회로를 또한 구비하고 있는 것을 특징으로 하는 반도체 기억 장치.

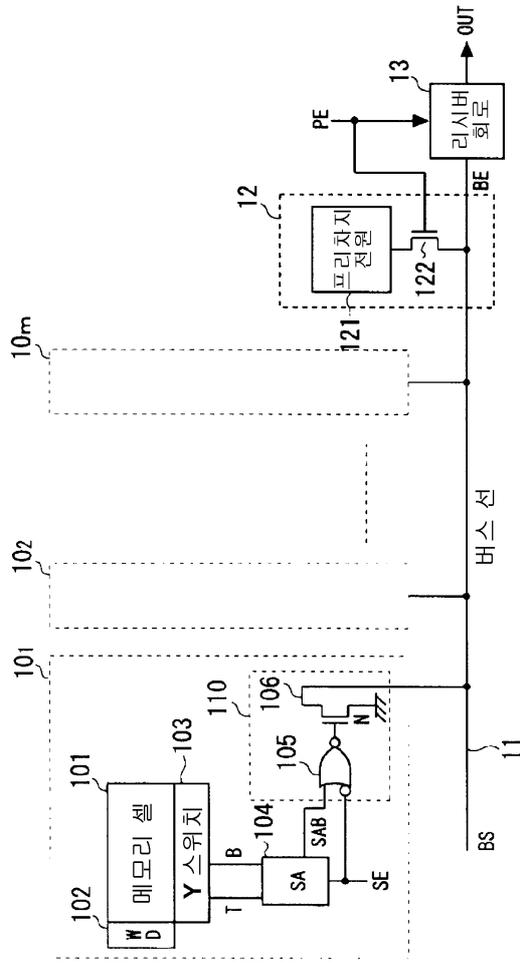
청구항 19.

제 18항에 있어서,

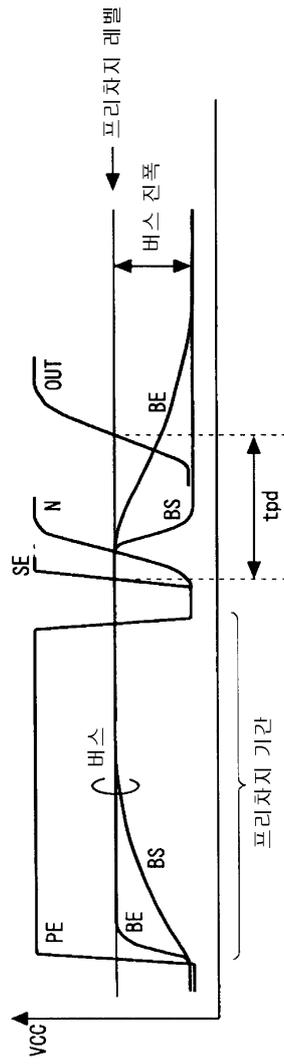
상기 버퍼 회로가 상기 제 2의 버스선과 제 2의 전원 사이에 접속되고, 상기 제 2의 인버터의 출력 단자에 접속되어 있는 제어 단자를 갖는 제 5의 트랜지스터로 이루어지는 것을 특징으로 하는 반도체 기억 장치.

도면

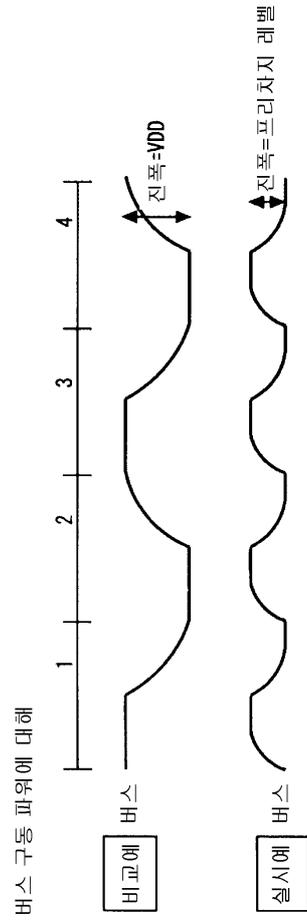
도면1



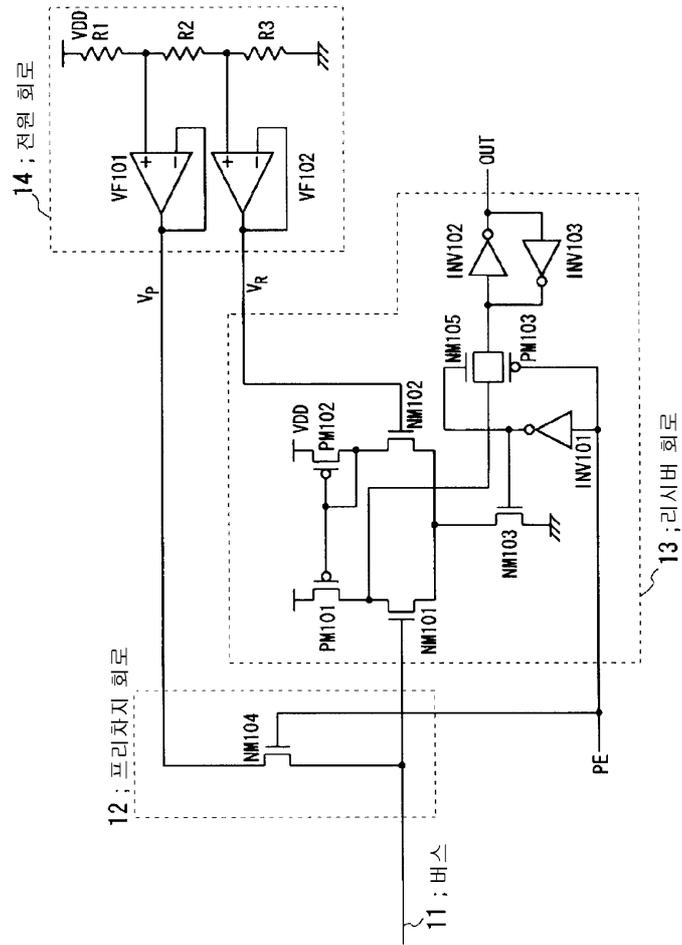
도면2



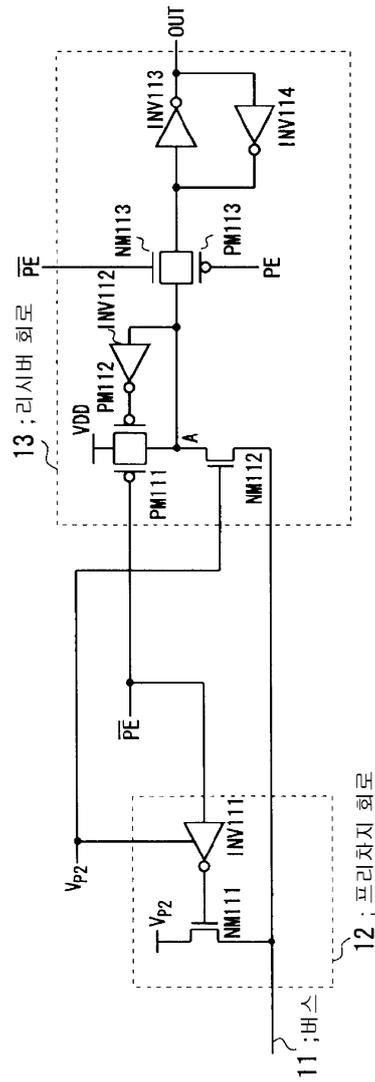
도면3



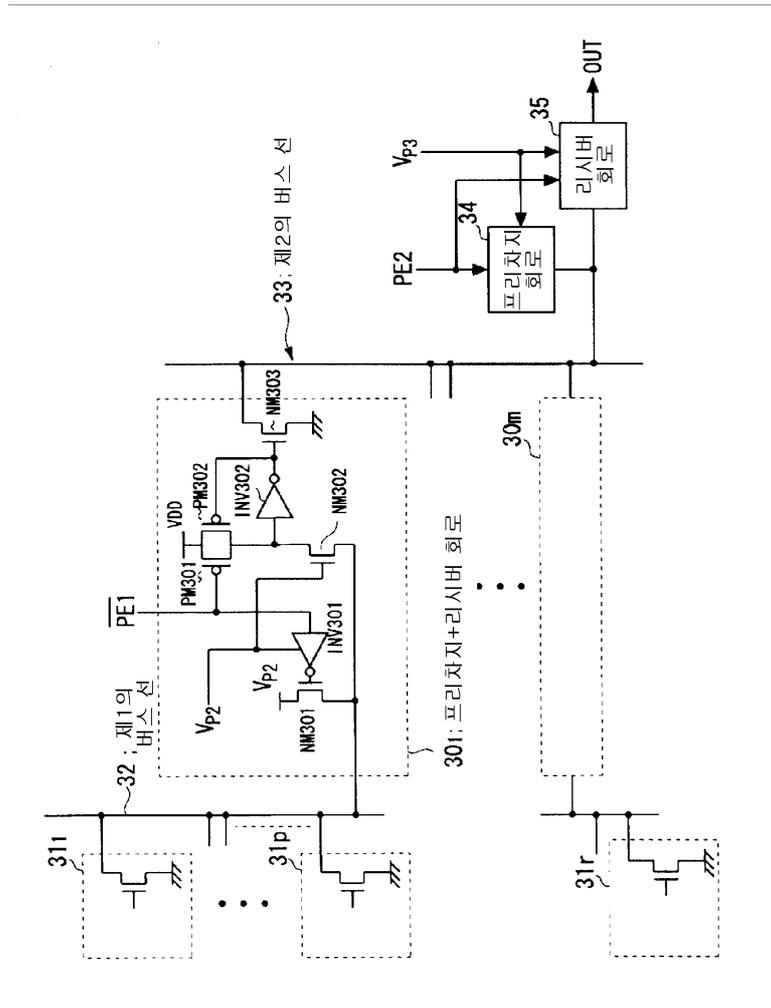
도면4



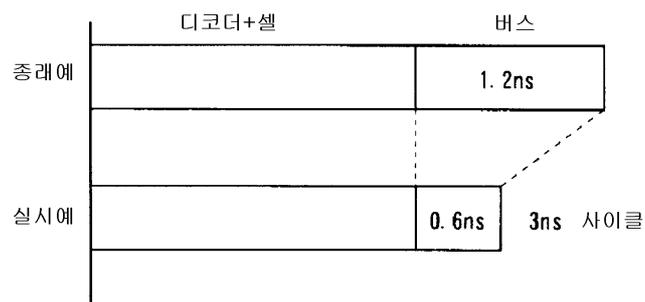
도면5



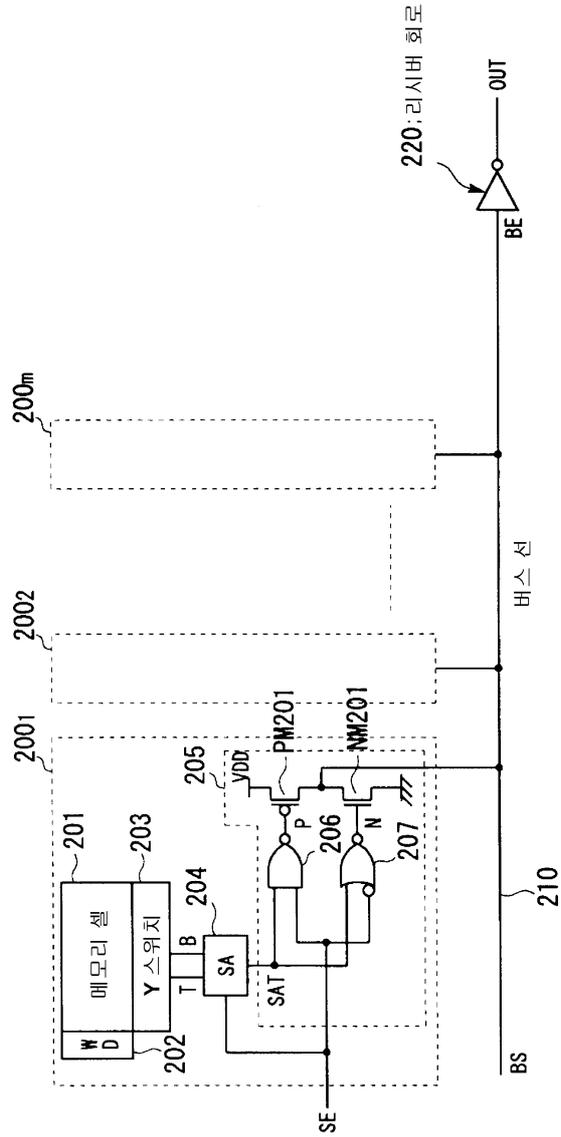
도면6



도면7



도면8



도면9

