

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-89844
(P2012-89844A)

(43) 公開日 平成24年5月10日(2012.5.10)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 U	2H092
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 6 V	4M104
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 6 1 6 K	5F110
HO 1 L 29/417 (2006.01)	HO 1 L 29/78 6 2 7 G	5F152
HO 1 L 21/20 (2006.01)	HO 1 L 21/28 3 0 1 A	

審査請求 未請求 請求項の数 20 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2011-228749 (P2011-228749)
 (22) 出願日 平成23年10月18日 (2011.10.18)
 (31) 優先権主張番号 10-2010-0102106
 (32) 優先日 平成22年10月19日 (2010.10.19)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do, Republic of Korea

(74) 代理人 100121382
 弁理士 山下 託嗣
 (74) 代理人 100175628
 弁理士 仁野 裕一

最終頁に続く

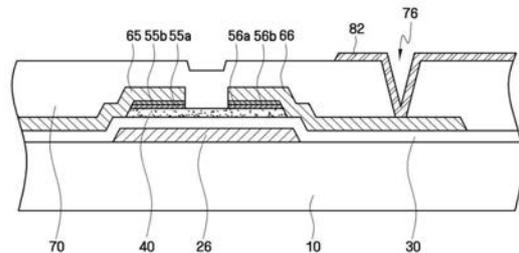
(54) 【発明の名称】 薄膜トランジスタ基板およびその製造方法

(57) 【要約】

【課題】 薄膜トランジスタ基板およびこれの製造方法を開示する。

【解決手段】 本発明の薄膜トランジスタ基板は、基板上に形成されたゲート電極、前記ゲート電極上に前記ゲート電極と重なるように形成され、多結晶シリコンを含むアクティブ層、前記アクティブ層上に前記ゲート電極を中心に両側に分離して形成された第1オーミックコンタクト層、前記第1オーミックコンタクト層上に形成された第2オーミックコンタクト層および前記第2オーミックコンタクト層上に形成されたソース電極およびドレーン電極を含む。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

基板上に形成されたゲート電極と、

前記ゲート電極上に前記ゲート電極と重なるように形成され、多結晶シリコンを含むアクティブ層と、

前記アクティブ層上に前記ゲート電極を中心に両側に分離して形成された第 1 オーミックコンタクト層と、

前記第 1 オーミックコンタクト層上に形成された第 2 オーミックコンタクト層、および前記第 2 オーミックコンタクト層上に形成されたソース電極およびドレーン電極を含む薄膜トランジスタ基板。

10

【請求項 2】

前記第 1 オーミックコンタクト層および第 2 オーミックコンタクト層はシリコンを含み、前記第 1 オーミックコンタクト層のバンドギャップ (band gap) エネルギーが第 2 オーミックコンタクト層のバンドギャップエネルギーより小さい請求項 1 に記載の薄膜トランジスタ基板。

【請求項 3】

前記アクティブ層のバンドギャップエネルギーが前記第 1 オーミックコンタクト層のバンドギャップエネルギーより小さい請求項 2 に記載の薄膜トランジスタ基板。

【請求項 4】

前記第 1 オーミックコンタクト層のバンドギャップエネルギーが $1.1 \text{ eV} \sim 1.5 \text{ eV}$ である請求項 3 に記載の薄膜トランジスタ基板。

20

【請求項 5】

前記第 1 オーミックコンタクト層は、前記第 2 オーミックコンタクト層より高い結晶化度を有する請求項 2 に記載の薄膜トランジスタ基板。

【請求項 6】

前記第 1 オーミックコンタクト層がドーピングされた微細結晶シリコンで形成された請求項 5 に記載の薄膜トランジスタ基板。

【請求項 7】

前記第 2 オーミックコンタクト層がドーピングされた非晶質シリコンで形成された請求項 6 に記載の薄膜トランジスタ基板。

30

【請求項 8】

前記第 1 オーミックコンタクト層が前記第 2 オーミックコンタクト層より高い結晶化度を有する請求項 1 に記載の薄膜トランジスタ基板。

【請求項 9】

前記第 1 オーミックコンタクト層がドーピングされた微細結晶シリコンで形成された請求項 8 に記載の薄膜トランジスタ基板。

【請求項 10】

前記第 2 オーミックコンタクト層がドーピングされた非晶質シリコンで形成された請求項 8 に記載の薄膜トランジスタ基板。

【請求項 11】

基板上にゲート電極を形成するゲート電極形成ステップと、

前記ゲート電極上にゲート絶縁膜、多結晶シリコン膜、ドーピングされた第 1 シリコン膜およびドーピングされた第 2 シリコン膜を順次に積層する多層膜形成ステップと、

前記多結晶シリコン膜をパターンニングしてアクティブ層を形成するステップ、および

前記アクティブ層の所定領域が露出するように前記ドーピングされた第 1 シリコン膜およびドーピングされた第 2 シリコン膜をパターンニングして第 1 および第 2 オーミックコンタクト層を形成するコンタクト層形成ステップを含む薄膜トランジスタ基板の製造方法。

40

【請求項 12】

前記第 1 オーミックコンタクト層のバンドギャップエネルギーが前記アクティブ層のバンドギャップエネルギーより大きく、前記第 2 オーミックコンタクト層のバンドギャップ

50

エネルギーより小さい請求項 1 1 に記載の薄膜トランジスタ基板の製造方法。

【請求項 1 3】

前記第 1 オーミックコンタクト層のバンドギャップエネルギーが $1.1 \text{ eV} \sim 1.5 \text{ eV}$ である請求項 1 2 に記載の薄膜トランジスタ基板の製造方法。

【請求項 1 4】

前記多層膜形成ステップで多結晶シリコン膜が前記ゲート絶縁膜上に非晶質シリコン膜を積層し、これを熱処理して結晶を形成したものである請求項 1 2 に記載の薄膜トランジスタ基板の製造方法。

【請求項 1 5】

前記熱処理がレーザービームによる熱処理である請求項 1 4 に記載の薄膜トランジスタ基板の製造方法。 10

【請求項 1 6】

前記第 1 オーミックコンタクト層が前記第 2 オーミックコンタクト層より高い結晶化度を有する請求項 1 1 に記載の薄膜トランジスタ基板

【請求項 1 7】

前記第 1 オーミックコンタクト層がドーピングされた微細結晶シリコンで形成された請求項 1 6 に記載の薄膜トランジスタ基板

【請求項 1 8】

前記第 2 オーミックコンタクト層がドーピングされた非晶質シリコンで形成された請求項 1 6 に記載の薄膜トランジスタ基板 20

【請求項 1 9】

前記多層膜形成ステップで多結晶シリコン膜が前記ゲート絶縁膜上に非晶質シリコン膜を積層してこれを熱処理し、結晶を形成したものである請求項 1 6 に記載の薄膜トランジスタ基板の製造方法。

【請求項 2 0】

前記熱処理がレーザービームによる熱処理である請求項 1 9 に記載の薄膜トランジスタ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ基板およびこれの製造方法に関するものである。 30

【背景技術】

【0002】

一般的には、薄膜トランジスタは、液晶表示装置や有機発光ダイオードなどの表示装置で各画素を独立的に駆動するために使用される。

【0003】

従来のディスプレイの駆動およびスイッチング素子の代表的なものとして非晶質シリコン薄膜トランジスタ (a - S i T F T) がある。非晶質シリコン薄膜トランジスタは、大型基板上で均一に素子特性が得られるという長所があるが、電子移動度が低く、動作を継続すると素子の特性が劣化するため、信頼性が低い。したがって、非晶質シリコン薄膜トランジスタは、電流を継続して流しつつ動作する有機発光ディスプレイ (O L E D) に適用することが難しい。 40

【0004】

最近では高画質の表示品質が要求されるにつれ、非晶質シリコン薄膜トランジスタに比べ、はるかに高い性能を有する素子として、多結晶シリコン薄膜トランジスタ (p o l y - S i T F T) が採用されている。

【発明の概要】

【発明が解決しようとする課題】

【0005】

非晶質シリコン薄膜トランジスタの場合、接触抵抗を減らすため、半導体層の上にドー 50

ピングされた $n + a - Si$ を蒸着するので、電子が大きい損失なしに移動することができる。しかし、多結晶シリコン薄膜トランジスタの場合、アクティブ層と $n + a - Si$ を接合すると電子障壁が大きくなるため、電子の損失を招くようになり、これによってオン電流 (on current) が減少する。また、多結晶シリコン薄膜トランジスタは、オフ電流 (off current) が非晶質シリコン薄膜トランジスタに比べ高いため、オフ状態で画素がある程度充電され、色が明確に表示されない現象が現れる。したがって、多結晶シリコン薄膜トランジスタを採用するためには、オン電流は増加させる一方、オフ電流は減少させなければならないことが必要である。

【0006】

本発明が解決しようとする課題は、電子移動度が高くすることにより、オン電流が増加する一方、オフ電流は減少する薄膜トランジスタ基板を提供することである。

10

【0007】

本発明が解決しようとする他の課題は、前記薄膜トランジスタ基板の製造方法を提供することである。

【0008】

本発明の課題は、以上で言及した課題に制限されず、言及されていないまた他の課題は、以下の記載から当業者には明確に理解することができる。

【課題を解決するための手段】

【0009】

前記課題を解決するために、本発明の一実施形態に係る薄膜トランジスタ基板は、基板上に形成されたゲート電極と、前記ゲート電極上に前記ゲート電極と重なるように形成され、多結晶シリコンを含むアクティブ層と、前記アクティブ層上に前記ゲート電極を中心に両側に分離して形成された第1オーミックコンタクト層と、前記第1オーミックコンタクト層上に形成された第2オーミックコンタクト層、および前記第2オーミックコンタクト層上に形成されたソース電極およびドレイン電極を含む。

20

【0010】

前記課題を解決するために、本発明の一実施形態に係る薄膜トランジスタ基板の製造方法は、基板上にゲート電極を形成するゲート電極形成ステップ、前記ゲート電極上にゲート絶縁膜、多結晶シリコン膜、ドーピングされた第1シリコン膜およびドーピングされた第2シリコン膜を順次に積層する多層膜形成ステップ、前記多結晶シリコン膜をパターンニングしてアクティブ層を形成するステップおよび前記アクティブ層の所定領域が露出するように前記ドーピングされた第1シリコン膜およびドーピングされた第2シリコン膜をパターンニングして第1オーミックコンタクト層および第2オーミックコンタクト層を形成するコンタクト層形成ステップを含む。

30

【0011】

その他実施形態の具体的な内容は、詳細な説明および図面に含まれているとおりである。

【発明の効果】

【0012】

本発明の実施形態に係る薄膜トランジスタ基板は、コンタクト層のバンドギャップエネルギーとアクティブ層のバンドギャップエネルギーの差を減らし、電子の移動度およびオン電流を増加させる。したがって、薄膜トランジスタの電気的特性が向上する。

40

【0013】

本発明の実施形態による薄膜トランジスタ基板は、漏洩電流 (leakage current) およびオフ電流を減少させ、ディスプレイに色が明確に表示されるようにする。

【0014】

本発明による効果は、以上で例示された内容に制限されない。本明細書に開示されている、より多様な効果も含まれる。

【図面の簡単な説明】

50

【 0 0 1 5 】

【 図 1 】本発明の一実施形態による薄膜トランジスタを含む薄膜トランジスタ基板の平面図である。

【 図 2 】図 1 に示す I - I ' 線に沿って切断した断面図である。

【 図 3 】本発明の一実施形態による薄膜トランジスタの製造方法のフローチャートである。

【 図 4 】本発明の一実施形態による薄膜トランジスタの製造方法の工程ステップ別の断面図である。

【 図 5 】本発明の一実施形態による薄膜トランジスタの製造方法の工程ステップ別の断面図である。

10

【 図 6 】本発明の一実施形態による薄膜トランジスタの製造方法の工程ステップ別の断面図である。

【 図 7 】本発明の一実施形態による薄膜トランジスタの製造方法の工程ステップ別の断面図である。

【 図 8 】本発明の一実施形態による薄膜トランジスタの製造方法の工程ステップ別の断面図である。

【 図 9 】本発明の一実施形態による薄膜トランジスタの製造方法の工程ステップ別の断面図である。

【 図 1 0 】本発明の一実施形態による薄膜トランジスタの製造方法の工程ステップ別の断面図である。

20

【 発明を実施するための形態 】

【 0 0 1 6 】

本発明の利点、特徴、及びそれらを達成する方法は、素子 (e l e m e n t s) 又は層が、異なる素子又は層の「上 (o n) 」と指称するものは、他の素子或いは層の真上だけでなく、中間に他の層又は他の素子を介在する場合を全て含む。これに対し、一つの素子が他の素子と「直接上 (d i r e c t l y o n) 」 「真上」と指称するものは中間に他の素子又は層を介在しないものを示す。「及び / 又は」は、言及したアイテムの各々及び 2 つ以上の全ての組み合わせを含む。

図面と共に詳細に後述する実施形態を参照すれば明確になるであろう。しかし、本発明は、以下に開示する実施形態に限定されるものではなく、異なる多様な形態で具現することが可能である。本実施形態は、単に本発明の開示が完全になるように、本発明が属する技術分野で通常の知識を有する者に対して発明の範疇を完全に知らしめるために提供するものであり、本発明は、請求項の範疇によってのみ定義される。図面において、層及び領域のサイズ及び相対的なサイズは、説明の明瞭性のために誇張することがある。

30

【 0 0 1 7 】

素子 (e l e m e n t s) 又は層が、異なる素子又は層の「上 (o n) 」と指称するものは、他の素子或いは層の真上だけでなく、中間に他の層又は他の素子を介在する場合を全て含む。これに対し、一つの素子が他の素子と「直接上 (d i r e c t l y o n) 」 「真上」と指称するものは中間に他の素子又は層を介在しないものを示す。「及び / 又は」は、言及したアイテムの各々及び一つ以上の全ての組み合わせを含む。

40

【 0 0 1 8 】

明細書全体において、同一参照符号は、同一構成要素を指す。また、本明細書で 사용되는すべての用語 (技術および科学的用語を含む) は、本発明が属する技術分野で通常の知識を有する者に共通に理解できる意味で使用され得るものである。また一般的に使用される辞典に定義されている用語は、明示的に特に定義されていない限り、理想的にまたは過度に解釈されない。以下、図 1 および図 2 を参照して本発明の一実施形態による薄膜トランジスタ基板について説明する。

【 0 0 1 9 】

図 1 は、本発明の一実施形態による薄膜トランジスタ基板の平面図である。図 2 は、図 1 に示す薄膜トランジスタ基板を I - I ' 線に沿って切断した断面図である。

50

【0020】

図1および図2を参照すると、本発明の一実施形態による薄膜トランジスタ基板は絶縁基板10、ゲート電極26、ゲート絶縁膜30、アクティブ層(active layer)40、第1オーミックコンタクト層(ohmic contact layer)(55a、56a)、第2オーミックコンタクト層(55b、56b)、ソース電極65、ドレーン電極66、保護膜70および画素電極82を含む。

【0021】

絶縁基板10は、透明な絶縁物質からなり、例えばガラスまたはプラスチックなどで形成され得る。絶縁基板10上にゲート線22およびデータ線62が形成され得る。ゲート線22は、第1方向、例えば横方向に延長されており、ゲート信号を伝達する役割を果たす。また、絶縁基板10はゲート線22と平行になるように形成されている維持電極(図示せず)および維持電極線(図示せず)を含んでもよい。データ線62は、第2方向、例えば縦方向に形成され、ゲート線22と交差して画素を定義することができる。ゲート線22およびデータ線62は、クロム、モリブデン系の金属、タンタルおよびチタニウムなど耐火性金属で形成され得、耐火性金属などの下部膜(図示せず)とその上に位置する低抵抗物質の上部膜(図示せず)からなる多層膜構造を有することができる。

10

【0022】

ゲート電極26は、絶縁基板10上に形成され、ゲート線22に接続して突起形態で形成され得る。ゲート電極26は、アルミニウム(Al)とアルミニウム合金などアルミニウム系の金属、銀(Ag)と銀合金など銀系の金属、銅(Cu)と銅合金など銅系の金属、モリブデン(Mo)とモリブデン合金などモリブデン系の金属、クロム(Cr)、チタニウム(Ti)、タンタル(Ta)などからなる。また、ゲート電極26は、物理的性質が異なる二つの導電膜(図示せず)を含む多重膜構造を有することができる。そのうち、一つの導電膜は、信号遅延や電圧降下を減らすことができるように低い比抵抗(resistivity)の金属、例えばアルミニウム系金属、銀系金属、銅系金属などからなり、他の導電膜は他の物質、特にITO(indium tin oxide)およびIZO(indium zinc oxide)との接触特性が優れる物質、例えばモリブデン系金属、クロム、チタニウム、タンタルなどからなる。

20

【0023】

ゲート絶縁膜30は、ゲート線22およびゲート電極26を覆うようにゲート線22およびゲート電極26上に形成される。ゲート絶縁膜30は、窒化シリコン(SiNx)または酸化シリコンなどからなる。ゲート絶縁膜30は、薄膜トランジスタチャンネルで電子の移動度を増加させ、外部に漏洩される電流を減少させる役割を果たす。

30

【0024】

アクティブ層40は、ゲート電極26と重なるようにゲート絶縁膜30上に多結晶シリコンで形成される。

【0025】

アクティブ層40が多結晶シリコンで形成されるため、非晶質シリコンで形成される場合に比べ電子移動度が増加してトランジスタの電気的特性が向上することができる。また、数十~数百 cm^2/Vs の高い電子移動度を有するため、高画質ディスプレイに適用できる性能を有し、動作による劣化特性を改善することができる。

40

【0026】

アクティブ層40は、非晶質シリコン膜をプラズマ化学気相蒸着(plasma chemical vapor deposition、PECVD)または低圧気相蒸着(low pressure CVD)などの方法により蒸着した後、これを再び結晶化する方法により形成され得る。前記結晶化方法は、当業界に公知された方法を利用することができる。具体的にレーザ熱処理(laser annealing)、固相結晶化(solid phase crystallization)または金属誘導結晶化(metal induced crystallization)などの方法を利用することができる。

50

【0027】

アクティブ層40は、島状、直線形状などのように多様な形状を有することができ、図2はゲート絶縁膜30上に島状で形成された場合を例示する。

【0028】

第1オーミックコンタクト層(55a、56a)はアクティブ層40上に形成され、第2オーミックコンタクト層(55b、56b)は第1オーミックコンタクト層(55a、56a)上に形成される。すなわち、本発明の一実施形態による薄膜トランジスタ基板はオーミックコンタクト層が二重層で形成されている。

【0029】

第1オーミックコンタクト層(55a、56a)と第2オーミックコンタクト層(55b、56b)はシリコンを含み、第1オーミックコンタクト層(55a、56a)は第2オーミックコンタクト層(55b、56b)よりバンドギャップ(band gap)エネルギーが小さくてもよい。第1オーミックコンタクト層(55a、56a)が第2オーミックコンタクト層(55b、56b)よりバンドギャップエネルギーが小さい場合、アクティブ層40と第2オーミックコンタクト層(55b、56b)のバンドギャップエネルギーの差よりアクティブ層40と第1オーミックコンタクト層(55a、56a)のバンドギャップエネルギーの差が減少して電子障壁も減少する。結果的に電子がアクティブ層40でソース電極65およびドレーン電極65に移動するとき、電子の移動度が増加し、オン電流も増加して、トランジスタの電気的特性を向上させることができる。ここで、バランスバンドは電子らが拘束されているエネルギー帯域を意味し、伝導バンドは電子らが自由に移動可能なエネルギー帯域を意味し、前記バンドギャップエネルギーは前記バランスバンドおよび伝導バンドとの間のエネルギー準位の差異値を意味する。

【0030】

第1オーミックコンタクト層(55a、56a)のバンドギャップエネルギーは、1.1eV~1.5eVであり得る。

【0031】

アクティブ層40が多結晶シリコンで形成される場合、アクティブ層40のバンドギャップエネルギーは約1.1eVである。一方、非晶質シリコン(amorphous silicon、a-Si)のバンドギャップエネルギーは1.6eV以上であり、アクティブ層40と約0.5eV以上のバンドギャップエネルギーの差が存在する。したがって、多結晶シリコンで形成されたアクティブ層上に不純物がドーピングされた非晶質シリコン層を形成する場合、電子障壁が大きくなり、電子の移動度が減少する。本発明の一実施形態による第1オーミックコンタクト層(55a、56a)のバンドギャップエネルギーは、1.1eV~1.5eVであり、アクティブ層40のバンドギャップエネルギーよりは高いが、非晶質シリコンのバンドギャップエネルギーよりは低い。したがって、アクティブ層40と第1オーミックコンタクト層(55a、56a)のバンドギャップエネルギーの差はアクティブ層40と第2オーミックコンタクト層(55b、56b)のバンドギャップエネルギーの差より減少し、これにより電子障壁が減少する。結果的に電子の移動度が増加してオン電流も増加し、トランジスタの電気的特性が向上することができる。

【0032】

第1オーミックコンタクト層(55a、56a)は結晶を含むドーピングされたシリコンで形成され得る。

【0033】

多結晶シリコンと非晶質シリコンは、格子構造に差異がある。したがって、アクティブ層40が多結晶シリコンで形成される場合、オーミックコンタクト層を結晶性がない非晶質シリコンで形成する場合、格子構造の差異によるストレス差異が発生し、オン電流が低下する一方、膜の間の接触特性も低下する。本発明の一実施形態による薄膜トランジスタの第1オーミックコンタクト層(55a、56a)は結晶性を有するドーピングされたシリコンで形成され、アクティブ層40を形成する多結晶シリコンと格子構造の差異を減らしてオン電流の損失を減少させることができる。

【0034】

第1オーミックコンタクト層(55a、56a)はドーピングされた微細結晶シリコンで形成され得る。

【0035】

前記微細結晶シリコン(microcrystalline silicon、mc-Si)は、非晶質マトリックス(matrix)内に結晶粒子が分散している形態で結晶粒子のサイズは数 μm で多結晶シリコン結晶(grain)の結晶粒(grain boundary)に比べて非常に小さい。前記微細結晶シリコンは、ある程度結晶化度を有しているため、前記多結晶シリコンとの格子構造の差異を減らしてオン電流の損失を減少させることができる。

10

【0036】

第2オーミックコンタクト層(55b、56b)は、第1オーミックコンタクト層(55a、56a)上に不純物がドーピングされた非晶質シリコンで形成され得る。

【0037】

アクティブ層40が多結晶シリコンで形成される場合、非晶質シリコンで形成される場合より漏洩電流(leakage current)が100倍~1000倍程度高い。これによってオフ電流が増加してオフ状態であるとき、画素が充電されるため、色が明確に表現されない。前記オフ電流に影響を及ぼすのは正孔(hole)である。第2オーミックコンタクト層(55b、56b)のドーピングされた非晶質シリコンは、高いバンドギャップエネルギーを有するため、正孔の移動を邪魔する。したがって、オフ電流を減少させてディスプレイで色が明確に表示できるようにすることができる。

20

【0038】

第1オーミックコンタクト層(55a、56a)および第2オーミックコンタクト層(55b、56b)は島状、直鎖状などのように多様な形状を有することができ、例えば図2に図示するように島状の場合、第1オーミックコンタクト層(55a、56a)および第2オーミックコンタクト層(55b、56b)はドレーン電極66およびソース電極65の下に位置し得る。

【0039】

ソース電極65は、第1オーミックコンタクト層(55a、56a)およびゲート絶縁膜30上に形成され、データ線62の分枝として第2オーミックコンタクト層(55b、56b)の上部まで延長されている形態である。ソース電極65は、アクティブ層40と少なくとも一部分が重なる。

30

【0040】

ドレーン電極66は、ソース電極65と隔離されてソース電極65の向かい側の第2オーミックコンタクト層(55b、56b)およびゲート絶縁膜30上に形成される。ドレーン電極66はゲート電極26を中心にソース電極65と対向し、アクティブ層40と少なくとも一部分が重なる。ソース電極65およびドレーン電極66の間の露出したアクティブ層40には電子らが容易に移動できるチャンネルが形成され得る。

【0041】

保護膜70は、データ線62、ソース電極65、ドレーン電極66および露出したアクティブ層40上に形成されており、絶縁膜からなる。保護膜70は、窒化シリコンまたは酸化シリコンからなる無機物、平坦化特性が優れ、かつ感光性(photosensitivity)を有する有機物またはプラズマ化学気相蒸着で形成されるa-Si:C:O、a-Si:O:Fなどの低誘電率絶縁物質などで形成され得る。また、保護膜70は有機膜の優れた特性を生かしながらも露出したアクティブ層40を保護するため、下部無機膜と上部有機膜の二重膜構造を有することができる。保護膜70にはドレーン電極66を露出させるコンタクトホール76が形成されている。

40

【0042】

画素電極82は、保護膜70の上に形成され、画素ごとにコンタクトホール76を介して薄膜トランジスタのドレーン電極66と電氣的に接続する。すなわち、画素電極82は

50

、コンタクトホール76を介してドレーン電極66と物理的・電氣的に接続され、ドレーン電極66からデータ電圧の印加を受ける。画素電極82は、透明な導電性物質、例えばITOまたはIZOなどで形成され得る。画素電極82および保護膜70の上には液晶分子を配向できる配向膜(図示せず)が塗布され得る。以下、本発明の一実施形態による薄膜トランジスタ基板の製造方法について図3~10を参照して詳細に説明する。

【0043】

図3は、本発明の一実施形態による薄膜トランジスタ基板の製造方法のフローチャートである。図4~図10は、本発明の一実施形態による薄膜トランジスタ基板の製造方法の工程の各ステップの断面図である。

【0044】

図3を参照すると、本発明による一実施形態による薄膜トランジスタの製造方法は、ゲート電極形成ステップ(S10)、多層膜形成ステップ(S20)、アクティブ層形成ステップ(S30)、導電膜形成ステップ(S40)およびコンタクト層形成ステップ(S50)を含む。

【0045】

ゲート電極形成ステップ(S10)は、図4に図示するように、基板10上にゲート電極26を形成するステップである。

【0046】

具体的に、基板10上に例えば、スパッタリングなどの方法で金属層を形成し、前記金属層をフォトリソグラフィ(photolithography)工程を利用してパターンニングしてゲート電極26を形成するステップである。

【0047】

基板10は、ガラス、石英またはプラスチックなどの絶縁基板であり、金属層はアルミニウムとアルミニウム合金などアルミニウム系の金属、銀と銀合金など銀系の金属、銅と銅合金など銅系の金属、モリブデンとモリブデン合金などモリブデン系の金属、クロム、チタニウム、タンタルなどからなる。

【0048】

多層膜形成ステップ(S20)は、図5に図示するように、ゲート電極26上にゲート絶縁膜30、多結晶シリコン膜41、ドーピングされた第1シリコン膜51'およびドーピングされた第2シリコン膜52'を形成するステップである。

【0049】

具体的には、ゲート電極26の上部に酸化膜または窒化膜などのゲート絶縁膜30、多結晶シリコン膜41、結晶を含むドーピングされた第1シリコン膜51'およびドーピングされた第2シリコン膜52'をプラズマ化学気相蒸着などの方法で順次に積層するステップである。

【0050】

多結晶シリコン膜41は、多結晶シリコンを直接蒸着して形成するか、または非晶質シリコンを所定の方法で蒸着した後、これをまた結晶化する方法を利用することができる。前記結晶化方法は、当業界に公知された方法を利用してもよいが、図6および図7に図示するように、ゲート絶縁膜30上に非晶質シリコン膜(41')をプラズマ化学気相蒸着などの方法で形成し、これを熱処理して多結晶シリコン膜41を形成することができる。前記熱処理は、有機基板などに損傷を与えないレーザを利用する方法で行われる。レーザによる熱処理方法は、具体的には、図6に図示するように非晶質シリコン膜(41')に局部的に高いエネルギーのレーザを照射する方法である。レーザビームは、非晶質シリコン膜(41')を瞬間的に加熱し、液体状態で熔融させる。熔融された非晶質シリコンは、再び固体になる過程で結晶化され、多結晶シリコンで相変化を起こし、その結果、図7に図示するように比較的高い電子移動度を有する多結晶シリコン膜41が形成され得る。このとき、照射したレーザのエネルギーは基板上部にのみ集中するため、基板には多くの熱エネルギーが伝達されず有機基板を使用する工程にも適用が可能である。

【0051】

10

20

30

40

50

ドーピングされた第1シリコン膜51'は結晶を含み、具体的にドーピングされた微細結晶シリコンで形成され得る。前記微細結晶シリコン膜は、原子らが規則的に配列された結晶上の粒子が含まれた薄膜を非晶質薄膜と類似の工程から得ることができる。

【0052】

ドーピングされた微細結晶シリコン膜は非晶質シリコンを蒸着する装置と同一装置内で、蒸着と共に結晶化を行い形成され得る。具体的には、CVDチェンバ内に基板を入れてシランガス(SiH_4)と水素ガス(H_2)を注入して蒸着を行う。このとき、蒸着と共に結晶化が成されるように前記水素ガスをシランガスに比べ約30倍程度多く注入する。チェンバ内部に注入されたシランガスと水素ガスは、RFパワーによって分解された後、蒸着される間シリコンは非晶質状態ではない格子構造が一定の微細な結晶質状態となる。また、結晶性を増加させるため、微細シリコン結晶からなるシード層(seed layer)を形成した後、蒸着および結晶化を行うことができる。このとき、水素は蒸着されるシリコン層に連続して衝突しながら、シリコンと水素の結合を切ると共に結合が弱いシリコンとシリコンの結合を切る。したがって、強く結合されたシリコン層のみが連続して積層して結晶化が起きる。不純物がドーピングされた微細結晶シリコン膜は、前記CVDチェンバ内にホスフィンガス(PH_3)またはジボランガス(B_2H_6)を注入して形成することができる。

10

【0053】

ドーピングされた第1シリコン膜51'のバンドギャップエネルギーは1.1eV~1.5eVであり得る。多結晶シリコン膜41のバンドギャップエネルギーは、約1.1eVであるので、ドーピングされた第1シリコン膜51'のバンドギャップエネルギーが1.1eV~1.5eVである場合、多結晶シリコン膜41とのバンドギャップを減らし、電子移動度を増加させることができる。

20

【0054】

ドーピングされた第2シリコン膜52'は、非晶質シリコンで形成され得、非晶質シリコンのバンドギャップエネルギーは約1.6eV以上である。

【0055】

アクティブ層の形成ステップ(S30)は、図8に図示するように前記多層膜形成ステップ(S20)後、前記ゲート絶縁膜30上に位置する膜をパターニングしてアクティブ層40を形成するステップである。

30

【0056】

具体的には、ドーピングされた非晶質シリコン膜52'上に感光膜を形成して露光して感光性パターンを形成した後、多結晶シリコン膜41、ドーピングされた第1シリコン膜51'およびドーピングされた第2シリコン膜52'をエッチングして島状のアクティブ層40と結晶性を有するドーピングされたシリコン膜パターン51およびドーピングされた非晶質シリコン膜パターン52を形成するステップである。前記エッチングは、当業界に公知された通常の方法で行われ得、具体的には乾式エッチングなどで行われ得る。図8は、島状のアクティブ層40と結晶性を有するドーピングされたシリコン膜パターン51およびドーピングされた非晶質シリコン膜パターン52を例示する。

40

【0057】

導電膜形成ステップ(S40)は、図9に図示するようにドーピングされた非晶質シリコン膜パターン52上に導電膜60を形成するステップである。

【0058】

具体的には、ドーピングされた第2シリコン膜パターン52上に、例えば、スパッタリングなどの方法で金属層を積層して導電膜60を形成する。前記金属層はクロム、モリブデン系の金属、タンタルおよびチタニウムなど耐火性金属からなるのが好ましく、耐火性金属などの下部膜(図示せず)とその上に位置する低抵抗物質上部膜(図示せず)からなる多層膜構造を有することができる。

【0059】

コンタクト層形成ステップ(S50)は、図10に図示するようにアクティブ層40の

50

所定領域が露出するようにアクティブ層 40 の上部に位置する膜をパターンングしてコンタクト層を形成するステップである。

【0060】

具体的には、ドーピングされた第1シリコン膜パターン 51、ドーピングされた第2シリコン膜パターン 52 および導電膜 60 の上部に、感光膜を塗布して露光し、感光性パターンを形成した後、導電膜 60 をエッチングしてソース電極 65 およびドレイン電極 66 を形成する。ソース電極 65 およびドレイン電極 66 の生成した後、露出されたドーピングされた第1シリコン膜パターン 51 およびドーピングされた第2シリコン膜パターン 52 をエッチングし、ゲート電極 26 を中心に両側に分離された第1オーミックコンタクト層 (55a、56b) および第2オーミックコンタクト層 (55b、56b) を形成する一方、第1オーミックコンタクト層 (55a、56b) および第2オーミックコンタクト層 (55b、56b) の間のアクティブ層 40 を露出させる。前記露出したアクティブ層 40 の表面を安定化するために酸素プラズマを実施することもできる。前記エッチング工程などについては当業界に公知された方法を利用するとよい。

10

【0061】

本発明の一実施形態による薄膜トランジスタ基板の製造方法によって、上記のように多結晶シリコンで形成されたアクティブ層 40 および結晶を含むドーピングされたシリコンで形成された第1オーミックコンタクト層 (55a、56b) とドーピングされた非晶質シリコンで形成された第2オーミックコンタクト層 (55b、56b) の二重層のオーミックコンタクト層を含む薄膜トランジスタを製造することができる。また、このような方法で第1オーミックコンタクト層 (55a、56b) のバンドギャップエネルギーがアクティブ層 40 のバンドギャップエネルギーより大きく、第2オーミックコンタクト層 (55b、56b) のバンドギャップエネルギーより小さい薄膜トランジスタ基板が製造される。

20

【0062】

本発明の一実施形態による薄膜トランジスタ基板は、アクティブ層 40 が多結晶シリコンで形成され、電子移動度が高くかつ劣化特性が改善される一方、多結晶シリコンとバンドギャップエネルギーの差が小さいシリコンで第1オーミックコンタクト層を形成し、電子移動時の電子損失が小さいため、オン電流を増加させることができる。また、非晶質シリコンで形成された第2オーミックコンタクト層により、ソース電極およびドレイン電極に正孔の注入を抑制し、オフ電流を減少させることができる。

30

【0063】

以上、添付する図面を参照して本発明の実施形態について説明したが、本発明が属する技術分野における通常の知識を有する者には、本発明がその技術的思想や必須の特徴を変更しない範囲で他の具体的な形態で実施され得ることが理解できる。したがって、上記実施形態はすべての面で例示的なものであり、限定的ではないものと理解しなければならない。

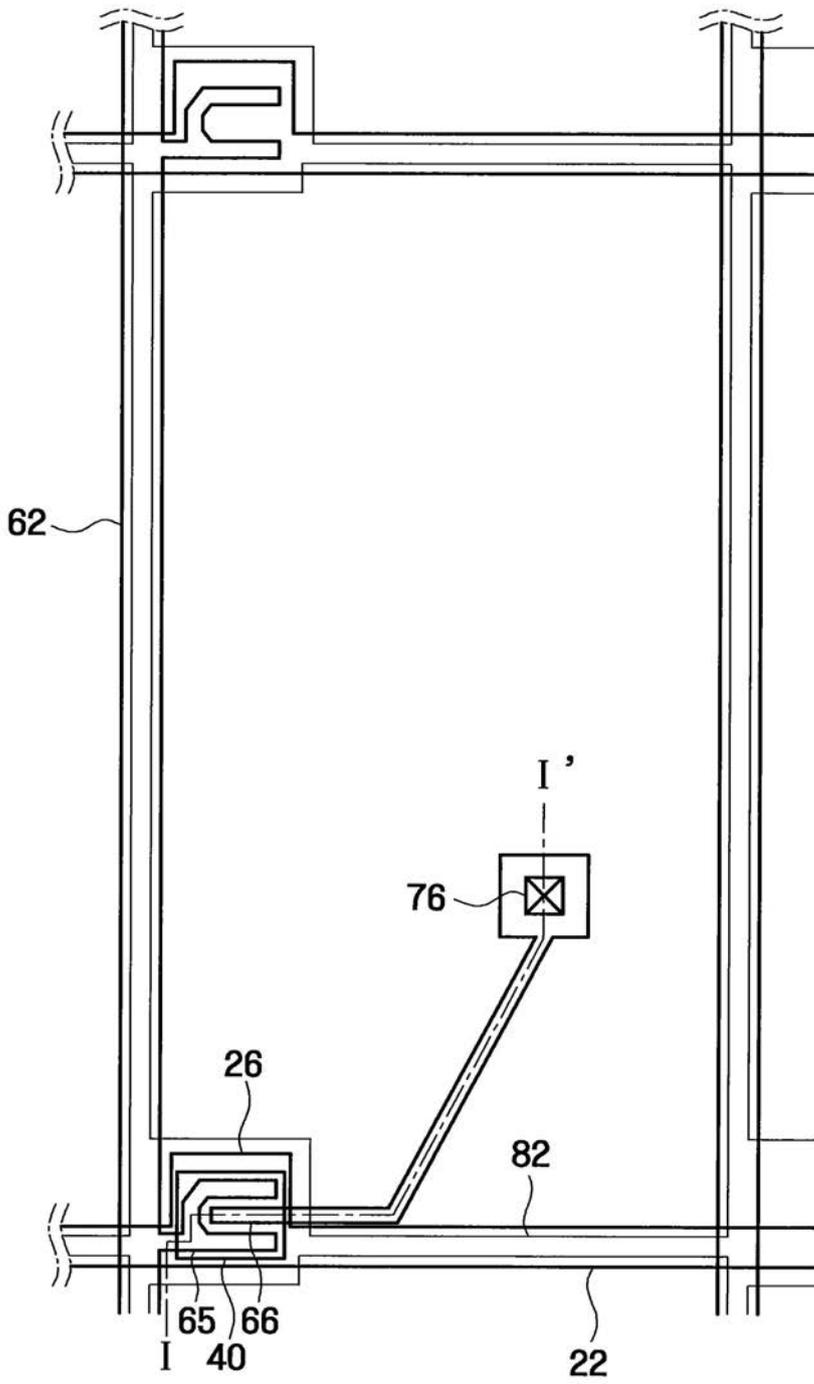
【符号の説明】

【0064】

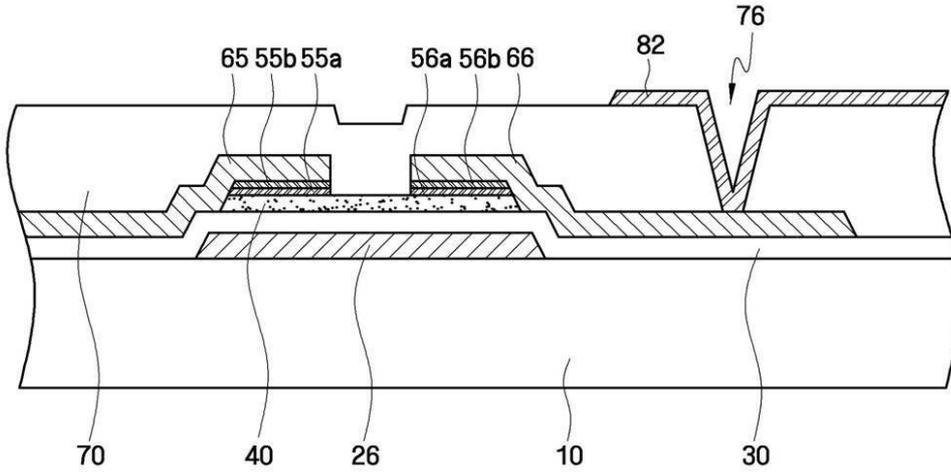
- 10 絶縁基板
- 26 ゲート電極
- 30 ゲート絶縁膜
- 40 アクティブ層
- 55a、56a 第1オーミックコンタクト層
- 55b、56b 第2オーミックコンタクト層
- 65 ソース電極
- 66 ドレイン電極
- 70 保護膜
- 82 画素電極

40

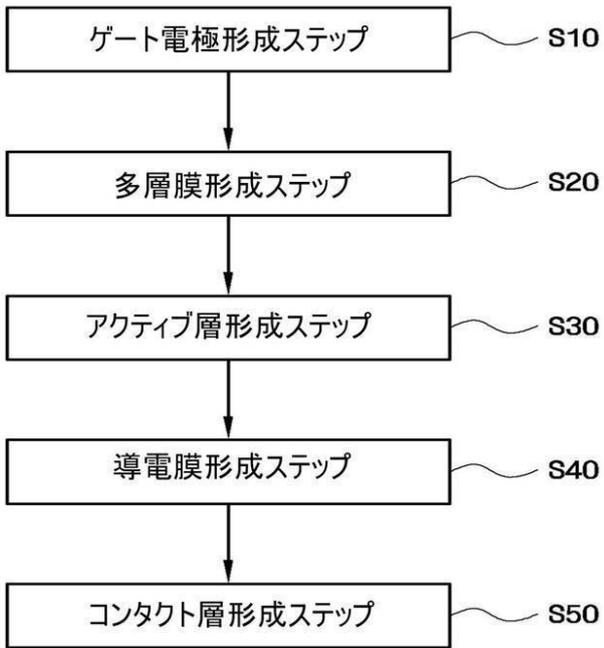
【 図 1 】



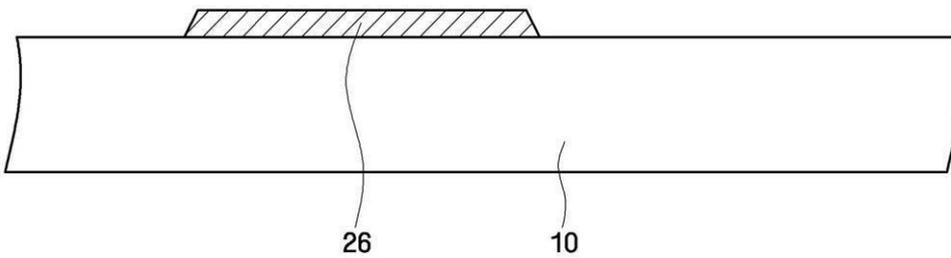
【図2】



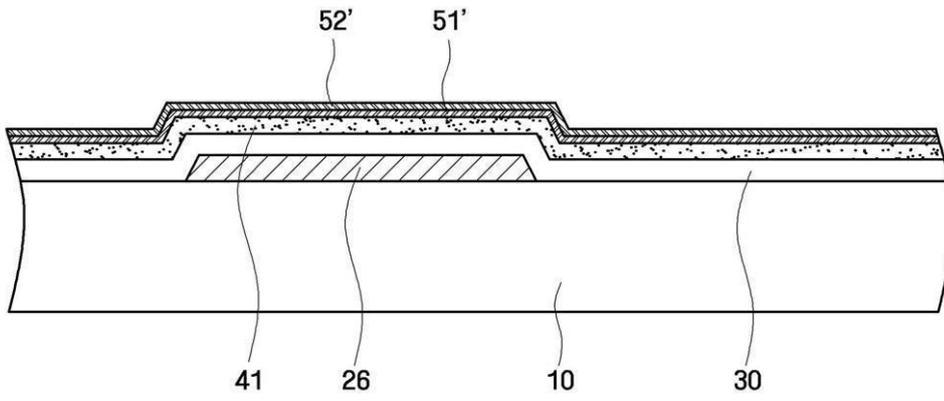
【図3】



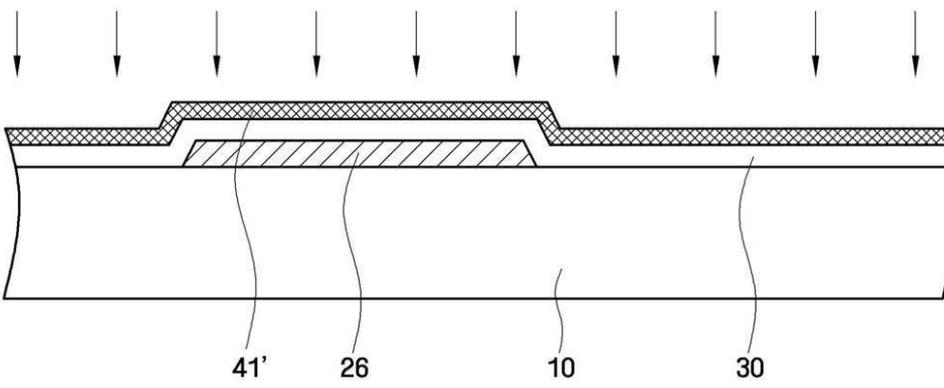
【図4】



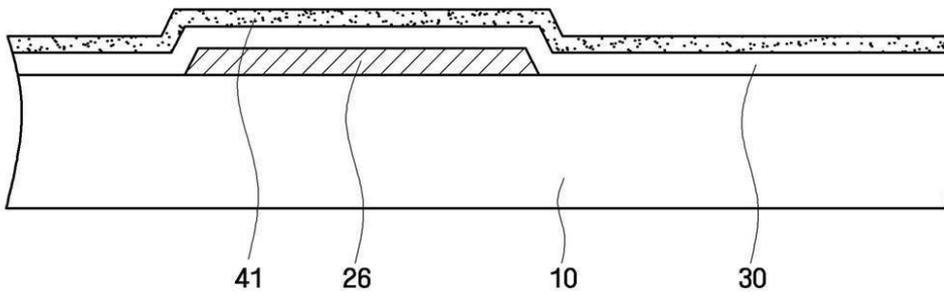
【 図 5 】



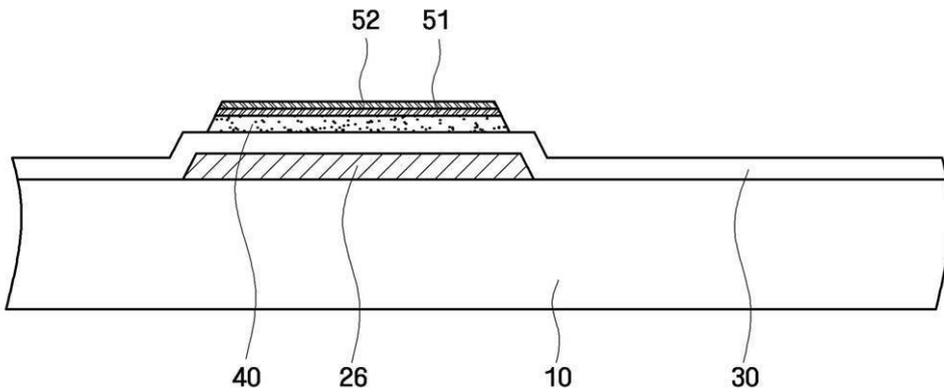
【 図 6 】



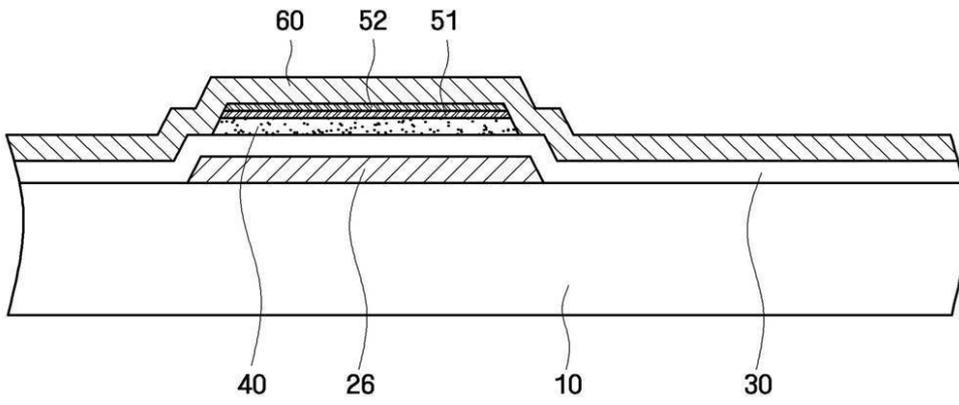
【 図 7 】



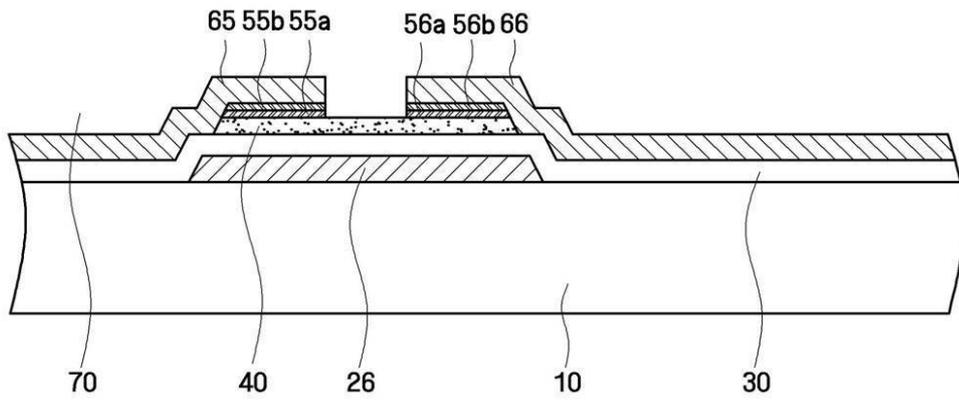
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
G 0 2 F 1/1368 (2006.01) H 0 1 L 29/50 M
 H 0 1 L 21/20
 G 0 2 F 1/1368

(72)発明者 金 周 漢

大韓民国京畿道龍仁市器興區寶亭洞三星アパート7次704棟402號

(72)発明者 任 完 淳

大韓民国忠 清 南道天安市西北區雙龍2洞現代アイパークホームタウンアパート202棟201號

(72)発明者 李 宰 學

大韓民国ソウル特別市廣津區華陽洞21-2, ブラウンストーンアパート606號

(72)発明者 權 世 明

大韓民国京畿道城南市盆唐區亭子洞ハンソルマウルチョングアパート112棟705號

(72)発明者 具 素 英

大韓民国仁川廣域市富平區富平5洞, 10-803

Fターム(参考) 2H092 GA29 JA26 JA40 JA46 JA47 KA04 KA05 KA10 KA12 KA18
 KB04 KB24 KB25 MA04 MA05 MA07 MA13 MA27 MA30 NA21
 NA22
 4M104 AA01 AA08 AA09 BB01 BB02 BB04 BB08 BB13 BB14 BB16
 BB17 BB40 CC01 DD43 DD45 DD55 DD65 FF13 GG08 GG14
 HH15 HH20
 5F110 AA01 AA03 AA06 BB01 CC07 DD01 DD02 DD03 EE02 EE03
 EE04 EE06 EE14 EE44 FF02 FF03 GG02 GG13 GG45 GG58
 HK04 HK09 HK15 HK16 HK17 HK22 HK25 HK33 HK35 HL07
 NN02 NN03 NN23 NN24 NN27 NN35 NN72 PP03 PP34
 5F152 AA20 BB03 CC02 CC04 CD13 CD14 CD17 CD24 CE04 CE05
 CE13 CE14 CE35 FF01 FF28 FF29