

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號 **93121887**

※ 申請日期：93-7-22 ※IPC 分類：H01L 21/10 (2006.01)

一、發明名稱：(中文/英文)

使用自行校準之整流組件的奈米級記憶體元件及其製造方法

NANOMETER-SCALE MEMORY DEVICE UTILIZING SELF-ALIGNED RECTIFYING ELEMENTS
AND METHOD OF MAKING

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

惠普研發公司/HEWLETT-PACKARD DEVELOPMENT COMPANY, L.P.

代表人：(中文/英文)

凱利 蓋伊 J./KELLEY, GUY J.

住居所或營業所地址：(中文/英文)

美國德州休士頓市S. H. 249 20555號/20555 S. H. 249, HOUSTON, TEXAS 77070, USA

國 籍：(中文/英文)

美國/USA

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 史塔席克 詹姆斯/STASIAK, JAMES

2. 彼得 凱文 F./PETERS, KEVIN F.

3. 吳 珍妮佛/WU, JENNIFER

4. 柯尼洛威斯 帕維爾/KORNILOVICH, PAVEL

5. 陳洋/CHEN, YONG

國 籍：(中文/英文)

1.-3. 5. 美國/USA

4. 俄羅斯/RU

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國: 2004,01,27: 10/765,799

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

發明領域

本發明係有關包含多數自行校準之奈米整流元件的記憶裝置及其製造方法。

【先前技術】

發明背景

過去數年來，對更便宜且更輕的可攜式電子裝置之需求已導致製造耐用、較輕、低成本的電路包括高密度記憶晶片的需求逐增。固態的記憶元件典型具有奈秒級的讀寫速度，然而其一般已能達到十億(G)位元組的儲存容量。相反地，大量儲存裝置通常具有一旋轉的媒體，且會有儲存數百億資料的容量，但它們卻僅有毫秒級的讀寫速度。

製造高容量儲存系統的能力典型會受限於需要使用可移動或旋轉的構件，其相較於電路技術是為一較慢的方法。此外，可靠度亦為另一問題，為能減少讀寫時間該等可動或旋轉構件會儘可能地以最高速度來使用。且，若該電子裝置被使用於可攜式器材中，該系統的耐衝擊性典型亦為一限制。功率消耗，整體重量和尺寸，及成本等亦皆為限制儲存系統的因素。

通常，矽基記憶裝置會包含使用許多料層的複雜結構。該各料層必須被沈積及界定來製成該層的所需結構，故各層會使該半導體裝置帶來較高的成本。此外，該等複雜的結構通常會造成該半導體基材每單位面積之邏輯胞元

的數目減少，而導致一定晶片尺寸的資料儲存密度減低。大致而言，在過去30年來，微電子元件之容量幾呈固定指數的增加已使運算、傳訊、及信號處理能力等產生前所未有的進步。而且，此複雜性的增加已驅使積體電路元件的

5 細構尺寸對應地縮小，其典型係依循摩爾定律(“Moore’s Law”)。但是，積體電路的細構尺寸之持續縮減，在奈米範圍內已逐漸變得更為困難，且可能接近一極限，因為有物理和經濟上的原因。

解決構製奈米級元件之問題的習知方法典型分成兩大

10 類，其一可概稱為新圖案化技術，另一則使用具有奈米級尺寸的新材料。新圖案化技術包括利用輻射的投影系統，及使用粒子束的直接寫入系統，或掃描探針等。某些較新的高解折度投影系統需要昂貴的輻射源，例如同步加速器等。另一方面，該直接寫入系統典型在個別寫入各結構時

15 需要一連串的製程，而有異於使用投影系統可一次曝光許多結構。故，直接寫入系統相較於投影系統會具有較低甚多的產能，而會增加製造複雜性及/或成本。

近來具有半導體特性和奈米級尺寸的新材料已被合成並製設於奈米級元件中。但是，在該等奈米級材料被製成

20 之後，它們通常會被任意排列，例如一端隨機地固接於一基材，或兩端皆未固定。此隨機性以及實際操控奈米構件的困難度會對可重複及實用的奈米元件之製造帶來甚大的挑戰。

假使這些問題繼續存在，則過去數十年來對使用於電子

裝置中之更便宜、更高速、更高密度、及更低功率的積體電路之持續成長將不可能達成。

【發明內容】

發明概要

5 本發明係為一種記憶裝置，包含：一基材；多數自行校準的奈米整流元件，具有：多數的第一電極線設在該基材上；多數的裝置結構物設在該等第一電極線上而形成前述之多數自行校準的奈米整流元件，且各裝置結構物具有至少一側邊尺寸小於75奈米；多數的奈米儲存結構物設在
10 該等裝置結構物上，並在至少一方向與之自行對準；及多數的第二電極線設在該等奈米儲存結構物上，並與之電連接及自行對準，而來形成一記憶裝置。

 本發明亦為一種記憶裝置，包含：一基材；整流裝置包含第一導線互相平行地設在該基材上，該整流裝置會自
15 動對準該等導線，且該整流裝置具有至少一側邊尺寸小於75奈米；一裝置可將一資料位元儲存在各儲存元件中，而覆設在第一組導線上並自行對準於該整流裝置；及一裝置可電定址該等儲存元件，其中該各儲存元件會與該電定址裝置自行對準，且該電定址裝置與第一組導線之各交叉點
20 處會形成一記憶結構的邏輯胞元。

 本發明又為一種製造交叉桿裝置的方法，包含：奈米印製一設在一裝置結構層上的第一奈米印製層，該裝置結構層設在一第一可定址層上，而該第一可定址層設在一基材上；由該第一可定址層和裝置結構層製成許多自行校準

的奈米整流元件，各整流元件具有至少一側邊尺寸小於75奈米；奈米印製一設在一導電層或一儲存媒體層上的第二奈米印製層，該儲存媒體層設在該等奈米整流元件上；及製成多數自行校準的奈米儲存結構物，各儲存結構物具有

5 至少一側邊尺寸小於75奈米。

圖式簡單說明

第1a圖為本發明一實施例之記憶裝置的立體圖。

第1b圖為第1a圖的記憶裝置之一元件的截面圖。

第2圖為本發明一可行實施例的記憶裝置之一元件的

10 截面圖。

第3圖為本發明一可行實施例的記憶裝置之一元件的截面圖。

第4圖為本發明一可行實施例的記憶裝置之一元件的截面圖。

第5圖為一用來製造本發明實施例之記憶裝置的製法

15 流程圖。

第6a~6n圖係用來製造本發明實施例之不同製程的截面圖。

第7a~7h圖係用來製造本發明實施例之不同製程的截

20 面圖。

【實施方式】

較佳實施例之詳細說明

本發明係提供具有奈米級接面尺寸之自行校準的交叉佈線裝置之設計和製法。本發明亦提供一種可製造多種記

憶裝置的方法，該等記憶裝置含有自行校準的整流接面設於該裝置中，其會與儲存媒體元件或切換元件串聯，而來消滅通常可見於大部份交叉桿式記憶裝置中的串通或潛通路問題。此外，該儲存媒體元件可自行對準於整流接面。

- 5 本發明亦能使該材料及摻雜程度針對各層來最佳化，而提供一種方法可最佳化該裝置中之各層或結構的性能。許多種整流接面，例如pn二極體，p-i-n二極體，肖特基(Schottky)二極體，金屬/絕緣體/金屬整流結構等，皆可利用本發明的方法來製成。此外，許多種的儲存或切換層，譬如有機或
- 10 聚合物電荷吸收層，相變層，鐵電層，可逆金屬絲層，及分子單層等皆為可應用本發明的一些記憶或切換層之例。

- 應請瞭解該等圖式並非實際比例。且，該等主動元件之不同部份亦未依比例繪製。某些尺寸會相較於其它尺寸更為放大，以便對本發明提供更清楚的說明和瞭解。此外，
- 15 雖某些實施例係以二維視圖來表示，而使不同區域具有深度和寬度，惟應可清楚瞭解該等區域僅為一裝置之某部份的圖示，而該裝置實際上為一三維結構。因此，該等區域當被製成於一實際裝置上時，將會具有三維尺寸，包括長度、寬度和深度等。

- 20 本發明之一實施例的交叉桿記憶結構100係呈立體圖示於第1a圖中。第一電極或可定址線132等係被列設在基材120上且互相平行。裝置結構物136等係設在第一可定址線132上。該等裝置結構物136和第一電極線132會形成自行對準的奈米級整流元件102。第一電極線132和裝置結構物136

的線寬131係小於75奈米(nm)。此外，切換線142等係設在裝置結構物136上，且互相平行而垂直於第一電極線132等。最後，第二電極線152會佈設在切換線142上並與之電連接。第二電極線152和切換線142的線寬151係小於75nm，而形成自行對準的奈米儲存結構物104。雖在第1a圖中的第一可定址線132，切換線142，及第二電極線152等係被示出呈直線而各具有一固定寬度，但應請瞭解該等直線在變化實施例中亦可具有不同的曲線形狀，以及可變寬度。而且，在變化實施例中，該等直線亦能以不同於所示之90度以外的角度來相交。

10 在一第一電極線與一第二電極線之各交叉點處會形成邏輯胞元101等。在各胞元中，該裝置結構物136將會與在交叉點處的第一電極線和第二電極線形成表面等範圍而重合且共平面。在一可行實施例中，第二電極線152會電連接且設在切換元件(未示出)上，該切換元件具有一線寬大致和
15 第二電極線152相同，及一元件長度大致相同於第一電極線132的寬度。在第1a及1b圖中所示的交叉桿記憶結構係可自行校準地形成二極體來串接直接設在各電極線交叉點處的切換元件。該等自行校準的二極體能大為減少或消除潛通路或串通的問題，其係通常可見於所有大型場之可程式化
20 開陣列或可程式化邏輯陣列者。

如第1b圖的截面圖所示，各邏輯胞元皆包含一裝置結構物電連接於第一電極線。介面138會形成於第一電極線132和邏輯胞元101的裝置結構物136之間，其具有一面積小於5625平方奈米。該胞元101的奈米整流元件102可由多種

整流材料來製成，譬如半導體界面(如pn,p-i-n,或npnp界面等)，金屬/半導體界面(如肖特基二極體)，金屬/絕緣體/半導體結構，金屬/絕緣體/金屬結構，以及有機或聚合物整流結構等。此外，各邏輯胞元亦包含一切換線電連接於一第二電極線。形成於切換線142與裝置結構物136之間的切換界面148具有一面積約小於5625平方奈米。奈米儲存結構104可由多種儲存材料來製成，例如有機或聚合物電荷吸收層，相變層，鐵電層，穿隧層，壓電層，熔解層，絲線形成(抗熔)層，磁性層(MRAR)，及分子單層等。

10 該基材120可為任何適當材料，其上可形成整流與切換結構物。其材料之例包括各種玻璃；陶瓷例如氧化鋁、氮化硼、碳化矽、和藍寶石；半導體，例如矽、砷化鎵、磷化銻、與銻；及各種聚合物例如聚醯亞胺、聚醚砜、聚醚亞醯胺、聚苯乙烯、聚對苯二甲酸乙二酯、和聚碳酸酯等，
15 此僅為許多可用材料的少許例子而已。因此，本發明並不受限於矽半導體材料所製成的該等裝置，而應包含利用一或多種可用之半導體材料及該領域中之習知技術，例如使用覆設在玻璃基材上的多晶矽之薄膜電晶體(TFT)技術來製成的裝置。又，該基材120並不限制為典型的晶圓尺寸，
20 且可包括處理一聚合物片或膜或玻璃片，例如以不同於傳統晶圓或基材之形式及尺寸來處理的單晶片或基材。實際使用的基材材料會取決於各種參數，例如所用的最大處理溫度，該記憶裝置將會承受的環境，以及各種構件例如所用的特定整流結構、切換線、及電極等。

利用一肖特基障壁二極體結構之本發明的可行實施例係被示於第2圖的截面圖中。在本實施例中，第一可定址線232及裝置結構物236會在邏輯胞元201的整流介面238處形成一肖特基障壁整流觸點。該第一可定址線232與裝置結構物236會形成自行校準的整流元件202，其沿第一電極線232的方向具有一線寬(類似第1a圖的線寬131)約小於75nm。此外，各邏輯胞元201會包含切換線242，及第二電極線252覆蓋在該切換線242上。切換線242與第二電極線252會各互相平行，而正交於第一電極線232，類似於第1a圖中所示。該第二電極線252和切線換242會具有小於75nm的線寬251，而形成自行對準的奈米儲存結構204。又，切換線242和裝置結構物236會形成切換介面248，其可沿第一電極線232的方向來使該結構物236自行校準於切換線242，並使該結構物236沿第二電極線252的方向自行校準於第二電極線252。該切換介面248的面積小於5625平方奈米。該邏輯胞元201之自行校準的奈米儲存結構204與自行校準的整流元件202之組合，將可使裝置結構物236沿二互相垂直的方向來自行校準。

在本例中的基材220係為一半導體基材，例如矽、鍺、或砷化鎵晶圓。為使第一電極線232與摻雜的基材220電隔離，一可擇的介電層226會設如第2圖所示。例如，基材220可為輕微摻雜的矽晶圓，而介電層226為二氧化矽層。該第一電極線232可為一金屬，例如鎂、銻、鋁、銀、銅、鎳、金、鉑、或鈮等，並在該二氧化矽表面上形成合理的障壁

高度，另該裝置結構物236可為一輕微摻雜的n型多晶矽或非晶矽層，而在整流介面238上來形成該肖特基障壁二極體。在變化實施例中，一輕度摻雜的p型層可被設在一金屬例如金或鉑矽化物上，而亦形成一肖特基障壁。又在其它
5 實施例中，自行校準的整流元件202可包括p⁺或n⁺型磊晶層設在一本微單晶矽層(未示出)上來形成該可定址線232。另一輕度摻雜的磊晶層，或一具有分級摻雜程度而終結於一輕度摻雜表面的料層，亦可被製設在該重度摻雜層(未示出)上。在該實施例中，裝置結構物236則可包含一薄層的適當
10 金屬或金屬矽化物，來形成該肖特基障壁觸點。在使用非導電基材，例如玻璃、陶瓷或聚合物基材的實施例中，若有需要則該介電層226亦可省略。例如，利用一玻璃或聚醯亞胺基材時，該可定址線232乃可利用直接沈積或製設在基材220上的金屬，例如鉑來製成，而該裝置結構物236則可
15 使用一適當類型的摻雜劑例如n型摻雜劑，來直接設在可定址線232上。

本發明之另一使用磊晶半導體二極體接面的可行實施例係被示於第3圖的截面圖中。磊晶薄膜會被用來造成各半導體層322、323、324等，並係使用傳統的半導體處理設備
20 來製成。第一可定址層332含有第一極性的摻雜劑並有一預定的摻雜濃度，而被設在基材320與裝置結構物336之間。該特定的摻雜劑材料和濃度係取決於各種因素，例如接面尺寸以及該裝置會被使用的特定情況等。該裝置結構物336包含一第二極性摻雜劑，其係相反於第一電極層332的極

性。在本實施例中，該整流介面338係形成於邏輯胞元301的p型磊晶層323和n型磊晶層324之間。在本例中，奈米整流元件302亦包含可擇的n⁺型磊晶層327，其可被用來對儲存媒體線342提供最佳的電連接，而係取決於該儲存線342

5 的材料。在本例中，基材320係為一傳統的矽半導體晶圓，並有一二氧化矽的介電層326設在該矽基材320與本微單晶矽層322之間。在邏輯胞元301中，第一可定址線332係由p型磊晶層323所製成，而裝置結構物336係由n型磊晶層324和可擇的n⁺型磊晶層327來形成。在變化實施例中，第一可

10 定址線332可由一n型材料來製成，而裝置結構物336則可由一p型材料來製成。例如，摻雜的多晶矽或非晶矽可被覆設在介電層326上來製成該二層。另一例則可包含摻雜的鎳或矽鎳合金屬覆設在介電層336上，以作為該等用來形成整流

15 介面328的半導體之一者。又在其它實施例中，如第1圖實施例所述的各種其它基材材料亦可被使用。

在本實施例中，切換線342和裝置結構物336會形成切換介面348，其會使裝置結構物336沿第二電極線352的方向自動對準於切換線342和第二電極線352。各切換線342會互相平行，而垂直於第一可定址線332，類似第1a圖所示。在各邏輯胞元301中，第二可定址線352係覆設在切換線342

20 上，並亦互相平行，且垂直於第一可定址線332，類似第1a圖所示。在本實施例中，有二電極352和切換線342皆具有小於75nm的線寬351，且它們會形成自行校準的奈米儲存結構304。該等自行校準的奈米儲存結構304和自行校準的整

流元件302之組合能使裝置結構物336沿二互相垂直的方向
來自行校準。

本發明利用一金屬/絕緣體/金屬整流結構的可行實施
例係被示於第4圖的截面圖中。在本實施例中，邏輯胞元401
5 包含第一可定址金屬線432設在基材420上，並有絕緣層433
設在該第一電極線432上。在本實施例中，該裝置結構物436
亦為一金屬層。在邏輯胞元401中，該第一可定址金屬線
432、絕緣層433、及裝置結構物436等之組合會形成自行校
準的奈米整流結構402，其沿第一電極線432的方向具有一
10 小於75nm的線寬(類似於第1a圖所示的線寬131)。此外，在
該胞元401中的切換線442和裝置結構物436會形成切換介
面448，其中第二可定址線452投影在第一可定址線432上的
部份(即切換線442和裝置結構物436)將會對準於該第二可
定址線452與第一可定址線432交叉之處。在本實施例
15 中，該等切換線會互相平行，並垂直於第一可定址線，類
似於第1a圖所示。第二可定址線452係覆設在切換線442上。
在本實施例中，該等第二可定址線亦互相平行，並垂直於第
一可定址線，類似第1a圖所示。但是，在變化實施例中該等
線路亦可具有各種曲線形狀，以及可變的寬度。此外，在變
20 化實施例中，該等線路亦得以90度以外的各種角度來交叉。
在本實施例中，第二電極線452和切換線442皆會具有小於
75nm的線寬451，而形成自行校準的奈米儲存結構404。該等
自行校準之奈米儲存結構404與自行校準之整流元件402的
組合，將可使裝置結構物436沿二互相垂直方向來自動校準。

第5圖為一用來造成本發明實施例的製法之流程圖。第6a~6n圖示出一用來造成自行校準的奈米整流元件和自行校準的奈米儲存結構以製造成一記憶裝置的製程，乃僅被示出以供更清楚瞭解本發明。其各實際尺寸並未依正確比例，而有某些特徵細構會被誇大來更清楚顯示該等製程。

整流層製造步驟580係為一選擇製程可用來造成第一可定址層630和裝置結構層634，如第6a圖的截面圖所示。所用的方法係取決於該記憶裝置600中所用之整流元件和基材的類型。例如，若該等整流元件係為設在半導體晶圓上的半導體接面二極體，則該等可定址層630和裝置結構層634乃可使用傳統的半導體處理設備，而以各種磊晶技術來製成，譬如化學氣相沈積(CVD)，包括大氣壓力式(APCVD)，低壓式(LPCVD)或電漿加強式(PECVD)等各種方式，原子層沈積(ALD)或分子束磊晶(MBE)等不勝枚舉。此外，非結晶或多晶半導體膜亦可被設在基材620上，再以一後續的重結晶化步驟來製成一單晶或幾近單晶層。該重結晶步驟通常會利用該基材與沈積層的熱、雷射、或電子束加熱，來提供重結晶化該沈積膜的能量。在變化實施例中，亦可使用一埋設的絕緣體層。摻雜的多晶或非結晶層亦可用來製成第一可定址層630和裝置結構層634，而不必形成一磊晶層，此乃取決於所用的儲存材料以及該交叉桿裝置的用途。

針對使用一金屬層來形成一肖特基障壁觸點或金屬/絕緣體/金屬整流結構的實施例，則各種金屬沈積設備和技

術，例如PECVD、CVD、金屬有機物CVD(MOCVD)、濺鍍沈積、蒸發、及電沈積等亦可使用。舉例而言，金、鉑、或鈮乃可被濺鍍沈積在基材620上來製成第一可定址層630。在另一例中，鈦可被電子束蒸發來形成一金屬/絕緣體/金屬整流結構的一部份。

奈米印製步驟582係用來造成印製層660及將所需結構或特徵壓印於該印製層660中(參見第6b~6d圖)。該印製層可使用任何適當的技術，譬如旋塗、蒸汽沈積、噴塗、或噴墨沈積等來塗佈。在一實施例中，該印制層660為一聚甲基丙烯酸甲酯(PMMA)旋塗在裝置結構634上。該印製層660得為任何可成型的材料。其係可利用任何在第一情況下可流動或可撓曲，而在第二情況下較呈固態且不可撓曲的材料。通常，針對用於一熱壓印製法中的聚合物印製層，一低溫烘烤程序會被用來驅來任何過多的溶劑，否則其嗣在該印製層被塗覆於裝置結構層634上之後可能會殘留。通常，在使用“step and flash”逐步內照製法的實施例中，一移轉層會先被塗覆於裝置結構層634上，嗣再製成一可光固化層於該移轉層上。例如，該印製層660可包括一有機移轉層如OLIN公司所銷售的HR 100，而一可光固化層包括乙二醇二丙烯酸(3-丙烯氧丙基)三(三甲基矽氧)矽烷，t-丙烯酸丁酯，及2-羧基-2-甲基-1-苯基-丙烷-1-。當固化時具有低黏度，高固化速度，受控的收縮率，低蒸發率，高模數而對被沈積層具有良好的黏性，並能與該奈米印製器順利釋離等皆為該可光固化層的所需特性。在另一實施例中，該可

光固化層可用Molecular Imprints公司所售之品名為S-FIL Monomat AC01的材料來製成。此外，各種其它可光聚合化之低黏度丙烯酸基溶液而包含一有機矽化合物者，亦可用來造成印製層660。該印製層660係使用奈米印製器

5 662(見第6c圖)來壓印製成。該奈米印製器662會在該印製層可撓曲的情況下來被向下朝該印製層660沖壓或壓迫。該印製器662包含有特徵或結構等，具有與該印製層660所需造型互補的形狀。凸部664及凹部654和654'等，如第6c圖所示，代表該奈米印製器662所需的結構。由於

10 互補對應，即意味著形成於印製層660上的圖案(參見第6c圖)具有一形狀對應於該奈米印製器662上的圖案之互補形狀。即該印製器上的凸部664會形成凹下的細構658，而凹部654和654'會分別形成凸出的細構656和656'等，其中凹部654'代表被印製在特定位置之結構或特徵

15 的變化(即如將之繪成線寬有所改變)。舉例而言，一使用可光固化材料緒如S-FIL Monomat AC01製成的印製層，乃能利用一背壓為0.25bar的印製器以2牛頓之力來壓印。一可光固化材料如S-FIL Monomat AC01係可用一

20 光源，例如-1000w的Hg-Xe紫外線電弧燈以I線輻射(即365nm)來曝照。僅供說明之用，第6c圖示出所用的奈米印製器能使約250至500nm的波長透射，故紫外線光子610會穿過壓著於上的奈米壓印器而光固化該奈米印製層660。於變化實施例中，該印製器662亦可在該印製層660被光固化之前即被卸除。

另一例係將一PMMA層加熱至其軟化或玻璃轉換溫度以上。使用於該熱壓印製程中的特定溫度和壓力將取決於各種變數，例如要被成型的細構尺寸的形狀，及使用於該印製層的材料等。

- 5 自行校準的奈米整流元件製造步驟584係用來由各對應料層製成該等第一可定址線和裝置結構物。奈米整流元件製程包括除去在奈米印製時所形成的凹下細構658(見第6c圖)。除去該等凹下細構可藉任何適用於該印製層之特定材料的濕或乾蝕刻法來完成。例如，若欲除去在一熱壓印
- 10 程序中形成凹下細構658之殘留的PMMA，則可利用氧反應離子蝕刻法。在變化實施例中，若使用S-FIL Monomat材料的“Step and flash”製法時，則可利用含氟的反應離子蝕刻再續以含氧的電漿或反應離子蝕刻來除去該移轉層。除去凹下細構658會曝現出在曝露區657中的裝置結構層634(見第
- 15 6d圖)，而凸出細構656和656'仍會保留覆蓋在其它區域的部份裝置結構層634上。至於使用其它聚合物或無機物印製層的製法，各種濕蝕刻或其它反應離子蝕刻亦可被使用。

- 一可擇的硬蝕刻罩製造程序亦可用來作為該自行校準之奈米整流元件製程584的一部份，以沈積一可擇的蝕刻
- 20 罩。該可擇的硬蝕刻罩(未示出)係在該等凹下細構已被除去之後，將一薄金屬或介電層沈積在該奈米印製層上而來形成。例如，一薄鋁、鉻、鉑、鈦或鈹層乃可被沈積在該奈米印製表面上。於一變化實施例中，該硬蝕刻罩亦可被分開地製成，嗣再移轉至該奈米印製表面上。一後續的高位

去除法或選擇性的化學蝕刻亦可用來除去該印製層的凸出部656和656'(見第6d圖)，而使沈積在該等凸出部656和656'上的硬蝕刻罩材料能與沈積在曝露區657中的金屬一起被除去，而保留形成一罩體可供用來蝕刻先前被該等凸出細構所覆蓋的區域。其所用的特定選擇性化學蝕刻將取決於所用的印製材料及硬蝕刻罩材料。四氫呋喃(THF)可用來供PMMA的選擇性蝕刻。其它可供PMMA作選擇性化學蝕刻之例係如乙醇水混合物，及1:1比例的異丙醇和甲基乙基酮使用在25°C以上。最好是，在室溫下於一超音波槽內用丙酮來選擇性蝕刻PMMA，再以異丙醇沖洗。另一蝕刻PMMA之例係使用二氯甲烷浸漬約10分鐘，再於一超音波清潔槽內的二氯甲烷中搖晃震動約1分鐘。一電漿清潔程序亦可被用來附加於該選擇性化學蝕刻，俾進一步清潔該裝置結構層634的曝露表面區域和硬蝕刻罩的表面。該可擇的硬蝕刻罩係可由任何金屬或介電材料來製成，而能在蝕刻該裝置結構層634和第一可定址層630時提供適當的選擇性。通常此可擇的硬蝕刻罩會被使用在某些實施例中，即該印製層可能會在用來蝕刻裝置結構層634或第一可定址層630的蝕刻製程中會受損或劣化的情況下。

自行校準的奈米整流元件製造步驟584亦包含一蝕刻製程，用來蝕刻該裝置結構層634和第一可定址層630未被如第6d及6e圖中之凸出細構656和656'所保護的區域，以及未被上述之可擇蝕刻罩所保護的區域。該裝置結構層634和

第一可定址層630之蝕刻係可利用任何濕或乾蝕刻法，或任何適用於特定材料及使用一摻雜半導體層之實施例所用的摻雜材料之組合方法。視要被蝕刻的材料及該裝置的用途而定，其蝕刻範圍亦可伸入該基材620中，如第6e圖所示。

5 舉例而言，CMOS可用的濕蝕刻劑包括四甲基氫氧化銨(TMAH)、氫氧化鉀或氫氧化鈉(KOH或NaOH)，焦兒茶酚乙二胺(EDP)。而可用的乾蝕刻劑例如氟化烴氣體(CF_x)，二氟化氙(XeF_2)，及六氟化硫(SF_6)等。該蝕刻製程會形成第一可定址線632及632'等分別具有線寬631和631'。線寬

10 631和631'典型具有小於75nm的寬度。其實際線寬將取決於各種參數和該記憶裝置中所用的構件，例如用來製成第一可定址層630和裝置結構層634的材料，以及該記憶裝置的特定用途等。此外，該蝕刻製程亦會沿著第6e及6f圖所示各線的方向來使裝置結構層634自行對準於第一可定址線

15 632和632'等，而製成裝置結構線635和635'等。

自行校準的奈米整流元件製程584亦可包含一罩體去除程序來除掉印製罩體如第6e和6f圖所示的凸出細構656和656'等，或者前述之可擇硬蝕刻罩(未示出)。通常該罩體去除程序可使用任何適用於該罩體材料的濕或乾蝕刻法。

20 針對使用印製層660(見第6c圖)來作為蝕刻罩的實施例，則任何如前述在造成該可擇硬蝕刻罩時用來除掉凸出細構656及656'等之方法，例如THF、二氯甲烷、或氧電漿蝕刻等亦可被使用於此製程中。針對利用該可擇硬蝕刻罩(未示出)的實施例，則該蝕刻法將取決於用來製成該罩體的特定

材料。例如，過氧化硫或氫氧化鈉的濕蝕刻係可用來蝕刻一鋁的硬蝕刻罩。又，該罩體去除程序會曝露出裝置結構表面637，如第6f圖所示。

平坦化層製造步驟586(見第6g圖)會被用來將可平坦化的介電層670沈積製設在該基材的曝露區域表面上，並覆蓋該裝置結構表面637。多種無機物或聚合物介電質皆可使用。例如，利用電漿加強化學氣相沈積法(PECVD)所沈積的二氧化矽可被使用。其它的材料例如氮化矽、氮氧化矽、聚醯亞胺、苯甲酸環丁烷，以及其它的無機氮化物和氧化物亦可使用。此外，其它的氧化矽膜例如四正矽酸乙酯(TEOS)和其它的“旋塗”玻璃，或以其它技術來製成的玻璃等亦可被使用。該平坦化製程588係用來平坦化該介電層670(見第6h圖)。例如，該介電層平坦化製程588可利用機械式、阻抗蝕回、或化學機械法等來形成實質平坦的表面672(見第6h圖)。

切換層製造步驟590係用來製成切換層640覆設在裝置結構層634和介電層670的平坦表面672上，如第6i圖所示。視該交叉桿記憶裝置會被使用的情況而定，該切換層或儲存媒體層640可由多種材料來製成，例如有機物或聚合物電荷吸收層，相變化層如硒化銻，鐵電層如壓電陶瓷，或聚合物材料如偏聚二氟乙烯，絲線形成(即抗熔)層如摻銀的 AS_2Se_3 ，摻雜的聚合物層如摻有受體或施體分子的聚碳酸酯，導電聚合物如聚乙烯二氧噻吩聚苯乙烯磺酸酯，及分子單層如硫醇和矽烷複合物等，僅為一些可用來製成該記

憶或切換層之例。視所用的材料而定，各種製法例如濺鍍沈積、CVD、旋塗、朗穆爾-布洛吉特(langmuir-blodgett)沈積、及各種會自行組合的製法皆可用來製成該切換層640。

第二奈米印製步驟592係用來造成第二印製層661，並
5 將所需的結構或特徵印入該層661中(見第6i~6l圖)。如第6i圖所示，該第二印製層661可用任何適當的技術來塗佈，例如前述之奈米印製層582所用的旋塗、氣相沈積、噴塗、或噴墨沈積等。請注意第6j~6n圖係相對於第6a~6i圖旋轉90度，但是，在該等圖式中所揭述的結構並不受限於此90度
10 角。通常，此印製層會相同或類似於前述之奈米印製層製程582中所述者，但其它的印製層材料亦可使用。例如，該第二印製層661(見第6i圖)可為一旋塗的低黏度且可光聚合化的有機矽溶液。該第二印製層661得為任何可成型的材料。

15 第二奈米印製步驟592亦包括將所需的結構或特徵印入第二印製層661中(見第6j圖)。第二奈米印製器663會在該印製層可撓曲的情況下來被壓向該印製層661，而在其中形成凹下細構658和凸出細構656與656'等。該奈米印製程序和奈米印製器皆類似於前在奈米印製層製程582中所述
20 者。僅供說明之用，該等凹部654和654'，凸出細構656和656'，凹下細構658，及壓印器凸部664等皆被以如同第6c圖的方式來示出。應請瞭解不同的尺寸和形狀亦可被使用於第二奈米印製步驟中。例如，一利用可光固化材料例如S-FIL Monomat Ac01來形成的印製層，可被使用一背壓為

0.25bar的印製器以2牛頓之力和約150秒的伸展時間來壓印。該S-FIL Monomat Ac01可利用一例如1000W的Hg-Xe紫外線電弧燈的光源以I線輻射(即365nm)曝照約30秒(如第6j圖所示的光子610')而來固化。

- 5 自行校準的奈米儲存結構製法步驟594係被用來由對應料層製成第二可定址線和切換線等。該製程594包括除去當奈米印製時曝現於該切換層640之曝露區659中(見第6k圖)的凹下細構658等(見第6j圖)。除掉該等凹下細構係可藉任何適用於該壓印層之材料的濕或乾蝕刻法來完成。
- 10 自行校準的奈米儲存結構製造步驟594亦包含第二可定址層製造程序，用來製成第二可定址層650，如第6l圖所示。在本實施例中，第二可定址層650亦形成一硬蝕刻罩。第二可定址層650係在該等凹下細構已被除去之後，在該奈米印製表面上沈積一金屬層而來形成。例如，一薄鋁、鈿、
- 15 鉑、鉻、鈦、鎢、金或銅層皆可被沈積在該奈米印製表面上。一後續的高位去除法或選擇性化學蝕刻劑可用來除掉該印製層的凸出部份656和656'等(見第6l及6m圖)，而使沈積在凸出部份656及656'頂上的可定址層材料能與沈積在曝露區657中的金屬一起被除去，而僅留下所製成的第二可
- 20 定址線652等如第6m圖所示。又該等第二可定址線652亦可形成一罩體，用來蝕刻先前被凸出細構所覆蓋的區域。其所使用的選擇性化學蝕刻或高位去除法將取決於所用的印製材料及硬蝕刻罩材料。在一變化實施例中，該第二可定址層製造步驟亦可在切換層的製程590之後才來進行。在該

等實施例中，第二奈米印製程661會被製設在第二可定址層650上。

自行校準的奈米儲存結構製造步驟594亦包含蝕刻切換層640及裝置結構線635和635'(見第6i圖所示)。該蝕刻製程將會蝕刻未被第二可定址線652所保護的區域，如第6m及6n圖所示。該切換層640和裝置結構線635和635'的蝕刻可利用任何適合於所用材料的濕或乾蝕刻法或組合方法來完成。任何前述之蝕刻法僅為可用之多種蝕刻法的少數舉例而已。該蝕刻製程會使儲存媒體線具有線寬651。該線寬典型會小於75奈米。此外，該蝕刻製程亦會形成各裝置結構物636等，它們會沿各線的方向來自動對準於儲存媒體線641和第一可定址線632上。其實際線寬會取決於各種參數及該記憶裝置所用的成分，例如用來製成第二可定址層652和切換層640的材料，以及該記憶裝置的特定用途。

一用來製成本發明之一實施例的方法係被示於第7a~7h的截面圖中。在本實施例中，該基材720係為一無摻雜的矽晶圓，並有一埋入的氧化物層726設在該矽晶圓上。埋設的氧化物層726會與設在該晶圓上的裝置電隔離。本微矽層722會被製設在埋入的氧化物層上方，然後生長p摻雜的磊晶矽層723，嗣再生長n摻雜的磊晶矽層724。該二磊晶矽層723和724會形成一半導性二極體接面。在變化實施例中，該等p摻雜和n摻雜的磊晶層亦可被相反設置。於本例中，該等埋入的氧化物層726、本微矽層722、p摻雜的磊晶

矽層723、n摻雜的磊晶矽層724分別具有約100nm、50nm、100nm、150nm的厚度。其摻雜的濃度和厚度亦可改變來控制各層的電特性。又，在其它實施例中，不同的多數磊晶層亦可被生成。例如， n^+ 或 n^{++} 摻雜層亦可被成長於第7a

5 圖所示的n層頂上，來加強對切換或儲存媒體層(未示出)的接觸特性。另一例則包含一埋入的氧化物/p⁺磊晶層/p磊晶層/n⁺磊晶層/n⁺磊晶層等之薄膜疊層，用來形成整流結構。又，分階而迥異的摻雜劑分佈之各種組合亦可被使用。在此例中，各種磊晶技術譬如化學氣相沈積(CVD)包括AP

10 CVD、LP CVD及PE CVD，或分子束磊晶(MBE)等皆可被用來製成該等磊晶層。擋止或檢知層725會被製設在n摻雜的磊晶矽層724上，如第7b圖所示。在本例中，該擋止層725係為一使用傳統的化學氣相沈積設備來覆面沈積的氮化矽層。任何能充分提供終點檢知的材料皆可形成擋止層725。

15 印製阻抗物760會被製設在該擋止層725上。在本實施例中，該阻抗物760係為PMMA並係使用旋塗來製成。在變化實施例中，任何上述的印製材料或沈積技術亦可被使用。當該印製阻抗物760形成後，一奈米印製器會在該阻抗物可撓曲的情況下壓向該阻抗物760。類似於第5和6圖中所述

20 的印製方法，該印製器具有特徵細構等互補於要被形成於阻抗物760上的形狀。在本實施例中，PMMA會被作為該印製阻抗物，並會在旋塗之後接受後烘烤，俾由該基材表面驅除過多的溶劑。該印製模劑會被設成接觸該奈米印製器中的印製阻抗物，並加熱至約185°C約20分鐘，同時施加

約1250psi的壓力。在變化實施例中，該阻抗物可在約1000~1500psi的壓力下被加熱至180~195°C約10~25分鐘。任何在奈米印製中所形成的凹下部份(見第6c圖)如前所述係可利用任何適用於該印製阻抗物760的濕或乾蝕刻法來
5 除掉。在本例中，一硬蝕刻罩會被使用，其係在該等凹下細構被除去之後，沈積一薄熱蒸發的鉻層767來形成，如第7c圖所示。在變化實施例中，各種沈積製程例如電子束蒸發或化學氣相沈積法亦可使用。一高位去除法會被用來除掉該印製阻抗物的殘留部份，包括沈積在印製層頂部上的
10 鉻，如第7c和7d圖所示。在高位去除製程之後留下的鉻層767部份會形成硬蝕刻罩780如第7d圖所示。

一矽蝕刻劑會被用來蝕穿該氮化矽擋止層725，以及n、p、本徵磊晶層724、723、722之未被該鉻硬蝕刻罩768所覆蓋的區域，如第7e圖所示。在本例中，該蝕刻製程會
15 被擋止於埋入的氧化物層726，其可供該蝕刻製程中所製成之各整流線或結構物電隔離。該各層的蝕刻可利用任何適合所用之磊晶層材料的乾或濕蝕刻法或其組合方法而來進行。在本例中，會使用一二步驟的乾蝕刻法。其第一蝕刻
20 程序係在約10milliTorr的壓力下，使用C₄T₈/CF₄/Ar/SF₆的混合物，分別以30/30/30/10標準立方厘米(sscm)的流量率來進行。該第二蝕刻程序亦在約10milliTorr的壓力下，使用一Ar/He混合物以10/10sscm的流量率來進行。該蝕刻製程會形成具有線寬731的第一可定址線732等。該線寬731典型係小於75nm，而在本例中，該線寬731係約為30nm。在本例

中，n摻雜的磊晶矽層724會形成裝置結構層734，其在蝕刻後會自行對準於第一可定址線732，並亦具有約30nm的線寬，如第7e圖所示。在本例中，鉻硬蝕刻罩768會使用一包含銻銨氮化物($\text{Ce}(\text{NH}_4)_2(\text{CO}_3)_6$)與過氯酸(HClO_4)的濕蝕刻劑，及大約40分鐘的蝕刻時間來除去。

在本例中，該平坦化製程乃包括在矽基材720上製成二氧化矽可平坦化層770至一厚度，其係大於該等磊晶矽層和在上述蝕刻製程形成於各線路間之區域中所填入的氮化矽擋止層等的組合厚度，如第7f圖所示。在本例中，使用四乙基正矽酸鹽前身質的低溫(約 400°C)PECVD，會被用來製成該二氧化矽層至約2微米的厚度。在該可平坦化層沈積完成後，一化學機械平坦化(CMP)製程會被用來形成平坦的二氧化矽表面771如第7g圖所示。在本例中，一反應離子蝕刻法會被用來進一步蝕刻並除去上層的二氧化矽和氮化矽，而在裝置結構層734表面上形成一平坦表面772，如第7h圖所示。該反應離子蝕刻法會在約1200milliTorr壓力下，使用Ar和 CF_4 的混合物，分別以450及50 sccm的流量率，來達成每秒約 60\AA 的氧化矽蝕刻速率。在本例中，該等儲存媒體線和第二可定址線會使用類似於前於第6圖中所述的方法來製成。

【圖式簡單說明】

第1a圖為本發明一實施例之記憶裝置的立體圖。

第1b圖為第1a圖的記憶裝置之一元件的截面圖。

第2圖為本發明一可行實施例的記憶裝置之一元件的

截面圖。

第3圖為本發明一可行實施例的記憶裝置之一元件的
截面圖。

第4圖為本發明一可行實施例的記憶裝置之一元件的
5 截面圖。

第5圖為一用來製造本發明實施例之記憶裝置的製法
流程圖。

第6a~6n圖係用來製造本發明實施例之不同製程的截
面圖。

10 第7a~7h圖係用來製造本發明實施例之不同製程的截
面圖。

【主要元件符號說明】

100…交叉桿記憶結構	148, 248, 348, 448…切換介面
101, 201, 301, 401…邏輯胞元	151, 251, 351, 451…線寬
102, 202, 302, 402…整流元件	152, 252, 352, 452, 652…第二可
104, 204, 304, 404…儲存結構物	定址線
120, 220, 320, 420, 620, 720…基材	226, 326, 670…介電層
131, 631, 731…線寬	322, 323, 324…半導體層
132, 232, 332, 432, 632, 732…	327…磊晶層
第一可定址線	342, 641…儲存媒體線
136, 236, 336, 436, 635, 636…	433…絕緣層
裝置結構物	580~594…各製造步驟
138, 238, 338…整流介面	600…記憶裝置
142, 242, 342, 442…切換線	610…光子

- | | |
|----------------|------------------|
| 630…第一可定址層 | 672,771,772…平坦表面 |
| 634, 734…裝置結構層 | 722…本徵矽層 |
| 637…裝置結構表面 | 723…p磊晶矽層 |
| 656…凸出細構 | 724…n磊晶矽層 |
| 657,659…曝露區 | 725…擋止層 |
| 658…凹下細構 | 726…氧化物層 |
| 660, 661…印製層 | 760…印製阻抗物 |
| 662, 663…奈米印製器 | 767…硬蝕刻罩層 |
| 664…凸部 | 768…硬蝕刻罩 |
| 640…切換層 | 770…平坦化層 |
| 650…第二可定址層 | |
| 654…凹部 | |

五、中文發明摘要：

一種記憶裝置包含一基材以及多數自行校準的奈米整流元件佈設在該基材上。各奈米整流元件具有多數的第一電極線，及多數的裝置結構物設在該等第一電極線上而形成該等自行校準的奈米整流元件。各裝置結構物具有至少一側邊尺寸小於75奈米。該記憶裝置亦包含多數的奈米儲存結構物設在該等裝置結構物上，並會在至少一方向與裝置結構物自行對準。此外，該記憶裝置更包含多數的第二電極線設在該等奈米儲存結構物上，並與之電連接及自行對準，而形成一記憶裝置。

六、英文發明摘要：

A memory device (100, 600) including a substrate (120, 220, 320, 420, 620, 720), and multiple self-aligned nano-rectifying elements (102, 202, 302, 402) disposed over the substrate. Each nano-rectifying element has multiple first electrode lines (132, 232, 332, 432, 632, 732), and multiple device structures (136, 236, 336, 436, 636) disposed on the multiple first electrode lines forming the multiple self-aligned nano-rectifying elements. Each device structure has at least one lateral dimension less than about 75 nanometers. The memory device also includes multiple nano-storage structures (104, 204, 304, 404) disposed over the device structures and self-aligned in at least one direction with the device structures. In addition, the memory device includes multiple second electrode lines (152, 252, 352, 452, 652) disposed over, electrically coupled to, and self-aligned to the nano-storage structures, whereby a memory device is formed.

十、申請專利範圍：

1. 一種記憶裝置，包含：

一基材；

多數自行校準的奈米整流元件，具有：

5 多數的第一電極線設在該基材上；

多數的裝置結構物設在該等第一電極線上而形成
前述之多數自行校準的奈米整流元件，且各裝置結構物
具有至少一側邊尺寸小於75奈米；

10 多數的奈米儲存結構物設在該等裝置結構物上，並
在至少一方向與之自行對準；及

多數的第二電極線設在該等奈米儲存結構物上，並
與之電連接及自行對準，而來形成一記憶裝置。

2. 如申請專利範圍第1項之記憶裝置，其中該等第一電極
線更包含多數的第一半導體線含有第一極性的摻雜劑。

15 3. 如申請專利範圍第2項之記憶裝置，其中該等裝置結構
物更包含多數的半導體裝置結構物含有一第二極性的
摻雜劑，且各半導體裝置結構物會與該等第一半導體線
之一者形成一半導體接面，該半導體接面具有面積並
有至少一側邊尺寸小於75奈米。

20 4. 如申請專利範圍第2項之記憶裝置，其中該各裝置結構
物更包含：

一本徵半導體結構設在該等第一半導體線之一者
上；及

一第二半導體裝置結構物含有第二極性的摻雜物

而設在該本徵半導體結構物上，且該本徵半導體結構物
和第二半導體裝置結構物皆具有至少一側向尺寸小於
75奈米，而形成多數的p-i-n二極體元件。

5. 如申請專利範圍第1項之記憶裝置，其中該等第一電極
5 線更包含多數的金屬電極線，且該等裝置結構物更包含
多數的半導體裝置結構物含有一摻雜劑，而在該等金屬
電極線和半導體裝置結構物之間形成多數的肖特基障
壁觸點，各肖特基障壁觸點具有一面積並有至少一側邊
尺寸小於75奈米。
- 10 6. 如申請專利範圍第1項之記憶裝置，其中該等第一電極
線更包含多數的金屬電極線，且各裝置結構物更包含：
一介電層設在一該等金屬電極線上；及
一金屬層設在該介電層上，而形成多數的金屬/絕
緣體/金屬整流元件，且此各元件具有至少一側邊尺寸
15 小於75奈米。
7. 一種記憶裝置，包含：
一基材；
整流裝置包含第一組導線互相平行地設在該基材
上，該整流裝置會自動對準該等導線，且該整流裝置具
20 有至少一側邊尺寸小於75奈米；
一裝置可將一資料位元儲存在各儲存元件中，而覆
設在第一組導線上並自行對準於該整流裝置；及
一裝置可電定址該等儲存元件，其中該各儲存元件
會與該電定址裝置自行對準，且該電定址裝置與第一組

導線之各交叉點處會形成一記憶結構的邏輯胞元。

8. 一種製造交叉桿裝置的方法，包含：

奈米印製一設在一裝置結構層上的第一奈米印製層，該裝置結構層設在一第一可定址層上，而該第一可定址層設在一基材上；

由該第一可定址層和裝置結構層製成許多自行校準的奈米整流元件，各整流元件具有至少一側邊尺寸小於75奈米；

奈米印製一設在一導電層或一儲存媒體層上的第二奈米印製層，該儲存媒體層設在該等奈米整流元件上；及

製成多數自行校準的奈米儲存結構物，各儲存結構物具有至少一側邊尺寸小於75奈米。

9. 如申請專利範圍第8項之方法，其中奈米印製第一奈米印製層的步驟更包含：

將一可透射約250至500nm波長範圍之紫外光的奈米印製器壓向該第一奈米印製層；及

使該第一奈米印製層接受預定的紫外光輻射曝照。

10. 如申請專利範圍第8項之方法，更包含：

在基材上造成該第一可定址層；及

造成該裝置結構層覆設並電連接於第一可定址層上。

11. 如申請專利範圍第10項之方法，其中造成該第一可定址層更包含造成一第一金屬層覆設在該基材上。

12. 如申請專利範圍第11項之方法，更包含在第一金屬層上造成一介電層，且造成該裝置結構層更包含造成一第二金屬層設在該介電層上。
13. 如申請專利範圍第11項之方法，更包含造成一具有一摻雜劑的半導體層，該半導體層會電連接於該第一金屬層而形成一肖特基障壁觸點。
14. 如申請專利範圍第8項之方法，其中製成多數自行校準的奈米整流元件更包含選擇性地除去該裝置結構層和第一可定址層的某些部份。
- 10 15. 如申請專利範圍第14項之方法，更包含選擇性地蝕刻該裝置結構層和第一可定址層的某些部份來形成多數的邏輯胞元，其中各奈米未整流元件會與一第一可定址線及一奈米儲存結構物範圍相同地重合且共平面。
16. 如申請專利範圍第8項之方法，其中製成多數自行校準的奈米儲存結構物更包含選擇性地除去該等導電層，裝置結構層及儲存媒體層的某些部份。
- 15 17. 如申請專利範圍第16項之方法，更包含選擇性地除去該等導電層、裝置結構層及儲存媒體層的某些部份來形成多數的邏輯胞元，其中該各奈米整流元件會與一第一可定址線及一奈米儲存結構物範圍相同地重合且共平面。
- 20 18. 如申請專利範圍第8項之方法，更包含：
造成一可平坦化介電層覆設在該裝置結構層上，其中該裝置結構層的頂面係形成一平面；及
將該介電層平坦化至該裝置結構層的平面。

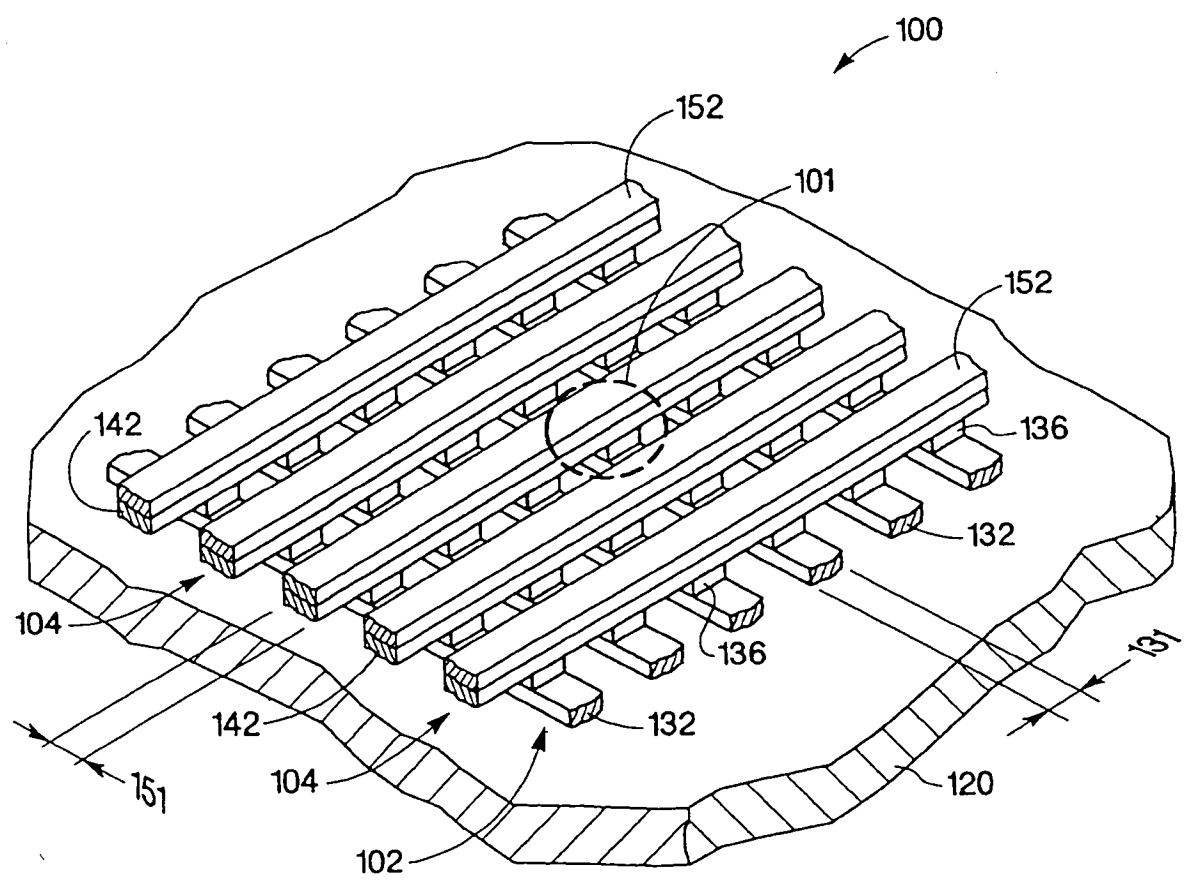
19. 如申請專利範圍第8項之方法，其中製成多數自行校準之奈米整流元件更包含蝕刻該裝置結構層。

20. 如申請專利範圍第8項之方法，更包含：

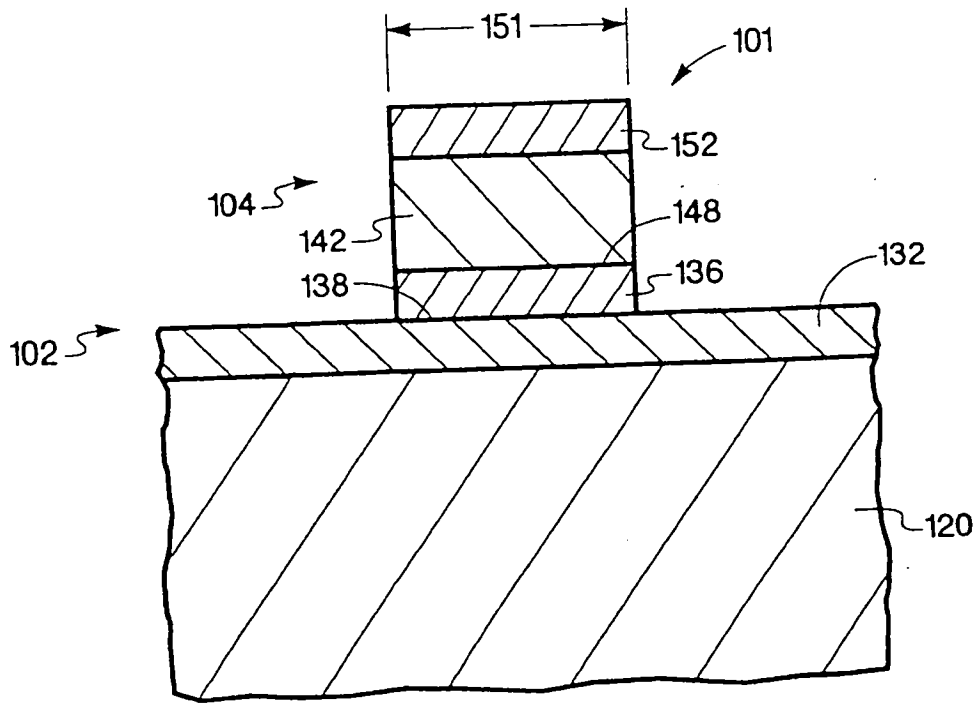
造成一儲存媒體層電連接於該裝置結構層；及

5

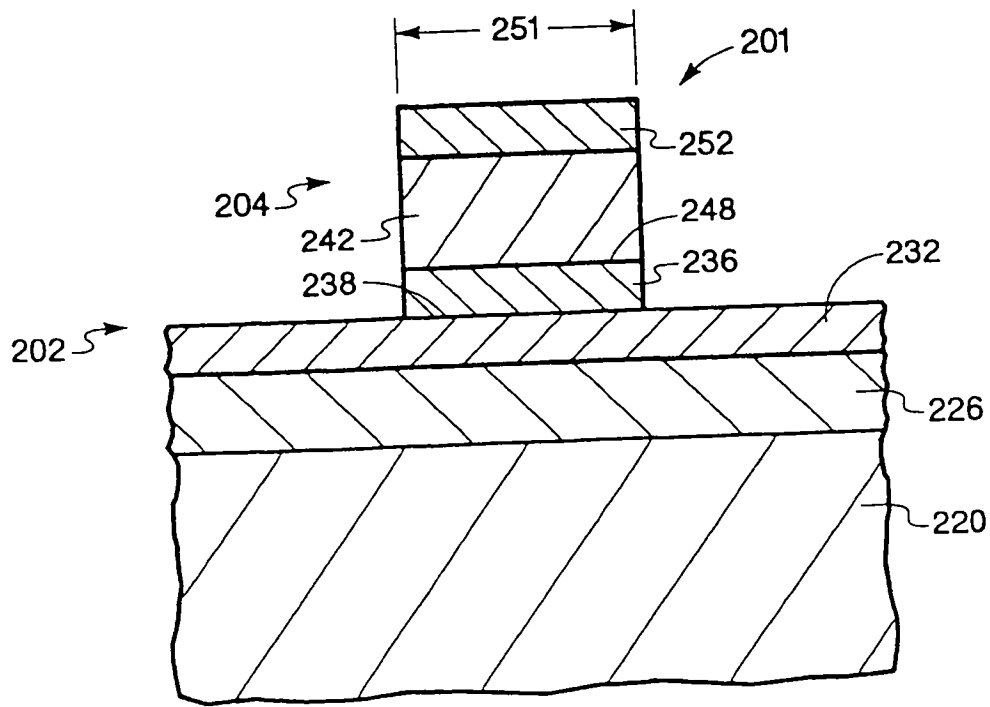
造成一導電層電連接於該儲存媒體層。



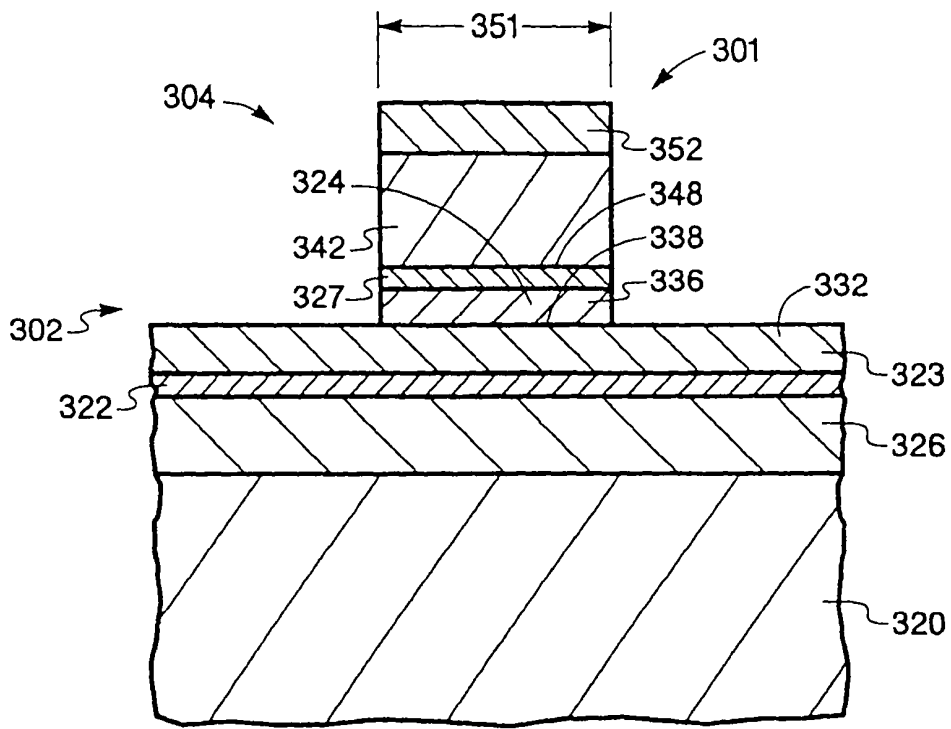
第 1a 圖



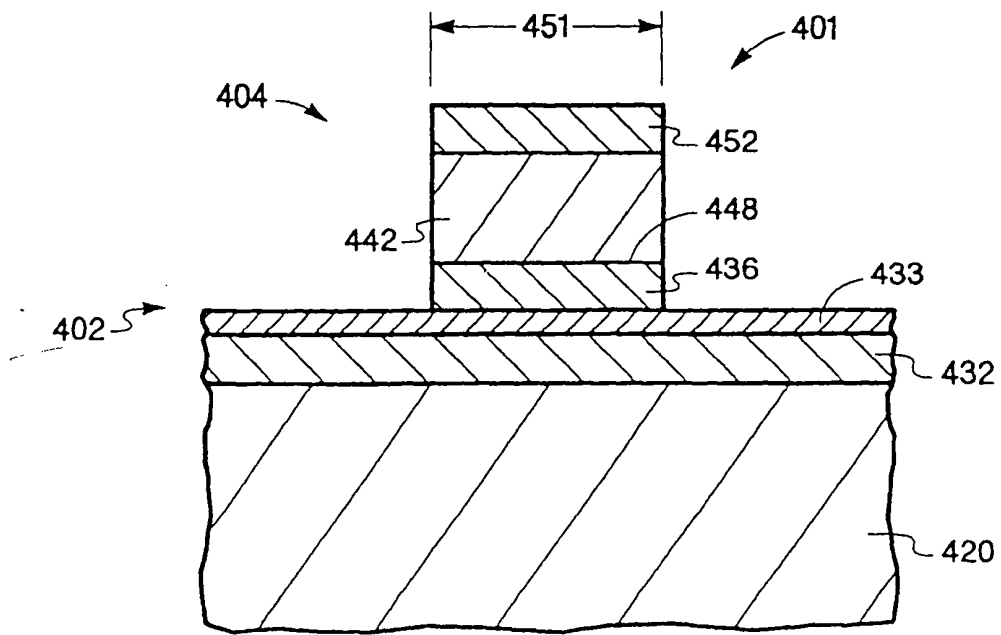
第 1b 圖



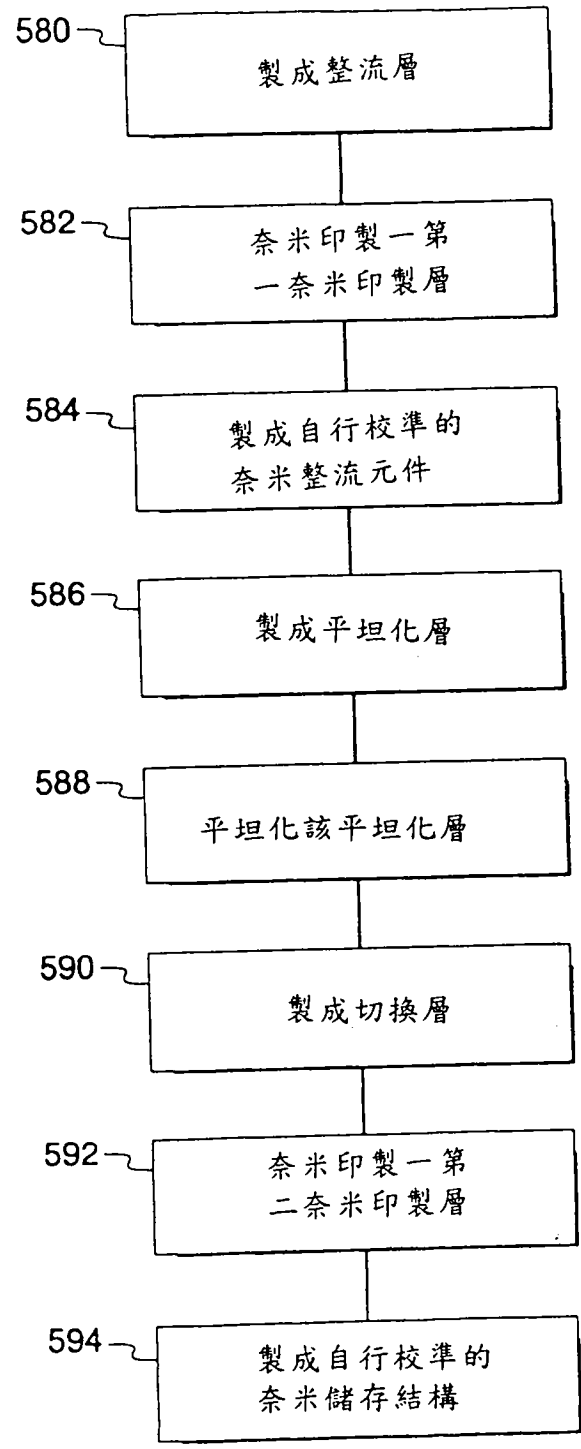
第 2 圖



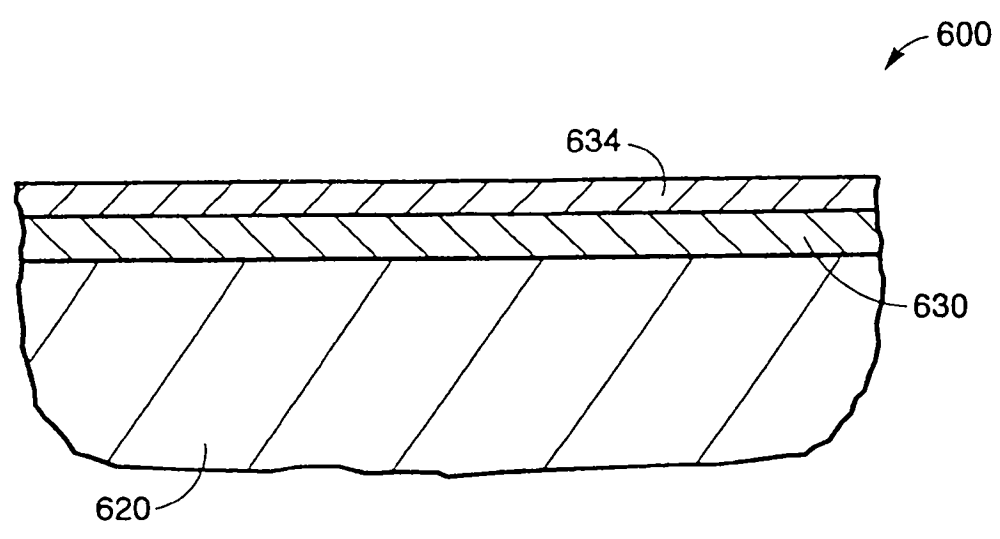
第 3 圖



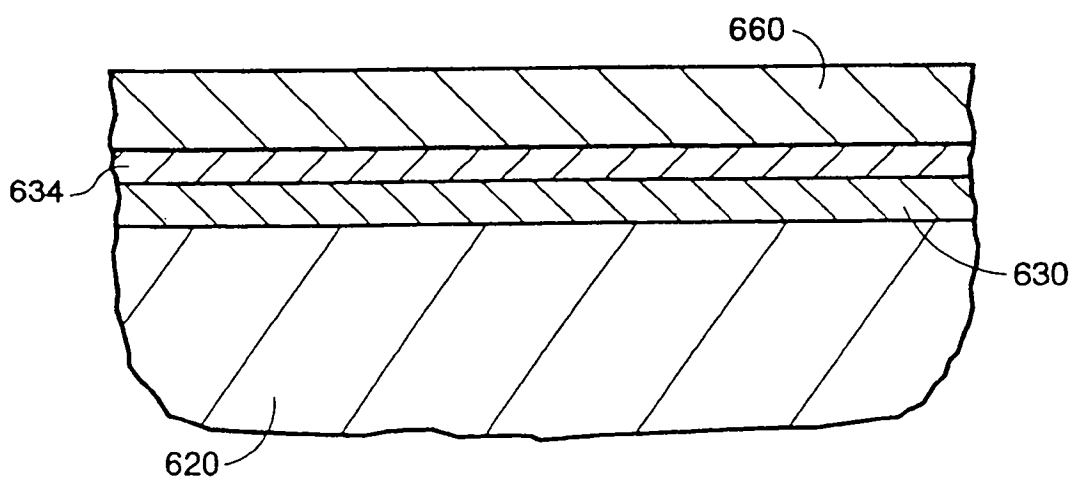
第 4 圖



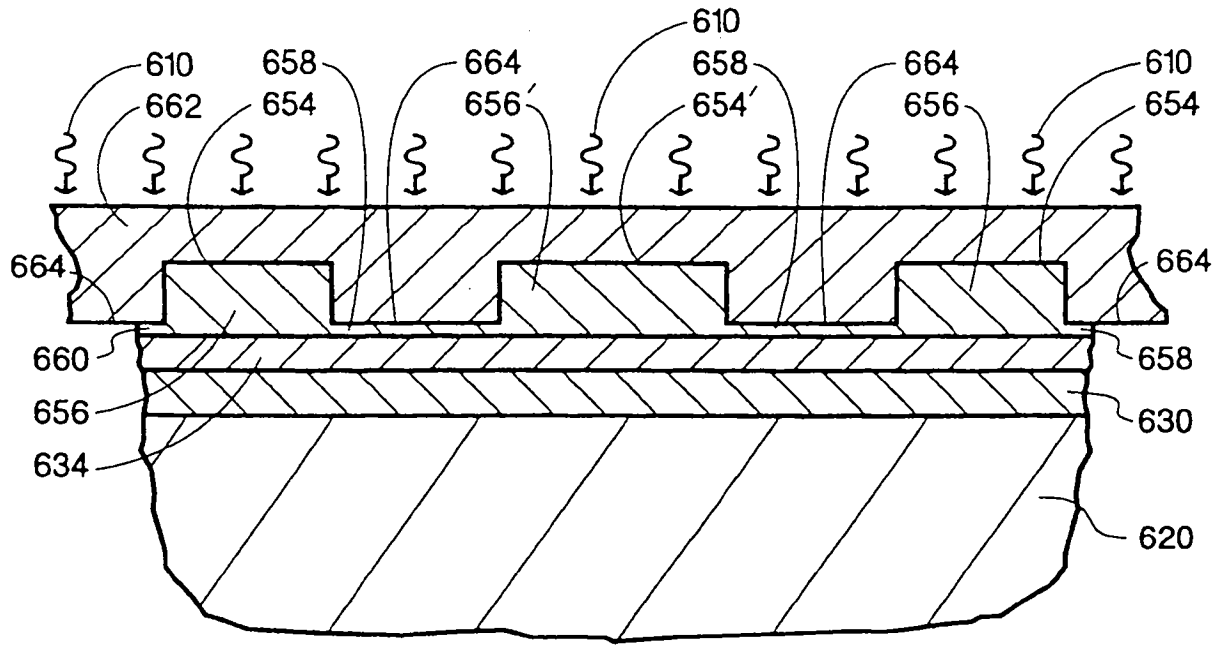
第 5 圖



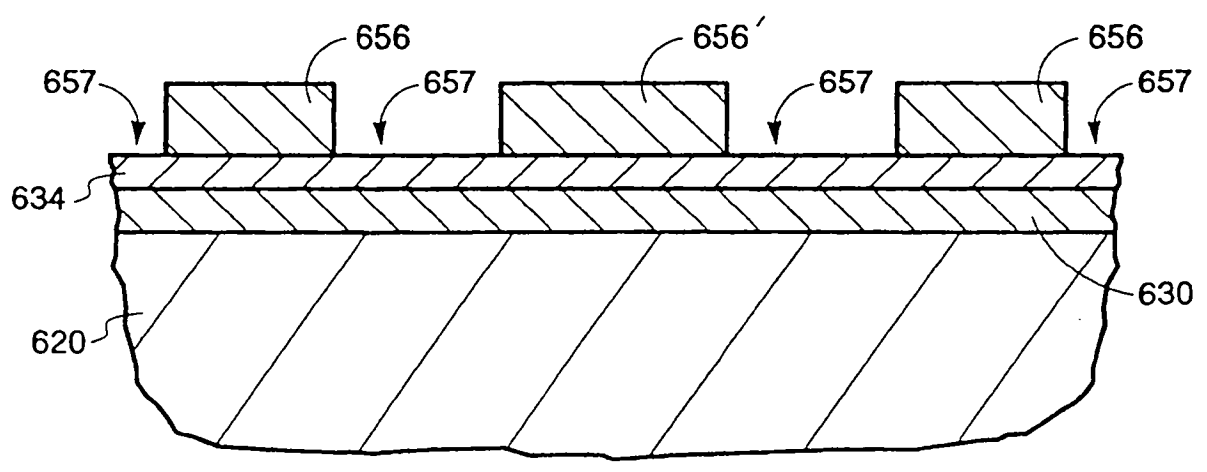
第 6a 圖



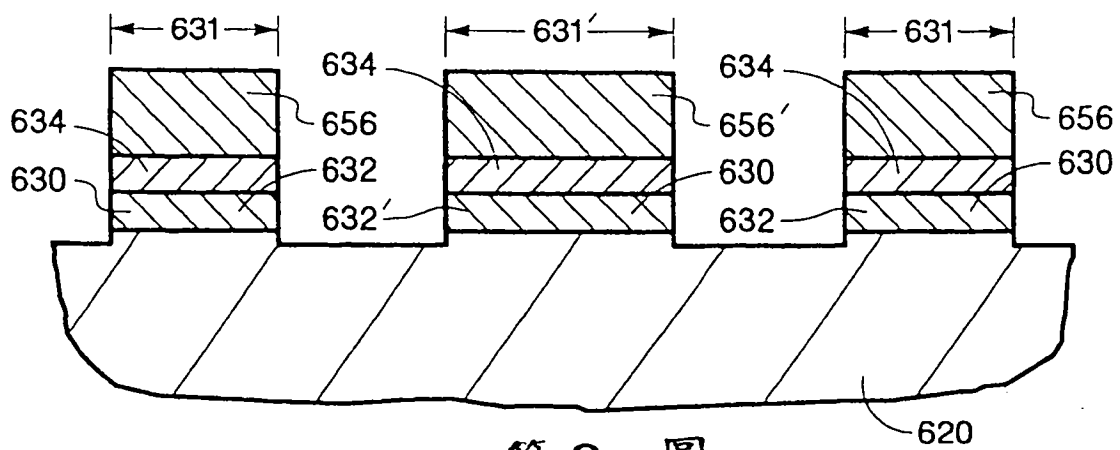
第 6b 圖



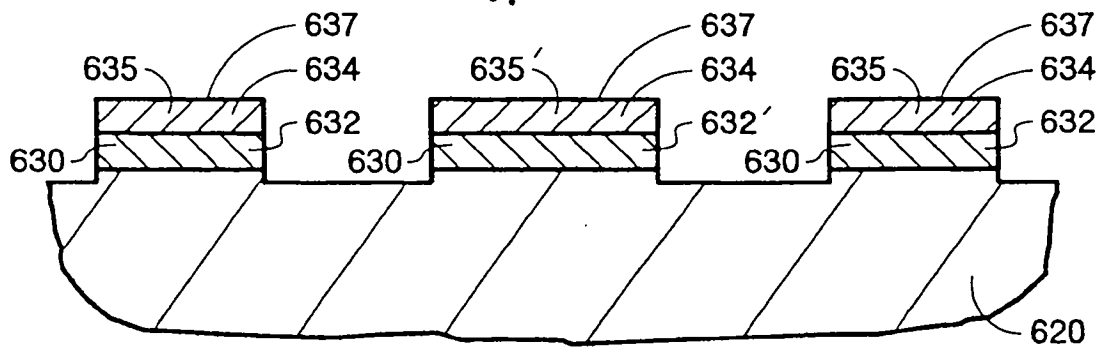
第 6c 圖



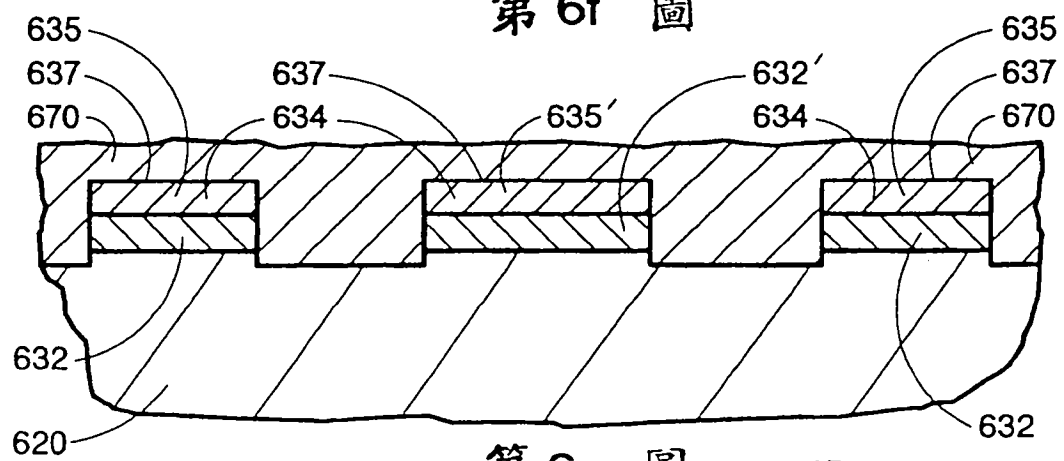
第 6d 圖



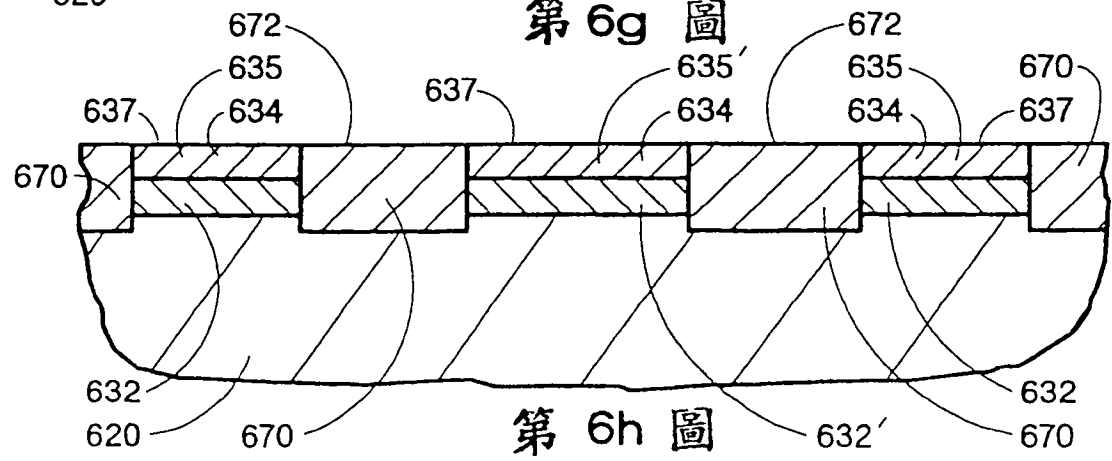
第 6e 圖



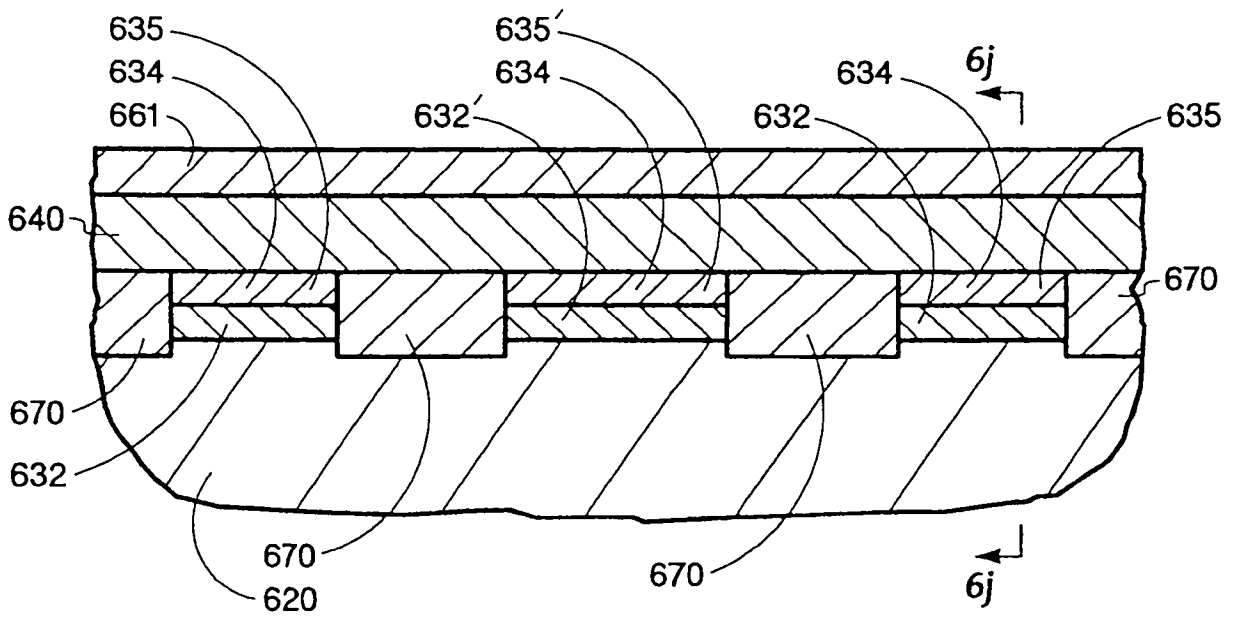
第 6f 圖



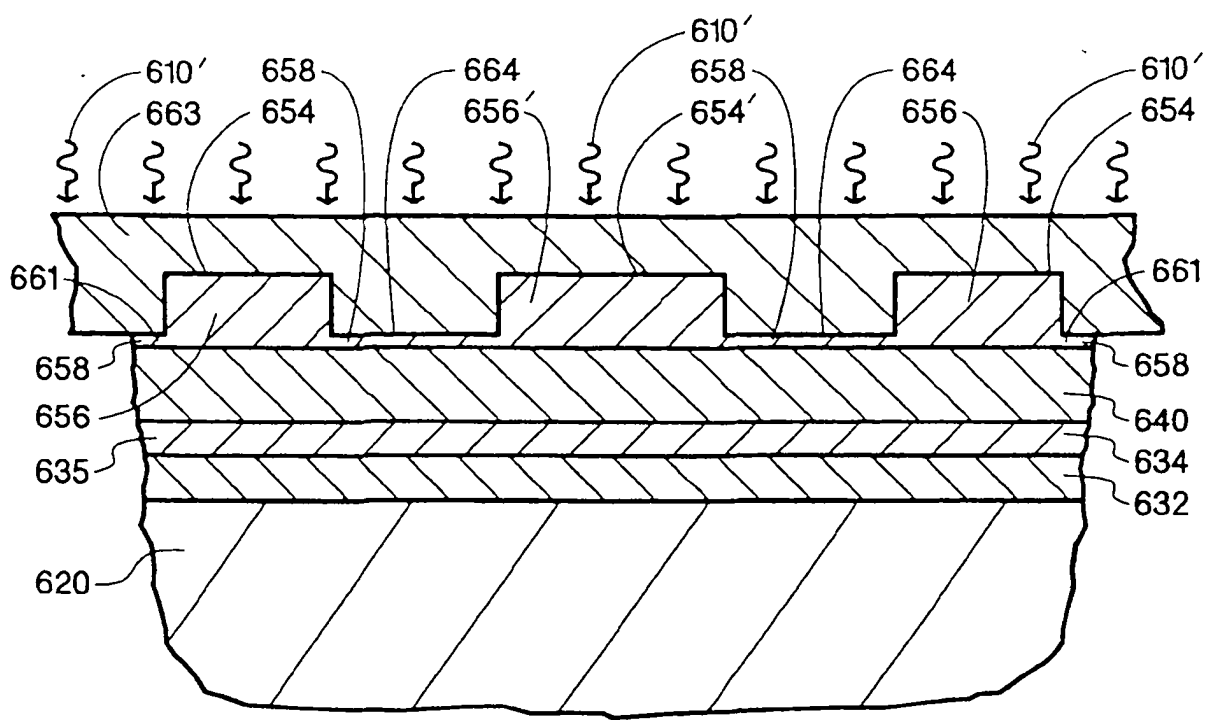
第 6g 圖



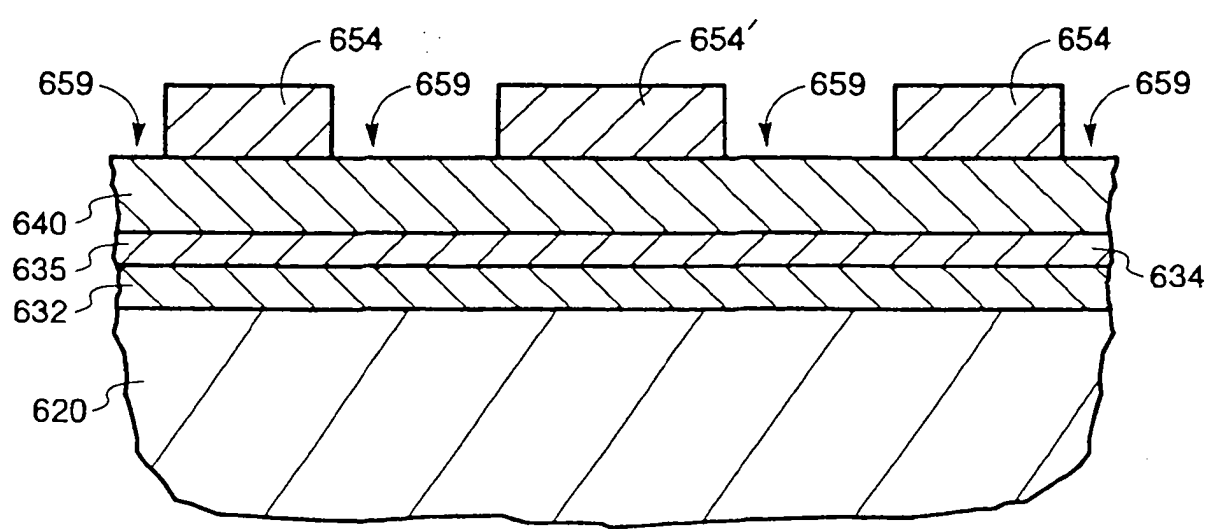
第 6h 圖



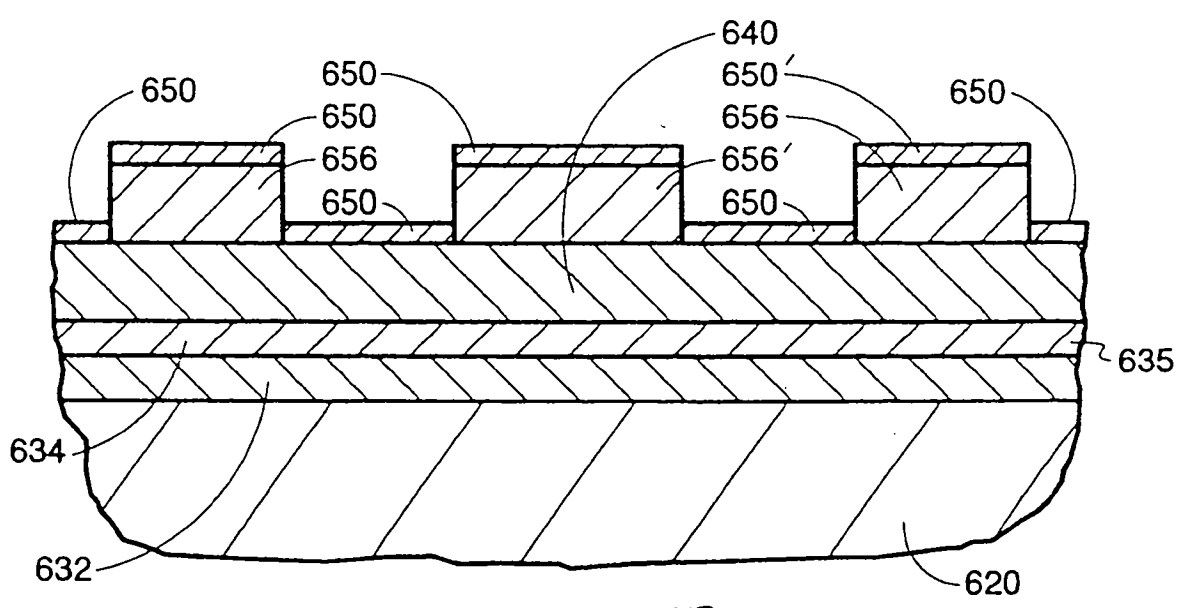
第 6i 圖



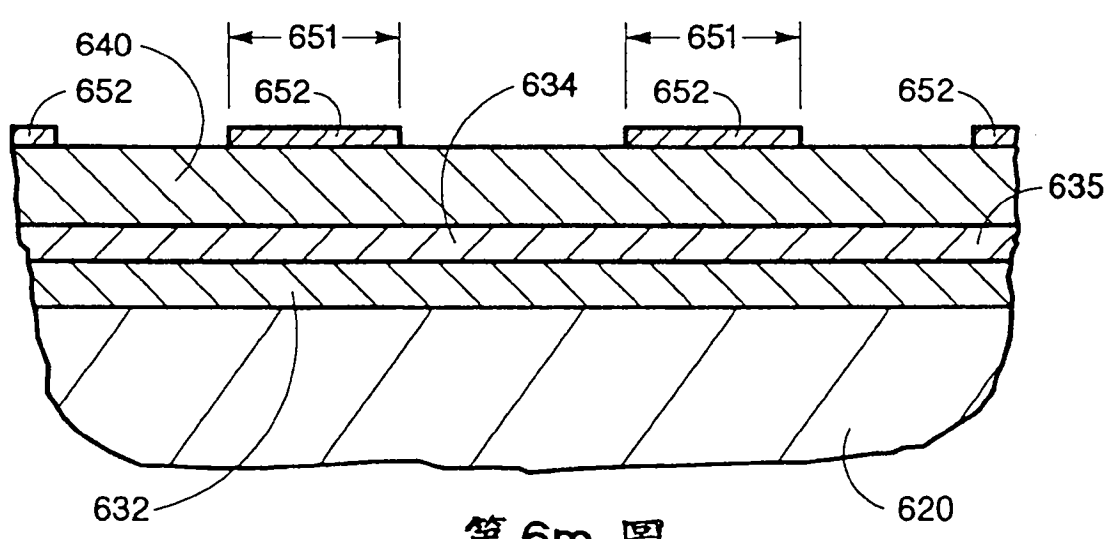
第 6j 圖



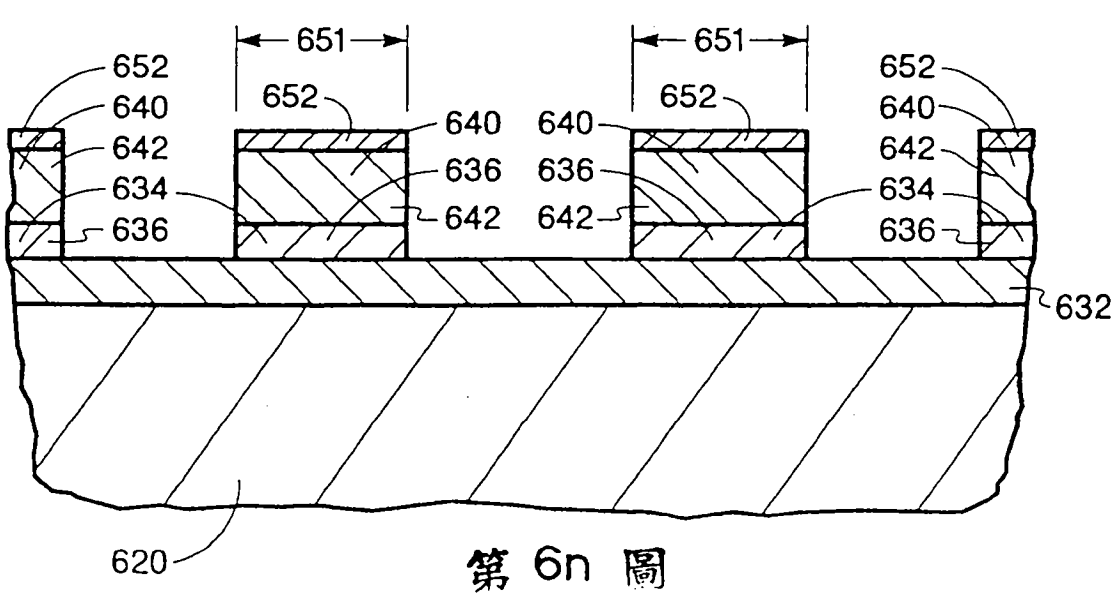
第 6k 圖



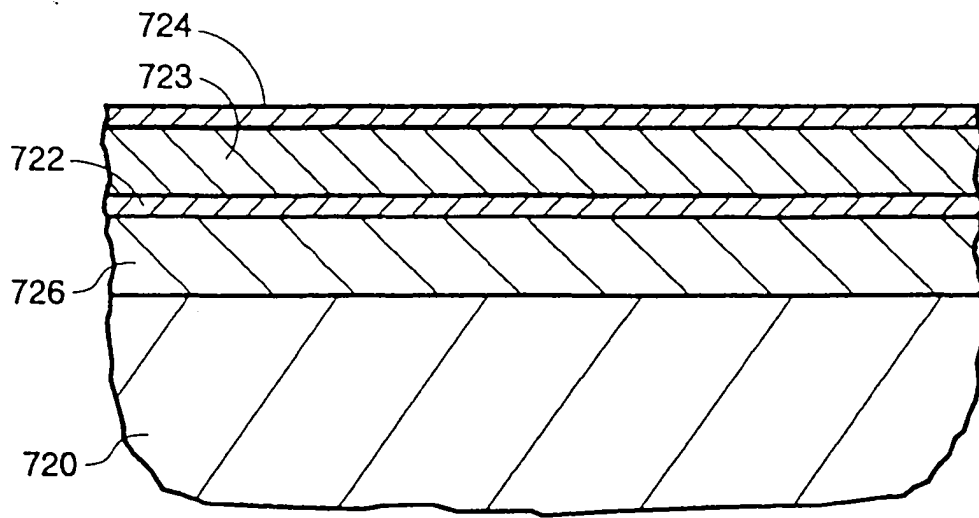
第 6l 圖



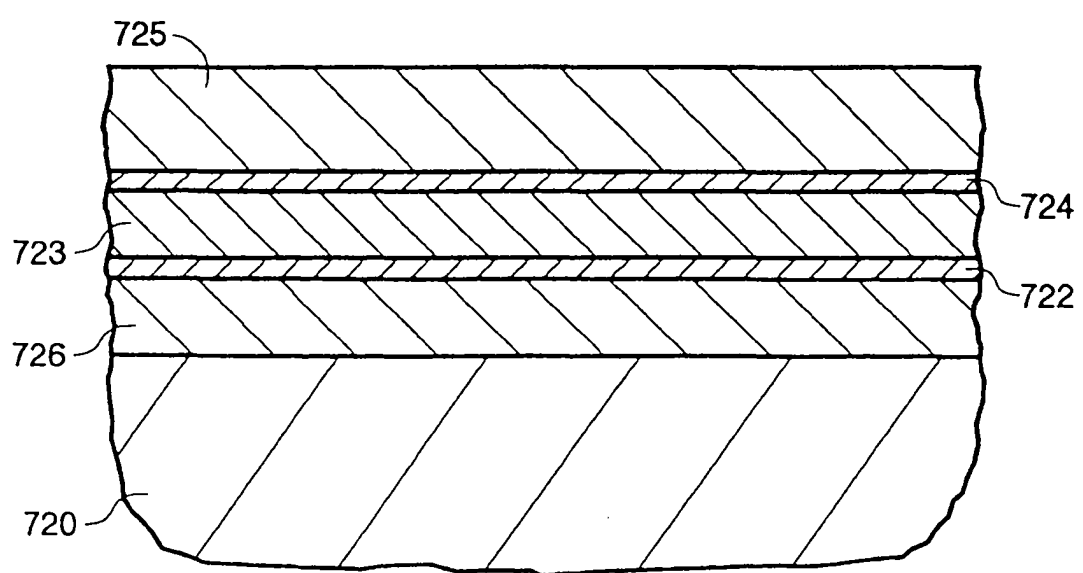
第 6m 圖



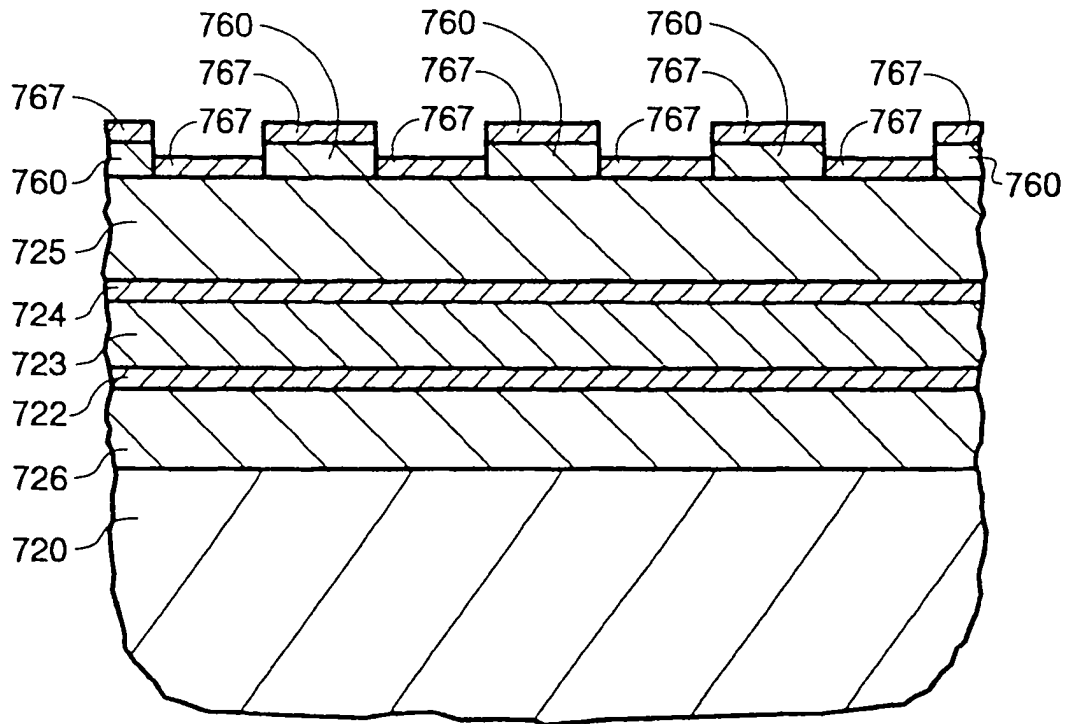
第 6n 圖



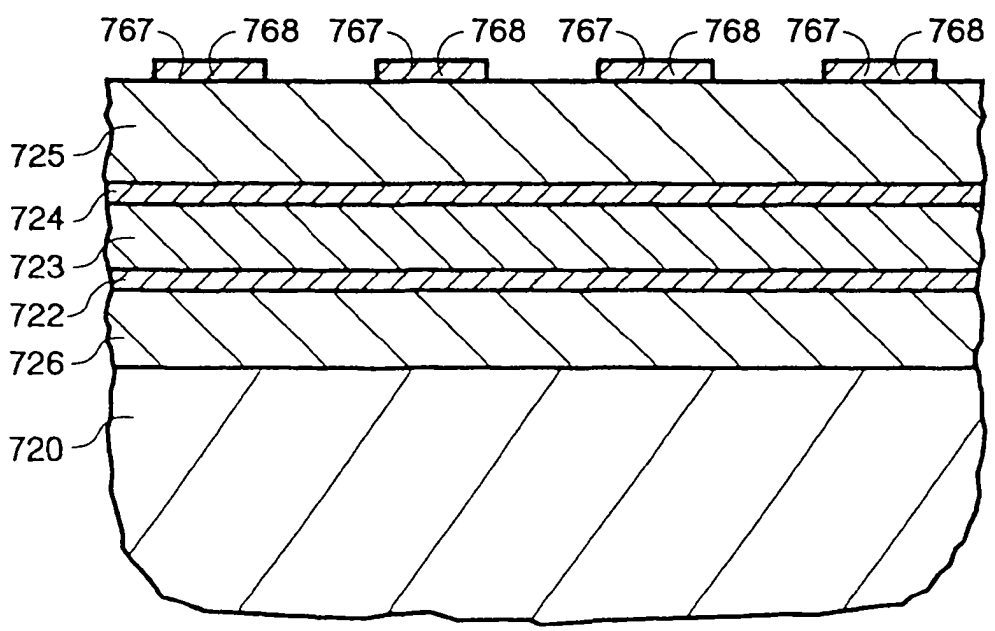
第 7a 圖



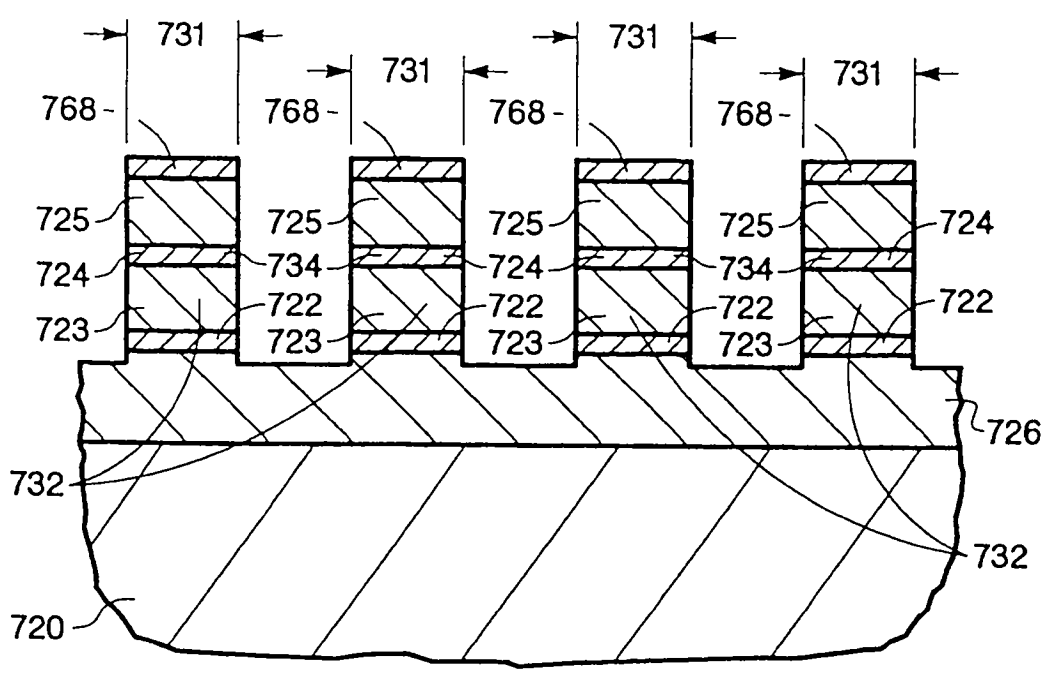
第 7b 圖



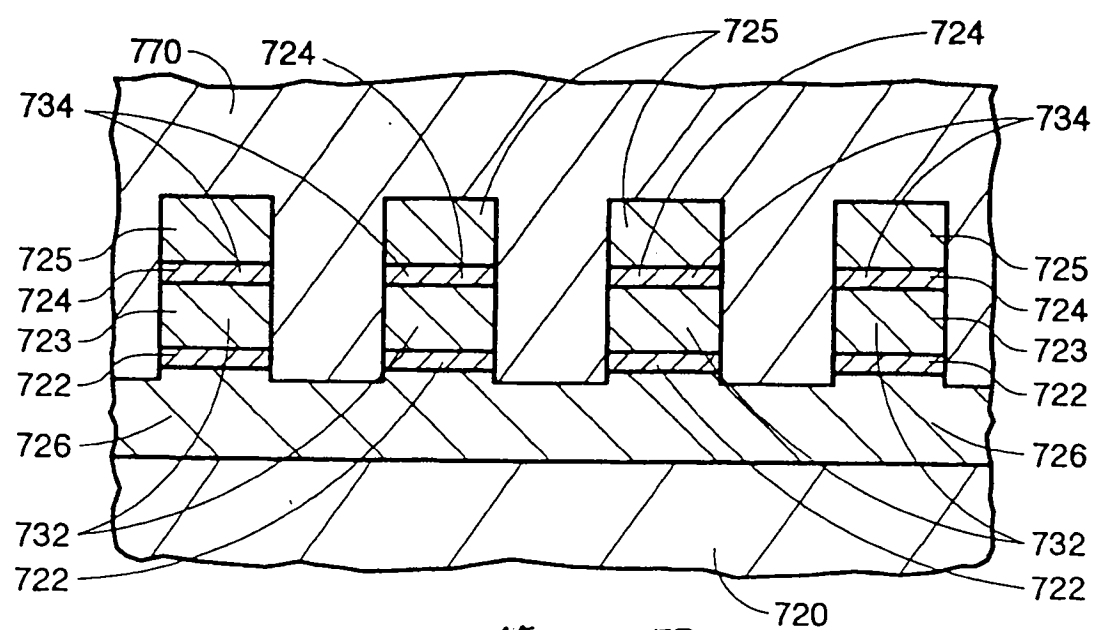
第 7c 圖



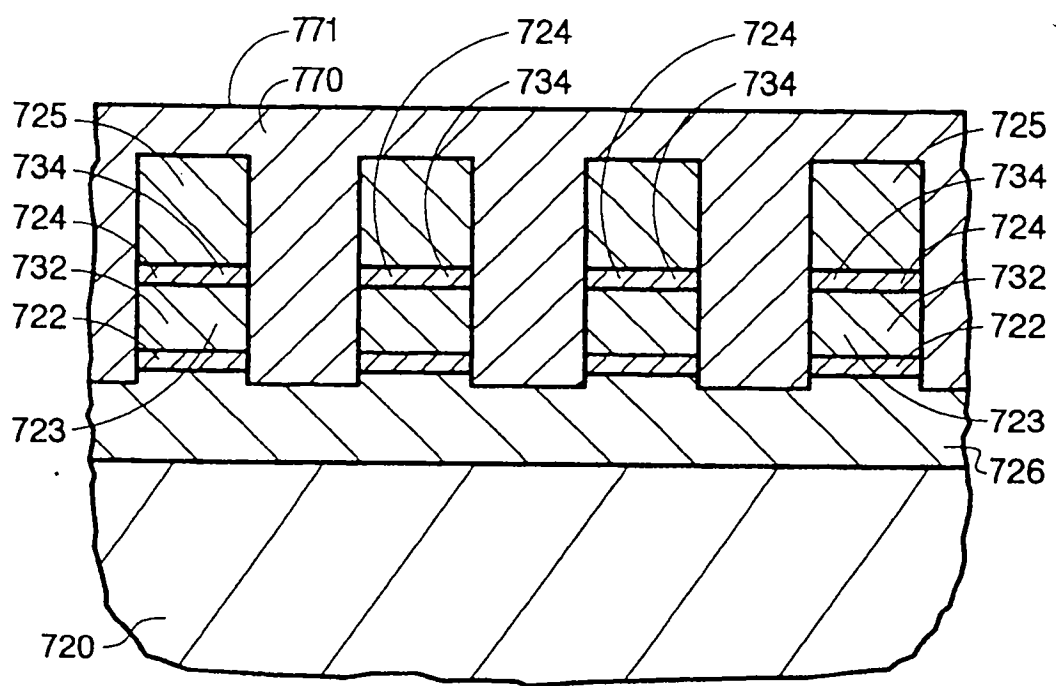
第 7d 圖



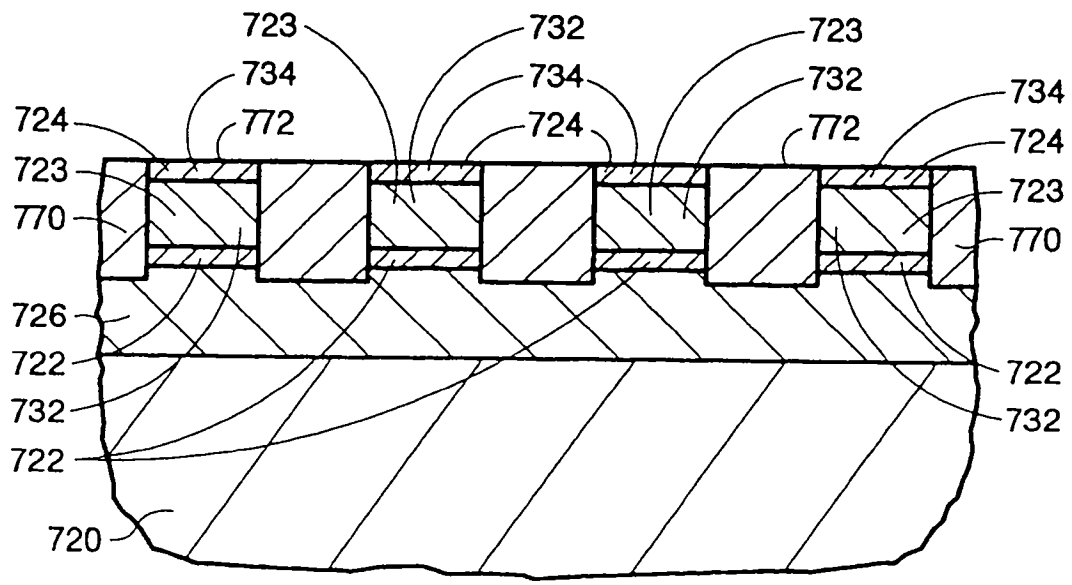
第 7e 圖



第 7f 圖



第7g 圖



第 7h 圖

七、指定代表圖：

(一)本案指定代表圖為：第 (1a) 圖。

(二)本代表圖之元件符號簡單說明：

100…交叉桿記憶結構

101…邏輯胞元

102…整流元件

104…儲存結構物

120…基材

131…線寬

132…第一可定址線

136…裝置結構物

142…切換線

151…線寬

152…第二可定址線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：