



# (12)发明专利

(10)授权公告号 CN 105009291 B

(45)授权公告日 2018.06.19

(21)申请号 201480011066.9

(22)申请日 2014.01.15

(65)同一申请的已公布的文献号  
申请公布号 CN 105009291 A

(43)申请公布日 2015.10.28

(30)优先权数据  
13/756,459 2013.01.31 US

(85)PCT国际申请进入国家阶段日  
2015.08.28

(86)PCT国际申请的申请数据  
PCT/US2014/011682 2014.01.15

(87)PCT国际申请的公布数据  
W02014/120447 EN 2014.08.07

(73)专利权人 苹果公司  
地址 美国加利福尼亚

(72)发明人 范晓峰

(74)专利代理机构 中国国际贸易促进委员会专利商标事务所 11038

代理人 边海梅

(51)Int.Cl.  
H01L 27/146(2006.01)  
H01L 29/78(2006.01)  
H01L 29/786(2006.01)

(56)对比文件  
CN 101998070 A, 2011.03.30,  
CN 102110700 A, 2011.06.29,  
US 2011315854 A1, 2011.12.29,  
CN 101998070 A, 2011.03.30,  
CN 102110700 A, 2011.06.29,  
US 2011049336 A1, 2011.03.03,  
US 2007272828 A1, 2007.11.29,  
CN 101637020 A, 2010.01.27,

审查员 李快快

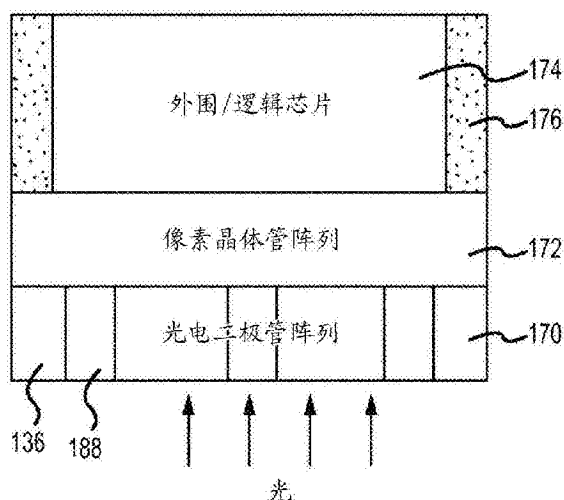
权利要求书3页 说明书32页 附图34页

## (54)发明名称

垂直堆叠的图像传感器

## (57)摘要

本发明公开了一种具有光电二极管芯片和晶体管阵列芯片的垂直堆叠图像传感器。光电二极管芯片包括至少一个光电二极管和从光电二极管芯片的顶表面垂直延伸的传输门。该图像传感器进一步包括堆叠于光电二极管芯片的顶部的晶体管阵列芯片。该晶体管阵列芯片包括控制电路和存储节点。该图像传感器进一步包括垂直堆叠于晶体管阵列芯片上的逻辑芯片。传输门从至少一个光电二极管向晶体管阵列芯片传送数据，并且逻辑芯片选择性地激活垂直传输门、复位门、源极跟随器门和行选择门。



1. 一种用于电子设备的图像传感器,包括:  
光电二极管芯片,所述光电二极管芯片包括:  
用于接收光的至少一个光电二极管;以及  
传输门,所述传输门从所述光电二极管芯片的顶表面垂直延伸;  
晶体管阵列芯片,所述晶体管阵列芯片与所述光电二极管芯片进行通信并垂直堆叠于所述光电二极管芯片上,所述晶体管阵列芯片包括:  
浮置扩散节点,所述浮置扩散节点与所述至少一个光电二极管进行通信;  
复位门,所述复位门与所述至少一个光电二极管进行通信;  
源极跟随器门,所述源极跟随器门与所述浮置扩散节点进行通信;和  
行选择门,所述行选择门与所述源极跟随器门和所述浮置扩散节点进行通信;和  
逻辑芯片,所述逻辑芯片可操作地垂直堆叠于所述晶体管阵列芯片上并与其进行通信;其中

所述传输门从所述至少一个光电二极管向所述晶体管阵列芯片传送数据并连接到所述晶体管阵列芯片;

所述传输门包括:

半导体传输沟道;

氧化物层,所述氧化物层围绕所述半导体传输沟道的外周边表面;

多晶硅层,所述多晶硅层至少部分地围绕所述氧化物层的外周边表面;和

金属层,所述金属层与所述半导体传输沟道和所述氧化物层进行通信;

所述金属层将所述传输门可通信地连接到所述晶体管阵列芯片;以及

所述逻辑芯片选择性地激活所述传输门、所述复位门、所述源极跟随器门和所述行选择门。

2. 根据权利要求1所述的图像传感器,其中所述传输门从所述光电二极管芯片的所述顶表面延伸到所述晶体管阵列芯片的底表面。

3. 根据权利要求1所述的图像传感器,其中所述半导体传输沟道为圆柱形的并且为硅。

4. 根据权利要求1所述的图像传感器,其中所述光电二极管芯片进一步包括存储传输门和存储节点。

5. 根据权利要求1所述的图像传感器,其中所述光电二极管芯片进一步包括抗晕光门。

6. 根据权利要求1所述的图像传感器,还包括延伸穿过所述晶体管阵列芯片的至少一部分和所述逻辑芯片的一部分的至少一个硅通孔。

7. 根据权利要求1所述的图像传感器,其中所述光电二极管芯片和所述晶体管阵列芯片垂直堆叠,使得所述光电二极管芯片的顶表面面向所述晶体管阵列芯片的底表面。

8. 根据权利要求1所述的图像传感器,其中所述传输门包括第一触点,并且所述晶体管阵列芯片包括第二触点,其中所述传输门的所述第一触点向所述晶体管阵列芯片的所述第二触点传输数据。

9. 一种移动电子设备,包括:

处理器;

显示屏,所述显示屏与所述处理器进行通信;

存储器部件,所述存储器部件与所述处理器和所述显示屏进行通信;和

至少一个图像捕获元件,所述至少一个图像捕获元件与所述处理器进行通信,所述至少一个图像捕获元件包括:

镜头;和

图像传感器,所述图像传感器与所述镜头进行光通信,所述图像传感器包括三芯片垂直叠层,所述三芯片垂直叠层包括晶体管阵列芯片、光电二极管芯片和逻辑芯片;

其中:

所述光电二极管芯片包括一个或多个光电二极管;

所述图像传感器进一步包括在所述光电二极管芯片和所述晶体管阵列芯片之间垂直延伸以将所述光电二极管芯片耦合到所述晶体管阵列芯片的一个或多个传输门;

至少一个光电二极管与所述一个或多个传输门中的相应传输门进行通信;以及

所述一个或者多个传输门之一包括:

半导体传输沟道;

氧化物层,所述氧化物层围绕所述半导体传输沟道的外周边表面;

多晶硅层,所述多晶硅层至少部分地围绕所述氧化物层的外周边表面;和

金属层,所述金属层与所述半导体传输沟道和所述氧化物层进行通信;

其中:

所述半导体传输沟道从所述光电二极管芯片的顶表面垂直延伸;并且

所述金属层将所述传输门可通信地连接到所述晶体管阵列芯片。

10. 根据权利要求9所述的移动电子设备,其中至少一个传输门从所述光电二极管芯片的顶表面延伸到所述晶体管阵列芯片的底表面。

11. 根据权利要求9所述的移动电子设备,其中所述半导体传输沟道为圆柱形的并且为硅。

12. 根据权利要求9所述的移动电子设备,其中所述光电二极管芯片进一步包括存储传输门和存储节点。

13. 根据权利要求9所述的移动电子设备,其中所述至少一个图像捕获元件进一步包括第一相机和第二相机。

14. 一种用于电子设备的图像传感器,包括:

光电二极管芯片,所述光电二极管芯片限定多个像素,每个像素包括:

用于接收光的光电二极管;以及

传输门,所述传输门从所述光电二极管芯片的顶表面垂直延伸;

晶体管阵列芯片,所述晶体管阵列芯片与所述光电二极管芯片进行通信并垂直堆叠于所述光电二极管芯片上,所述晶体管阵列芯片包括:

浮置扩散节点,所述浮置扩散节点与所述光电二极管进行通信;

复位门,所述复位门与所述光电二极管进行通信;

源极跟随器门,所述源极跟随器门与所述浮置扩散节点进行通信;和

行选择门,所述行选择门与所述源极跟随器门和所述浮置扩散节点进行通信;和

逻辑芯片,所述逻辑芯片可操作地垂直堆叠于所述晶体管阵列芯片上并与其进行通信;其中

所述传输门从所述光电二极管向所述晶体管阵列芯片传送数据并连接到所述晶体管

阵列芯片;并且

所述逻辑芯片选择性地激活所述传输门、所述复位门、所述源极跟随器门和所述行选择门;

其中所述传输门包括:

半导体传输沟道;

氧化物层,所述氧化物层围绕所述半导体传输沟道的外周边表面;

多晶硅层,所述多晶硅层至少部分地围绕所述氧化物层的外周边表面;和

金属层,所述金属层与所述半导体传输沟道进行通信;

其中:

所述金属层将所述传输门可通信地连接到所述晶体管阵列芯片。

15. 根据权利要求14所述的图像传感器,其中所述传输门从所述光电二极管芯片的所述顶表面延伸到所述晶体管阵列芯片的底表面。

## 垂直堆叠的图像传感器

[0001] 相关申请的交叉引用

[0002] 本专利合作条约专利申请要求于2013年1月31日提交的并且名称为“Vertically Stacked Image Sensor”的美国非临时专利申请13/756,459的优先权,该专利申请的内容全文以引用方式并入本文。

### 技术领域

[0003] 本发明整体涉及电子设备,并且更具体地涉及电子设备的图像传感器。

### 背景技术

[0004] 相机和其他图像记录设备通常使用一个或多个图像传感器,诸如电荷耦合器件(CCD)传感器或互补金属-氧化物-半导体(CMOS)图像传感器。典型的CMOS图像传感器可包括二维像素阵列,其中每个像素可包括诸如光电二极管的光检测器以及激活每个像素的一个或多个晶体管。可在卷帘式快门配置或全局式快门配置中实现图像传感器。

[0005] 在卷帘式快门中,图像传感器内的每个像素逐行捕获光,然后逐行向处理器读出所捕获的光。在这种配置中,在第一像素行从场景捕获光时以及在最后像素行从场景捕获光时之间可能有时间延迟。因此,如果在第一像素行和最后像素行之间在场景中存在移动,则移动可能被捕获为模糊的线或其他运动伪影。在全局式快门中,每个像素都在同一时间捕获光(即,具有相同的积分周期),然后像素将光传输到存储部件,直到可由处理器读出像素。在全局式快门配置中,捕获并在图像中再现的运动比卷帘式快门更好,因为每个像素恰好在同一时间捕获光。然而,在这种配置中,图像传感器通常必须包括用于每个像素的存储空间,这可能需要减小分辨率或增加图像传感器的尺寸。

[0006] 例如,图像传感器的分辨率通常取决于像素的数量,像素数量越高,图像传感器的分辨率就越高。然而,随着分辨率增大,图像传感器裸片的尺寸通常也增大。对于全局式快门配置的图像传感器而言,尤其存在尺寸增大现象,其中每个像素包括光捕获元件(例如光电二极管)和存储部件。因此,结合了全局式快门实施的图像快门通常比相同尺寸的卷帘式快门图像传感器具有更低的分辨率。

[0007] 此外,很多图像传感器可能会牺牲分辨率的提升而具有更小的尺寸。例如,很多便携式电子设备诸如手机、平板电脑等可能包括相机,但相机的图像传感器可能被设计成尽可能小。因此,便携式设备的很多相机可能具有分辨率降低的图像传感器,使得它们可尽可能小。

### 发明内容

[0008] 本公开的实例可以是一种电子设备的图像传感器。该图像传感器包括在光电二极管芯片和晶体管阵列芯片之间分裂的像素阵列。光电二极管芯片包括用于接收光的至少一个光电二极管或光门在一些实施例中,传输门从光电二极管芯片的顶表面垂直延伸。图像传感器进一步包括与光电二极管芯片进行通信的晶体管阵列芯片。晶体管阵列芯片包括与

至少一个光电二极管进行通信的浮置扩散节点、与至少一个光电二极管进行通信的复位门、与浮置扩散节点进行通信的源极跟随器门,以及与源极跟随器门和浮置扩散节点进行通信的行选择门。图像传感器进一步包括可操作地连接到晶体管阵列芯片并与其进行通信的逻辑芯片。传输门从至少一个光电二极管向晶体管阵列芯片传送数据,并且逻辑芯片选择性地激活垂直传输门、复位门、源极跟随器门和行选择门。

[0009] 本公开的其他实例可以是移动电子设备。该移动电子设备包括处理器、与处理器进行通信的显示屏、与处理器和显示屏进行通信的存储器部件,以及与处理器进行通信的至少一个相机。至少一个相机包括镜头以及与镜头进行光通信的至少一个图像传感器,图像传感器包括三芯片垂直叠层,该三芯片垂直叠层包括控制电路芯片、光电二极管芯片和逻辑芯片。

[0010] 本公开的其他实例包括图像传感器,该图像传感器包括垂直传输门和/或水平传输门。在这些实施例中,图像传感器可包括一个或多个共享像素,对于像素架构内的一个或多个门具有不同掺杂并且在整个积分过程中电荷传输有变化。

## 附图说明

[0011] 图1A是包括一个或多个相的电子设备的透视视图。

[0012] 图1B是图1A的电子设备的后透视图。

[0013] 图2是图1A的电子设备的简化框图。

[0014] 图3是沿图1A中的线3-3截取的图1A的电子设备的横截面视图。

[0015] 图4A是针对电子设备的相机的图像传感器架构的简化图。

[0016] 图4B是示出了单个像素的图4A的像素架构的放大视图。

[0017] 图5是图4A的像素的简化示意图。

[0018] 图6是示出了垂直传输门的图5的像素的示意图。

[0019] 图7是示出了在光电二极管芯片和晶体管阵列芯片之间延伸的垂直传输门的图6的示意图的框图。

[0020] 图8是示出了包括光电二极管芯片、晶体管阵列芯片和逻辑芯片的芯片叠层的图像传感器的简化框图。

[0021] 图9A是示出了图像传感器,尤其是光电二极管芯片和晶体管阵列芯片之间的传输门的简化结构的框图。

[0022] 图9B是示出了具有四个像素的像素单元的简化结构的框图,该框图示出了光电二极管芯片和晶体管阵列芯片之间的传输门。

[0023] 图10是沿图9A中的线10-10截取的传输门的横截面视图。

[0024] 图11是包括光电二极管芯片上的存储门的光电二极管芯片和晶体管阵列芯片上的像素的简化图。

[0025] 图12A是具有共享控制电路的像素单元的简化示意图。

[0026] 图12B是包括图12A的共享架构的图像传感器的简化横截面。

[0027] 图12C是用于包括共享浮置扩散节点的四个像素的单色模式图像传感器的像素共享架构的简化示意图。

[0028] 图12D是用于实现全局式快门单色模式图像传感器的像素共享架构的简化示意

图。

[0029] 图12E是示出了操作双模式图像传感器的方法的流程图。

[0030] 图13是包括多个控制通路的共享像素架构的另一实例的简化示意图。

[0031] 图14是具有共享架构的图像传感器的简化示意图,该共享架构包括具有可调节转化增益的浮置扩散节点。

[0032] 图15A是具有共享控制电路和全局式快门配置的像素单元的简化示意图。

[0033] 图15B是全局式快门共享架构配置的简化示意图。

[0034] 图15C示出了包括用于每个像素的存储节点和可调节转化增益的共享像素架构的另一个实例。

[0035] 图16A是包括有效全局式快门配置的四像素单元的简化示意图。

[0036] 图16B是针对图16A的示意图的时序图。

[0037] 图17A是包括二像素混合配置的图像传感器的简化示意图。

[0038] 图17B是四像素混合配置和象限像素混合配置的简化示意图。

[0039] 图18是示出了包括三芯片叠层阵列的图像传感器的简化图。

[0040] 图19A是示出了初始被连接在一起之后的晶体管阵列芯片和光电二极管芯片的简化框图。

[0041] 图19B是晶体管阵列芯片减薄之后的晶体管阵列芯片和光电二极管芯片的简化框图。

[0042] 图19C是可操作地连接到逻辑芯片的晶体管阵列芯片和光电二极管芯片的简化框图。

[0043] 图19D是光电二极管芯片被减薄之后可操作地连接在一起的晶体管阵列芯片、逻辑芯片和光电二极管芯片的简化框图。

[0044] 图20是示出了用于图像传感器的制造过程的第一实例的流程图。

[0045] 图21A是示出了可操作地连接在一起之后的晶体管阵列芯片和逻辑芯片的简化框图。

[0046] 图21B是示出了可操作地连接在一起的逻辑芯片和晶体管阵列芯片以及晶体管阵列芯片被减薄的简化框图。

[0047] 图21C是示出了可操作地连接到光电二极管芯片的逻辑芯片和晶体管阵列芯片的简化框图。

[0048] 图21D是示出了可操作地连接在一起的逻辑芯片、晶体管阵列芯片和光电二极管芯片以及光电二极管芯片被减薄的简化框图。

[0049] 图21E是包括光电二极管芯片、晶体管阵列芯片和逻辑芯片的图像传感器叠层的简化框图。

[0050] 图22是示出了用于图像传感器的制造过程的第二实例的流程图。

[0051] 图23A是示出了包括四芯片叠层的图像传感器的简化框图。

[0052] 图23B是示出了包括四芯片叠层的图像传感器的另一实例的简化框图。

[0053] 图24A是包括用于芯片间连接的进行不同掺杂触点的像素电路的简化示意图。

[0054] 图24B是示出了第一肖特基触点和第二肖特基触点和环形门结构的图24A的光电二极管芯片和晶体管阵列芯片的简化横截面图。

- [0055] 图24C是图24B的光电二极管芯片的顶视图。
- [0056] 图25A是包括用于芯片间触点的浅掺杂区域的像素电路的简化示意图。
- [0057] 图25B是示出了用于图25A的电路的掺杂方案的简化框图。
- [0058] 图25B是示出了用于图25A的电路的掺杂方案的简化框图。
- [0059] 图26A是包括定位于晶体管阵列芯片上的存储节点的像素电路的简化示意图。
- [0060] 图26B是示出了与包括光屏蔽的晶体管阵列芯片堆叠的光电二极管芯片的图示。
- [0061] 图26C是示出了与包括多个光屏蔽层的晶体管阵列芯片堆叠的光电二极管芯片的图示。
- [0062] 图27示出了用于具有动态可调节全阱容量的图像传感器的像素的示例性示意图。
- [0063] 图28是示出了用于为图像传感器的一个或多个光电二极管调节全阱容量的方法的流程图。

## 具体实施方式

### [0064] 概述

[0065] 本公开可采取相机和其他电子设备的图像传感器的形式。本公开的很多实施例包括一种具有传输门的图像传感器,以在图像传感器中的光电二极管和用于那些光电二极管的读出电路之间进行通信。在一些实施例中,传输门可以是垂直取向的(如下文更详细所述的),并且在其他实施例中,传输门可以是水平取向的。可基于要实施的期望实施例以及图像传感器期望的尺寸、形状和功能来选择传输门的取向。

[0066] 在一些实施例中,图像传感器可包括像素阵列,该像素阵列具有堆叠在一起并利用垂直门结构互连的两个或更多个芯片。换句话说,可将像素阵列分成两个芯片,例如,一个芯片具有光电二极管,另一个芯片具有读出电路和晶体管阵列。例如,第一芯片可首先包括光电二极管,第二芯片可垂直堆叠于第一芯片上,可包括晶体管阵列。垂直传输门可将两个芯片可通信地耦接在一起。通过包括独立芯片上的晶体管阵列,可使光电二极管曝光区域最大化,因为第一芯片可能无需包括用于晶体管阵列的空间。可以将这一节省空间用于附加像素或增大用于每个光电二极管的阱尺寸。

[0067] 在一些实施例中,图像传感器还可包括堆叠于晶体管阵列芯片顶部的第三芯片诸如逻辑芯片。晶体管阵列芯片、光电二极管芯片和逻辑芯片可以通过一个或多个垂直传输门、金属与金属(或其他导电材料)触点和/或硅通孔进行通信。在一些情况下,两个芯片诸如晶体管阵列芯片和逻辑芯片可通过一个通信连接(例如,硅通孔)进行通信,并且第三芯片(例如,光电二极管芯片)可通过另一个连接(例如,垂直传输门)与另外两个芯片中的一个芯片进行通信。此外,在一些实施例中,图像传感器可包括堆叠于逻辑芯片上的第四芯片。例如,图像传感器可包括堆叠于逻辑芯片上的存储器芯片。

[0068] 在其他实施例中,光电二极管芯片和晶体管阵列芯片可通过环形门结构进行通信。环形门结构可形成于光电二极管芯片上,并且芯片间连接(诸如导线)可垂直延伸以与晶体管阵列芯片连接。在该实例中,光电二极管芯片和晶体管阵列芯片可各自包括通过芯片间连接而连接在一起的一个或多个肖特基触点。每个肖特基触点都可形成三阱结构以减小漏电流。例如,每个触点都可被掺杂材料与触点相反的阱围绕(例如,n掺杂的触点被p掺杂的阱围绕)。肖特基触点允许光电二极管芯片和晶体管阵列芯片之间的芯片间连接被钉



扎,这样可控制光电二极管的耗尽电压和电荷存储量。此外,在处于正向偏置时,肖特基触点可能被完全耗尽,因为可优化图像传感器的有源区域尺寸和掺杂以用于实现完全耗尽有源区域所需的偏压。换句话说,可以确定掺杂量和面积以对应于来自光电二极管的预期电荷传输。光电二极管芯片和晶体管阵列芯片之间的触点的掺杂类型可基于图像传感器的期望像素架构而变化。

[0069] 在另一个实例中,可控制形成并与传输门进行通信的节点的掺杂浓度、掺杂深度和节点有源面积,使得电荷传输节点在重置和传输后之间具有基本上相同的状态。例如,图像传感器可包括形成电荷存储节点的浅掺杂区域,其中掺杂浓度可相对较高。换句话说,每个浅掺杂区域都可以是高掺杂的,但具有薄的厚度或深度。小尺寸但高掺杂浓度可允许电荷从存储节点完全传输,从而减小所捕获的图像内的噪声和误差。

[0070] 在一些实施例中,图像传感器的每个节点的钉扎电势可从光电二极管向着浮置扩散节点增大。换句话说,每个节点的掺杂浓度可从光电二极管向着浮置扩散节点增大。在这些实施例中,电压耗尽电平从光电二极管向着浮置扩散节点升高,这样可允许电荷更容易地在光电二极管和浮置扩散节点(在此可最终读出电荷)之间传输电荷。

[0071] 在一些实施例中,堆叠的图像传感器还可提供具有更小像素尺寸的全局式快门。这是可能的,因为存储来自光电二极管的电荷的存储节点可定位于光电二极管曝光区域上方,从而保持光电二极管区域的尺寸,尽管在图像传感器中包括了附加部件。此外,在一些全局式快门操作中,可能需要附加晶体管来操作像素。例如,存储门可以包括控制电荷进入和离开存储节点的一个或多个晶体管。在这些实施例中,图像传感器可允许这些附加晶体管定位于光电二极管上方,从而不会减小允许用于光电二极管的第一芯片上的表面面积或空间。

[0072] 此外,堆叠的图像传感器可包括可用于在光学和/或电学上隔离存储部件(可用于实现全局式快门)的一个或多个屏蔽。例如,图像传感器可在后侧被照明,并且存储部件可定位于晶体管阵列芯片上,并且金属屏蔽可定位于光电二极管芯片和晶体管阵列芯片之间。在该实例中,存储部件或节点可与暴露于光电二极管的光源光学隔离,这样可减少可能由于存储部件暴露于光而给由图像传感器所捕获的图像带来的伪影。金属屏蔽可防止光污染(例如,在积分期间未被光电二极管捕获的光)进入存储节点并损坏其中存储的数据。这样可减少由于光电二极管芯片之内反射的光或积分之后进入光电二极管芯片的光导致的误差。

[0073] 在其他实施例中,图像传感器可包括可被相邻像素共享的一个或多个部件。例如,可由像素组来共享一个或多个存储节点或晶体管。继续本实例,在全局式快门实施中,可将像素组内的用于共享像素中的每个共享像素的电荷相继传输到存储节点,并且可全局性地访问每组像素(例如,像素单元)。作为另一个实例,可将选择像素单元内的像素汇总在一起,以在诸如低光照期间产生最大信号。

[0074] 在包括共享像素架构的一些实施例中,可通过与其他像素共享一些像素的电荷来使用于像素单元的电荷重新平衡。例如,可重置像素单元内的选择像素,并可向一个或多个重置像素(至少部分地)分发单元内的其他像素的光电二极管中存储的电荷。在像素之间使电荷重新平衡可允许动态调节图像传感器的灵敏度,而无需相机内的孔径控制。

[0075] 本公开还可包括制造图像传感器的方法的实例。在包括垂直传输门的实施例中,

在一些情况下可制造堆叠的图像传感器,使得每个芯片可基本具有相同的裸片尺寸并可在晶圆层级上堆叠。与常规图像传感器相比,在晶圆层级上堆叠芯片可减小总体裸片/模块尺寸,以及增强像素/传感器功能。此外,因为可将图像传感器的某些功能例如光电二极管和晶体管逻辑部件分到独立的芯片中,所以可针对特定功能来优化每个芯片。

[0076] 在一些实施例中,图像传感器可被配置为改变转化增益,以基于照明和其他操作条件来优化或增强像素信号。例如,因为已将光电二极管从晶体管阵列分开,所以提高了每个像素可用的硅量,这允许使用更多部件。在一些情况下,可基于像素电荷水平(例如,通过复用过程)选择不同的浮置扩散节点,或者可通过转化离子增益控制门来将浮置扩散区域连接到电容器或类似部件。

#### [0077] 详细描述

[0078] 现在参考附图,将更详细地论述图像传感器和用于结合图像传感器的示例性电子设备。图1A是包括图像传感器的电子设备100的前正视图。图1B是电子设备100的后正视图。电子设备100可包括第一相机102、第二相机104、外壳106、显示器110和输入/输出按钮108。电子设备100可以是基本任何类型的电子或计算设备,诸如但不限于计算机、膝上型电脑、平板电脑、智能电话、数字相机、打印机、扫描仪、复印机等。电子设备100还可包括通常是计算或电子设备的一个或多个内部部件(未示出),诸如但不限于一个或多个处理器、存储器部件、网络接口等。

[0079] 如图1中所示,外壳106可为电子设备100的内部部件形成外表面或部分外表面和保护性壳体,并可以至少部分地围绕显示器110。外壳106可由可操作地连接在一起的一个或多个部件形成,诸如前件和后件,或者可由可操作地连接到显示器110的单件形成。

[0080] 输入构件108(其可以是开关、按钮、电容传感器或其他输入机构)允许用户与电子设备100进行交互。例如,输入构件108可以是用于改变音量、返回home屏幕等的按钮或开关。电子设备100可包括一个或多个输入构件108和/或输出构件,并且每个构件可具有单个输入或输出功能或多个输入/输出功能。

[0081] 显示器110可以可操作地连接到电子设备100或者可通信地耦接到其上。显示器110可为电子设备100提供视觉输出和/或可用于接收对电子设备100的用户输入。例如,显示器110可以是可检测一个或多个用户输入的多触摸电容性感测屏幕。

[0082] 电子设备100还可包括若干内部部件。图2是电子设备100的简化框图。电子设备100还可包括一个或多个处理器114、存储装置或存储器部件116、输入/输出接口118、电源120以及一个或多个传感器122,下面将逐个论述每个部件。

[0083] 处理器114可控制电子设备100的操作。处理器114可直接地或间接地与电子设备100的基本上所有的部件进行通信。例如,一个或多个系统总线124或其他通信机构可提供处理器114、相机102,104、显示器110、输入构件108、传感器122等之间的通信。处理器114可以是能够处理、接收和/或传输指令的任何电子设备。例如,处理器114可以是微处理器或微型计算机。如本文所述,术语“处理器”意在涵盖单个处理器或处理单元、多个处理器或多个处理单元或其他适当配置的计算元件。

[0084] 存储器116可存储可由电子设备100利用的电子数据。例如,存储器116可存储与各种应用对应的电气数据或内容,例如音频文件、视频文件、文档文件等。存储器116可以是例如非易失性存储装置、磁性存储介质、光学存储介质、光磁存储介质、只读存储器、随机存取

存储器、可擦除可编程存储器或闪存存储器。

[0085] 输入/输出接口118可从用户或一个或多个其他电子设备接收数据。此外,输入/输出接口118可方便向用户或向其他电子设备传输数据。例如,在电子设备100为电话的实施例中,输入/输出接口118可用于从网络接收数据,或者可用于通过无线或有线连接(例如互联网、WiFi、蓝牙和以太网)发送和传输电子信号。在一些实施例中,输入/输出接口118可支持多种网络或通信机构。例如,网络/通信接口118可与蓝牙网络上的另一个设备配对以向其他设备传输信号,同时从WiFi或其他网络接收数据。

[0086] 电源120可以是能够向计算设备100提供能量的基本上任何设备。例如,电源120可以是电池、可被配置为将电子设备100连接到另一电源诸如壁装电源插座等的连接电缆等。

[0087] 传感器122可包括基本上任何类型的传感器。例如,电子设备100可包括一个或多个音频传感器(例如麦克风)、光传感器(例如环境光传感器)、陀螺仪、加速度计等。传感器122可用于向处理器114提供数据,这可用于增强或改变电子设备100的功能。

[0088] 再次参考图1A和1B,电子设备100还可包括一个或多个相机102,104,以及任选的用于相机的闪光灯112或光源。图3是沿图1A中的线3-3截取的一个相机102的简化横截面视图。尽管图3示出了第一相机102,但应当指出,第二相机104可基本类似于第一相机102。在一些实施例中,一个相机可包括配置有图像传感器的全局式快门,并且一个相机可包括配置有图像传感器的卷帘式快门。在其他实例中,一个相机可具有分辨率比其他相机中的图像传感器更高的图像传感器。参考图3,相机102,104可包括与图像传感器130进行光通信的镜头126。镜头126可光学连接到外壳106并定位于图像传感器130上方。镜头126可在其视场内将光128引导或传输到图像传感器130的光电二极管层(下文更详细论述)上。

[0089] 图像传感器130可由衬底132或其他支撑结构支撑于镜头126下方。图像传感器130可将光128转换成可表示来自所捕获场景的光的电信号。换句话说讲,图像传感器130捕获经由镜头126光学传输的光128,使之成为电信号。

#### [0090] 图像传感器架构

[0091] 现在将更详细地论述用于图像传感器130的示例性架构。图4A是用于图像传感器130的架构的简化示意图。图4B是图4A的像素架构的像素的放大视图。图5是图4A的像素的简化示意图。参考图4A-图5,图像传感器可包括图像处理部件150和像素架构134或像素阵列。这种架构限定一个或多个像素136和/或像素单元138的组(例如,分组在一起以形成Bayer像素或其他像素集合的像素136组)。像素架构134可通过一个或多个列输出线146与列选择140进行通信,并通过一个或多个行选择线148与行选择144进行通信。

[0092] 行选择144和/或列选择140可与图像处理器142进行通信。图像处理器142可处理来自像素136的数据并向处理器114和/或电子设备100的其他部件提供数据。应当指出,在一些实施例中,图像处理器142可并入处理器114中或者与其分开。行选择144可选择性地激活特定像素136或像素组,诸如某行上的所有像素136。列选择140可从选择像素136或像素136的组选择性地接收数据输出(例如,具有特定列的所有像素)。

[0093] 参考图5,每个像素136可包括晶体管阵列152或控制电路和光电二极管154。光电二极管154可与镜头126进行光通信,以接收通过其传输的光。光电二极管154可吸收光并将所吸收的光转换为电信号。光电二极管154可以是基于电子的光电二极管或基于孔的光电二极管。此外,应当指出,本文使用的术语光电二极管意在涵盖基本任何类型的光子或光检

测部件,诸如光门或其他光子敏感区域。光电二极管154耦接到传输门158,该传输门158选择性地 将光电二极管154连接到像素136的其余控制电路152。

[0094] 传输门158耦接到复位门156和源输出(SF)门160。复位门162和SF门160耦接到参考电压节点164,该参考电压节点将两个门连接到参考电压源(Vdd)166。行选择门162耦接到用于像素136的行选择线148。包括电荷存储部件168的浮置扩散节点163可耦接于传输门158和复位门156及SF门160之间。控制电路152(或晶体管阵列)可包括除图5中所示那些之外的附加门。例如,抗晕光门可与光电二极管154进行通信,以从光电二极管泄漏超过饱和水平的电荷。

[0095] 通常,在工作期间,在致动相机102,104中的一个相机以由用户拍摄照片时,向复位门156和传输门158施加参考电压166。在传输门158打开时,光电二极管154内的电荷被泄漏以耗尽光电二极管。在一些实施例中,相机102,104可不包括镜头126上方的快门,因此图像传感器130可一直暴露于光中。在这些实施例中,光电二极管154可能在捕获期望的图像之前必须被重置或耗尽。一旦耗尽了来自光电二极管154的电荷,可以截止传输门158和复位门156,从而隔离光电二极管154。光电二极管154然后可开始积分并收集从镜头126向图像传感器130传输的光128。在光电二极管154接收光时,它开始收集电荷(例如,在接收来自光的电子时,耗尽区域减小)。然而,光电二极管154内的电荷可保持在光电二极管154的阱内,因为通往控制电路150的传输门158(连接光电二极管154)和其他门是截止的。

[0096] 一旦完成积分并且光电二极管154已收集了来自镜头126的光128,就可导通复位门152以重置浮置扩散节点163。一旦重置了浮置扩散节点163,就可截止复位门156,并可导通传输门158。然后可将来自光电二极管154的电荷传输到浮置扩散节点163,并存储于存储部件168中。为了从光电二极管154读出电荷(在这里经由浮置扩散节点163),可激活行选择门152和SF门160,并且SF门160放大浮置扩散节点163内的电荷,并通过行选择门162向列输出线146提供信号或电荷。

[0097] 在卷帘式快门工作期间,不同行中的光电二极管154可在不同时间暴露。因此,如果场景内的一个或多个对象正在移动,则第一行可能捕获与第二行不同的图像的位置,因为它们 是相继暴露的,这样可能导致所感测图像中的运动伪影。在全局式快门工作期间,可增加附加存储节点以存储来自光电二极管154的电荷。在全局式快门工作期间,像素架构134内的每个行可在基本相同的时间被重置并暴露。每个像素还可同时从光电二极管154向存储节点传输电荷,然后可逐行读出每个像素136。

#### [0098] 垂直传输门

[0099] 在一些实施例中,图像传感器130可包括像素阵列,该像素阵列包括二芯片堆叠结构,其中传输门158延伸于两个芯片之间。在该实例中,可将每个像素的部件分到两个独立芯片中。在一些实施例中,图像传感器还可进一步包括堆叠结构内的第三芯片、逻辑芯片。图6是示出了针对图像传感器的芯片划分的图像传感器130的像素的示意图。图7是包括任选的抗晕光门的图6中所示的像素的简化框图。图8是包括图6的传输门结构的图像传感器130的简化侧视图。参考图6-图8,图像传感器130可包括光电二极管芯片170和晶体管阵列芯片172,其中两个芯片170,172是垂直堆叠的。在这种配置中,传输门158可在两个芯片170,172之间垂直延伸,以将它们可通信地耦接在一起。

[0100] 芯片的每个都可以包括顶表面和底表面以及一定厚度。在一些情况下,厚度的尺

寸可小于针对每个相应芯片的表面和面的尺寸。如本文所用,术语“垂直堆叠”意在涵盖这样的实施例:可堆叠光电二极管芯片、晶体管阵列芯片和/或逻辑芯片,使得其彼此邻接的面或表面在整个厚度维度上大致对准。

[0101] 在一些实施例中,光电二极管芯片170可包括光电二极管154和任选的抗晕光门178,并且晶体管阵列芯片172可包括控制电路150或晶体管阵列。可通过光电二极管芯片170和晶体管阵列芯片172之间的连接来限定传输门158。在一些实施例中,传输门158的漏极或电荷存储节点(即,门的连接到浮置扩散节点163的一端)可位于晶体管阵列芯片172上。这样可允许光电二极管芯片170上的更多的空间专用于每个像素的光电二极管。因此,可增加光电二极管154的数量和/或其阱的尺寸,而不会导致图像传感器130的表面积随后增大。此外,如下文更详细所述的,可考虑到其特定功能来制造两个芯片170,172,例如可制造光电二极管芯片170以增强光电二极管功能的性能,这样可允许针对其期望性能来优化芯片。

[0102] 图9A中示出了图像传感器130,尤其是传输门158的简化结构。图9B中示出了像素单元138的简化结构。参考图9A和9B,传输门158可从光电二极管芯片170(其可包括硅衬底)延伸。传输门158可包括半导体传输沟道180,其可以被氧化物层182(例如,氧化硅)和多晶硅层184围绕。图10是沿图9A中的线10-10截取的传输门158的横截面视图。如图10中所示,传输沟道180可被氧化物层182围绕,该氧化物层182可被多晶硅层184(至少部分地)围绕。

[0103] 参考图9A-图10,金属层186可将传输沟道180连接到晶体管阵列芯片172。金属层186可包括定位于用于每个像素的连接之间的一个或多个隔离181(参见图9B)或绝缘层。隔离181可帮助确保来自一个光电二极管154的信号不会在向晶体管传输期间被无意中传输或与来自相邻光电二极管的信号组合。

[0104] 半导体传输沟道180的顶部可包括定位于其顶部的漏极区域183。在该实施例中,半导体传输沟道180可以是p掺杂的,并且漏极区域183可以是n掺杂的;然而,设想过其他变化。继续参考图9A,可在光电二极管154和多晶硅层184之间定位底部氧化物层185。在该实施例中,基础掺杂区187可定位于底部氧化物层185和光电二极管154之间。

[0105] 在激活例如导通传输门158时,金属层186可能激励电子从光电二极管154通过传输沟道180流动。形成光电二极管154的硅基底形成用于传输门158的源极,其中硅传输沟道180充当电子的沟道或通路,并且漏极区183形成用于传输门158的漏极。这种结构允许电子从光电二极管(经由沟道和金属186触点)向晶体管阵列172传输。

[0106] 可通过选择性外延(EPI)工艺来形成传输门158结构。例如,可通过EPI的热氧化来形成门氧化物层182。在该实例中,可通过调节EPI掺杂或离子植入来改变传输门158的阈值电压。在其他实施例中,可通过其他工艺来形成传输门158。作为一个实例,非晶或多晶硅可形成传输沟道180和/或可通过金属材料或其他半导体材料例如但不限于非晶硅、钼或钨来形成多晶硅层182。光电二极管芯片170和晶体管阵列芯片172之间的金属触点可用于替代光电二极管芯片170和晶体管阵列芯片172之间的硅通孔(TSV)。通过使用不需要TSV的连接,可使用图像传感器130来创建更小尺寸的像素架构,因为光电二极管阵列170衬底(例如硅)可能不需要大到足够适应通孔的附加尺寸。换句话讲,光电二极管芯片170上基本所有空间都可用于收集光。应当指出,在一些实施例中,除了或替代垂直传输门,还可使用一个或多个TSV。

[0107] 再次参考图8和9B, 在一些实施例中, 光电二极管阵列芯片170可以包括用于其中限定的每个像素136的多个光电二极管。例如, 形成光电二极管芯片170的衬底可包括针对每个像素136的光电二极管154之间的像素分隔体188的植入物。像素分隔体188可将每个像素阱与相邻像素阱分开, 并可限定每个光电二极管154区域。作为一个实例, 像素分隔体188可以是硅的植入物。在这些实施例中, 针对每个像素136的传输门158可形成于光电二极管芯片170的顶表面上, 但与相邻传输门分隔基本等于分隔材料188的长度的距离。对于每个光电二极管154, 光电二极管芯片170可包括通过独立垂直传输门158通往晶体管阵列芯片170的芯片间连接。例如, 两个芯片170, 172之间的连接的数量可由像素的数量来确定。即, 对于每个光电二极管154, 光电二极管芯片和晶体管阵列可包括用于每个光电二极管154感测的数据的通信通路或互连。使用硅通孔为每个像素提供通往其控制电路的连接将是困难的, 并且需要增大图像传感器的尺寸。利用垂直传输门, 每个像素可具有通往控制电路的其自身的连接。然而, 在其他实施例(例如, 参见图16A)中, 可以减少芯片间连接的数量, 因为可共享用于像素组的电路。

[0108] 图8-图10中所示的图像传感器130结构可以提供增大的光子感测区域。这是因为暴露于光的图像传感器130的表面区域可仅包括光电二极管154, 并且可不需要附加控制电路, 诸如一个或多个存储节点或开关晶体管。因此, 可使所暴露的表面最大化以进行光收集, 同时可将控制电路定位于光收集区域后方。这样可允许像素架构134如常规像素那样具有基本相同的曝光区域, 但包括更大数量的像素136。与具有相同表面面积的常规像素相比, 这样可提供更大的灵敏度和分辨率。此外或替代地, 可增大用于每个光电二极管154的阱尺寸, 以在达到饱和水平之前接收更多的光, 而不会减少能够定位于光电二极管芯片上的像素的数量。

[0109] 在一些实施例中, 光电二极管芯片170可从后侧被照亮, 即光电二极管芯片170的底部可与镜头126进行光通信。后照亮可允许包括光电二极管154的光电二极管芯片170的整个后表面暴露于光, 而不会由传输门158或晶体管阵列的部件遮挡光。

[0110] 在一些实施例中, 图像传感器130被进一步配置用于全局式快门模式。图11是包括存储门的光电二极管芯片170和晶体管阵列172芯片的简化图。参考图11, 每个像素136可包括限定存储节点192的存储门190。存储门190可在存储节点192中存储来自光电二极管154的电荷, 以允许进行全局式快门操作。例如, 在全局式快门操作期间, 图像传感器130的每个像素136可在相同时间开始电荷积分。在积分周期期间, 每个光电二极管154可累积与通过镜头126传输的遇到每个光电二极管154的光对应的电荷的。在积分之后, 可激活存储门190, 并且可将来自光电二极管154的电荷传输到存储节点192(在一些实施例中, 这可形成为存储门190下方的n掺杂区域)。可将来自光电二极管154的数据保存在存储节点192处, 直到准备读出特定像素136。

[0111] 在要读出像素136时, 可激活传输门158以将电荷从存储节点192传输到浮置扩散163节点。一旦在浮置扩散163中存储了数据, 就可以与上文相对于图6所述的基本相同的方式操作像素136, 即可相继读出每个像素。在全局式快门操作期间, 所有像素136都可基本上在相同时间捕获光, 这样可减少由于对象移动导致的图像中的伪影。例如, 在卷帘式快门操作期间, 每个像素是相继积分并读出的, 如果在第一像素行积分和最后一行积分之间的对象移动, 则图像可具有模糊线或失真线。在图11的图像传感器130中, 像素在相同时间捕获光

然后存储光,这样允许相继读出像素,但同时捕获光。

[0112] 应当指出,垂直堆叠像素结构可允许图像传感器130实施全局式快门模式,而无需显著降低分辨率。例如,具有全局式快门模式的常规图像传感器可能必须要使用数量减少的像素,因为每个像素可能必须要增大尺寸以适应用于全局式快门操作的附加晶体管和存储节点。增大的像素尺寸可能导致配合到特定图像传感器衬底上的像素数量减少。相反,图11的图像传感器130可允许在每个像素136处有存储节点192,而不会牺牲光电二极管空间。这是因为传输门158是垂直形成的,并且可不需要光电二极管芯片170上的空间。因此,与具有相同曝光表面面积的常规图像传感器相比,可使用图像传感器130来捕获移动的对象,而无需降低像素分辨率。

#### [0113] 共享像素架构

[0114] 在一些实施例中,可跨像素组或像素单元共享用于每个像素的一个或多个部件。使用堆叠的芯片配置,具体地上文所示的垂直传输门结构可能需要光电二极管芯片和晶体管阵列芯片之间的小间距芯片间连接。例如,在像素尺寸小的情况下,可能需要 $2\mu\text{m}$ 以下的芯片间连接。然而,通过使像素组共享一个或多个部件,可减少芯片间连接的数量,这样可允许增大每个芯片间连接的尺寸。例如,像素晶体管共享(例如,共享一个或多个源极跟随器门、复位门和/或行选择门)减少了每个像素的晶体管的数量。这种减少允许更小的像素尺寸和/或像素组合功能。使多个像素共享相同的芯片间连接还可减少芯片间连接的数量,并允许芯片间连接的尺寸增大,这降低了芯片间连接工艺的复杂性。应当指出的是,图像传感器可实施这些共享架构而没有垂直传输门(例如,图像传感器可包括水平传输门)。

[0115] 图12A是具有共享控制电路的像素单元的简化示意图。图12B是包括图12A的共享架构的图像传感器的简化横截面。参考图12A和12B,像素236a,236b,236c,236d的组可形成像素单元238。在像素单元238中,像素236a,236b,236c,236d中的每个像素可包括不同的滤色器,诸如红色、绿色、蓝色。例如,每个像素单元238可形成Bayer像素阵列。在其他实施例中,像素236a,236b,236c,236d中的每个像素都可具有相同的滤色器,没有滤色器或可有其他变化。在图12A和12B中所示的实施例中,像素单元238内的像素236a,236b,236c,236d中的每个像素都可共享控制电路252或晶体管阵列。例如,每个光电二极管254a,254b,254c,254d都可通过一个或多个激活或触发晶体管258a,258b,258c,258d连接到互连件260。互连件260可将光电二极管254a,254b,254c,254d连接到控制电路252。

[0116] 在一些实施例中,每个触发传输门258a,258b,258c,258d都可与互连件260就行通信。在该实例中,用于每个传输门的漏极257都可与晶体管阵列芯片172进行通信。或者,传输门中的每个传输门都可在光电二极管芯片170上的特定节点处互连或以其他方式进行通信,并且单个垂直传输门可延伸以可通信地连接光电二极管芯片170和晶体管阵列芯片172。为了实现最大的分辨率,每个像素都可具有其自身的传输门158(其可以是图9A-图10所示的垂直传输门,或者可以是水平传输门)。在一些实施例中,传输门可以与互连件260就行通信,并可与所有四个像素进行通信。换句话讲,传输门可从四个或更多像素向晶体管阵列传输信号,以降低像素电路的复杂性。

[0117] 参考图12A,除了复位门156、SF门160和行选择门162之外,晶体管阵列272上的控制电路252可包括第二传输晶体管262。第二传输门262可从每个光电二极管254a,254b,254c,254d向浮置扩散节点163、SF门160和行选择门162传送电荷或数据。

[0118] 参考图12A和12B,在操作中,镜头126可向图像传感器130,并且具体地向像素芯片170的光电二极管254a,254b,254c,254d上引导光。光电二极管254a,254b,254c,254d可相继累积电荷。在电荷累积时,或在设定的积分时间之后,可选择性地激活每个像素236a-236b的触发传输门258a,258b,258c,258d。例如,可选择性地激活第一触发门258a(例如,可向门258a施加激活电压),而其余像素236b,236c,236d的其他触发门258b,258c,258d保持去激活或截止。在这种配置中,第一光电二极管254a可通信地耦接到浮置扩散节点163(在第二传输晶体管262激活时)。浮置扩散节点163然后可向SF 160和行选择162选择性地提供电荷。一旦已读出来自第一像素236a的电荷,就可解除对第一触发晶体管258a的选择或激活,并可激活第二触发晶体管258b,而其他触发晶体管保持截止。图像传感器130可通过激活相应的触发晶体管来继续读出每个像素,直到已读出像素单元238内的像素236a,236b,236c,236d中的每个像素。应当指出,在一些实施例中,像素236a,236b,236c,236d中的每个像素可包括光电二极管芯片170上的一个或多个存储节点或存储门。在这些具体实施中,可将来自光电二极管254a,254b,254c,254d的电荷传输到存储节点,该存储节点可保存电荷直到激活触发晶体管。

[0119] 在图12A和12B的共享架构中,与常规图像传感器相比,可减少选择像素单元238所需的晶体管的数量。与常规图像传感器相比,这样可降低图12A和12B的图像传感器的成本和/或复杂性。在一些实施例中,可将像素的传输门中的每个传输门连接到金属互连层。或者,在其他实施例中,可在像素芯片170处将传输门互连在一起,并且可将单个垂直传输门与晶体管阵列芯片互连。

#### [0120] 双模式-彩色和单色

[0121] 在一些实施例中,图像传感器可具有两种或更多种模式。例如,图像传感器可具有单色模式和彩色模式。在单色模式中,可将两个或更多个像素汇总在一起,这样可增强图像传感器在低光照环境中的灵敏度。在彩色模式中,可逐个读出每个像素。图12C和12D示出了用于具有单色模式的图像传感器的共享架构。在图12C和12D所示的架构中,可将两个或更多个光电二极管汇总在一起,以增强图像传感器的灵敏度。图12C示出了用于卷帘式快门具体实施的样本架构,并且图12D示出了用于全局式快门具体实施的样本架构。

[0122] 参考图12C,在卷帘式快门具体实施中,每个像素236a,236b,236c,236d可共享浮置扩散节点163,使得如果在相同时间激活每个传输门258a,258b,258c,258d,则可将来自光电二极管254a,254b,254c,254d中的每个光电二极管的电荷传输到浮置扩散节点163以随后被读出。

[0123] 参考图12D,在全局式快门具体实施中,每个像素236a,236b,236c,236d可进一步包括传输门258a,258b,258c,258d和光电二极管254a,254b,254c,254d之间的存储门261a,261b,261c,261d。存储门261a,261b,261c,261d可在通过传输门向浮置扩散节点163传输电荷之前存储来自光电二极管254a,254b,254c,254d的电荷。在图12C和12D中所示的实施例中,四个像素可各自共享单个浮置扩散节点。然而,在其他实施例中,更少或更多像素可共享浮置扩散节点或者可以其他方式一起共享。或者,应当指出,本文所公开的(例如图12A-图17B)共享架构也可用于实施单色模式和/或共享来自一个或多个像素的电荷。此外,尽管响应于单色模式论述以下实施例,但在一些实施例中,图像传感器可包括共享像素的子集,每个子集具有相同的滤色器,使得不会失去颜色信息。



[0124] 图12E是示出了操作双模式或单色图像传感器的方法的流程图。方法301可开始于操作305,并且图像传感器130或环境光传感器或其他传感器可感测光照条件。例如,图像传感器130可捕获测试图像,可分析测试图像以确定要拍照的对象的光照条件。一旦捕获了测试图像或者以其他方式感测到光照条件,方法301便可前进到操作307。在操作307中,处理器114可分析测试图像(或来自一个或多个像素的信号),以确定光是否是极低的光。例如,设备100可包括用于确定可在其中激活低光照模式的低阈值的设置。或者,用户可分析测试图像以确定光是否充分低,以激活“低光照”模式。

[0125] 如果光被确定为充分低,则方法301可前进到操作309。在操作309中,可将图像传感器130切换到单色或低光照模式。例如,在操作309期间,可通信地耦接两个或更多个像素或像素组,以共享公共的浮置扩散节点163(或者,像素可以其他方式汇总在一起)。例如,可激活一个或多个共享或分组晶体管或门,使得可将一个或多个像素汇总在一起。

[0126] 然而,如果光照并非充分低以激活单色或低光照模式,则方法301可前进到任意的操作311。在操作311中,设备100可向用户呈现选项,以允许将图像传感器130覆写和切换到单色模式中。例如,显示器110可呈现“切换到单色模式”并允许用户向设备100提供输入,该输入可覆写处理器关于低光照模式的自动分析。在操作311之后,方法301可前进到操作315,并且处理器114可分析所接收的用户输入。在操作315中,处理器114可确定用户是否提供输入以将图像传感器130改变为单色模式。

[0127] 如果用户未将图像传感器130改变为单色模式,则方法301可前进到操作325。在操作325中,图像传感器130可利用逐个被读出并任选地包括一个或多个滤色器的每个个体像素来捕获图像。在这一操作中,与单色模式相比,所捕获的图像可具有增大的分辨率和颜色数据。然而,如果用户提供输入以将图像传感器130改变为单色模式,则方法301可前进到操作309。

[0128] 在操作309并且图像传感器已切换到单色模式之后,方法301可前进到操作313。在操作313中,图像传感器130可捕获图像。例如,图像传感器130可开始为像素阵列积分,并且像素中的每个像素可通过镜头126接收光。在积分之后,可将用于选择像素组的信号汇总在一起。在低光照下,像素可不会超过浮置扩散节点的全阱容量,尽管组合了来自两个或更多个像素的信号。这是因为由于光信号捕获的低水平,像素(甚至在组合时)可能无法接收足够多的光,以致超过浮置扩散节点163的容量。此外,在单色模式期间捕获的图像可以具有减小的噪声,因为可以消除像素之间的“串扰”。这是因为每个像素都被汇总到一起,从而可在将像素汇总时使由于一个彩色像素比另一个彩色像素接收更多光导致的有色噪声不那么重要。

[0129] 应当指出,将像素汇总到一起可允许激活单色模式,而不改变或移除可能定位于像素阵列134上的任何滤色器。例如,尽管每个像素可包括滤色器,但在汇总在一起时,图像传感器130可捕获灰度级图像或单色图像。除了允许图像传感器在低光照期间增大其灵敏度之外,单色选项还可为用户提供选项以捕获黑白或灰度级图像,而无需用户改变或修改图像传感器。此外,可实施单色模式以直接捕获黑白图像,而不会在捕获图像之后移除彩色数据。

[0130] 在操作313之后,方法301可前进到操作317。在操作317中,处理器114可确定用于所捕获的图像的颜色信息是否是期望的。例如,设备可接收表示用户期望在所捕获的图像

中具有颜色数据的用户输入。如果期望有彩色信息,则方法301可前进到操作319。然而,如果不期望彩色信息,则方法301可前进到结束状态327并终止。

[0131] 在期望彩色信息的情况下,方法301可前进到操作319。在操作319中,图像传感器130可切换到彩色模式中。在彩色模式中,可将一起共享的一组或多组像素解耦和/或可将具有类似颜色的像素组共享在一起。

[0132] 在操作319之后,方法301可前进到操作321。在操作321中,图像传感器130可捕获第二图像,该图像可包括来自所捕获对象或场景的彩色数据。一旦捕获了彩色图像,方法301就可前进到操作323,并可向单色图像应用来自彩色图像的彩色数据。换句话说讲,彩色图像可捕获亮度,可以将亮度“绘制”到初始捕获的单色图像上。与彩色图像相比,单色图像可具有更高的灵敏度,因为光可能充分低,使得两个或更多像素之和可产生比彩色图像中的单个彩色像素更多的光数据。通过使用来自彩色图像的彩色数据,最终的图像可具有更大的灵敏度,连同转置到其上的一些彩色数据。在操作323之后,方法301可前进到结束状态327。

[0133] 实施共享像素架构允许图像传感器为双模式,从而提供彩色图像和单色图像两者。使用单色模式,图像传感器130可使低光照期间的信噪比最大化,并允许在彩色模式期间可能不可见的图像可见。应当指出,可利用本文论述的基本上任何共享像素架构来实施这种类型的双模式操作,并且尽管已相对于图12C-图12E对单色作出论述,但也可使用其他共享架构,诸如图12A和图13-图17B所示的那些共享架构可用于实施相同或相似的功能。

[0134] 此外,应当指出,在一些实施例中,可选择具有相同滤色器的汇总在一起的像素,这样可减少彩色数据的丢失。然而,在光可能显著低的情况下,将多种彩色平面的像素汇总在一起,或者以其他方式将更多像素汇总在一起可能产生更大的灵敏度。在一些情况下,可通过共享一个浮置扩散来进行图12C和12D所示的方法301。在这种情况下,一旦激活传输门,就可在基本上相同的时间向浮置扩散节点163中存储来自每个像素的电荷。使用汇总,可增强信号而不增大噪声,并可在像素积分期间进行汇总。或者,可使用组合操作。在这种操作中,可逐个读出像素,并可针对选择像素组来将信号在一起平均。使用像素组合,可将噪声比增大2的平方根倍数。使用组合,可在积分之后进行平均,并可允许用户查看图像,然后将信号汇总到一起以提高分辨率。

#### [0135] 可编程转化增益

[0136] 在其他实施例中,像素单元238可包括若干控制电路通路,可使用这些控制电路通路来改变针对每个像素的转化增益。图13是包括多个控制通路的共享像素架构的另一实例的简化示意图。参考图13,像素组238可与多个通信路径280,282,284,286选择性地通信。每个通信路径都可包括传输晶体管262a,262b,262c,262d、浮置扩散288a,288b,288c,288d、复位门156、SF门160和行选择门162。重置门156、SF门和160行选择门162可对于每个通信路径280,282,284,286基本上相同。然而,在一些实施例中,可对浮置扩散节点288a,288b,288c,288d中的每个浮置扩散节点进行不同程度的掺杂或以其他方式进行配置,以具有变化的属性,如下文将更详细论述的。

[0137] 在一些实施例中,浮置扩散节点288a,288b,288c,288d可以是与其他节点电隔离的晶体管阵列芯片172硅中形成的区域。浮置扩散节点288a,288b,288c,288d都可具有电容值。每个浮置扩散节点的电容值可确定每个节点的转化增益,即增加一个电子导致的节点

的电势或电压的变化。因为浮置扩散节点288a, 288b, 288c, 288d中的每个浮置扩散节点或其子集可具有不同的电容值, 所以本实例中的晶体管阵列可具有多个转化增益。换句话说, 通信路径280, 282, 284, 286中的每个通信路径都可具有与其他通信通路不同的转化增益。

[0138] 在这些实施例中, 可基于期望的转化增益来为每个像素动态地选择通信通路280, 282, 284, 286。换句话说, 可基于期望的转化增益来激活所选择的(例如, 通过激活选择传输晶体管262a-262d)特定通信通路280, 282, 284, 286。通过这种方式, 可使用针对浮置扩散节点288a-288d中的每个浮置扩散节点的转化增益来确定为任何像素激活哪条通信通路。调节转化增益可改变由于吸收一个电荷导致的输出电压变化, 这样可改变图像传感器的灵敏度、饱和速度等。

[0139] 在另一个实施例中, 可通过调节一个或多个浮置扩散节点的转化增益来针对像素中的每个像素来动态调节浮置扩散节点。图14是具有共享架构的图像传感器的简化示意图, 该共享架构包括可调节浮置扩散节点。参考图14, 晶体管阵列和控制电路可包括一个传输晶体管262、浮置扩散节点263, 以及一个或多个转化增益调节门290, 292, 294。增益调节门290, 292, 294可以可操作地连接到传输门262和SF 160之间的浮置扩散节点263。

[0140] 增益调节门290, 292, 294可以是耦接到一个或多个电容器的一个或多个晶体管, 可选择性地激活晶体管以改变浮置扩散节点263处的转化增益。例如, 在激活第一增益调节门290时, 可改变浮置扩散节点263的电容值。通常, 浮置扩散节点263的转化增益可与节点263处的电容负相关。通过选择性地激活一个或多个增益调节门290, 292, 294(它们可具有相同或不同的电容值), 浮置扩散节点263处的电容被改变。

[0141] 例如, 在所有增益调节门290, 292, 294都被去激活或处于截止状态时, 浮置扩散节点163可具有等于电容器C1的电容值的电容。在第一增益调节门290导通但其余增益调节门292, 294截止时, 浮置扩散节点163的电容等于C1和C2的电容值之和(例如C1+C2)。在前两个增益调节门导通时, 浮置扩散节点163的电容值等于汇总在一起的电容值C1、C2和C3。最后, 在激活所有增益调节门时, 浮置扩散可具有等于C1、C2、C3和C4相加在一起的最大的电容值。

[0142] 如以上实例所展示的, 在一些实施例中, 可在选择组中激活增益调节门以在浮置扩散节点处加性地改变电容。在该实例中, 每个增益调节门可向浮置扩散节点的电容值提供增量变化, 这样, 用户可调节要激活的增益调节门的数量, 以选择浮置扩散节点的转化增益。应当指出, 增益调节门290, 292, 294可通信地耦接到行驱动器, 以根据需要选择性地被激活。此外, 增益调节门中的每个增益调节门的“导通”电压可被选择为充分高, 以避免跨每个增益调节门的电压降低。应当指出, 电容器C1、C2、C3和C4的电容值可彼此相同或不同。在一些实施例中, 每个电容器可具有不同的值, 它们可渐渐变小, 使得在激活每个附近增益调节门时, 可以更小的增量来调节浮置扩散节点处的电容的值。

[0143] 使用动态改变的浮置扩散节点(例如, 图14)或具有不同转化增益值的多个浮置扩散节点, 可调节针对一个或多个像素的转化增益。调节转化增益可允许图像传感器基于不同的光照条件和/或曝光时间来使像素属性最大化。例如, 图像传感器可被配置为使低光照下的转化增益最大化, 以增大像素输出信号。相反, 图像传感器可被配置为减小高光照条件期间的转化增益, 以适应来自每个光电二极管的增大的信号电荷量。应当指出, 可根据用户的期望来实施其他改变。

[0144] 上文相对于图12-图14所述的共享像素架构也可用于全局式快门配置中。图15A是具有共享控制电路和全局式快门配置的像素单元的简化示意图。参考图15A,图像传感器可包括与每个光电二极管254a,254b,254c,254d进行通信的一个或多个抗晕光门278a,278b,278c,278d。应当指出,尽管在图15A中相对于全局式快门配置示出了抗晕光门278a,278b,278c,278d,但在其他实施例中,可将抗晕光门并入卷帘式快门配置中,诸如图12-图14中所示的那些抗晕光门。如上文相对于图7所述,抗晕光门278a,278b,278c,278d以在光电二极管饱和之后从光电二极管254a,254b,254c,254d排出过量的电荷。

[0145] 继续参考图15A,晶体管阵列芯片172可包括在传输门和浮置扩散263之间限定存储节点的附加传输门。例如,晶体管阵列芯片170可包括定位于用于每个通信通路的传输门262a,262b,262c,262d和SF 160之间的存储传输门304a,304b,304c,304d。可在传输门262a,262b,262c,262d和存储传输门304a,304b,304c,304d之间限定存储节点302a,302b,302c,302d。存储节点302a,302b,302c,302d存储从光电二极管芯片172传输的电荷,即在读出电荷之前来自光电二极管254a,254b,254c,254d中的每个光电二极管的电荷。通过这种方式,光电二极管254a,254b,254c,254d中的每个光电二极管可基本同时积分,但一旦向存储节点302a,302b,302c,302d传输了数据,就可相继读出来自每个像素的数据。

[0146] 如下文更详细所述的,图15A中所示的共享架构可实现“有效的”全局式快门。在这些实施例中,可逐个读出像素单元内每组中的像素,但也可集体读出每个像素单元或组的值。在这种具体实施中,由于“卷帘式快门”仅出现于每个单元内的个体像素中,并且用于图像传感器的“卷帘”时间仅可以是读出四个像素行的时间(或像素单元内像素的数量)。每个像素单元都是全局式读出的,因此图像传感器中的第一像素行和图像传感器中的最后像素行之间的读出之间的仅有的时间差是读出每个像素单元中的四个像素行中的每个像素行的时间。与常规的卷帘式快门相比,这一时间差是显著更小的时间差,在常规卷帘式快门,第一像素行和最后像素行读出之间的时间差是由像素阵列中的整个行数来确定的。因此,在这些有效全局式快门配置中,最终图像非常接近实际全局式快门的那些最终图像。

[0147] 在一些实施例中,可修改图15A中所示的全局式快门配置,以允许像素组或单元共享SF门、复位门、和/或行选择门。图15B是全局式快门共享架构配置的简化示意图。参考图15B,像素236a-236d中的每个像素都可与复位门156、SF门160和行选择门162进行通信。通过这种方式,可减少晶体管阵列芯片172上的晶体管的数量,因为对于一组四个或更多像素,可仅有单组控制门156,160,162。电路可与上文相对于图15A所述以基本相同方式工作。然而,在该实例中,来自光电二极管254a-254d中的每个光电二极管的数据可保持在存储节点302a-302d中,直到激活存储传输门254a-254d以向SF 160提供数据并最终读出电路(例如,列选择142)。

[0148] 使用卷帘式快门配置的有效全局式快门

[0149] 如上文简述的,在实施例中,共享架构可被配置为提供全局式快门具体实施和卷帘式快门具体实施之间的混合体。在该实例中,可相继读出选择像素,但可将像素分组成为单元,并且可全局地读出每个单元。图16A是四像素单元的简化示意图。图16B是针对图16A的示意图的时序图。参考图16A,像素单元138可包括四个像素136,它们可各自共享抗晕光门/复位门279。在一些实施例中,抗晕光门/复位门279可以是在光电二极管芯片170和晶体管阵列芯片172之间延伸的垂直门。这样可允许两个芯片170,172在两个芯片之间具有单个

芯片间连接。通过减少芯片间连接的数量,可增大两个芯片之间的间距,并可降低创建连接的复杂性。

[0150] 在操作中,参考图16A和16B,可激活抗晕光门/复位门279,并可重置光电二极管254a-254d并可清空其中存储的电荷。一旦重置了光电二极管254a-254d,每个光电二极管254a-254d都可开始积分,并开始从镜头126收集光。可通过激活选择触发传输门258a-258d和传输门262a-262d来相继传输来自光电二极管254a-254d中的每个光电二极管的电荷。然后可将来自每个光电二极管254a-254d的电荷传输到相应的存储节点302a-302d,然后在激活行选择162时读出。在这些实施例中,像素架构134内的像素单元138中的每个像素单元可被配置为具有全局积分时间。然而,可对每个像素单元138内的每个像素136相继积分,并可相继而非同时向存储节点302a-302d传输电荷。尽管该具体实施可能不是真实的全局式快门实施,因为选择像素单元内的每个光电二极管可能没有恰好相同的积分时间,像素单元138内四个像素将其电荷相继向存储节点传输的时间差可非常小,并且所得的图像可以是有效全局式快门图像。

[0151] 例如,在常规卷帘式快门实施中,针对整个像素架构逐行读出来自每个光电二极管的电荷。因此,在将来自第一像素的电荷传输到存储节点时和传输来自最后像素行的电荷之间可能有显著的时间差。在图16A和16B中的具体实施中,可同时激活每个像素单元138,但也可相继向存储节点传输像素单元内的每个像素的电荷。换句话讲,可相继传输每个像素136的电荷,但可以全局地激活像素单元138中的每个像素单元。因此,向存储节点传输像素单元中的第一像素时和向存储节点传输像素单元中的最后像素时之间仅有的差异可以是三个像素(而不是像素架构的每行),这一时间差可以是最小的。可显著减小该时间差以产生有效的全局式快门。

[0152] 参考图16B,在示例性时序图中,可首先激活抗晕光门/复位门279,然后在为光电二极管254a-254d积分期间截止。在积分结束时,积分可持续大约10ms,或基本上为用户希望的任何其他时间段,可激活用于选择像素136行的触发传输门258a-258d,并且也可以激活用于选择像素136的传输门262a-262d。一旦将来自光电二极管254a-254d的电荷传输到存储节点302a-302d中,就可激活下一个像素,并可激活其对应的传输门,以将其电荷传输到存储节点中。参考图16B,第一像素和第二像素可具有基本上相同的积分长度,但积分时间可彼此偏移。换句话讲,第一像素可在第二像素之前稍早开始积分,但可在第二像素终止积分之前稍早终止积分。在该实例中,像素可具有相同的全局积分时间,但可在时间上有偏移。然而,这一时间偏移可非常小例如5us-10us之间,从而可对所捕获图像中的运动伪影具有很大影响。

[0153] 一旦在存储节点302a-302d中,就可逐行读出来自每个像素的电荷。然而,在存储节点302a-302d中,可保护电荷不受来自镜头的附加光的影响,并且因此尽管可逐行完成读出,但是该所捕获的光可表示在积分期间所捕获的光。

[0154] 使用上文相对于图12-图16所述的共享架构,可对像素单元238内的像素236a, 236b, 236c, 236d求和,或者在每个像素可具有不同滤色器的实施例中,可在像素中混合颜色(例如,在到达处理部件之前)。此外,可在同一传输门漏极处将从光电二极管254a-254d中的每个光电二极管收集的光汇总到一起以使所产生的信号最大化。例如,在光照水平可能低的情况下,可汇总每个光电二极管254a-254d处的光信号以增强信号并提供更大的灵

敏度(虽然分辨率更低)。

#### [0155] 电荷重新平衡

[0156] 在一些实施例中,光电二极管芯片170可进一步包括一个或多个混合门,以为图像传感器130提供附加灵敏度。图17A是包括二像素混合配置的图像传感器的简化示意图。图17B是四像素混合配置的简化示意图。参考图17A和17B,图像传感器130可包括一个或多个混合门306a,306b,306c,它们可以与两个或更多像素326a-326d进行通信。在一些实施例中,混合门306a,306b,306c可以将两个或更多光电二极管254a-254d耦接在一起。混合光电二极管254a-254d可具有相同的滤色器(例如,都具有绿色滤色器)或可没有滤色器,或者可以具有不同的滤色器。在后一实例中,在混合光电二极管时可能会损失颜色特征,但可增大灵敏度(如下所述)。

[0157] 应当指出,混合门可实现于包括图9A-图10所示的垂直传输门的实施例中的图像传感器中,或者,可实现于包括水平或其他取向的传输门的图像传感器的实施例中。

[0158] 混合门306a,306b,306c选择性地连接光电二极管254a-254d,以允许来自两个或更多个光电二极管的信号在各个像素之间重新平衡。然后可诸如通过选择性地激活触发传输门258a-258d来选择性地读出针对光电二极管254a-254d中的每个光电二极管的电荷,或者可集体读出电荷(激活所有触发传输门258a-258d)。

[0159] 例如,参考图17B,在操作中,光电二极管254a-254d可被激活并可开始从镜头126收集光。对于卷帘式快门操作,可分组或分行激活光电二极管254a-254d,或者对于全局式快门操作,可同时(或基本上同时)激活它们。利用图17B的共享架构,四个像素236a-236d可各自共享单个读出区域,即单个复位门152、浮置扩散节点163、SF 160和行选择162。在激活时,光电二极管254a-254d中的每个光电二极管都可开始积分,即可重置光电二极管254a-254d,然后可开始收集通过镜头126传输的光。

[0160] 继续参考图17B,在曝光期间,可激活第一像素236a的第一触发门258a,并可将第一光电二极管254a中累积的电荷清空到浮置扩散节点163中,并可重置光电二极管254a。一旦重置了第一像素236a,就可激活一个或多个混合门306a-306c。根据激活混合门的数量,可将光电二极管254b、254c、254d中的电荷重新平衡到第一光电二极管254a中和彼此之间。例如,在一些实施例中,可在积分期间重置像素中的两个像素并与其他两个未重置的像素混合。在一些实施例中,可通过在重置选择像素之前由混合门306a-306c将每个光电二极管混合在一起。在这些实施例中,跨四个像素中的每个像素,光电二极管254a-254d之间的电荷重新平衡可基本上均匀。在一些实施例中,在重置选择像素之后,可第二次重新平衡像素。应当指出,在一些实施例中,如果在清空或重置电荷之前,在两个或更多像素之间对电荷重新平衡,那么在电荷清空之后可以对像素进行第二次重新平衡。

[0161] 可将每个光电二极管254a-254d重置任意次。例如,可在积分或曝光周期期间将第一像素236a重置两次或更多次。选择要重置的光电二极管254a-254d可基于光电二极管254a-254d中的每个光电二极管的灵敏度或饱和极限。例如,特定滤色器可能使得一个或多个光电二极管比其他光电二极管更快饱和(例如,如果场景的绿光比其他波长多)。通过在积分和对像素组的电荷重新平衡期间重置一个或多个像素,可延长光电二极管的饱和时间。换句话说,像素可能需要更长时间达到饱和,因为电荷中的一些电荷被从一个或多个像素清空。这样可允许图像传感器具有更长的曝光时间或积分时间,这可改变图像传感器的

灵敏度,尤其是在不同的光照环境中。例如,如果某种光颜色占主导,则光电二极管可比其他光电二极管更快饱和,这可能导致所捕获图像变色。通过重置饱和像素并使电荷重新平衡,可增强所捕获的图像。

[0162] 在一些实施例中,可将图像传感器的灵敏度的变化加权到曝光期间的选择时间段。例如,如果在曝光时间开始期间重置针对一个或多个像素的电荷,则与曝光时间结束相比,可以降低曝光时间的起点的灵敏度。在该实例中,最终捕获的图像可具有朝向积分时间结束的加权光值,这可能创建图像效果,诸如利用以比最终版本更淡的线条示出的初始位置示出对象跟踪。可使用这种情况来允许用户为所捕获的图像确定期望的伪影,尤其是相对于运动而言。作为一个实例,用户可能期望捕获移动对象的结束位置比捕获开始位置时更清晰。在该实例中,可在积分开始时清空电荷,以向着移动对象的结束位置加权最终所捕获的图像。

[0163] 参考图17A和17B,在一些实施例中,可选择性地读出每个像素236a-236d或者可将像素一起读出(进一步组合电荷)。例如,在一种具体实施中,可选择性地激活用于每个像素的触发门258a-258d,并且一旦激活,针对所选择像素的光电二极管254a-254d就可向浮置扩散节点163传输所存储的电荷。或者,可激活每个触发门258a-258d(或其组合)并来自那些像素的电荷可各自提供到浮置扩散节点163。

[0164] 参考图17A和17B,混合门306a,306b,306c允许调节图像传感器130的灵敏度,而无需可调节的孔径或镜头126孔径尺寸。例如,一些相机可包括调节镜头126的孔径的尺寸的特征,该相机可控制可到达图像传感器的光量。然而,在结合图像传感器的很多移动设备中(诸如,智能电话等),相机可能不包括可调节孔径。通过使用混合门,图像传感器仍然能够调节灵敏度而无需附加部件(诸如,选择性地覆盖孔径的可变光圈或其他可调节特征)。此外,在这些实施例中,图像传感器130可由用户动态调节或由一个或多个图像处理部件(诸如,处理器142)自动调节。这样可允许图像传感器130改善所捕获的图像的灵敏度,而无需用户改变一个或多个特征。

[0165] 应当指出,上文相对于图12A-图17B论述的共享架构可使用分裂像素阵列(例如,光电二极管芯片和晶体管阵列芯片)来实现,但未必一定利用分裂芯片来实现。在很多情况下,使用包括垂直传输门的分裂芯片可允许将晶体管阵列定位于光电二极管芯片上方,这样可在光电二极管芯片上创建附加空间以用于附加共享晶体管或其他部件。因此,在常规像素中,减少光电二极管芯片上的光电二极管空间以适应附加共享部件(例如,混合晶体管等)可能需要显著减小分辨率或增大图像传感器的尺寸。然而,在分辨率或尺寸不太被关注的情况下,可在水平芯片取向中实现本文所示和论述的共享架构,即具有一个或多个水平传输门而不是垂直传输门。

#### [0166] 图像传感器芯片制造过程

[0167] 在一些实施例中,图像传感器130可包括可垂直堆叠于晶体管阵列芯片172的顶部的逻辑芯片。这些实施例可允许减小图像传感器130的水平尺寸,因为可在像素阵列(晶体管阵列和光电二极管芯片)上垂直定位而非水平定位逻辑芯片。这些实施例可进一步允许向堆叠的图像传感器结构添加附加芯片诸如一个或多个存储器芯片。图18是示出了包括三个芯片堆叠阵列的图像传感器130的简化图示。参考图18,可在晶体管阵列芯片172的顶部堆叠逻辑芯片173,使得晶体管阵列芯片172可夹在逻辑芯片173和光电二极管芯片170之

间。晶体管阵列芯片172可促进逻辑芯片173和光电二极管芯片170之间的通信。

[0168] 逻辑芯片173或逻辑板可包括用于图像传感器130的一个或多个处理器或控制部件。例如,参考图4和18,逻辑芯片173可包括行选择144、列选择140、图像处理器142和/或可控制像素阵列和/或从其接收数据的其他部件(例如,用于传输门和复位门的行驱动器、模数转换器、输入/输出部件等)。逻辑芯片173、晶体管阵列芯片172和光电二极管芯片170可各自通过一个或多个通信通路彼此通信,该通信通路诸如但不限于垂直传输门、硅通孔(TSV)或接合焊盘。在许多实施例中,图像传感器130可包括多个连接通路,诸如一个或多个垂直传输门和一个或多个TSV。

[0169] 再次参考图18,图像传感器130可包括后侧照明(BSI)结构。例如,逻辑板173和晶体管阵列172可安装于光电二极管芯片170的前方,并且光电二极管154可定位于光电二极管芯片170的后侧。这种结构可防止光被晶体管层172和逻辑芯片173内的线路和其他部件遮挡,并且与常规图像传感器相比,可允许更多的光进入每个光电二极管。如下文将要更详细论述的,在一些实施例中,光电二极管芯片170和晶体管阵列芯片172可键合在一起,然后可将经连接的芯片键合到逻辑芯片173。在其他实施例中,晶体管阵列芯片172和逻辑芯片173可键合在一起,然后可将光电二极管芯片170键合到晶体管阵列芯片172以创建图像传感器。以下将更为详细地论述这两个实施例。

[0170] 现在将更详细地论述用于创建图像传感器130的第一制造过程。图19A-图19D示出了制造的各个阶段期间的图像传感器。图20是用于制造过程的一个实施例的流程图。参考图19A和20,方法400可开始于操作402,并且可将晶体管阵列芯片172键合到光电二极管芯片170。参考图19A,可将金属和电介质层350定位于两个芯片170,172之间。金属和电介质层350的金属部分可将晶体管阵列芯片172与从光电二极管芯片172的表面延伸的垂直传输门158连接(参见图12B)。电介质和金属层可定位于光电二极管芯片或晶体管阵列芯片的顶部,或者该层的一部分可在键合之前定位于两个芯片上。

[0171] 在其他实施例中,光电二极管芯片170和晶体管阵列芯片172可通过晶圆键合工艺键合。然而,在其他实施例中,可通过若干种方式将光电二极管芯片170和晶体管阵列芯片170键合在一起,诸如但不限于直接键合、等离子体激活键合、共熔键合和/或混合键合。

[0172] 在光电二极管芯片和晶体管阵列芯片通过晶圆键合工艺键合的实施例中,可将两个键合表面(例如,要连接在一起的晶体管阵列和光电二极管芯片的表面)进行平滑化。例如,可使用化学机械抛光或平坦化(CMP)工艺,利用化学力和机械力的组合对表面进行平滑化。

[0173] 在一些实施例中,光电二极管芯片170上的一个或多个金属层诸如垂直传输门内的一个或多个层可通过中间层350的氧化物或电介质部分而暴露。例如,参考图19A,中间层350可包括将金属或导电迹线364分隔开的电介质迹线366。金属迹线364可形成上文论述的传输门158的部分。然后可将光电二极管芯片170和晶体管阵列芯片172对准,使得从光电二极管芯片170延伸的传输门158与晶体管阵列170上的对应位置对准。一旦对准,就可如上所述键合两个芯片。

[0174] 继续参考图19A,在初始将晶体管阵列芯片172和光电二极管芯片170连接在一起时,晶体管阵列芯片172可具有厚度T1,并且光电二极管芯片170可具有厚度T2。两个厚度T1和T2可比每个芯片的最终厚度例如4微米或更多微米要厚。



[0175] 再次参考图20,在将两个芯片170,172键合或以其他方式连接在一起之后,方法400可前进到操作404。在操作404中,可将晶体管阵列芯片172减薄以减小厚度。例如,可蚀刻或研磨晶体管阵列芯片172以去除衬底或晶圆的层。在一个实例中,可使用选择性蚀刻工艺诸如在衬底和具有硅或掩埋氧化物对比的EPI或绝缘体(SOI)晶圆上的硅之间具有大掺杂对比的EPI晶圆来控制蚀刻量,并且从而控制芯片的最终厚度。在其他实施例中,可通过晶圆研磨、抛光和/或选择性蚀刻来减薄芯片。参考图19B,在操作404之后,晶体管阵列芯片172可具有厚度T3。厚度T3可小于第一厚度T1。例如,第一厚度可大于500微米,而减薄之后的硅厚度T3可为大约3微米。在一些实施例中,晶体管阵列芯片172可具有大约1微米到5微米的最终硅厚度。

[0176] 仍参见图20,在操作404之后,方法400可进行到操作406。在操作406中,可限定或以其他方式创建一个或多个芯片间连接。例如,可在制造晶体管阵列芯片172期间限定TSV 354,例如可通过芯片172来限定通道,并且在操作406期间,可利用导电材料来填充通道。在这些实例中,因为可在连接到逻辑芯片173之前减薄晶体管阵列芯片172,所以芯片间连接诸如TSV 354可更小。这是因为通常随着硅衬底(诸如晶体管阵列)厚度增加,可增大任何TSV的直径,以确保由于硅厚度的通孔进行锥形化所获得的连接。此外,由于制造技术诸如处理、蚀刻等原因,硅越厚,具有更小直径的通孔就可能越难。利用方法400,尽管晶体管阵列衬底的初始厚度可能相对较厚,但图像传感器130可具有直径减小的通孔。

[0177] 作为另一个实例,可在晶体管阵列芯片172的顶表面上形成一个或多个接合焊盘。在一些实施例中,通常可在晶体管阵列芯片170中限定芯片间连接,因为垂直门结构158可为光电二极管芯片170和晶体管阵列芯片172形成芯片间连接。然而,在其他实施例中,光电二极管芯片170可包括一个或多个TSV等。在这些实例中,可在晶体管阵列芯片和光电二极管芯片中创建TSV,然后对准到一起以创建连续的TSV。

[0178] 在操作406之后,方法400可进行到操作408。在操作408中,可将逻辑芯片173键合或以其他方式连接到晶体管阵列芯片172。可通过硅晶圆键合工艺诸如但不限于直接键合、等离子体激活键合、粘合剂键合、热压键合、活性键合、玻璃体键合、共熔键合和/或阳极键合来将晶体管阵列芯片172和逻辑芯片173键合在一起。参考图19C,晶体管阵列芯片172可夹在逻辑芯片173和光电二极管芯片170之间。逻辑芯片173可形成图像传感器130的顶端,与形成底端的光电二极管芯片170堆叠。三个芯片170,172,173可彼此进行通信,并可包括一个或多个通信机构以与电子设备110或相机的其他部件(诸如处理器114)进行通信。

[0179] 再次参考图20,在将逻辑芯片173键合到晶体管阵列芯片172之后,方法400可前进到操作410。在操作410中,可减薄光电二极管芯片170。类似于操作404,在操作410中,可蚀刻光电二极管芯片170或以其他方式减小光电二极管芯片170的厚度。例如,参考图19D,在操作410之后,光电二极管芯片170可具有厚度T4。厚度T4可小于厚度T2。在一些实施例中,硅厚度T4可小于3微米,而厚度T2可大于500微米。在一些实施例中,导热层170可具有大约1微米至5微米的最终厚度。然而,根据需要,可改变任何操作处的光电二极管芯片170的精确厚度。

[0180] 可减薄光电二极管芯片170以允许实现更好的光捕获特性。例如,光电二极管154可在形成光电二极管芯片的硅内具有介于2微米到3微米之间的深度。在光电二极管芯片硅过厚(远厚于光电二极管的厚度)的情况下,在光到达光电二极管之前,其可能被吸收到硅

中。这种吸收可能会降低像素的量子效率,并可能增加相邻像素之间的串扰。然而,如果形成光电二极管芯片的硅过薄,则光可能能够通过光电二极管,这也降低了量子效率。因此,在很多情况下,光电二极管芯片可具有较为接近光电二极管厚度的厚度,但不至于薄到降低量子效率。

[0181] 在一些实施例中,在操作401中减薄光电二极管芯片170之前,在操作408中将逻辑芯片173键合到晶体管阵列172。这样允许逻辑芯片173(可比光电二极管芯片的期望厚度更厚)充当用于图像传感器的承载晶圆。即,在附着于更厚的衬底(在该实例中为逻辑芯片173)时,可更容易减薄光电二极管芯片170。这是因为在减薄芯片时,它可能变得更脆并更容易破裂。然而,在将芯片附接到更厚载体时,载体为芯片提供支撑并允许其更容易处理。通过利用逻辑芯片作为承载芯片,可与在将晶体管阵列芯片连接到逻辑芯片173之前可减薄光电二极管芯片170的情况相比,进一步减薄光电二极管芯片170和晶体管阵列芯片172。

[0182] 仍参见图20,在操作410之后,方法400可前进到操作412。在操作412中,可向光电二极管芯片170添加滤色器阵列或滤色器马赛克,诸如Bayer滤色器。参考图19D,滤色器阵列(CFA)360可定位于光电二极管芯片170的后侧,并可定位于光电二极管芯片170内的光电二极管154和光源之间(例如,CFA 360可定位于光电二极管和镜头126之间)。CFA 360可包括颜色方案或滤色器定位,但通常可被配置为对到达每个像素的光滤色。具体地,CFA 360可确定到达特定光电二极管154或光电二极管组的光波长。应当指出,可根据需要改变CFA 360,例如,可使用蓝、绿、红滤色器或者可使用青、品红等滤色器。此外,根据针对图像传感器130的期望应用,可省去CFA 360,或者可仅定位于光电二极管芯片170的一部分上。

[0183] 在操作412之后,方法400可进行到可选操作414。在操作414中,可减薄逻辑芯片173。在一些实施例中,可在类似于用于减薄晶体管阵列172和/或光电二极管芯片170的工艺中减薄逻辑芯片173。然而,在其他实例中,可以各种方式减薄逻辑芯片或减小其厚度。例如,可能期望创建非常薄的图像传感器130,这样可有助于减小电子设备100的厚度和尺寸。在操作414之后,方法400可前进到结束状态416并终止。

[0184] 在一些实施例中,图像传感器130可进一步包括堆叠于逻辑芯片顶部的一个或多个部件。例如,可在逻辑芯片173上堆叠一个或多个存储器芯片,诸如动态随机存取存储器(DRAM)。在这些实施例中,可减薄逻辑芯片,然后可向其键合附加芯片。

[0185] 在另一个实例中,可使用如下工艺来制造图像传感器130:将晶体管阵列芯片和逻辑芯片键合在一起,然后可将光电二极管芯片键合到晶体管阵列芯片。图21A-图21E示出了第二制造实施例的不同阶段期间的图像传感器。图22是示出了用于第二制造实施例的方法的流程图。参考图21A和22,方法500可开始于操作502,并且可将逻辑芯片173键合或以其他方式连接到晶体管阵列芯片172。如上文相对于图20所述的,可以各种方式键合两个芯片。然而,在其他实施例中,逻辑芯片173和晶体管阵列芯片172可通过晶圆键合工艺而键合在一起。在使用晶圆键合工艺时,或者在其他键合工艺需要时,可通过CMP工艺或其他表面平滑化工艺对逻辑芯片和晶体管阵列芯片的表面进行平滑化。

[0186] 参考图21A,在将晶体管阵列172首先键合到逻辑芯片173时,晶体管阵列芯片172可具有厚度 $T_5$ 。在一些实施例中,厚度 $T_5$ 可大于最终构造的图像传感器的厚度。然而,增大的厚度 $T_5$ 可允许在处理期间更容易处理晶体管阵列芯片172。

[0187] 一旦连接了逻辑芯片173和晶体管阵列芯片172,方法500就可前进到操作504。在

操作504中,可减薄晶体管阵列芯片172或对其进行研磨。例如,可蚀刻晶体管阵列芯片172以去除过多的衬底材料,直到到达期望厚度。参考图21B,在操作504之后,晶体管阵列芯片172的厚度可减小到厚度T6。厚度T6可小于晶体管阵列芯片172的初始厚度T5。

[0188] 再次参见图22,在操作504之后,方法500可以前进到操作506。在操作506中,可在逻辑芯片173和晶体管阵列芯片172之间创建芯片间连接。例如,参考图21B,可通过晶体管阵列172的硅衬底来限定一个或多个TSV 354,并终止于一个或多个接合焊盘352中(其可先前在逻辑芯片173上限定)。可在创建晶体管阵列芯片172时通过选择性蚀刻来限定TSV354,在操作506中,可利用导电材料进行填充。或者,可使用一个或多个蚀刻或其他工艺来限定TSV 354,然后可在操作506期间填充TSV。在一些实施例中,可使用一个或多个金属层作为针对逻辑芯片173和晶体管阵列芯片172之间的芯片间连接。可使用金属层或连接来替代或补充TSV354。

[0189] 如上所述,在减薄衬底或芯片之后限定芯片间连接诸如TSV 354允许TSV 354具有减小的直径。这样可允许TSV 354占用晶体管阵列芯片172上更少的面积或空间,这可允许晶体管阵列芯片172更小和/或包括用于图像传感器130的更多控制电路或门。

[0190] 在操作506之后,方法500可前进到操作508。在操作508中,可将中间层350定位于晶体管阵列芯片172上。例如,晶体管阵列芯片172可包括一个或多个电介质部分和/或金属连接部分。电介质部分可分布于每个金属连接之间,以限定明显不同的连接通路。

[0191] 一旦中间层或连接层350已被应用,方法500就可前进到操作510。在操作510中,可将晶体管阵列芯片172和光电二极管芯片170键合在一起。如图20中的方法400那样,可以若干种方式将两个芯片键合在一起;然而,在一个实施例中,可利用晶圆键合工艺来键合芯片。在键合之前,可对准光电二极管芯片170和晶体管阵列芯片172,使得垂直传输门158可与晶体管阵列172上的中间层350中限定的金属或导电迹线对准。这样允许传输门158与晶体管阵列芯片172上的控制电路进行通信。此外,可在键合之前对芯片的表面中的一者或两者进行平滑化。

[0192] 参考图21C,在将光电二极管芯片170连接到晶体管阵列芯片172时,其可具有厚度T7。厚度T7可比光电二极管芯片的所得厚度更厚,但可允许在制造过程期间更容易地处理。

[0193] 在操作510之后,方法500可前进到操作512。在操作512中,可减薄光电二极管芯片170。参考图21D,在操作512之后,光电二极管芯片170可具有厚度T7。新的硅厚度T7可很薄(例如,1微米到5微米),以允许光被光电二极管吸收。如上文简述,在光电二极管芯片的硅过厚的情况下,进入芯片的光将在到达光电二极管芯片之前被硅吸收。可以若干方式诸如研磨、CMP和/或蚀刻来减薄光电二极管芯片170。在这些实施例中,晶体管阵列芯片和逻辑芯片组件可充当光电二极管芯片的承载晶圆。即,可减薄光电二极管芯片,因为逻辑芯片和晶体管阵列芯片可为更薄的材料形成支撑衬底,以允许减小厚度。

[0194] 在一些实施例中,在减薄光电二极管芯片170之后,可限定一个或多个芯片间连接。例如,可通过光电二极管芯片来限定一个或多个TSV,它们可与逻辑芯片和/或晶体管阵列进行通信。在一些实施例中,可在光电二极管芯片170的边缘或周边限定这些额外的芯片间连接,这样可有助于为光电二极管和光收集留下中心和/或大部分空间。在一个实施例中,光电二极管170和/或晶体管阵列芯片172可包括金属或导电插片,其可从晶圆或硅衬底的边缘突出。一个或多个通孔可从逻辑芯片延伸到金属插片,以将芯片可通信地耦接到逻

辑芯片。

[0195] 然而,在很多实施例中,传输门158可形成光电二极管芯片170通往其他芯片的连接,并可从这一芯片省去TSV。这样可允许将光电二极管芯片170的基本上整个底表面用于光收集,并可从光电二极管芯片中的光吸收通路省去可能的遮光元件(例如,金属互连件)。

[0196] 再次参考图22,在操作512之后,方法500可前进到操作514。在操作514中,可向光电二极管芯片170的光吸收表面添加一个或多个CFA。例如,参考图21D,可向光电二极管芯片170的表面添加具有一个或多个波长滤波器(例如蓝色、绿色、红色)的CFA 360。CFA 360可选择性地允许具有预定波长的光到达在光电二极管芯片170中限定的每个光电二极管154。在这个步骤期间,也可执行附加后侧照明过程。这可包括后侧抗反射涂覆应用、钝化、金属光屏蔽应用、微透镜、接合焊盘开口等。

[0197] 在操作514之后,方法500可前进到操作516。在操作516中,可打开接合焊盘352中的一个或多个接合焊盘。例如,可使用光刻和/或蚀刻工艺来打开接合焊盘352。在操作514之后,方法500可前进到结束状态518并终止。

[0198] 应当指出,图20和22中所示的方法400,500可用于未使用垂直传输门的其他情况。例如,可将图像传感器130构造成具有一个或多个TSV和/或其他芯片间连接元件。在这些实例中,可在光电二极管芯片上限定一个或多个传输门,但可与晶体管阵列的控制电路进行通信。

[0199] 此外,尽管已相对于三芯片堆论述了方法400,500,但也可添加附加芯片。例如,在方法400中,在逻辑芯片被减薄之后,可向其键合另一个晶圆,减薄并在其上堆叠第五晶圆。图23A和23B示出了使用图20和22中所示的方法400,500的四芯片堆叠的两个实例。如图23A和23B所示,可在逻辑芯片173的顶部添加存储器芯片374。

[0200] 在一些实施例中,诸如图23A所示的实施例中,TSV 354可从存储器芯片374延伸到光电二极管芯片170,以与存储器芯片374的一个或多个金属连接件376或其他部件连接。在该实施例中,另一个TSV 354可从晶体管阵列芯片172延伸到光电二极管芯片170。逻辑芯片173和存储器芯片374可通过一个或多个金属层或连接件376彼此通信。

[0201] 在图23A中所示的实施例中,可堆叠存储器芯片374和逻辑芯片173,使得每个芯片的前表面与另一个前表面形成界面。类似地,可堆叠晶体管阵列芯片172和光电二极管芯片170,使得它们的前表面彼此形成界面。在该实例中,晶体管阵列芯片172和逻辑芯片173的两个后表面可彼此形成界面。因此,在图23A中所示的实施例中,每个芯片可与相邻芯片的对应表面(前或后)形成界面。

[0202] 在其他实施例中,诸如图23B中所示的实施例中,一个或多个TSV354可从光电二极管芯片170延伸以与每个芯片进行通信。例如,光电二极管芯片170可与存储器芯片374(或其他芯片)、逻辑芯片173和晶体管阵列芯片172进行通信。

[0203] 在图23B中所示的实施例中,可面对面地堆叠逻辑芯片173和存储器芯片374,并且也可面对面地堆叠晶体管芯片172和光电二极管芯片170。换句话讲,存储器芯片374的前表面与晶体管芯片172的前表面形成界面,并且光电二极管芯片170的前表面与晶体管阵列芯片172形成界面。在该实例中,可堆叠逻辑芯片173和晶体管阵列芯片172,使得逻辑芯片173的前表面可与晶体管阵列芯片172的后表面形成界面。然而,也设想了许多其他实例。

[0204] 图20和22的方法400,500允许芯片170,172,173中的每个芯片被独立优化,以包括

专门功能来增强每个芯片的性能。此外,因为可在减薄芯片之后创建芯片间连接诸如TSV,所以可更容易地创建TSV或其他连接件并且其直径更小。

#### [0205] 环形门和三阱

[0206] 在一些实施例中,图像传感器可包括分裂芯片设计(例如,光电二极管芯片和晶体管芯片),其包括用于在两个门之间进行通信的环形门结构。图24A是包括用于芯片间连接的进行不同掺杂触点的像素电路的简化示意图。图24B是示出了不同掺杂区域的光电二极管芯片和晶体管阵列芯片的选择部分的简化横截面图。参考图24A和24B,图像传感器可包括像素芯片170和晶体管阵列芯片172之间的一个或多个触点。在工作期间,其通常期望向晶体管阵列芯片传输在光电二极管内收集的所有电荷,而具有最少的噪声。使用欧姆触点(例如,重掺杂和深电荷穴)可能引入一些噪声,因为这些类型的触点可能不能在电荷传输和重置过程期间(例如,在积分和读出之间)完全耗尽。

[0207] 在图24A和24B的像素电路实施例中,可将肖特基触点或轻掺杂触点用于像素芯片170和晶体管阵列芯片172之间的连接。具体地,像素电路636可包括与浮置扩散653、SF门660和行选择门662进行通信的光电二极管654。光电二极管654可通过触发晶体管658、传输晶体管662和存储节点晶体管604与浮置扩散653选择性地通信。在可能期望全局式快门操作的实施例中,可在传输晶体管662和存储节点晶体管604之间定位存储节点602。第一重置件656可激活触发晶体管658,并且第二重置件652可激活存储节点晶体管662。在该实施例中,可在光电二极管芯片170和晶体管阵列芯片172之间形成两个肖特基触点620,622或肖特基二极管。

[0208] 第一肖特基触点620可包括三阱结构。例如,肖特基触点可包括被p型掺杂沟道区域649围绕的n型掺杂漏极655,p型掺杂沟道区域被定位于p掺杂衬底651顶部的n掺杂的光电二极管源极654围绕。n型掺杂漏极655可具有介于 $10^{14}$ 到 $10^{17}$ cm<sup>3</sup>范围内的掺杂浓度。变化的n型和p型掺杂层创建了三阱,并且n掺杂区域655处的触点可被p型掺杂区域649和另一个n型掺杂区域(光电二极管654)围绕。在图24B中所示的实施例中,n型区域的触点655“浮置”于光电二极管654的顶部。光电二极管654形成用于环形门658的源极,并定位于衬底651的顶部。因为光电二极管654可形成光电二极管芯片170的大部分(如果不是全部的话)底部,所以光电二极管654可具有比常规图像传感器更大的阱容量。

[0209] 图24C是图24B的光电二极管芯片的顶视图。如图24C中所示,传输门658可形成于环形门结构中,使得环或传输门658可围绕触点655并被定位。换句话讲,环形门658可形成围绕n掺杂漏极655的圆形环。

[0210] 晶体管阵列芯片172可包括第二肖特基触点622,以及其他传输门662,604、浮置扩散节点653和其他读出部件。晶体管阵列芯片172也可包括三阱结构。例如,第二肖特基触点622可包括定位于p型掺杂阱667区域的顶部的n型源极区域,其被并入p型衬底661的顶部的n型基底663中。类似地,可将浮置扩散节点653和存储节点602形成为p掺杂阱667内的n型掺杂区域。p掺杂阱667可围绕n型掺杂区域中的每个n型掺杂区域,并且n型掺杂基底663可围绕整个p型掺杂阱667。

[0211] 芯片间连接618(其可以是金属或其他导体)可在光电二极管芯片170和晶体管阵列芯片172之间延伸,以可通信地连接到第一肖特基触点620和第二肖特基触点622。例如,芯片间连接618能够可通信地耦接光电二极管芯片170的漏极655和晶体管阵列芯片172的

源极665。芯片间连接618可是金属材料,诸如钼、铂、铬或钨、钡硅化物或铂硅化物。金属芯片间连接618与肖特基触点620,622或肖特基二极管都接触。

[0212] 在操作中,在积分期间对环形门658去激活,从而允许光电二极管654收集光。一旦从光电二极管645(例如,在积分结束时)传输电荷,就可激活环形门658,从而创建允许来自光电二极管654的载流子水平通过阱649进入环形门658、漏极区域655的中心的门沟道。由于三阱结构的原因,在开始积分时,漏极655顶部的肖特基触点620被耗尽,而没有电荷。在触点620耗尽时,n型掺杂漏极655(和芯片间连接618)被短接到p型掺杂阱649。然而,因为阱649是“浮置”的,而没有任何外部连接,所以短路状况不会传导电流。因此,减少或消除了从肖特基触点620泄漏电流。此外,因为在开始电荷传输时,肖特基触点620没有电荷,所以最终从光电二极管654通过芯片间连接618传输的电荷可以基本上没有噪声。

[0213] 一旦来自光电二极管654的电荷到达漏极655,就通过芯片间连接618向晶体管阵列芯片17例如传输门662的第一侧上的第二肖特基触点622传输电荷。一旦向晶体管阵列芯片172传输了电荷,就可激活传输门662,604以从肖特基触点622向存储节点602,然后向浮置扩散节点653传输电荷。可设置针对像素的电势,使得电荷从第一肖特基触点620流向第二肖特基触点622,从而第二肖特基触点622可具有比第一肖特基触点620更高的电势。

[0214] 类似于光电二极管芯片170,晶体管阵列芯片172的三阱结构可减少从第二肖特基触点622的电荷泄漏。例如,在开始从光电二极管芯片170传输电荷时,第二肖特基触点622可被耗尽,使得传输到源节点655中的电荷可基本上没有噪声。此外,因为p型掺杂阱667“浮置”于n型基底667区域的顶部,所以短路将不会传导电荷,从而减少或消除来自第二肖特基触点的电荷泄漏。因为光电二极管芯片170和晶体管阵列芯片172两者中的三阱结构,所以与具有用于芯片间像素电荷传输的欧姆触点的图像传感器相比,可完成从光电二极管654向浮置扩散的电荷传输而没有来自肖特基触点620,622的泄漏和降低的噪声水平。

[0215] 应当指出,在一些实施例中,浮置扩散节点653可以是欧姆触点,而光电二极管芯片和晶体管阵列芯片之间的触点为肖特基触点620,622。此外,在图24B和24C中所示的实施例中,肖特基触点620,622的漏极和源极区域被形成为n型掺杂区域,其中区域655,665被p型掺杂阱649围绕。然而,在其他实施例中,可使用基于孔穴的光电二极管,并且肖特基触点620,622可由n型阱围绕的p型掺杂区域形成。

#### [0216] 提高电荷传输效率的掺杂触点

[0217] 在一些实施例中,在使用欧姆触点的实施例中,可改变掺杂水平以提高电荷传输百分比。图25A是包括用于芯片间触点的浅掺杂区域的像素电路的简化示意图。图25B是示出了用于图25A的电路的掺杂方案的简化框图。图26是用于图25A和25B中所示的像素电路的电势分布的图示。参考图25A-图26,图像传感器可包括芯片170,172的硅衬底内的浅掺杂区域或低深掺杂区域,以提高电荷传输百分比。

[0218] 在一个实施例中,第一浅掺杂区域670可形成于触发传输门658的源极处,并且第二浅掺杂区域672可形成于传输门662的漏极处。这些浅掺杂区域670,672中的每个浅掺杂区域都可具有深度D(参见图25B),深度D可小于相邻掺杂区域(例如,存储节点或光电二极管区域)的深度。用于浅掺杂区域670,672的掺杂浓度可相对较高(例如,介于 $10^{16}\text{cm}^{-3}$ 到 $10^{18}\text{cm}^{-3}$ 之间)。换句话讲,每个浅掺杂区域670,672都可以是高掺杂的,但具有薄的厚度或深度。这种高掺杂但浅深度的组合可允许光电二极管和晶体管阵列芯片之间存在欧姆触

点,同时仍然提供基本完成的电荷传输。

[0219] 在一些实施例中,浅掺杂区域670,672可包括表面处的第一掺杂类型(例如,n型浅掺杂区域)和将阱形成为衬底的第二掺杂类型(例如,p型)。因为掺杂区域670,672的耗尽深度受到控制(由于这些区域被相反类型的掺杂剂围绕),所以浅掺杂区域670,672可被钉扎,从而减小暗电流和其他噪声问题。换句话说讲,第二掺杂类型可形成钉扎层,从而防止耗尽区域扩展到硅层的表面,这样可防止生成暗电流。此外,改变浅掺杂区域670,672的深度D、掺杂浓度和节点有源区域可根据需要选择被钉扎的电势。在一些实施例中,掺杂区域676,672可具有大约0.01微米到0.2微米的掺杂深度和 $10^{18}\text{cm}^{-3}$ 的浓度。

[0220] 参考图25A和25B,两个浅掺杂区域670,672可通过芯片间连接681连接在一起。在这些实施例中,芯片间连接681可以是欧姆触点诸如硅化物(TiSi<sub>2</sub>、CoSi<sub>2</sub>、NiSi等)。与其他类型的触点(例如,肖特基触点)相比,欧姆触点可具有降低电势的载流子,这样可允许使用降低的电压来激活电荷传输。

[0221] 在一些实施例中,用于每个节点的钉扎电势可从光电二极管654向着浮置扩散节点653和重置电压升高。图26是示出了跨像素电路的电势从光电二极管654向着浮置扩散节点653升高的电势图。换句话说讲,用于每个节点(光电二极管654、第一浅掺杂区域670、第二浅掺杂区域672、存储节点602、浮置扩散节点653)的掺杂浓度都可从光电二极管向浮置扩散升高。具体而言,第一浅掺杂区域670可比光电二极管654具有更高的掺杂浓度,第二浅掺杂区域672可比第一浅区域具有更高的掺杂浓度,存储节点602可比第二浅区域具有更高的掺杂浓度,并且浮置扩散节点653可比存储节点602具有更高的掺杂浓度。通过这种方式,电压耗尽电平从光电二极管654向着浮置扩散升高。

[0222] 升高的电势可允许电荷从光电二极管漂浮到存储节点(对于全局式快门操作),然后将电荷传输到加载扩散节点(其可以是n型非钉扎的)以用于逐行读出。例如,光电二极管654内的电子或电荷载流子可能更容易行进到增大的掺杂区域(其具有更高电势),从而可允许每个节点完全耗尽。这是因为由于相邻的阱具有升高的电势,所以每个后续节点都能够接受更多电子,这样可允许每个阱在下一个阱或节点达到饱和之前完全耗尽。

[0223] 图25A和25B中所示的用于图像传感器的像素电路的实施例可允许光电二极管芯片170和晶体管阵列芯片172上的掺杂或晶体管类型基本上相同。如上文相对于图24A和24B所示的,用于两个芯片的晶体管的掺杂类型可变化。然而,在图25A和25B中所示的实施例中,每者的衬底可掺杂以相同的掺杂类型(例如,n或p型),并且晶体管可以是相同类型。例如,对于基于电子的光电二极管,光电二极管芯片170和晶体管阵列芯片172可包括n型触点,并且可使用NMOS晶体管,并且对于基于孔穴的光电二极管,可使用p型触点和PMOS晶体管。针对光电二极管芯片170和晶体管阵列芯片172两者使用相同类型的触点和晶体管可为图像传感器提供复杂性更低的制造工艺。

[0224] 在一些实施例中,光电二极管654和浮置扩散节点653之间的电荷传输节点可在重置状态(例如,在电荷传输之前)和电荷传输之后之间保持基本上相同的状态。这是可能的,因为触发传输门658和传输门662可定位于光电二极管654和存储节点602之间。这样消除了晶体管的触点(诸如漏极或源极)处于光电二极管或存储节点阱中的情况。换句话说讲,电荷是通过独立的传输门向存储节点602中以及从其中向外传输的,从而消除了触点实际存在于存储节点阱中的情况。换句话说讲,传输晶体管的漏极或源极可不插入形成存储节点和/或

光电二极管的阱中。 $n$ 型存储节点602形成门662的漏极和门604的源极。然后可通过 $n$ 型掺杂硅将这些门连接在一起,而不是硅-触点-金属-触点-硅连接。

#### [0225] 光屏蔽

[0226] 如上所述,图像传感器130可被配置为包括用于每个像素的存储节点,以允许进行全局式快门操作。在这些实施例中,每个像素136可同时积分或捕获光,并且来自光电二极管的电荷可存储于存储节点中,直到特定像素行能够被行选择144和列选择140读出。在来自光电二极管的电荷被存储于存储节点中时,光可能会进入存储节点中,这样可能会在所产生图像中形成噪声或其他误差。例如,在图8和11中所示的堆叠配置中,图像传感器130可通过光电二极管芯片170的后侧接收光,并且存储节点(可在光电二极管芯片或晶体管阵列芯片172的任一者上)可能在光进入光电二极管芯片时暴露于潜在的光。

[0227] 在一些实施例中,全局式电荷存储节点可定位于晶体管阵列芯片172上而非光电二极管芯片170上。在这些实施例中,光屏蔽层(诸如金属层)可定位于存储节点和光电二极管芯片170之间。屏蔽或屏蔽层可基本上防止光泄漏到存储节点中,这有助于减少进入所存储数据(电荷)中的噪声或其他人为噪声。此外,在一些实施例中,存储节点可与光电二极管可被两个或更多门诸如晶体管分开。两个门可将存储节点与光电二极管电隔离,这样可进一步减少无意或噪声光传输到达存储节点(例如,在光电二极管在接收光但不在积分期间的情况下,诸如在初始向存储节点倾倒电荷之后)。

[0228] 图26A是包括定位于晶体管阵列芯片上的存储节点的像素电路的简化示意图。图26B是示出了晶体管阵列芯片上的存储节点的图像传感器130的框图。图26C是存储节点的放大横截面视图。参考图26A-图26C,光电二极管芯片170可包括光电二极管154、抗晕光门178和传输门158。在期望使用全局式快门的情况下,晶体管阵列芯片172可包括接收传输门762、存储节点702、存储节点传输门704和激活与重置电路(复位门156、SF160和行选择162)。存储节点702在传输门158和接收传输门762打开时接收光电二极管154中所存储的数据或电荷。

[0229] 参考图26B,存储节点702与光电二极管芯片170可由屏蔽680光学隔离。屏蔽680可防止进入光电二极管芯片170的光污染或进入存储节点702中。具体而言,屏蔽680可防止光电二极管154内存储的电荷之外的光子进入存储节点702中。图26C是示出了与晶体管阵列芯片堆叠的光电二极管芯片的图示。参考图26B和26C,屏蔽680可是不透明材料诸如金属等的一层或多层或部分,并可在光电二极管芯片170和晶体管阵列芯片172之间分层(或者仅选择晶体管阵列芯片172的区域)。例如,屏蔽680可在光电二极管芯片和晶体管芯片之间在多个层中交错。在一些实施例中,屏蔽可形成上文相对于图19A-图21E所述的电介质层的一个或多个部分。

[0230] 屏蔽680还可包括导电材料诸如金属,以辅助提供两个芯片170,172之间的通信。例如,屏蔽680可形成垂直传输门158和/或芯片间连接的一个或多个金属层。此外,屏蔽680可包括单个层,或者可包括沿图像传感器130的长度和光电二极管芯片与晶体管阵列芯片之间的芯片间连接的厚度分布的多个区段。屏蔽680的至少一部分可定位于在晶体管阵列芯片上形成的存储节点702和光电二极管芯片170之间。这样可基本防止光诸如光电二极管芯片内内部反射而未被光电二极管吸收的光或其他光噪声进入存储节点702。

[0231] 在屏蔽680为金属材料的情况下,存储节点702可以是其中没有接收任何晶体管触



点的光电二极管。这些实施例可帮助减小存储节点702中的暗电流,硅(例如,晶体管阵列172的衬底)中的金属触点可能会产生暗电流。这是可能的,因为电荷可进入存储节点702并通过独立的传输门762,704传输出去,这样可减小硅中的屏蔽的金属元件可能会形成的暗电流。通过消除存储节点中金属与硅的触点(这可能会损坏硅)并且由于表面钝化(例如,对于n型存储节点的p+植入物)减小暗电流是可能的。

[0232] 通过遮挡至少一部分杂散光防止其进入存储节点702中,屏蔽680可帮助减少噪声和其他图像伪影在全局式快门操作期间被引入图像中。例如,在全局式快门操作期间,图像传感器130中的每个像素136都可在基本上相同的时间积分或收集光。在积分之后,可激活垂直传输门158和接收传输门762以将光从光电二极管154传输到存储节点702。在该实例中,可从光电二极管芯片170向晶体管阵列芯片172传输电荷,其中电荷存储于存储节点702中,直到选择像素行准备好被图像处理器读出。因为存储节点702与光电二极管芯片170光学分隔,所以可防止积分期间未被光电二极管154收集的光子到达存储节点702。

[0233] 在一些实施例中,屏蔽680或屏蔽的部分可包括光吸收或抗反射材料和/或涂层。例如,屏蔽680可以是金属材料,其中在一个或多个表面上涂有光吸收涂层。在其他实施例中,吸收涂层可减少光电二极管芯片170内的光反射,并吸收反射光。吸收材料可进一步防止光在光电二极管芯片170内被散射。在这些实施例中,可减少通常由于光从一个光电二极管反射并进入相邻的光电二极管造成的像素之间的串扰。在一些实施例中,屏蔽的一个或多个部分可包括光吸收材料,而屏蔽的其他部分可不包括光吸收材料。

[0234] 参考图26C,在一些实施例中,金属互连件的选定部分诸如金属连接件186和/或垂直传输门158的接合焊盘685可包括可进一步帮助减少光电二极管和/或晶体管阵列芯片内的光反射的光吸收涂层和/或抗反射涂层。此外,在一些实施例中,晶体管阵列芯片的一个或多个互连件可包括光吸收涂层或抗反射涂层。参考图26C,一个或多个接合焊盘687和/或金属互连件683可包括光吸收涂层和/或抗反射涂层。此外,晶体管阵列芯片还可包括可进一步减少像素芯片叠层内的光噪声的一个或多个屏蔽682。晶体管阵列芯片中的屏蔽682可“掩埋”于晶体管阵列芯片硅中以遮挡光来防止在该芯片中被反射。

[0235] 此外,两个传输门(垂直传输门158和接收传输门762)控制电荷进入存储节点702中,该存储节点702可与光电二极管154电隔离。与光电二极管154电隔离可以从光电二极管的积分时间开始帮助保持存储节点702中所存储的电荷的完整性,并防止存储节点在非积分时段期间(在积分之后但在读出之前)接收电荷。

[0236] 应当指出,图26B和26C中示出的屏蔽和金属互连的位置仅仅是为了示例性的,还设想了很多其他实施例。通过针对存储节点屏蔽光,以及吸收可能在光电二极管芯片和/或晶体管阵列芯片之被内反射的光,一个或多个屏蔽可提升快门效率,并减少所捕获的信号中的噪声。此外,尽管图26B和26C中的实施例示出了屏蔽结构的组合,但在一些实施例中,可使用单个屏蔽。例如,光屏蔽可掩埋于像素晶体管芯片的存储节点的顶部和/或光电二极管上。作为另一个实例,可为芯片内的金属互连件和/或其他元件涂布抗反射和/或光吸收材料,以减少光反射,而无需另外使用屏蔽。作为另一个实例,一个或多个光吸收层诸如非晶硅或多晶硅可定位于晶体管阵列芯片和/或光电二极管芯片内以过滤(吸收)光。在一个实施例中,非晶硅可定位于光电二极管芯片和晶体管阵列芯片之间的光电二极管芯片的顶部。

### [0237] 增大整个阱的容量

[0238] 图像传感器中的光电二极管的整个阱容量通常确定了曝光时间,并且还影响信噪比和/或图像传感器的动态范围。在一些实施例中,可动态调节图像传感器中的光电二极管的整阱容量以允许更长的曝光时间,从而减少所捕获的图像中的光晕伪影,并增大图像传感器的动态范围。在一个实施例中,图像传感器可在积分期间(例如,曝光时间帧)一次或多次从光电二极管向存储节点传输电荷。在积分期间传输电荷可允许增大光电二极管的整阱容量以超过硬件施加的阱容量。此外,因为整阱容量可能变化而无需改变图像传感器的硬件,所以可动态改变整阱容量,从而允许图像传感器调节到不同光照条件、图像捕获设置(例如,视频或静止照片),以及允许用户根据需要调节曝光时间而不会增加光晕伪影。

[0239] 可使用具有垂直传输门的图像传感器来实现本文相对于可调节整阱容量描述的实施例,或者可在具有水平垂直传输门的图像传感器中实现。图27示出了用于具有动态可调节全阱容量的图像传感器130的像素的示例性示意图。参考图27,该像素可包括光电二极管154和浮置扩散节点163之间的一个或多个存储节点702。可激活存储门762和传输门158以将电荷从光电二极管154传输到存储节点702。然后可激活第二传输门704以从存储节点702向浮置扩散节点163传输电荷。在一些实施例中,存储节点702可由一个或多个屏蔽680(例如,如图26B和26C所示)与光屏蔽,这样将允许保护其中所存储的信号,以免受到内部反射光和其他噪声源的影响。此外,存储节点702可与光电二极管154电隔离,以进一步减少信号中的噪声。

[0240] 应当指出,在某些实施例中可省去抗晕光门178,尤其是在卷帘式快门实施中。

[0241] 存储节点702可具有增大的电容以适应来自光电二极管154的多次传输电荷。例如,存储节点702可充分大以适应光电二极管154的双(或多)容量。这样允许存储节点702存储来自光电二极管154的多次电荷传输的电荷,因为相对于硬件实现的整阱容量,其增大了光电二极管154的积分时间。

[0242] 另选地或除此之外,可动态调节用于一个或多个像素的转化增益。图13、14、15A和15C中示出了可调节转化增益的实例,并可使用像素共享具体实施完成,其中每个像素的一个或多个部件(例如,浮置扩散节点)可在两个或更多像素之间共享。例如,参考图13,每个像素236a, 236b, 236c, 236d都可与多个浮置扩散节点288a, 288b, 288c, 288d选择性地通信。使用类似的具体实施,可使存储节点(图13的具体实施中未示出)进入与期望浮置扩散节点的选择性通信,这可调节针对像素的转化增益。例如,可在积分期间可能有单次电荷传输的情况下使用第一浮置扩散节点288a,可在积分期间可能有两次电荷传输的情况下使用第二浮置扩散节点288b,可在积分期间可能有第三次电荷传输的情况下使用第三浮置扩散节点288c,并且可在积分期间可能有四次电荷传输的情况下使用第四浮置扩散节点288d。在该实例中,可从第一浮置扩散节点向第四浮置扩散节点增大针对每个浮置扩散节点的节点电容。换句话说,第四浮置扩散节点288d可具有最高的电容,第三浮置扩散节点288c可具有第二高电容,第二浮置扩散节点288b可具有第三高电容,并且第一浮置扩散节点288a可具有最低电容。可变电容允许调节转化增益以匹配来自多次电荷传输的在存储节点中出现的大电荷。

[0243] 参考图15C,在另一个实例中,每个存储节点702a, 702b, 702c和702d都可与可具有可调节增益的单个浮置扩散节点进行通信。例如,浮置扩散节点163可耦接到一个或多个增

益调节门290,292,294以改变浮置扩散节点的转化增益。在这些实施例中,可动态调节浮置扩散的转化增益以适应因为在积分期间从光电二极管154一次或多次传输电荷而在存储节点702a,702b,702c,702d中存储的附加电荷。

[0244] 现在将论述动态调节光电二极管的整阱容量的方法。图28是示出了为图像传感器的一个或多个光电二极管调节全阱容量的方法800的流程图。方法800可始于操作804,然后图像传感器130可捕获测试图像。例如,图像传感器可利用默认或基线整阱容量(例如,积分结束时的单次电荷传输)来捕获对象的图像。一旦捕获到测试图像,方法800就以前进到操作806。在操作806中,可由处理器114或用户评估测试图像(或来自光电二极管的光信号),以确定图像中是否有光晕伪影(例如,来自超过其整阱电势的像素)。

[0245] 如果有光晕的像素数量超过预定阈值,作为方法800可前进到操作808,并且处理器可改变图像传感器130的模式以提高选择像素和/或所有像素的整阱电势。例如,针对选定像素(或像素阵列中的所有像素)的传输门和存储门可被配置为在光电二极管154的积分时间期间被激活。一旦图像传感器130模式已被激活,则方法300便可前进到操作810。在操作810中,用于图像传感器130的光电二极管154可开始积分。换句话说,图像传感器可开始曝光图像。

[0246] 如果光电二极管154正在积分,则方法800可前进到操作812。在操作812中,已被选择以具有扩展的整阱容量的像素可向存储节点702中清空其电荷。例如,参考图27,可激活用于每个像素的传输门158和存储门762,以允许来自光电二极管154的电荷流到存储节点702中。一旦来自光电二极管154的电荷已传输到存储节点702中,则将去激活传输门158和存储门762,从而将存储节点702与光电二极管154电隔离。

[0247] 在操作812且已发生第一次电荷传输之后,方法800可前进到操作814。在操作814中,光电二极管154可继续积分。换句话说,用于图像传感器130的曝光时间可继续允许光电二极管继续从镜头收集光。

[0248] 根据期望的整阱容量,在操作814期间,方法800可前进到操作816。在操作816中,可进行第二次电荷传输。如第一次电荷传输那样,可激活传输门158和存储门762以允许电荷从光电二极管154流向存储节点702。一旦已传输第二电荷,方法800便可前进到操作818。在操作818中,光电二极管154可完成积分。例如,可达到预定的曝光时间。

[0249] 在达到曝光时间后,方法800就可前进到操作820。在操作820中,可将光电二极管154中新积累的电荷通过传输门和存储门传输到存储节点702。最终电荷传输可从扩孔积分时间开始传输光电二极管中的电荷。

[0250] 一旦发生最终电荷传输,方法800便可前进到操作822。在操作822中,可激活第二传输门704并可向浮置扩散节点163传输电荷。应当指出,在转化增益可调节的实施例中,可基于电荷传输的次数来选择浮置扩散节点或用于浮置扩散节点的任何增益调节门。例如,参考图15C,如果在积分期间已完成了两次电荷传输,则可激活第一增益调节门290和第二增益调节门290292,使得浮置扩散节点的电容将被配置为处理来自存储节点的附加电荷。在已向浮置扩散节点传输电荷之后,可读出电荷,并且方法800可结束。

[0251] 应当指出,尽管方法800基于一个或多个光晕像素来调节光电二极管的整阱容量,但可针对各种其他原因来调节像素。例如,在一些情况下,用户可能希望图像具有更长的曝光时间,并且根据要捕获的场景中的环境光量,可能期望附加阱容量。作为另一个实例,图

像传感器可被配置为捕获视频而非静止图像。在该实例中,由增大的整阱容量提供的附加曝光时间可增加光电二极管在高光照情况下的最大曝光时间,这可实现更流畅的视频。换句话说讲,光电二极管可不必在视频长度期间被多次读出,减小视频的“波浪”,因为帧可以更无缝地一起流动。作为另一个实例,所捕获的场景中的光更闪烁(例如,在50或60Hz下操作的亮光)时,更长的曝光时间可覆盖整个照明周期,从而减少更短曝光时间中可能发生的波浪伪影。

[0252] 在一些实施例中,某组像素可在整个积分期间将其电荷传输多次,而其他组像素可仅在积分结束时才传输其电荷。例如,可设置具有某种滤色器的像素(例如红色、蓝色、绿色)以具有多次电荷传输,尤其是在场景中特定光波长可能主导的情况下,这样可能导致具有那些滤色器的像素比其他像素更快地产生光晕。

#### [0253] 结论

[0254] 上述描述具有广泛的应用。例如,虽然本文所公开的实例可能将重点放在垂直传输门上,但应当理解,本文所公开的概念可同等地适用于具有水平传输门的图像传感器。作为另一个实例,尽管已相对于传输门论述了垂直门的结构,但可针对其他门诸如抗晕光门实施垂直门结构。类似地,尽管可相对于图像传感器论述深度感测系统,但本文所公开的设备和技术同样适用于其他类型的传感器。此外,尽管相对于像素架构描述了行选择门,但可在不包括行选择像素的图像传感器像素架构以及像素架构的其他变型中使用本文所公开的实施例。因此,对任何实施例的论述仅旨在为示例性的,并非旨在建议包括仅限于这些实施例的权利要求的本公开的范围。

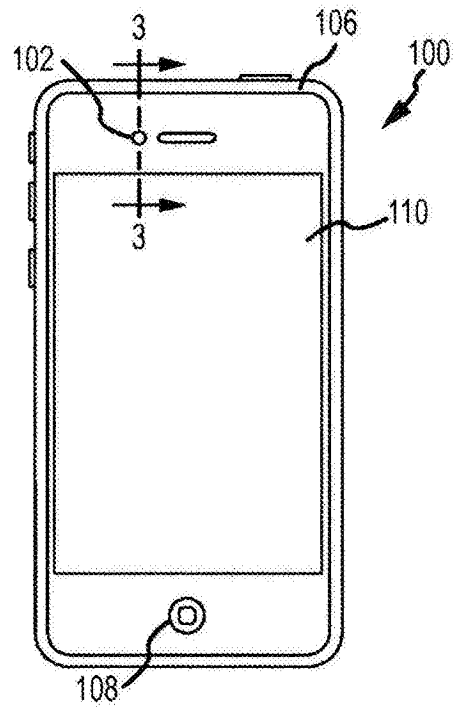


图1A

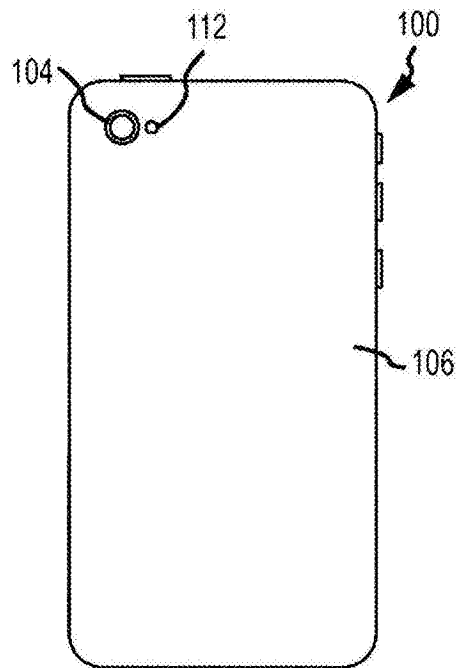


图1B

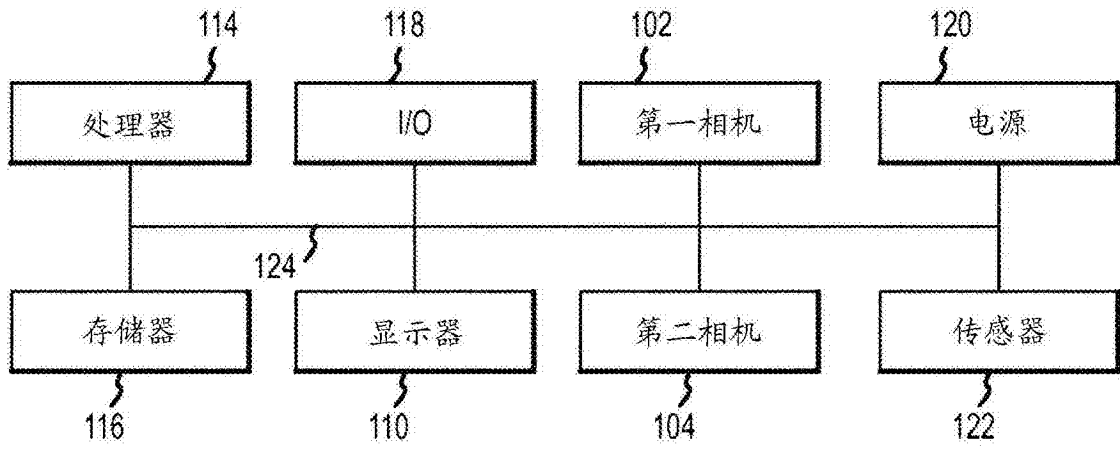


图2

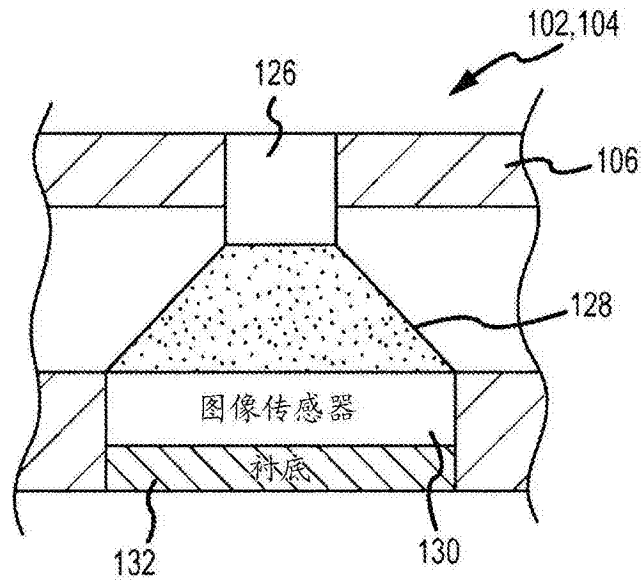


图3

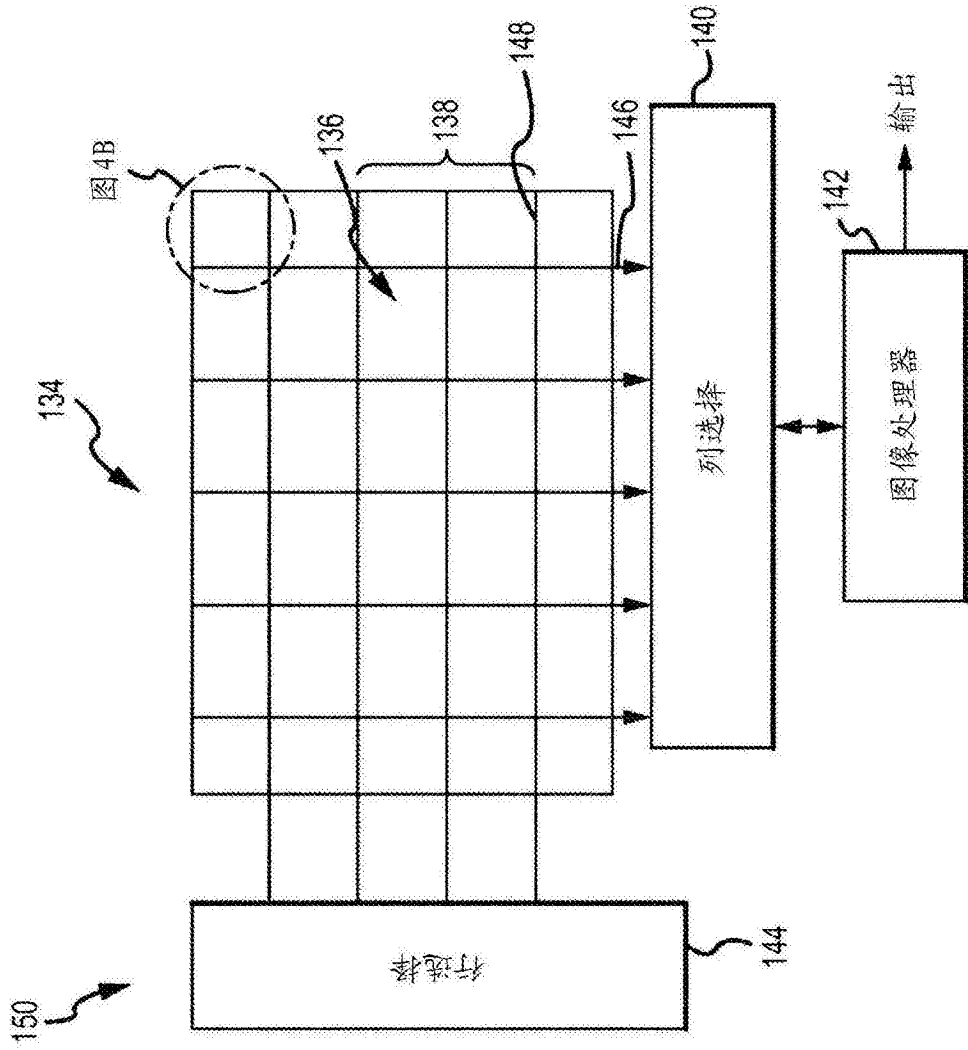


图4A

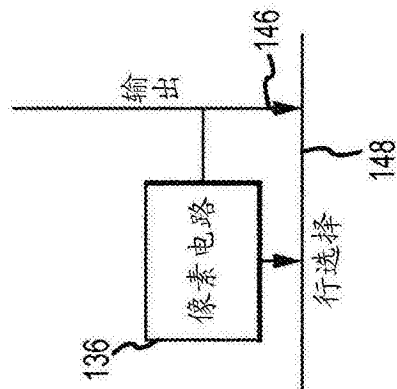


图4B

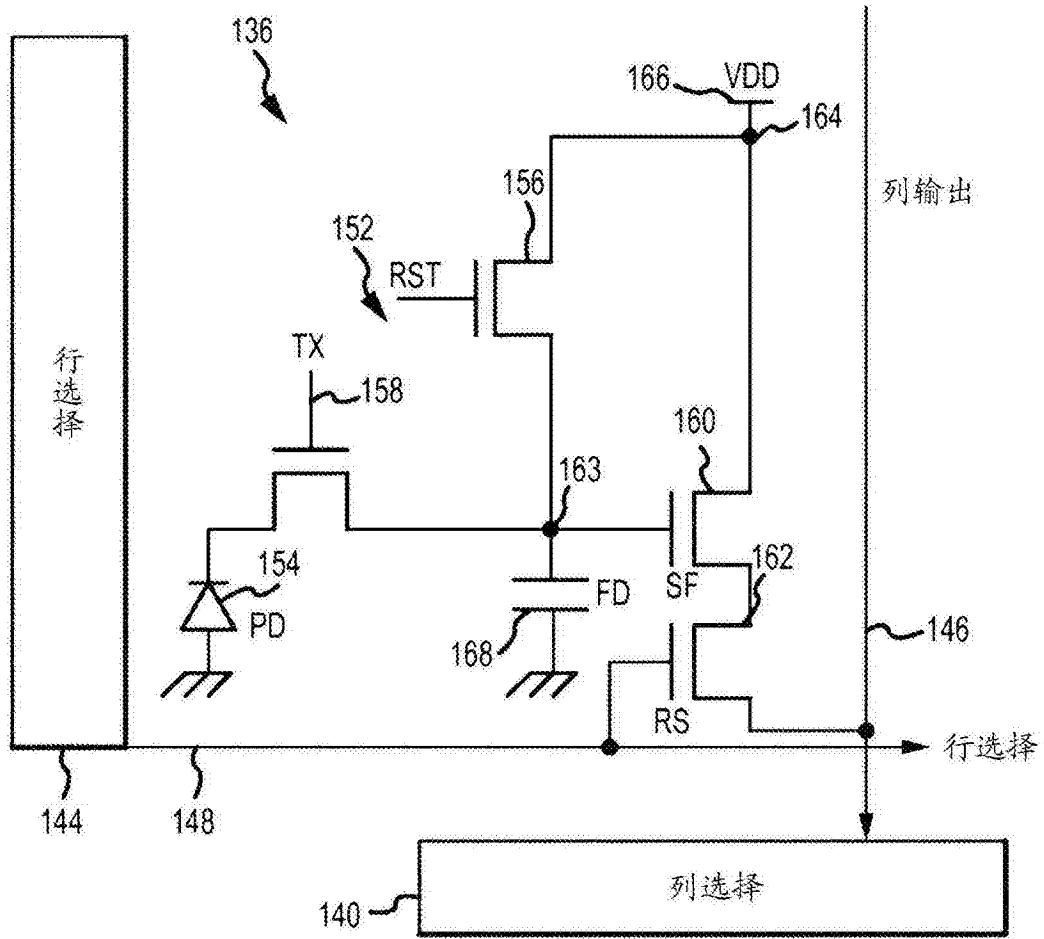


图5



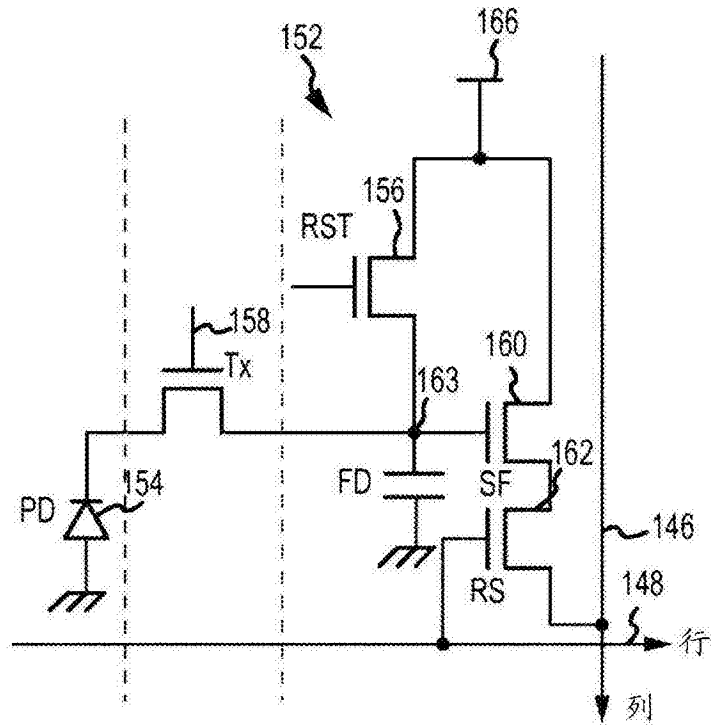


图6

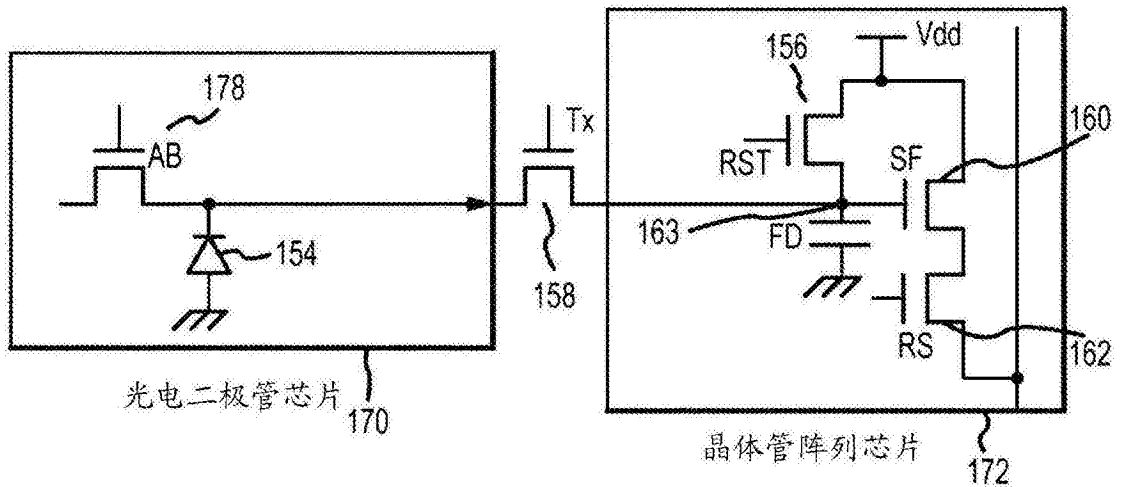


图7

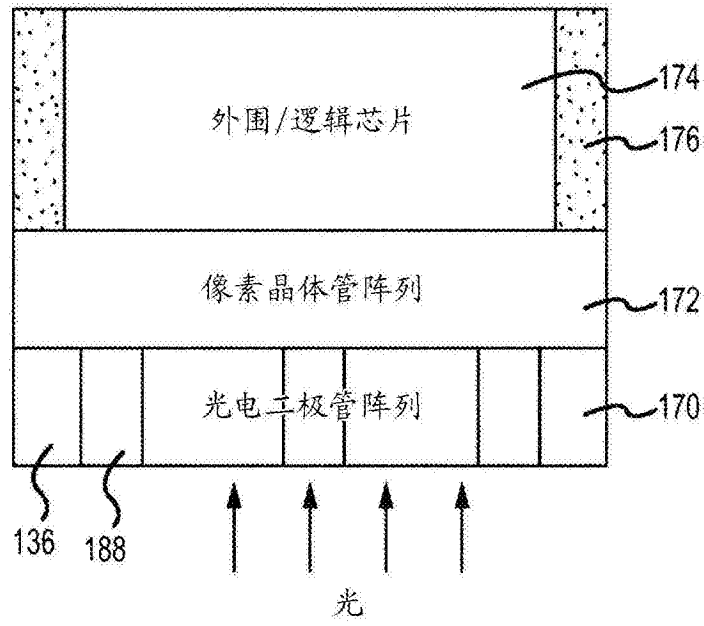


图8

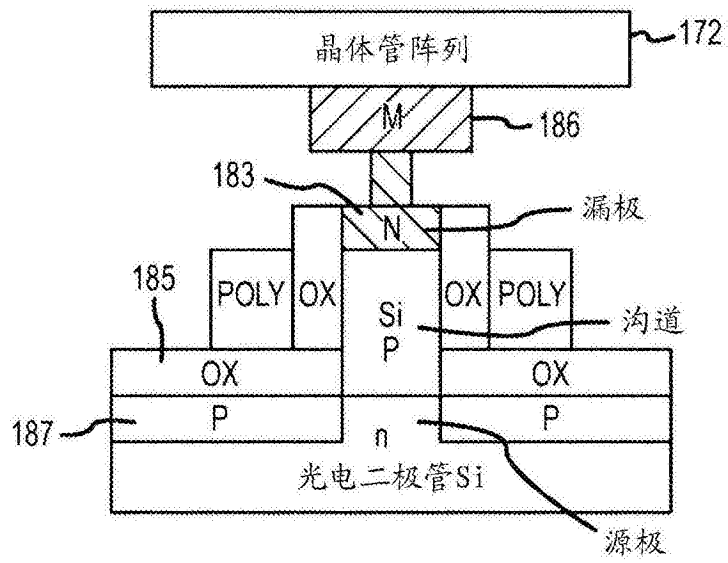


图9A

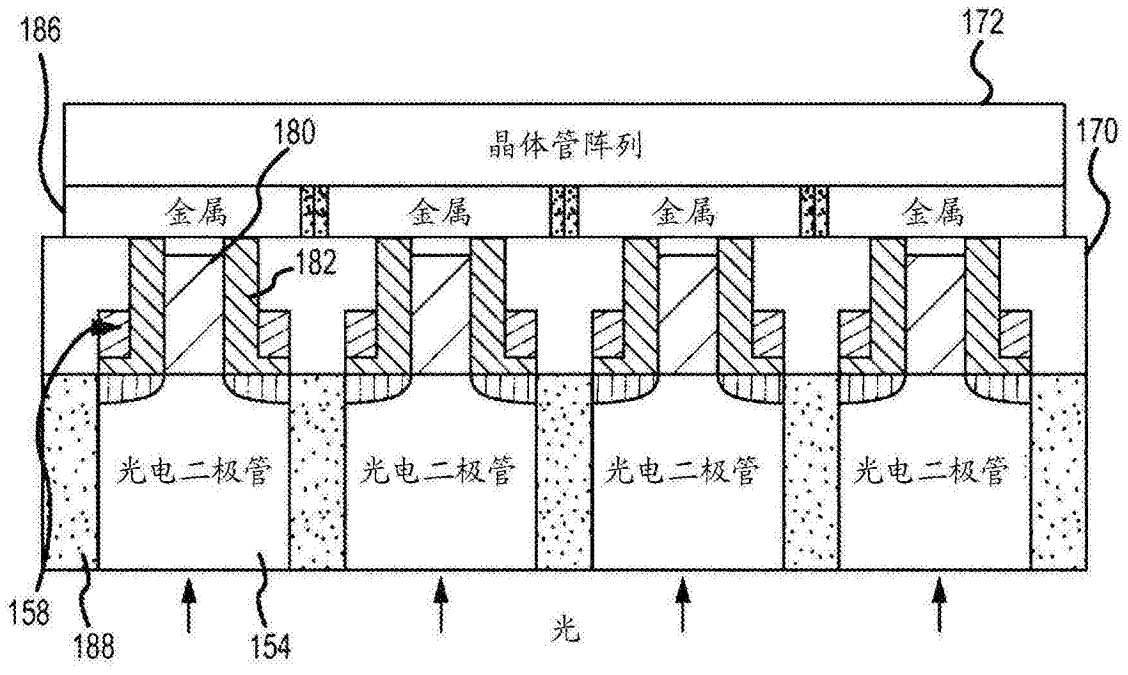


图9B

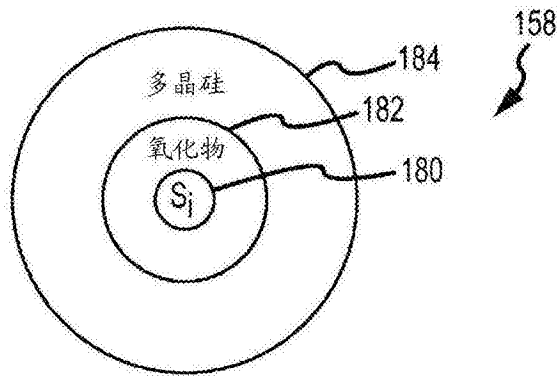


图10

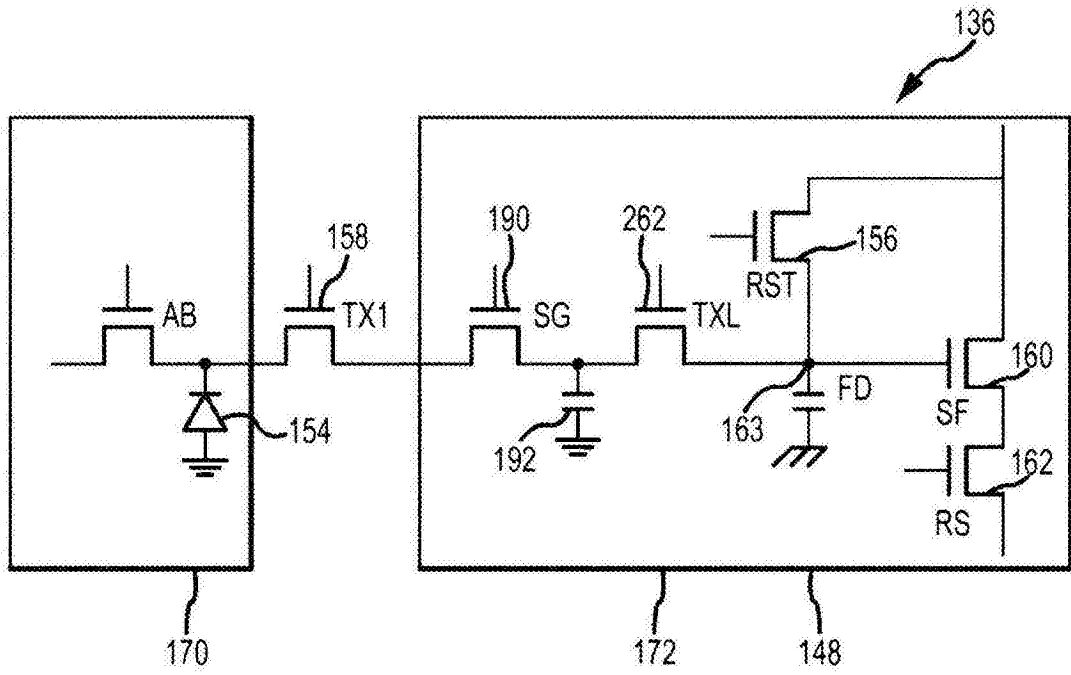


图11

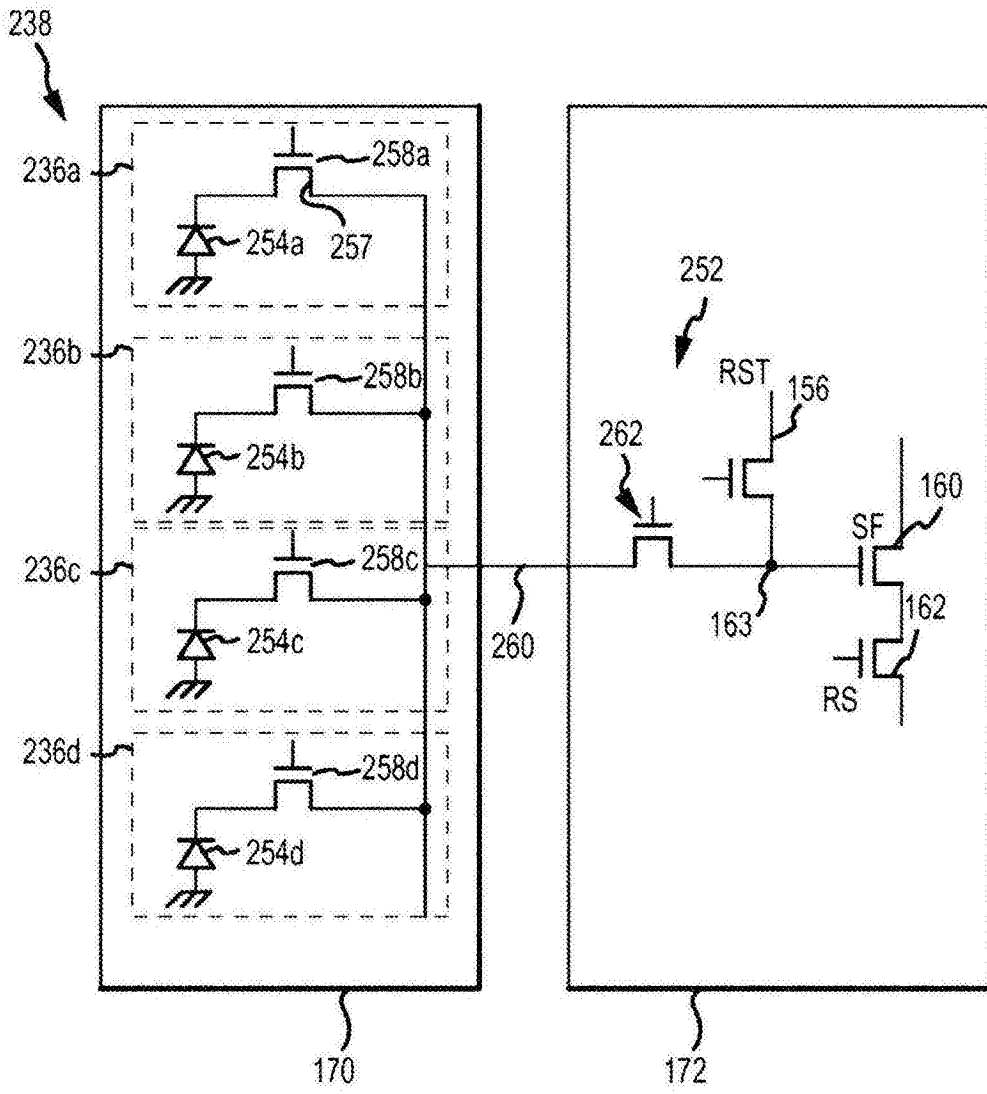


图12A

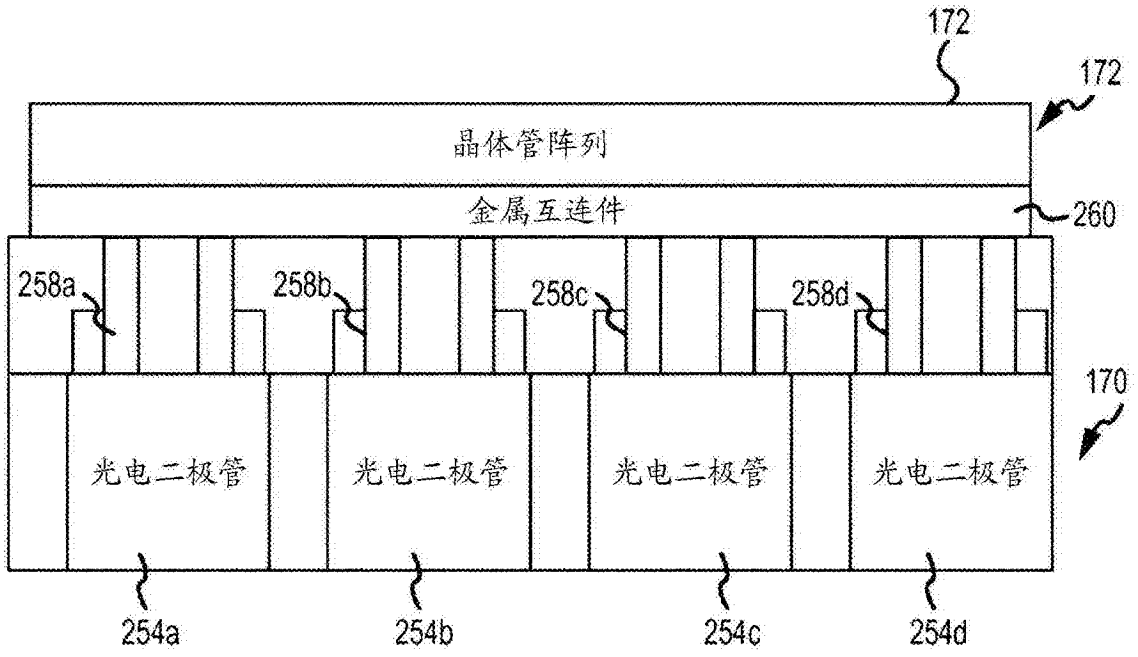


图12B

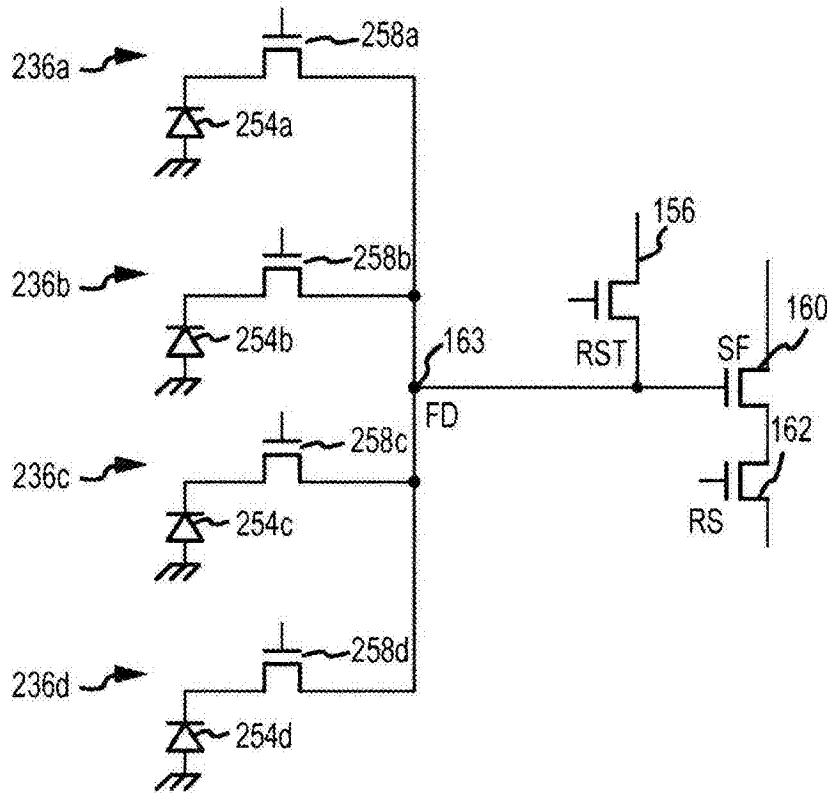


图12C

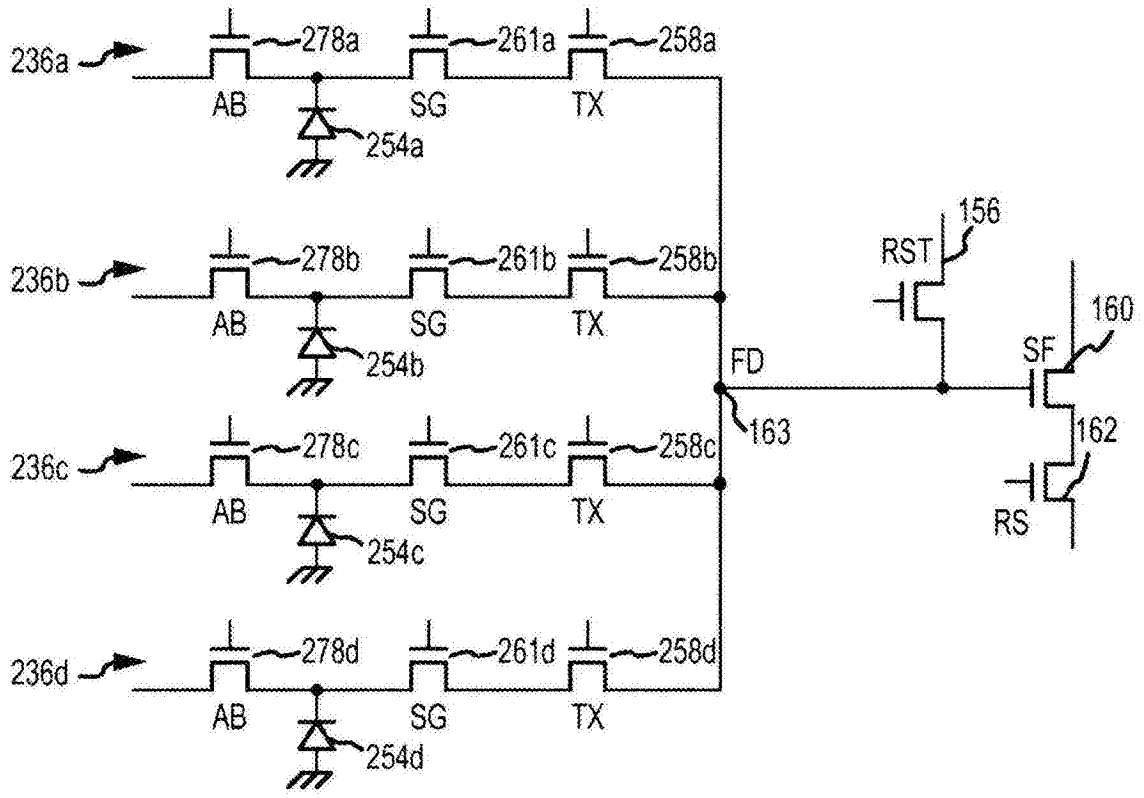


图12D

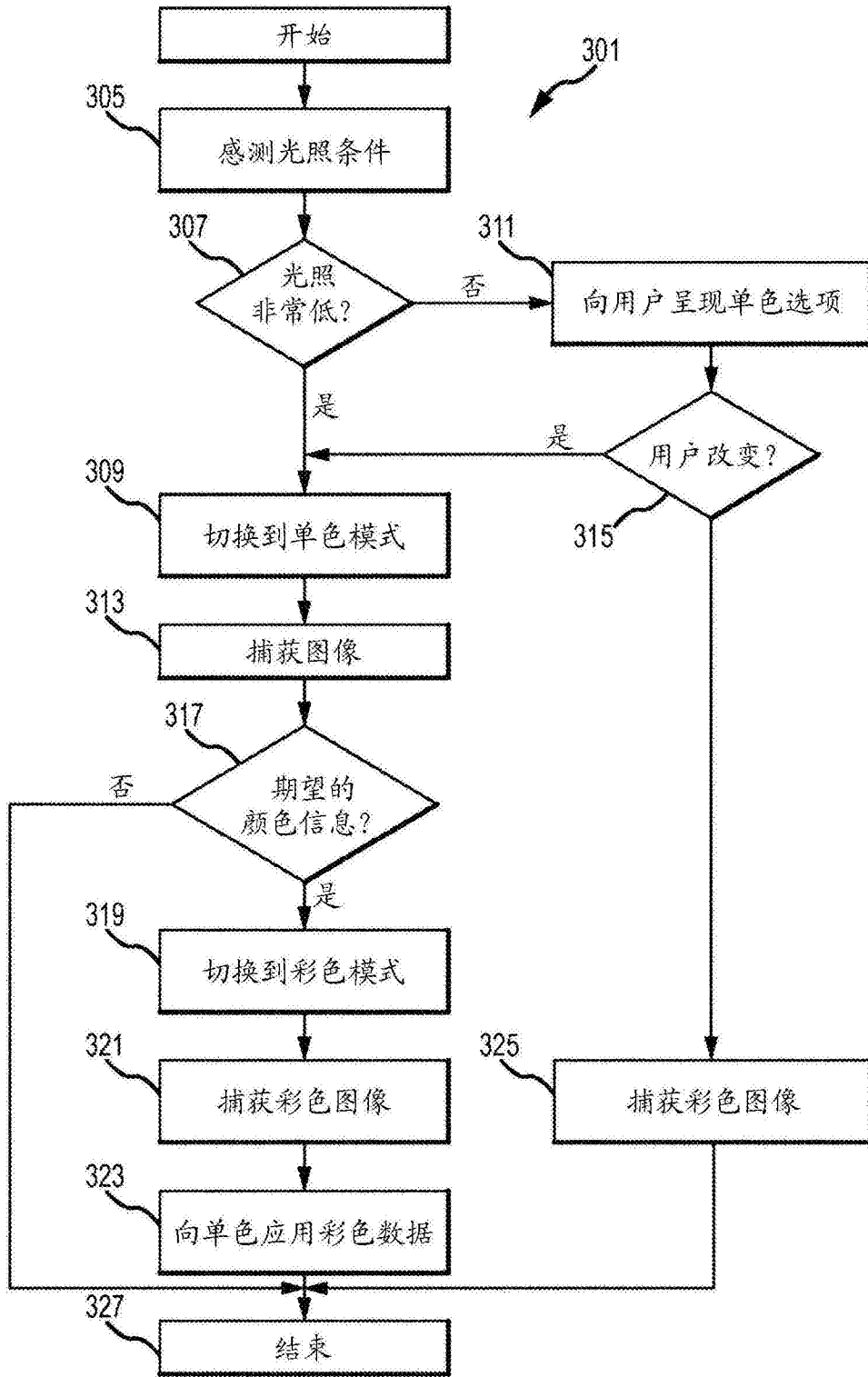


图12E



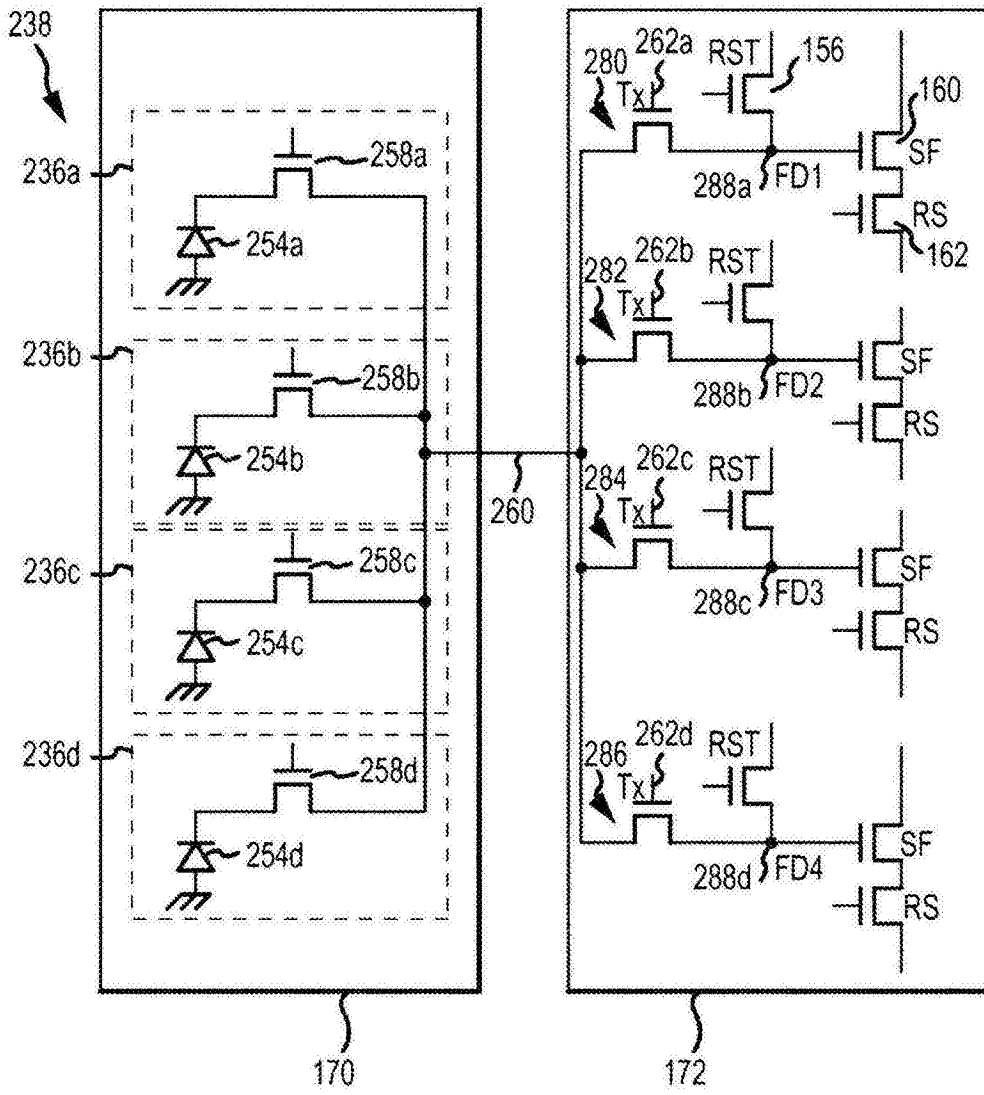


图13

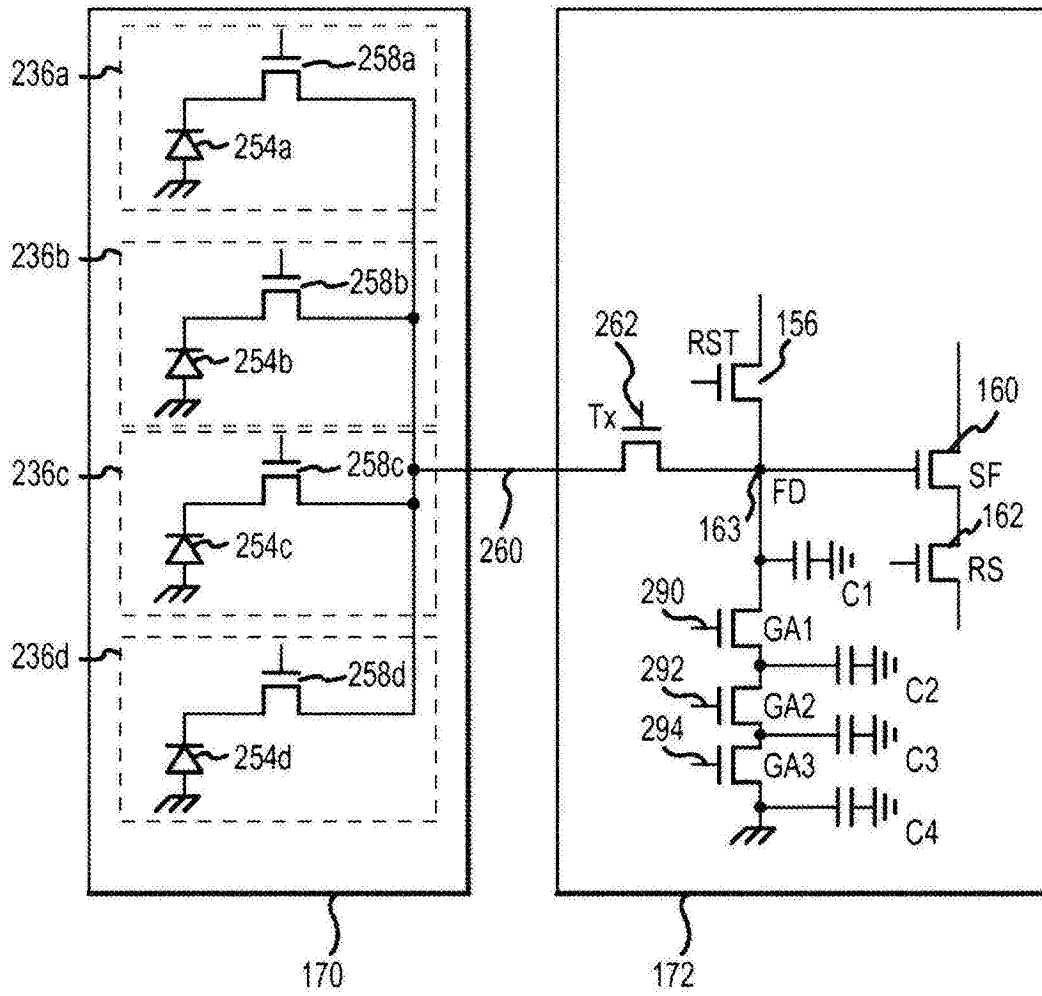


图14

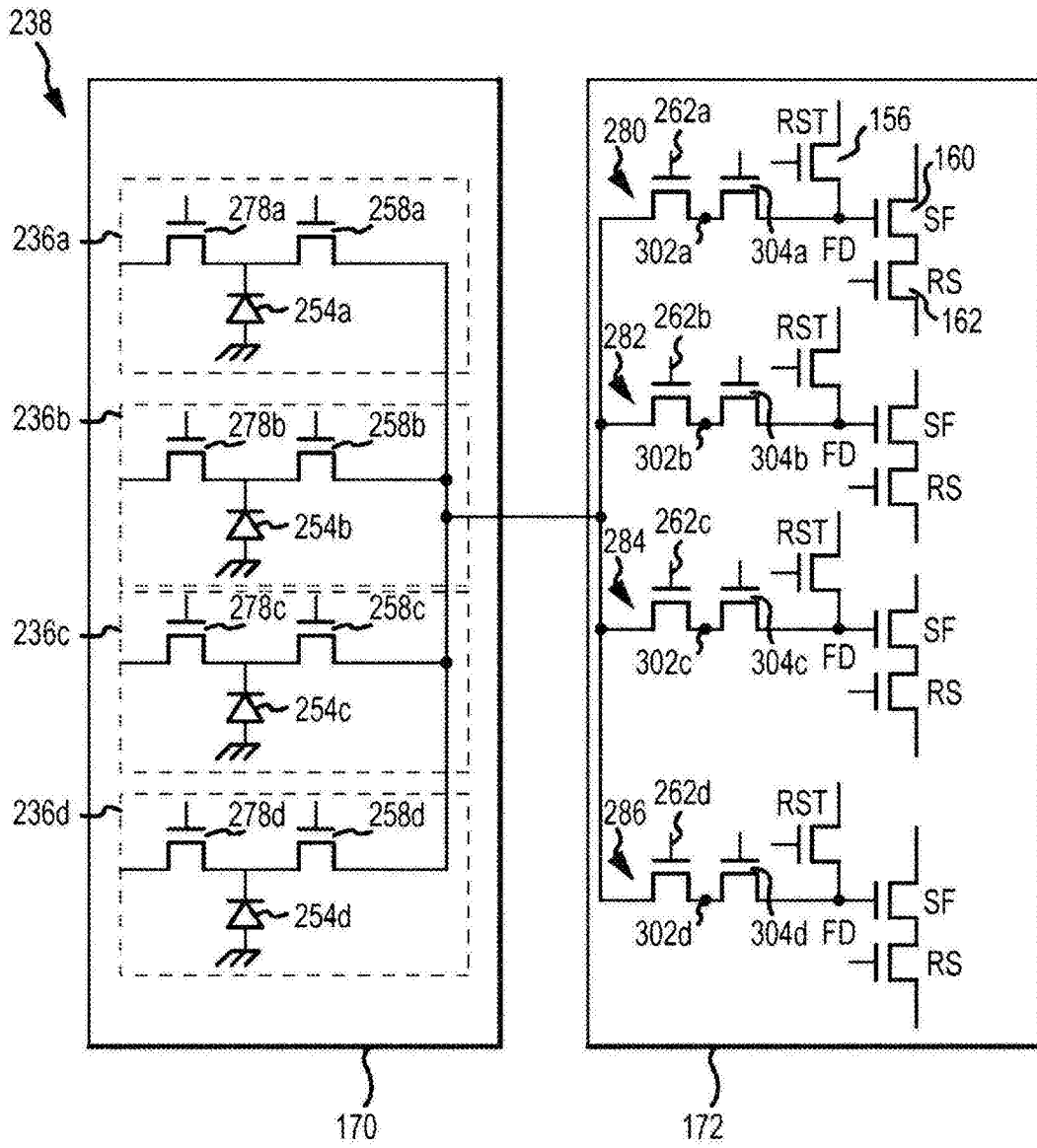


图15A

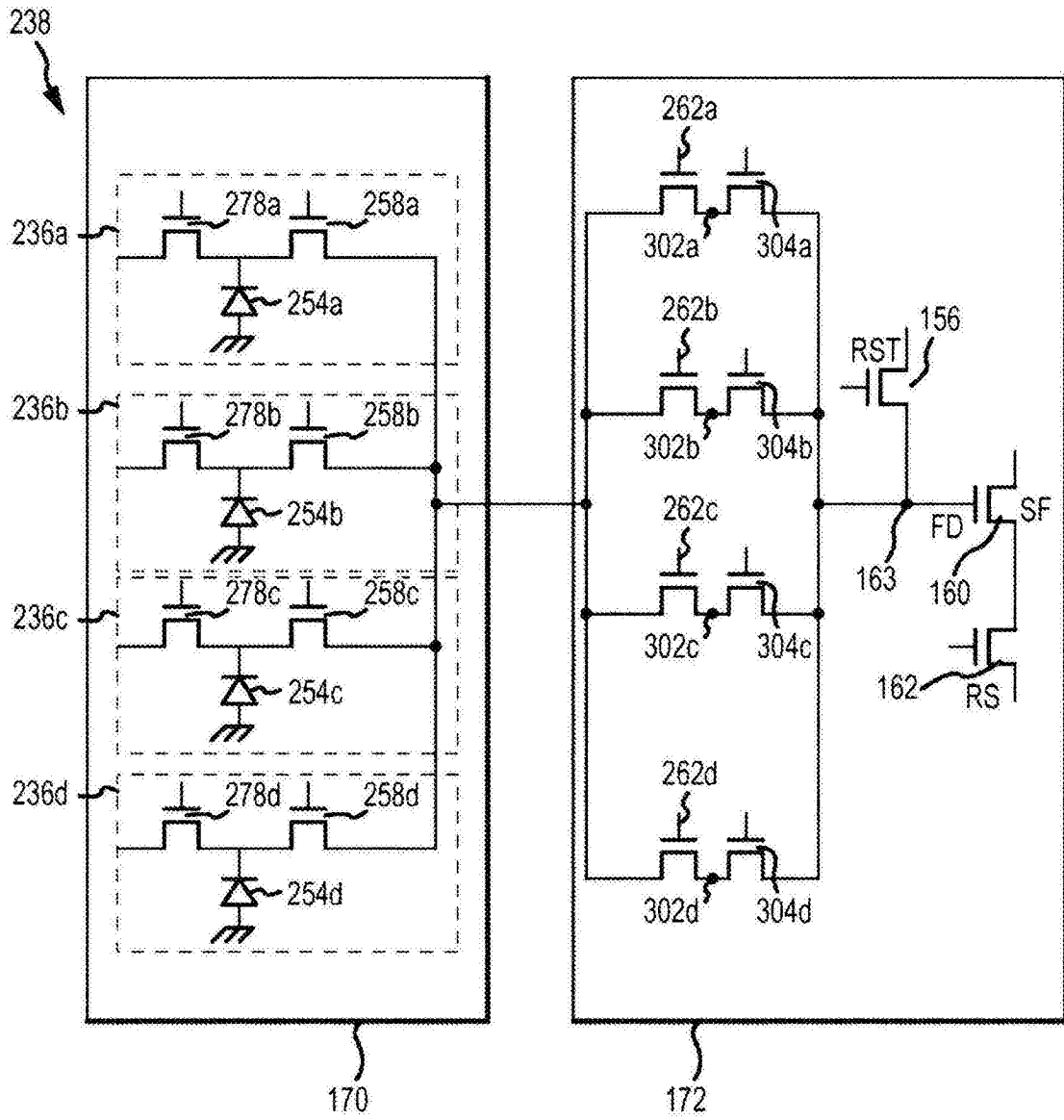


图15B

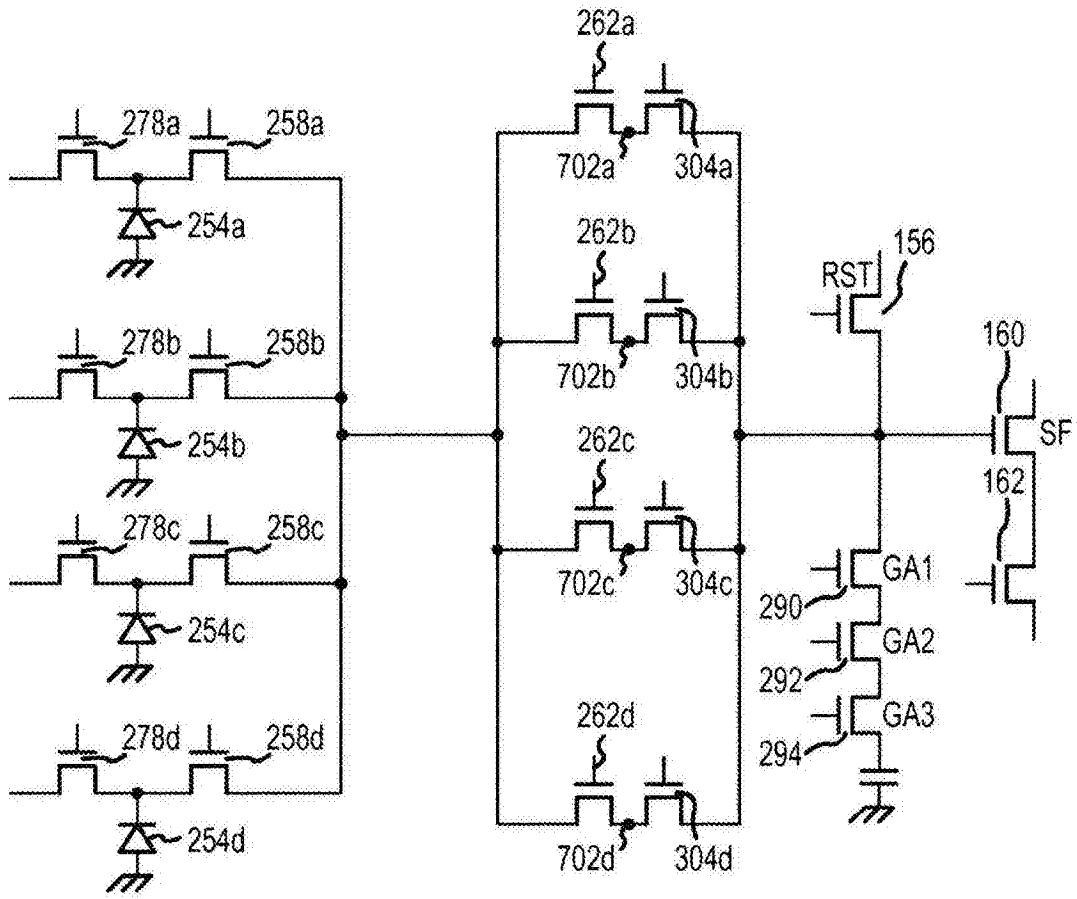


图15C

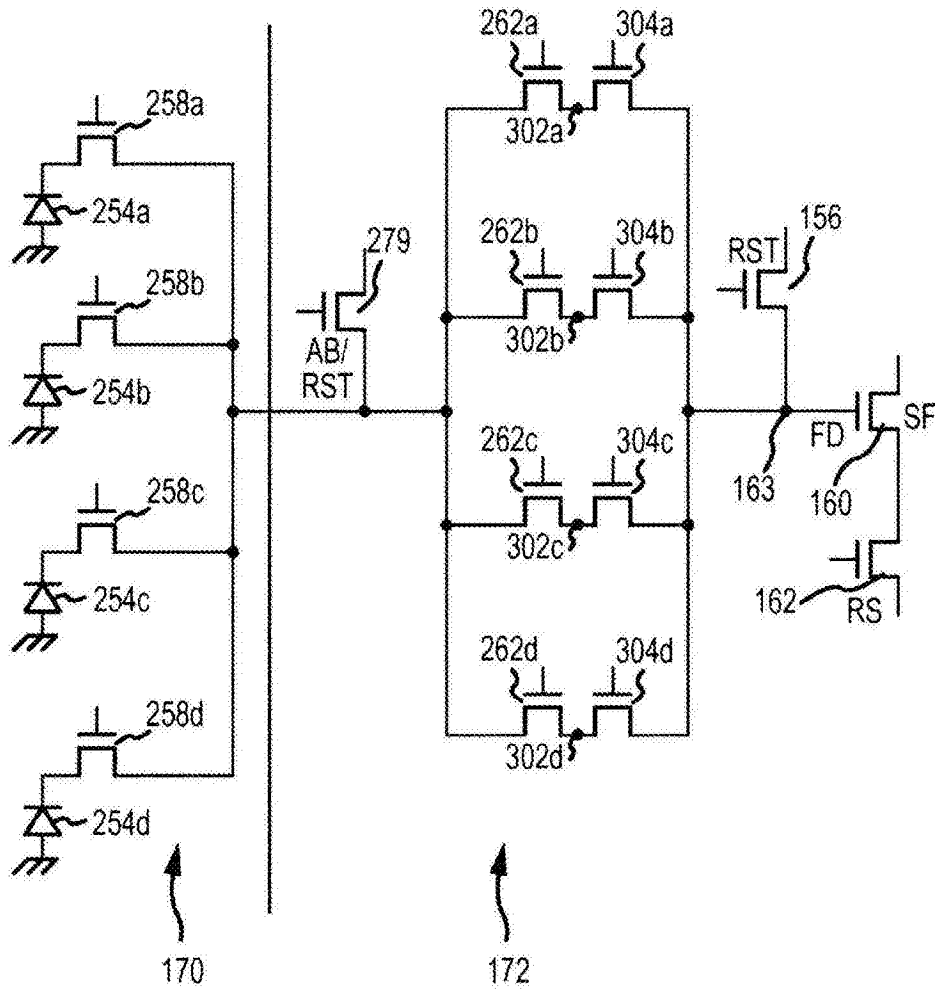


图16A

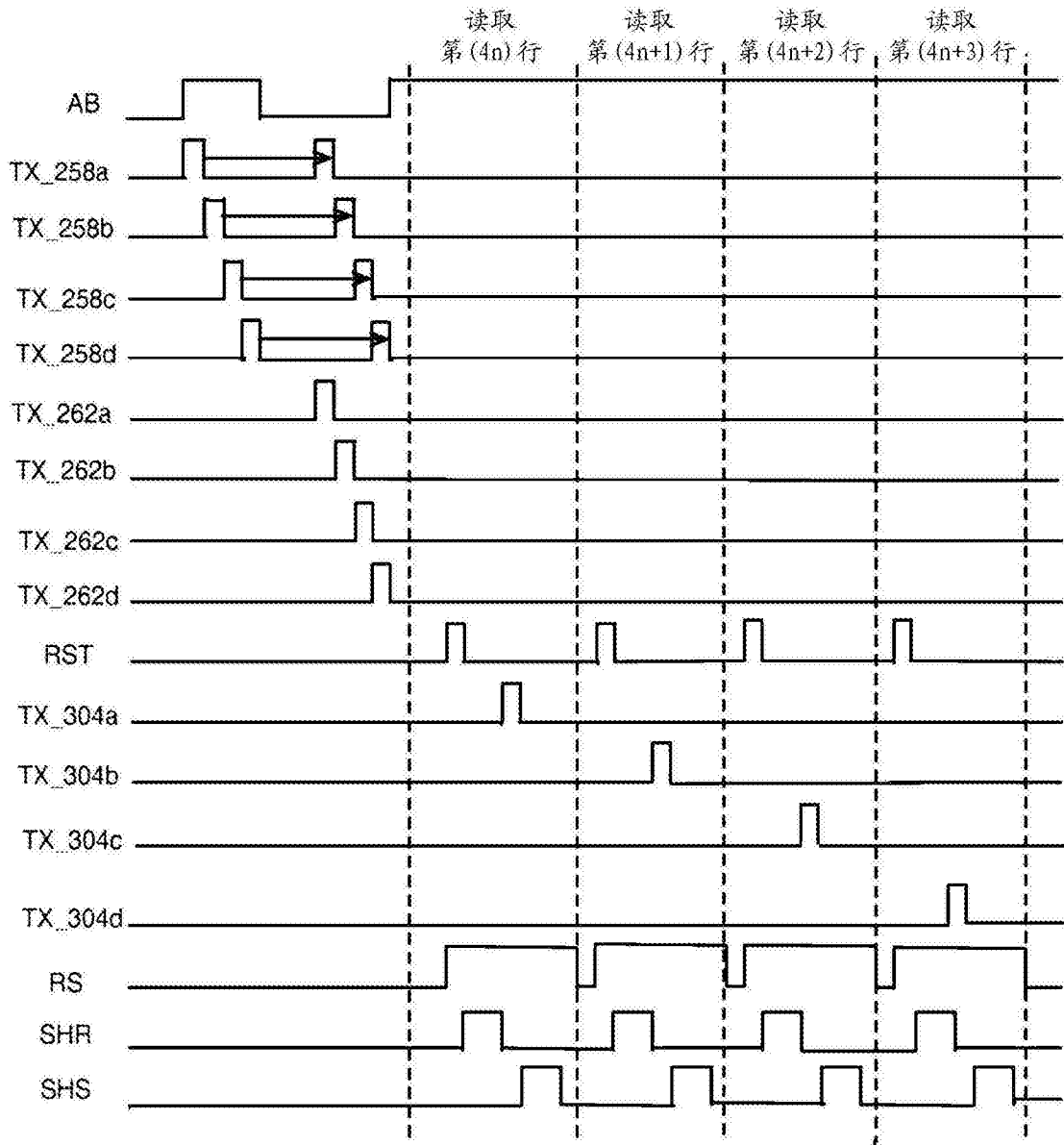


图16B

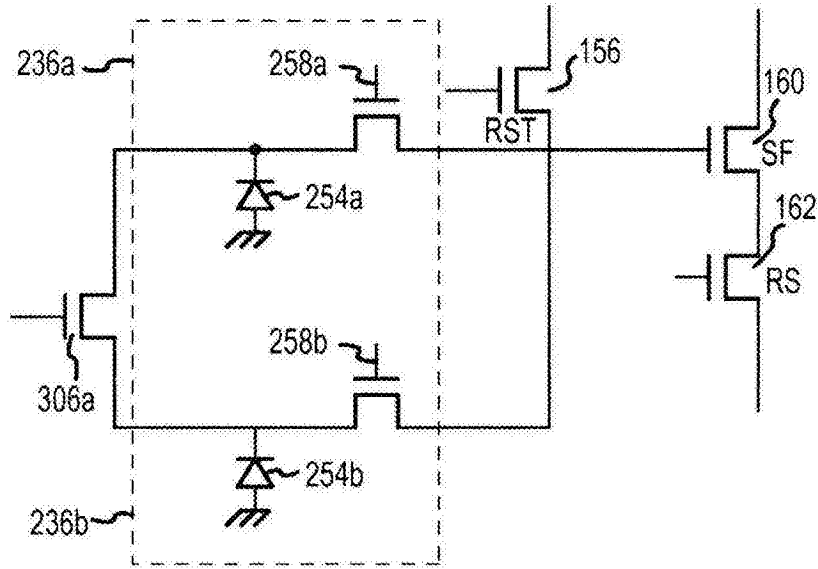


图17A

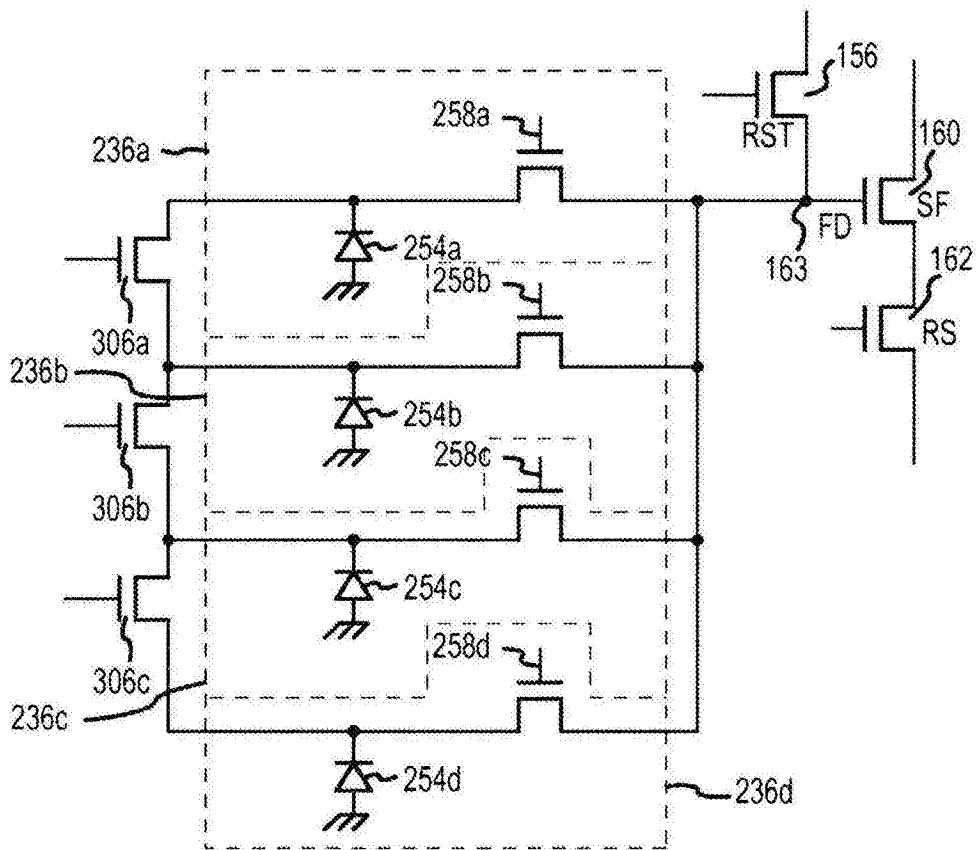


图17B



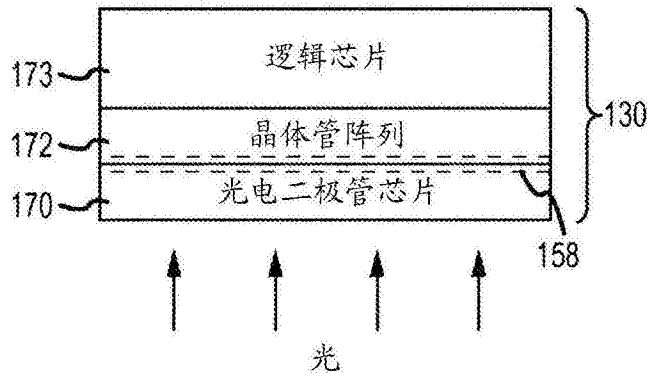


图18

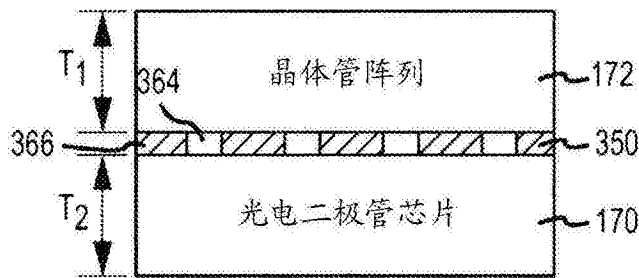


图19A

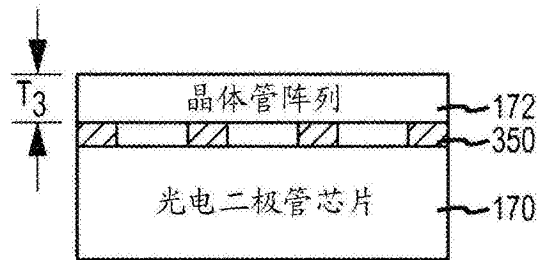


图19B

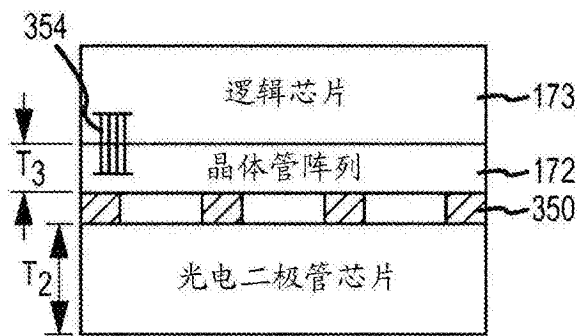


图19C

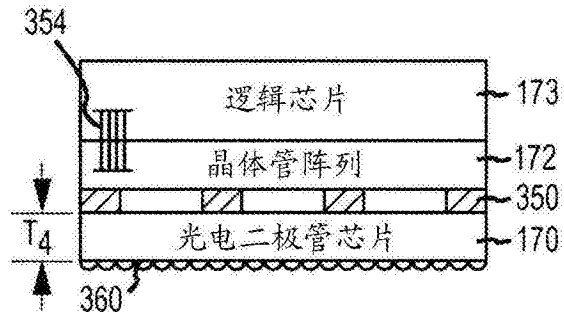


图19D

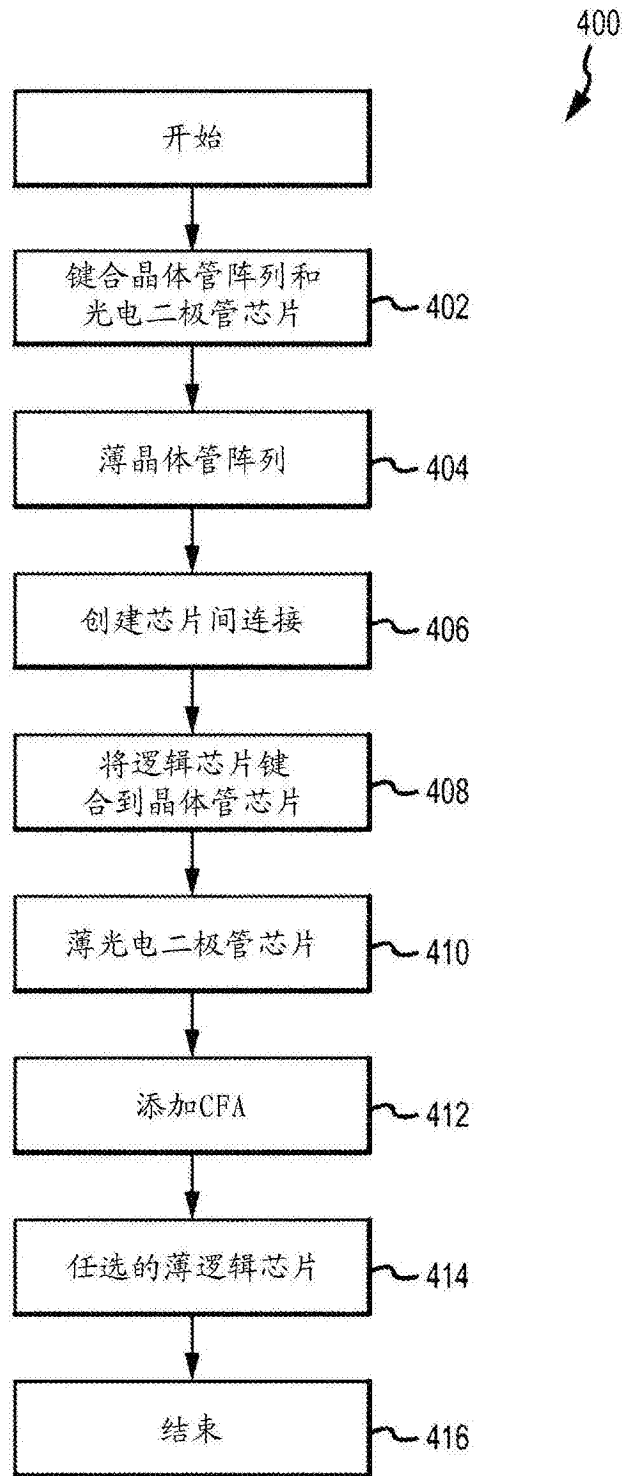


图20



图21A

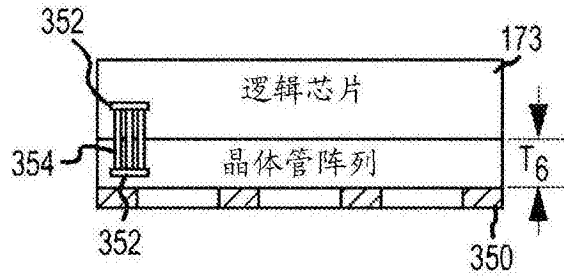


图21B

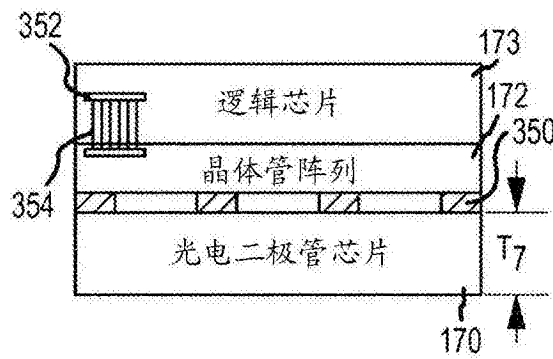


图21C

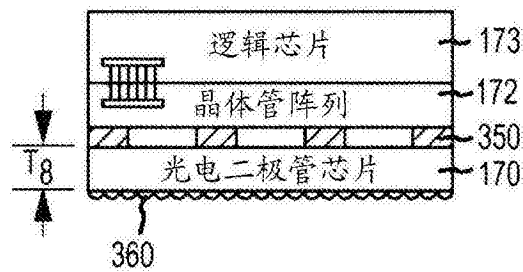


图21D

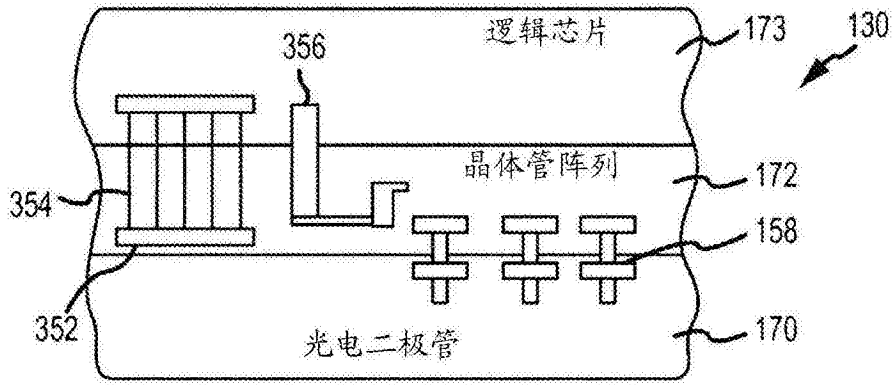


图21E

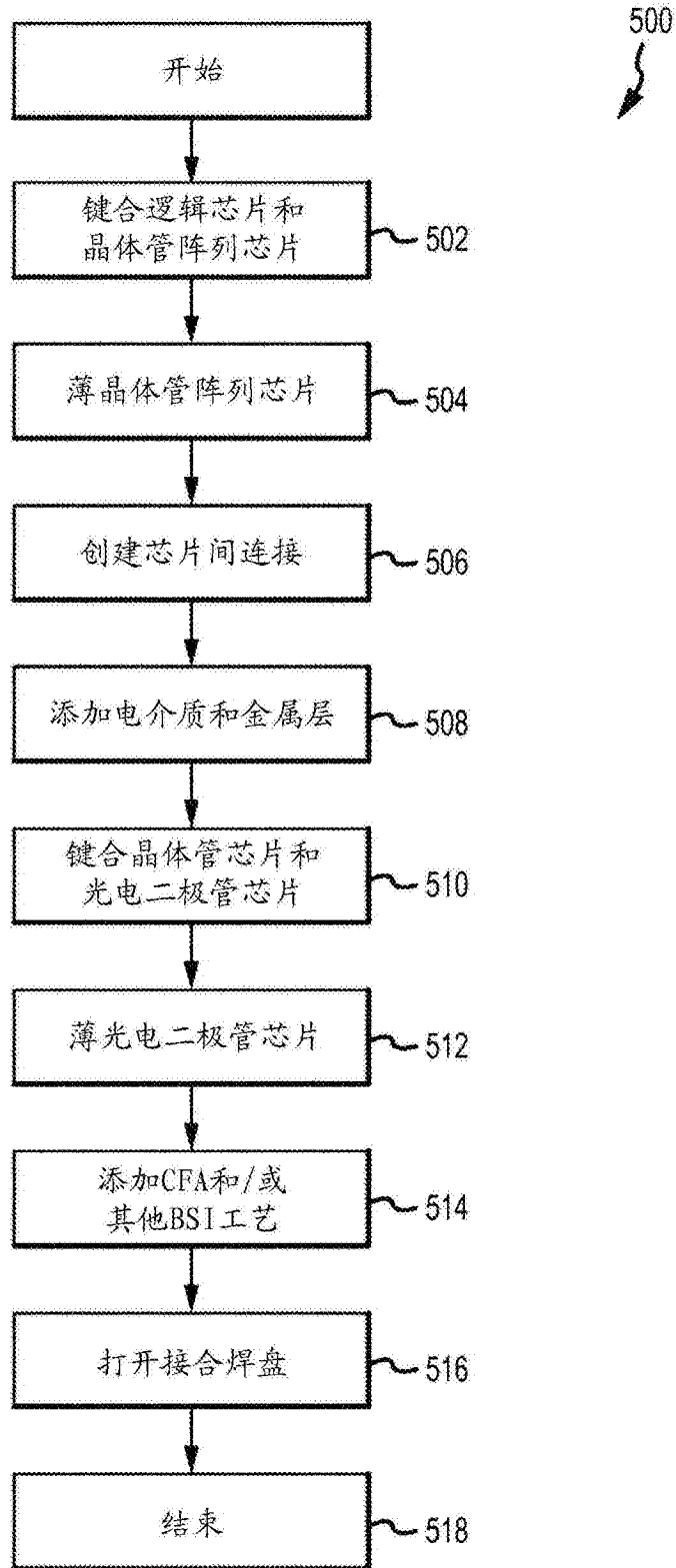


图22

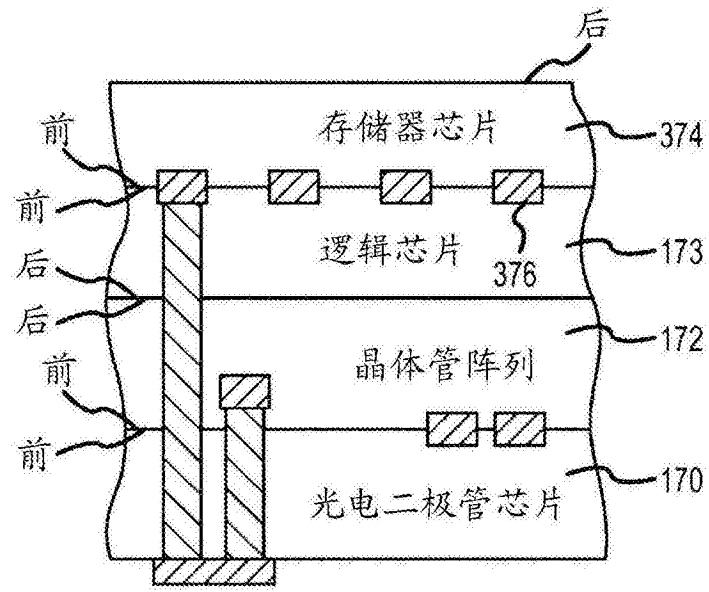


图23A

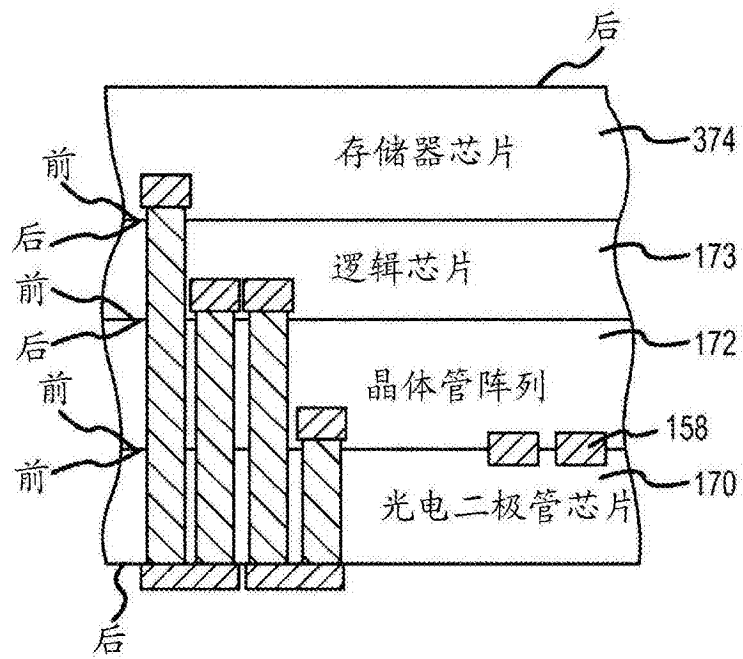


图23B

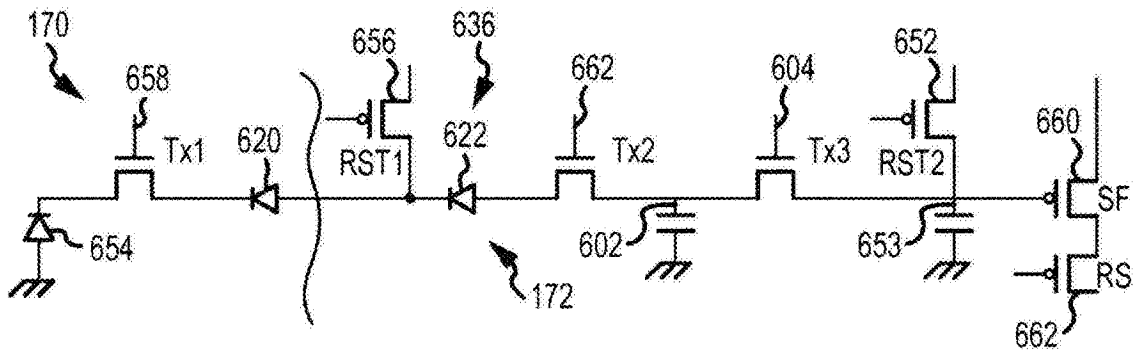


图24A

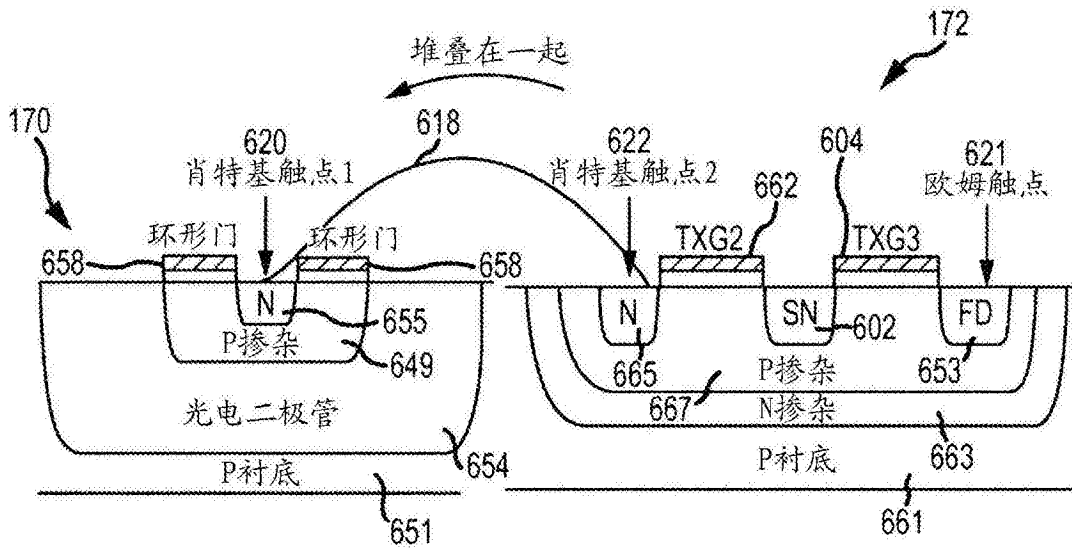


图24B

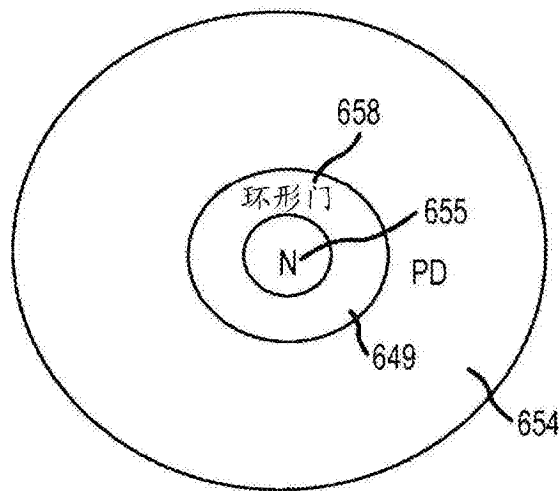


图24C



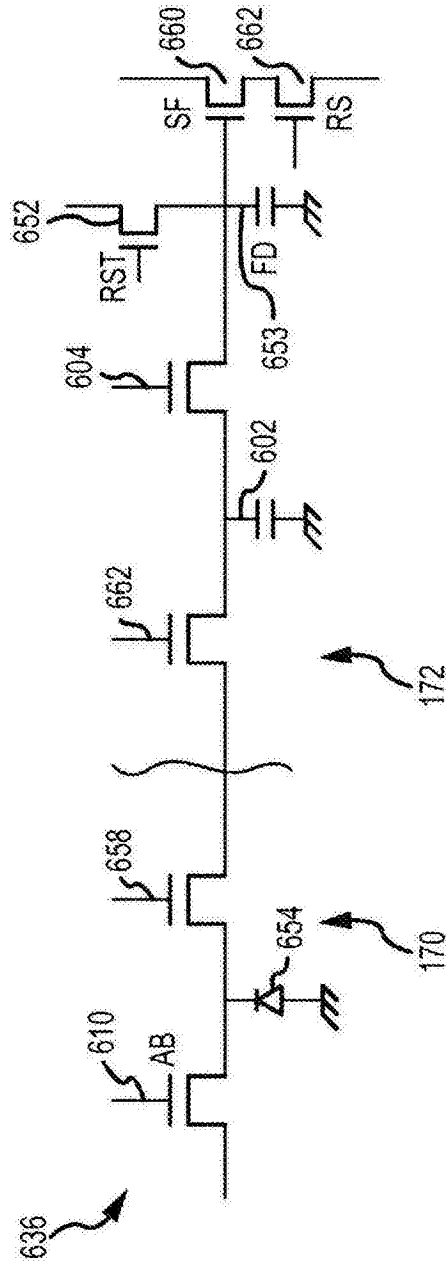


图25A

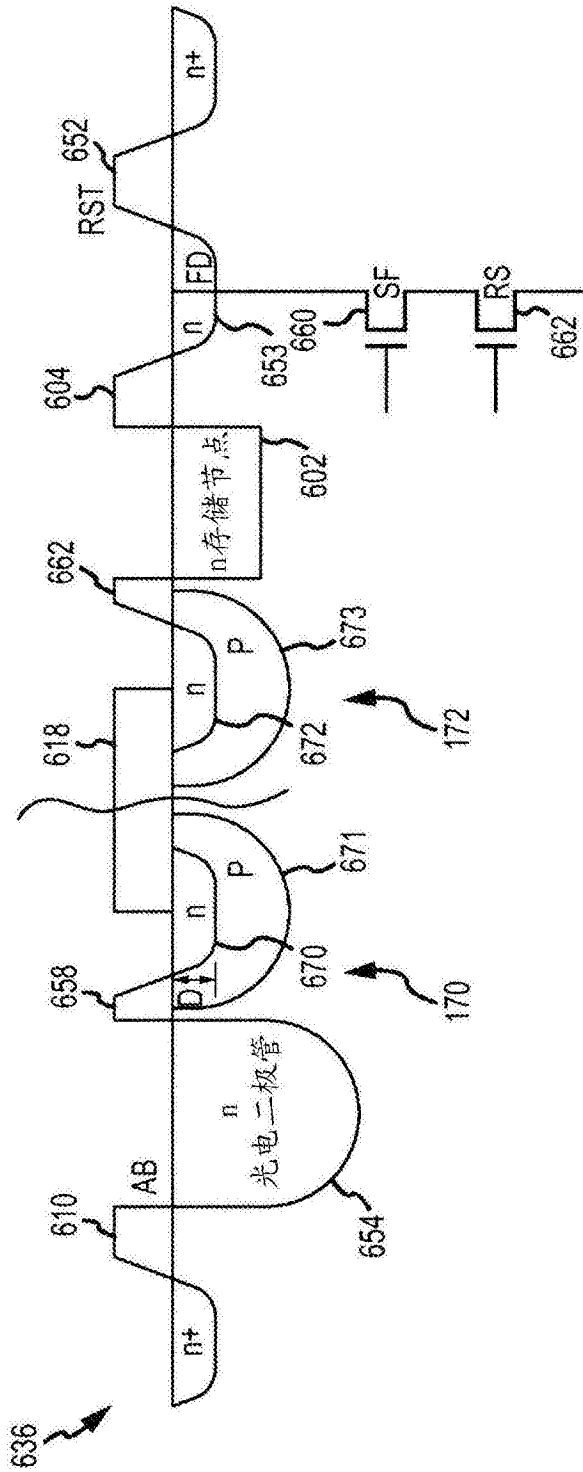


图25B

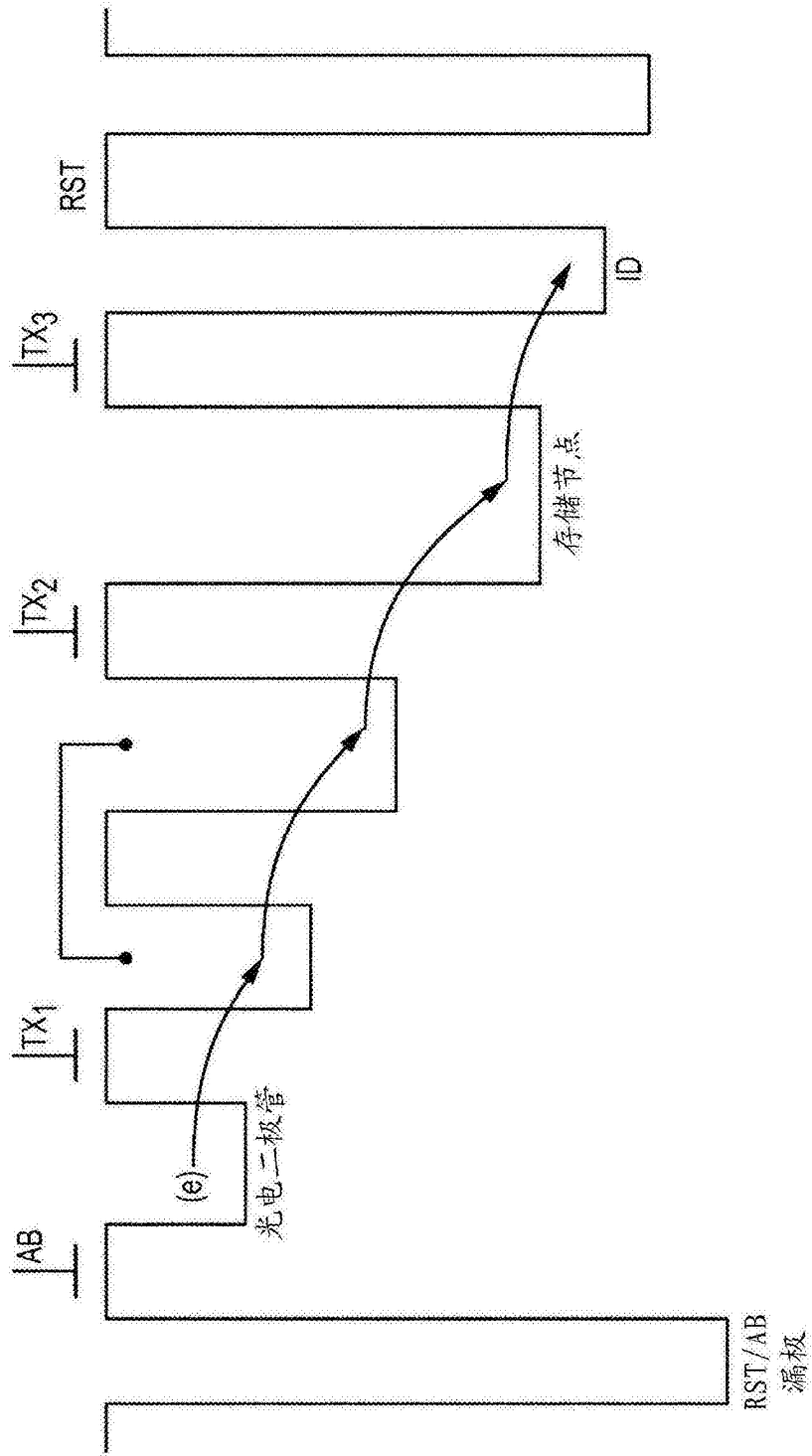


图26

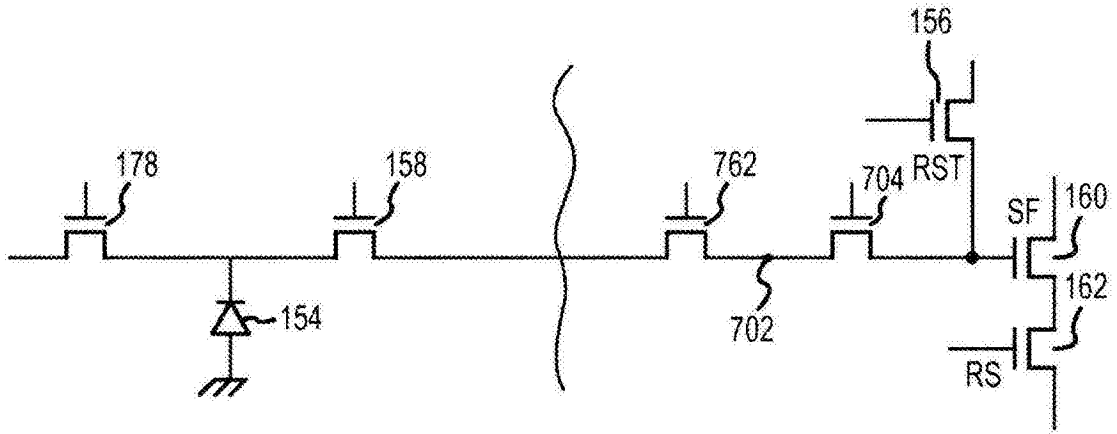


图26A

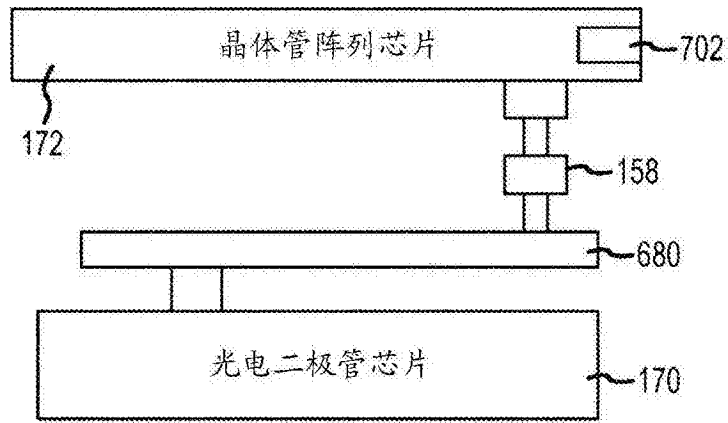


图26B

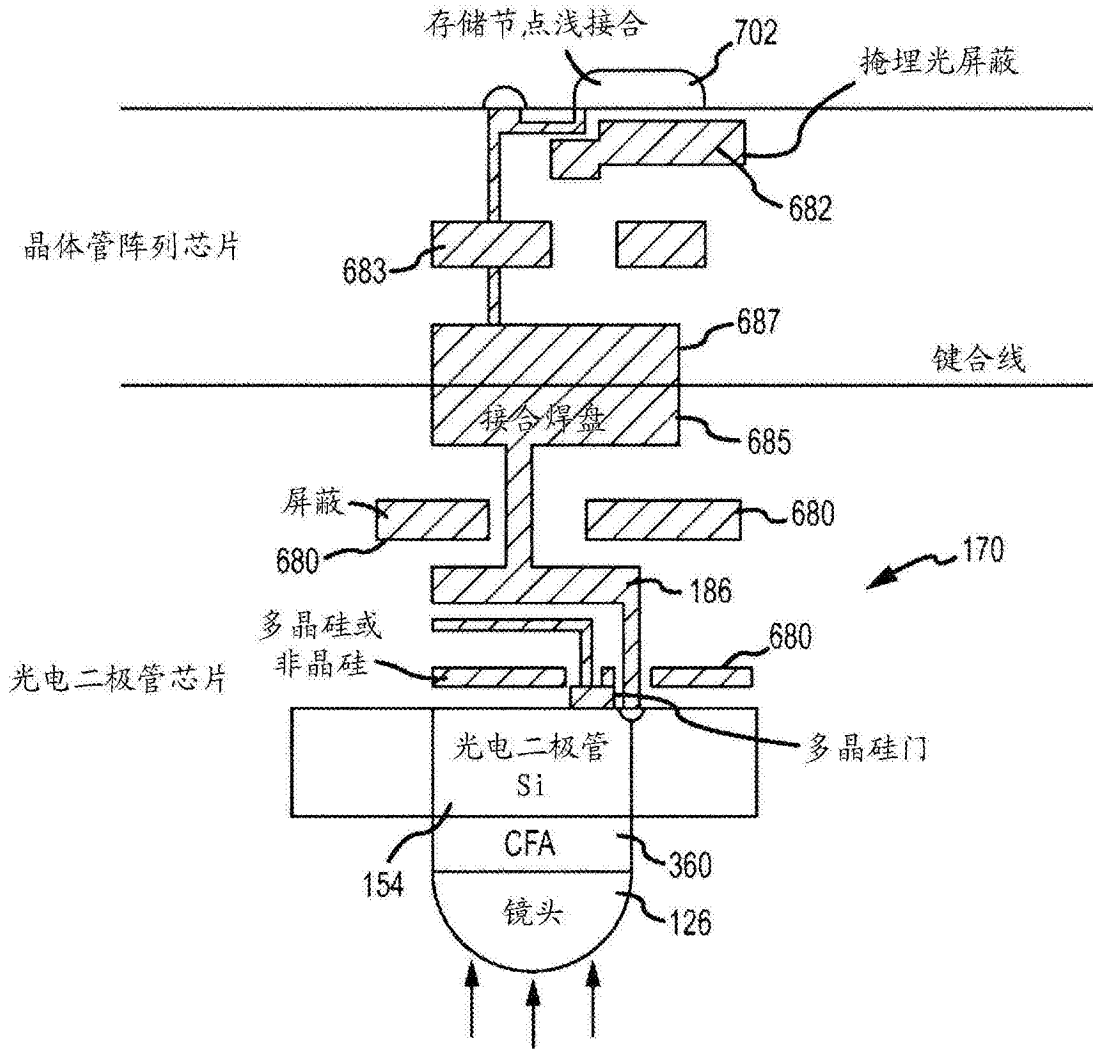


图26C

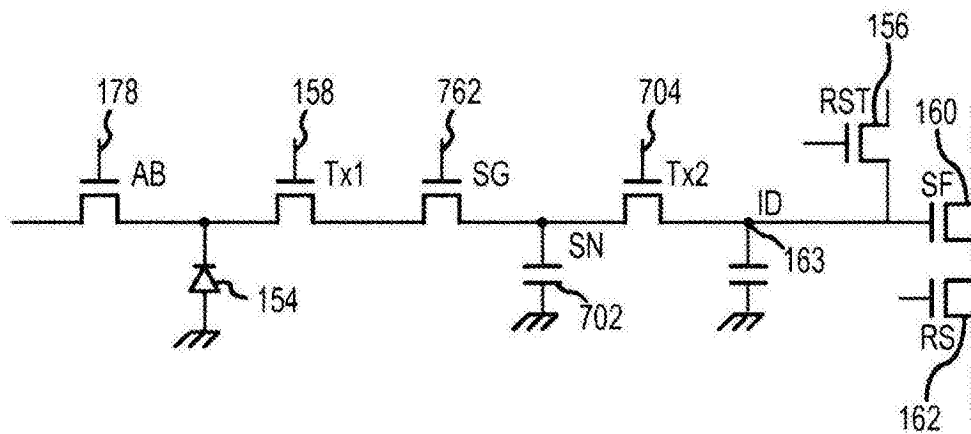


图27

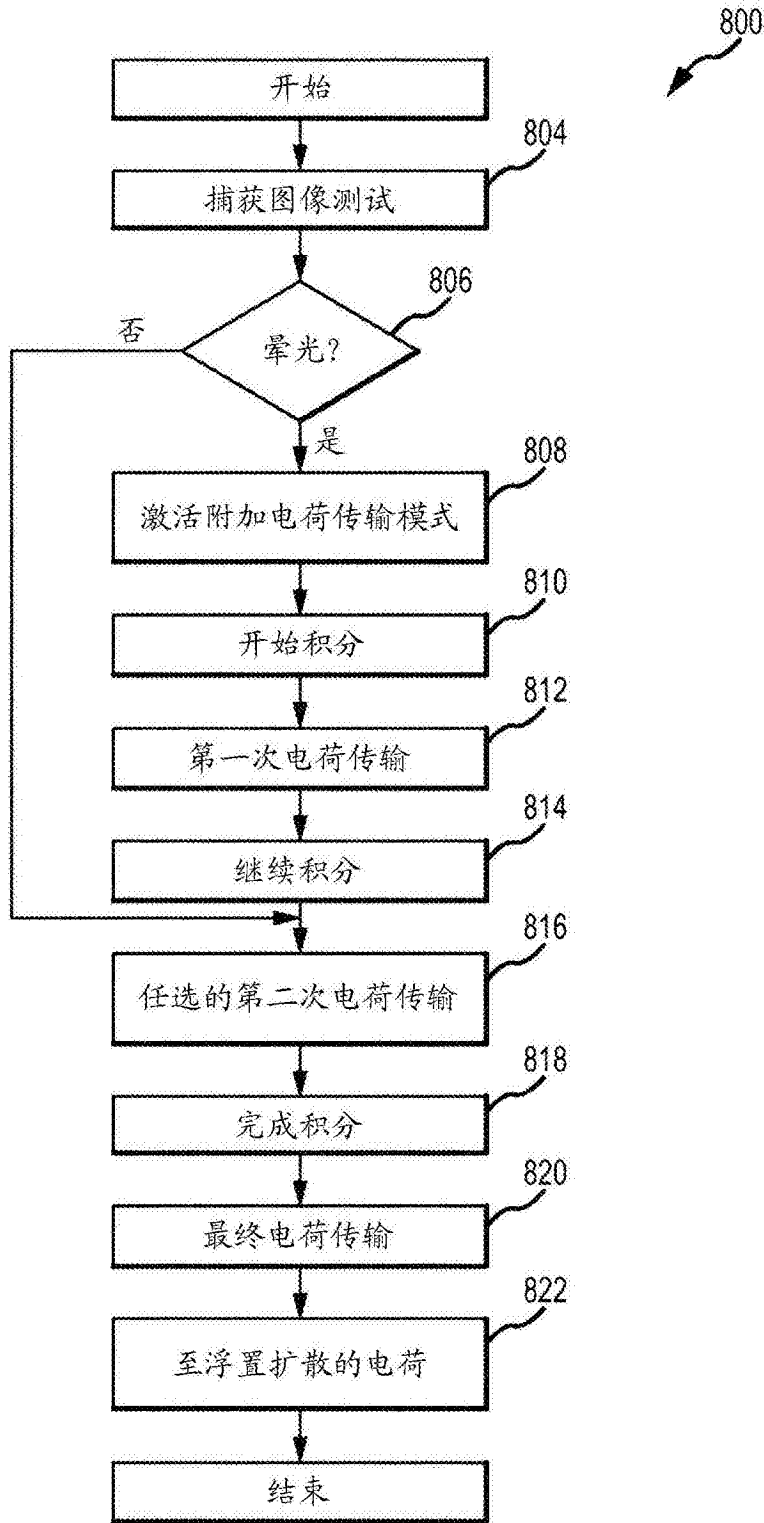


图28