

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
H04B 1/16

(45) 공고일자 1996년07월 10일
(11) 공고번호 96-008950

(21) 출원번호	특1988-0015008	(65) 공개번호	특1989-0009107
(22) 출원일자	1988년11월 15일	(43) 공개일자	1989년07월 13일
(30) 우선권주장	62-288822 1987년11월 16일 일본(JP) 62-292430 1987년11월 19일 일본(JP) 상요 덴기 가부시기가이샤 이우에 사또시 일본국 오오사까후 모리구찌시 게이한훈도오리 2쵸메 18반지		
(72) 발명자	아라이 마사시 일본국 군마켄 오라궁 오이즈미마찌 가미꼬이즈미 3086-5 이즈미노단지 5-502 오가와 류이찌 일본국 군마켄 오라궁 오이즈미마찌 가미꼬이즈미 3086-7		
(74) 대리인	장수길		

심사관 : 강흥정 (책자공보 제4538호)

(54) 분주비의 전환에 의해서 입력신호에 동기한 출력신호를 발생시키는 PLL회로

요약

내용없음.

대표도

도1

명세서

[발명의 명칭]

분주비의 전환에 의해서 입력신호에 동기한 출력신호를 발생시키는 PLL회로

제1도는 종래의 PLL회로의 한 예를 도시한 개략 블록도.

제2도는 본 발명의 제1실시에인 PLL회로를 도시한 개략 블록도.

제3도는 제2도에 도시한 가변 분주 회로를 구체적으로 도시한 블록도.

제4도 및 제5도는 제2도 및 제3도에 도시한 제1실시예의 동작을 설명하기 위한 파형도.

제6도는 본 발명의 제2실시에인 PLL회로를 도시한 개략 블록도.

제7도는 제6도의 도시한 가변 분주 회로를 구체적으로 도시한 블록도.

제8도는 본 발명의 실시예인 PLL 회로가 적용되는 스테레오 수신기의 한 예를 도시한 블록도.

제9도는 본 발명의 실시예인 PLL 회로가 적용되는 스테레오 수신기의 다른 예를 도시한 블록도.

* 도면의 주요부분에 대한 부호의 설명

6 : 발진 회로

7 : 가변 분주 회로

7a, 17a : 카운터

7b, 7c, 17b, 17c, 17d, 17e : 판별 회로

7d, 17h, 17j, 17k, 17m : AND회로

7e, 17i, 17l, 17n : OR회로

8 : 고정 분주 회로

9 : 입력 단자

10 : 제1승산 회로

11 : 비교 회로

12 : D-플립플롭회로

13 : 제2승산 회로

16 : 록크 검출 회로

21 : 안테나

22 : 전방 단 회로

23 : 중간 주파 증폭회로

24 : FM 검파 회로

25, 29 : 스테레오 복조 회로

28, 32 : PLL회로

[발명의 상세한 설명]

본 발명은, 일반적으로는 PLL(Phase Locked Loop)회로에 관한 것으로, 더욱 특정적으로는 예를 들어 스테레오 수신기 등에 있어서 복조를 위해 사용되는, 입력신호에 동기한 출력신호를 발생시키기 위한 PLL회로에 관한 것이다.

종래, 입력신호에 동기한 출력신호를 발생시키는 기술로서 PLL회로가 일반적으로 사용되고 있다. 이와 같은 PLL회로는, 예를 들어 스테레오 수신기에 있어서의 스테레오 복조회로로서 널리 사용되고 있다.

제1도는 이와 같은 종래의 PLL회로의 일예를 도시한 개략 블록도이다. 제1도에 있어서, PLL회로는 입력단자(1)과, 위상 비교회로(2)와, 저역 통과 필터(LPF)(3)과, 전압 제어 발진기(VCO)(4)와, 출력단자(5)로 구성되어 있다. 제1도의 PLL회로에 있어서, 입력단자(1)에 입력되는 입력신호와 VCO(4)의 출력신호와의 위상이 위상 비교회로(2)에서 비교되고, 이 결과 위상 비교회로(2)는 오차 신호를 출력한다. 이 오차신호는 저역통과 필터(3)를 통해서 VCO(4)에 제공되고, VCO(4)의 발진 주파수는 이 저역통과필터(3)의 출력에 의해서 제어된다. VCO(4)의 출력은 출력단자(5)를 통해서 취출된다. 이와 같은 종래의 PLL회로는, 예를 들어 일본국 특허출원 공개공보 제7,635,1982호에 개시되어 있다.

그렇지만, 제1도에 도시한 종래의 PLL회로에 있어서는, 위상 비교회로(2)의 출력신호 중에 포함되는 불필요 성분을 제거하고, 입력신호와 VCO(4)의 출력신호와의 위상차에 따른 오차신호만을 VCO(4)에 인가하기 때문에, 저역통과필터(3)이 필수적이었다. 그 때문에, 전술한 바와 같은 PLL회로를 집적회로(IC)로서 실현하는 경우에는, 저역통과 필터(3)을 구성하는 콘덴서(도시하지 않음)를 IC에 외부 부착해야 하므로, 외부 부착하는 부품수나 외부 부착용 핀수가 증가하기 때문에, 집적도의 향상을 도모하지 못하고, 또한 제조공정이 복잡화되고, 비용이 증대한다는 문제가 생기고 있었다.

그러므로, 본 발명의 한 목적은 IC화에 적합한 PLL회로를 제공하는 것이다.

본 발명의 다른 목적은 저역통과 필터를 포함하지 않는 PLL회로를 제공하는 것이다.

본 발명의 또다른 목적은 제어 정밀도가 매우 우수한 PLL회로를 제공하는 것이다.

본 발명의 또다른 목적은 인입 속도를 빠르게 할 수 있음과 동시에, 위상 록크(lock)시의 안정성을 확보할 수 있는 PLL회로를 제공하는 것이다.

본 발명의 또다른 목적은 IC화에 적합한 스테레오 수신장치를 제공하는 것이다.

본 발명은 요약하면, 외부에서 입력신호를 수신하는 입력단자와, 소정의 기준 주파수를 갖는 신호를 발생시키는 발진회로와, 기준 주파수 신호를 가변 분주비로 분주하는 가변 분주회로와, 가변 분주회로 출력을 분주해서 제1출력신호 및 이 제1출력신호와 90° 위상이 차이진 제2출력신호를 발생시키는 고정 분주회로와, 입력신호와 제2출력신호를 승산하는 제1승산회로와, 제1승산회로 출력을 소정의 기준 전압과 비교하는 비교회로와, 비교회로 출력을 0 입력으로서 수신하고 또한 고정 분주회로로부터 제1출력신호를 클럭입력으로서 수신하는 D-플립플롭을 구비한 PLL회로로서, 가변 분주회로의 분주비는 D-플립플롭의 출력에 의해서 변화한다.

본 발명의 다른 국면에 따르면, PLL회로는 입력신호와, 제1출력신호를 승산하는 제2승산회로와, 제2승산회로 출력을 수신하여, 입력신호와 제1출력신호가 동기하고 있음을 검출하고 동기 검출회로를 더 구비하고, 가변 분주회로는 동기 검출회로 출력에 따라서, 입력신호와 제1출력신호가 동기하고 있지 않을 때에는 제1범위내에서 분주비를 변화시키고, 입력신호와 제1출력신호가 동기하고 있을 때에는 제1범위보다 좁은 제2범위내에서 분주비를 변화시킨다.

본 발명의 또다른 국면에 따르면, 스테레오 수신장치는 스테레오 신호를 수신하는 회로와, 수신한 스테레오 신호를 검파하는 회로와, 검파한 스테레오 신호를 스테레오 복조하는 회로와, 검파한 스테레오 신호 중의 특정 신호를 검출해서 이 신호에 동기한 신호를 발생시키는 PLL 회로를 구비하고, 여기서 PLL회로는 검파회로에서 입력신호를 수취하는 입력단자와, 소정의 기준 주파수를 갖는 신호를 발생시키는 발진회로와, 기준 주파수 회로를 가변 분주비로 분주하는 가변 분주회로와, 가변 분주회로 출력을 분주해서 제1출력신호 및 이 제1출력신호와 90° 위상이 차이진 제2출력신호를 발생시키는 고정 분주회로와, 입력신호와 제2출력신호를 승산하는 제1승산회로와, 제1승산회로 출력을 소정의 기준 전압과 비교하는 비교회로와, 비교회로 출력을 0입력으로서 수신하고 또한 고정 분주회로로부터 제1출력신호를 클럭 입력으로서 수신하는 D-플립플롭을 포함하고, 가변 분주 회로의 분주비는 D-플립플롭의 출력에 의해서 변화한다.

본 발명의 주된 이점은 D-플립플롭의 출력신호에 의해서 가변 분주회로의 분주비를 제어하도록 하고 있으므로, 저역 통과 필터를 사용하는 일 없이, PLL회로를 구성할 수 있어, 콘덴서 등의 외부 부착 부품의 수나 외부 부착용의 핀 수의 삭감을 꾀할 수 있다는 것이다.

본 발명의 다른 이점은 D-플립플롭의 클럭 신호로서 고정 분주회로의 출력을 사용하고 있으므로, 위상 비교 동작과 같은 주기로 가변 분주회로의 분주비 전환(switching)을 제어할 수 있어, PLL회로의 양호한 제어 정밀도를 확보할 수 있다는 것이다.

본 발명의 또다른 이점은 동기 검출회로의 출력신호에 기인해서 PLL회로의 포착 범위(capture range)를 변화시키고 있으므로, 인입시에는 포착 범위를 넓게 하여 인입시간을 단축할 수 있고, 위상 록크시에는 포착 범위를 좁게 하여 안정성을 높일 수 있다는 것이다.

본 발명의 또다른 이점은 스테레오 수신장치의 IC화를 더욱 용이하게 할 수 있다는 것이다.

본 발명의 또다른 이점은 스테레오 수신기의 스테레오 복조동작을 더욱 고정밀도로 행할 수 있다는 것이다.

이하, 첨부된 도면을 참조하여 본 발명의 양호한 실시예에 대해 설명하겠다.

제2도는 본 발명의 제1실시예인 PLL회로를 도시한 개략 블록도이다.

우선, 제2도에 도시한 PLL회로의 구성에 대해서 설명한다. 제2도에 있어서, 발진회로(6)은 소정 주파수 f_1 의 기준신호를 발생시키어 가변 분주회로(7)에 제공한다. 가변 분주회로(7)은 발진회로(6)의 출력신호를 n_1 분주 또는 n_2 분주하는 회로이고, 그 출력은 고정 분주회로(8)에 제공된다. 이 고정 분주회로(8)은 가변 분주회로(7)의 출력신호를 다시 n_0 분주해서, 제1출력신호 및 이 제1출력신호에서 90° 위상이 차야진 제2출력신호를 발생시킨다. 한편, 입력단자(9)에 인가된 입력 신호는 제1승산회로(10)에 제공되고, 이 제1승산회로(10)은 입력단자(9)로부터의 입력신호와, 고정 분주회로(8)로부터의 제2출력신호를 승산한다. 제1승산회로(10)의 출력은 비교회로(11)의 정(正) 입력에 제공되고, 비교회로(11)의 부(負) 입력에는 기준 전압 V_{ref} 가 제공된다. 비교회로(11)의 출력은 D-플립플롭(12)의 D입력단자에 제공된다. 또한, D-플립플롭(12)의 클럭 입력단자에는 전술한 고정 분주회로(8)에서 제1출력신호가 제공된다. 또한, D-플립플롭(12)의 Q출력신호는 출력 제어신호로서 가변 분주회로(7)에 제공된다. 또한, 입력단자(9)를 통해서 입력되는 입력신호와, 고정 분주회로(8)에서 출력되는 제1출력신호를 승산해서 상기 입력신호를 동기 검파하는 제2승산회로(13)이 설치되어 있고, 이 승산회로(13)의 출력은 출력단자(14)를 통해서 취출된다. 또한, 고정 분주회로(8)로부터의 제2출력신호는 출력단자(15)를 통해서 취출할 수 있다.

다음으로, 제3도는 제2도에 도시한 가변 분주회로(7)을 구체적으로 도시한 블록도이다. 제3도에 있어서, 카운터(7a)는 발진회로(6)(제2도)으로부터의 주파수 f_1 의 출력신호를 카운트하고, 그 계수치는 제1 및 제2판별회로(7b, 7c)에 제공된다. 제1판정회로(7b)의 출력은 AND게이트(7d)의 한쪽 입력에 제공된다. 한편, AND게이트(7d)의 다른쪽 입력에는 D-플립플롭(12)로부터의 출력 제어신호가 제공된다. 또한, 제2판별회로(7c)의 출력은 OR게이트(7e)의 한쪽 입력에 제공되고, OR 게이트(7e)의 다른쪽 입력에는 AND게이트(7d)의 출력신호가 제공된다. OR게이트(7e)의 출력은 카운터(7a)의 리셋트 단자에 제공됨과 동시에, 가변 분주회로(7)의 출력신호로서 출력되어 고정 분주회로(8)에 제공된다.

다음으로, 제3도의 가변 분주회로(7)의 동작에 대해서 설명한다. D-플립플롭(12)에서 AND 게이트(7d)의 입력에 제공되는 출력 제어신호가 H레벨인 경우에 대해서 고려하면, 카운터(7a)의 계수치가 n_1 에 도달했을때에 제1판별회로(7b)에서 H레벨의 출력신호가 발생하고, 이로 인해 AND 게이트(7d)로부터 H레벨의 출력이 발생한다. 그리고 이 H레벨의 출력신호는 OR 게이트(7e)를 통해서 카운터(7a)의 리셋트 단자에 제공되고, 이로 인해 카운터(7a)는 리셋트된다. 즉, D-플립플롭(12)에서 H레벨의 출력 제어신호가 발생하고 있을때에는, 가변 분주회로(7)의 출력으로서 f_1/n_1 의 주파수를 갖는 신호가 발생한다.

한편, D-플립플롭(12)에서 AND게이트(7d)의 입력에 제공되는 출력 제어신호가 L레벨인 경우에 대해서 고려하면, 이 경우에는 AND게이트(7d)의 출력에는 H레벨의 신호가 발생하지 않는다. 그리고, 카운터(7a)의 계수치가 $n_2(n_1)$ 에 도달했을때, 제2판별회로(7c)에서 H레벨의 출력신호가 발생하고, 이로 인해 OR게이트(7e)에서 H레벨의 출력이 발생한다. 그리고, 이 H레벨의 출력신호는 카운터(7a)의 리셋트 단자에 부여되고, 이로 인해 카운터(7a)는 리셋트된다.

즉, D-플립플롭(12)에서 L레벨의 출력 제어신호가 발생하고 있을때에는 가변 분주회로(7)의 출력으로서 f_1/n_2 의 주파수를 갖는 신호가 발생한다.

이상과 같이, 제3도의 회로는 2가지의 분주비를 갖는 가변 분주회로로서 동작하고, OR 게이트(7e)에서 출력되는 분주 출력은 다시 고정 분주회로(8)(제2도)에 의해서 $1/n_0$ 로 분주된다.

다음으로, 제4도 및 제5도는 제2도 및 제3도에 도시한 실시예의 동작을 설명하기 위한 파형도이다.

우선, 제2도의 PLL회로의 입력단자(9)에 제공되는 입력신호[제4(a)도]에 대해서, 고정 분주회로(8)에서 출력되는 제2출력신호[제4(b)도]의 위상이 90° 이상 나아가 있는 경우에는, 제1승산회로(10)의 출력파형은 제4(c)도에 도시한 바와 같이 된다. 여기에서, 비교회로(11)의 부 입력에 인가되는 기준 전압을 제4(c)도의 1점 쇄선으로 도시한 레벨 V_{ref} 로 설정하면, 비교회로(11)의 출력 파형은 제4(d)도에 도시한 것과 같이 된다. D-플립플롭(12)의 D입력단자에는 이 제4(d)도의 신호가 제공되는 한편, D-플립플롭(12)의 클럭 입력단자에는 고정 분주회로(8)에서 출력되는 제1출력신호[제4(e)도]가 제공된다. D-플립플롭(12)는 클럭 펄스 인가시에 있어서의 입력신호 레벨로 설정되므로, D-플립플롭(12)의 출력신호는 제4(f)도에 도시한 것과 같이 항상 L레벨로 된다. 제3도의 가변 분주회로(7)은 D-플립플롭(12)로부터의 이 L레벨의 출력신호에 의해서 제어되고, 이 결과 제3도에 관해서 설명한 바와 같이, 가변 분주회로(7)의 분주비는 n_2 로 되고, 가변 분주회로(7)에서는 f_1/n_2 의 주파수를 갖는 신호가 발생한다.

한편, 입력단자(9)에 제공되는 입력신호[제5(a)도]에 대해서, 고정 분주회로(8)에서 출력되는 제2출력신호[제5(b)도]의 위상이 90° 이상 지연되어 있는 경우에는, 제1승산회로(10)의 출력 파형은 제5(c)도에 도시한 것과 같이 된다. 여기에서, 비교회로(11)의 부입력에 인가되는 기준 전압을 제5(c)도의 1점 쇄선으로 도시한 레벨 V_{ref} 로 설정하면, 비교회로(11)의 출력 파형은 제5(d)도에 도시한 것과 같이 된다. D-플립플롭(12)의 D입력단자에는 이 제5(d)도의 신호가 제공되는 한편, D-플립플롭(12)의 클럭 입력단자에는 고정 분주회로(8)에서 출력되는 제1출력신호[제5(e)도]가 제공된다. D-플립플롭(12)는 클럭 펄스 인가시에 있어서의 입력신호 레벨로 설정되므로, D-플립플롭(12)의 출력신호는 제5(f)도에 도시한 것과 같이 항상 H레벨로 된다. 제3도의 가변 분주회로(7)은 D-플립플롭(12)로부터의 이 H레벨의 출력신호에 의해서 제어되고, 이 결과 제3도에 관해서 설명한 바와

같이, 가변 분주회로(7)의 분주비는 n_1 로 되고, 가변 분주회로(7)에서는 f_1/n_1 의 주파수를 갖는 신호가 발생한다.

이상과 같이, PLL회로의 입력신호[제4(a)도]에 대해서, 고정 분주회로(8)의 제2출력신호의 위상이 90° 이상 나아간 경우에는[제4(b)도], D-플립플롭(12)의 L레벨의 출력 제어신호에 따라서 가변 분주회로(7)의 분주비가 n_2 로 되고, 가변 분주회로(7)의 출력신호의 위상이 서서히 지연되고, 그에 따라서 고정 분주회로(8)의 제1 및 제2 출력신호의 위상도 지연된다. 이 결과, 입력신호와 고정 분주회로(8)의 제2출력신호와는 90° 위상차를 갖고 동기하게 됨과 동시에, 상기 입력신호와 고정 분주회로(8)의 제1출력신호와의 위상을 균등하게 된다.

한편, PLL회로의 입력신호[제5(a)도]에 대해서, 고정 분주회로(8)의 제2출력신호의 위상이 90° 이상 지연된 경우에는 [제5(b)도], D-플립플롭(12)의 H레벨의 출력신호에 따라서 가변 분주회로(7)의 분주비가 n_1 로 되고, 가변 분주회로(7)의 출력신호의 위상이 서서히 나아가고, 그에 따라서 고정 분주회로(8)의 제1 및 제2출력신호의 위상도 나아간다. 이 결과, 입력신호와 고정 분주회로(8)의 제2출력신호와는 90° 위상차를 갖고 동기하게 됨과 동시에, 상기 입력신호와 고정 분주회로(8)의 제1출력신호와의 위상은 균등하게 된다.

PLL회로의 위상이 록크된 상태에 있어서는 상술한 제4도에 관해서 설명한 상태와, 제5도에 관해서 설명한 상태가 교대로 발생하고, 고정 분주회로(8)의 출력신호의 1 사이클마다 D-플립플롭(12)의 출력신호가 반전한다. 그 때문에, 가변 분주회로(7)은 $1/n_1$ 분주와 $1/n_2$ 분주를 교대로 반복한다. 그 경우, 가변 분주 회로(7)의 분주비 n_1 및 n_2 의 값을 서로 근사하게 설정하면, 위상이 록크되었을 때에 위상 록크의 안정도를 증대시킬 수 있다. 반대로, 분주비 n_1 및 n_2 의 값을 서로 크게 상이하게 하면, PLL회로의 인입시간을 단축시킬 수 있다. 또한, PLL회로의 포착 범위의 중심 이외에서 위상이 록크되었을 경우에는, $1/n_1$ 분주와 $1/n_2$ 분주와는 반드시 교대로 생기지 않고, 어느 비율로 전환이 행해진다.

상술한 바와 같이, PLL회로의 위상이 록크된 상태에 있어서는, 입력신호의 위상과 고정 분주회로(8)의 제1출력신호의 위상이 균등하게 된다. 이 때문에, 제2승산회로(13)를 사용해서, 입력신호를 고정 분주회로(8)의 제1출력신호로 동기검파하면, 출력단자(14)로부터 상기 입력신호의 존재를 나타내는 출력신호를 발생시킬 수 있다.

또한, 입력신호에 대해서 90° 의 위상차를 가진 동기신호가 필요한 때에는, 출력단자(15)를 통해서 제2출력신호를 취출하도록 하면 좋다.

또한, 제1승산회로(10)은 주지의 더블밸런스형 승산회로이고, 입력신호에 기인해서 얻어지는 정·역 2종류의 입력신호와, 고정 분주회로(8)에서 얻어지는 제2출력신호에 기인해서 얻어지는 정·역 2종류의 출력신호를 사용해서, 제4(c)도 및 제5(c)도에 도시한 바와 같은 출력신호를 발생시키는 것이다.

이상과 같이, 제2도 내지 제5도에 도시한 본 발명의 한 실시예에 의하면, 종래와 같이 저역통과 필터를 사용하는 일 없이 PLL 회로를 구성할 수 있다. 따라서, PLL회로를 IC로서 실현할 경우에는 콘덴서 등이 외부에서 부착되는 부품의 수나 외부 부착용 핀 수의 삭감을 꾀할 수 있다.

또한 상술한 제1실시예에서는, D-플립플롭(12)의 클럭 입력단자에 고정 분주회로(8)의 제1출력신호를 인가하고 있으므로, 위상 비교 동작의 주기와 같은 주기로 가변 분주회로의 분주비의 전환을 제어할 수 있어, 고정밀도의 PLL회로를 얻을 수 있다.

다음으로, 제6도는 본 발명의 제2실시예인 PLL회로를 도시한 개략 블록도이다.

제6도에 도시한 PLL 회로는 이하의 점을 제외하고 제2도에 도시한 제1실시예와 같다. 즉, PLL 회로의 위상 록크 상태를 검출하는 록크 검출회로(16)이 설치되어 있고, 또한 제2도의 가변 분주회로(7) 대신에, 록크 검출회로(16)의 출력신호에 따라서 분주비의 전환범위가 변화하는 가변 분주회로(17)이 설치되어 있다. 록크 검출회로(16)은 위상이 록크되어 있지 않은 상태, 즉 비 록크 상태로 있을 때에는 L레벨의 신호를 발생시키고, 록크상태로 있을 때에는 H레벨의 신호를 발생시키는 것으로 한다.

다음으로, 제7도는 제6도에 도시한 가변 분주회로(17)을 구체적으로 도시한 블록도이다. 제7도에 있어서, 카운터(17a)는 발진회로(6)(제6도)의 주파수 f_1 의 출력신호를 카운트하고, 그 계수치는 제1 내지 제4판별회로(17b, 17c, 17d, 17e)에 제공된다. 또한 입력단자(17f)에는 D-플립플롭(12)(제6도)의 출력신호가 인가하는 한편, 입력단자(17g)에는 록크 검출회로(16)(제6도)의 출력신호가 인가된다. 제1판별회로(17b)의 출력은 AND 게이트(17h)의 한쪽 입력에 제공되고, AND 게이트(17h)의 다른쪽 입력에는 입력단자(17f)를 통해서 D-플립플롭(12)로부터의 출력 제어신호가 제공된다. 또한, 제2판별회로(17c)의 출력은 OR 게이트(17i)의 한쪽 입력에 제공되고, OR 게이트(17i)의 다른쪽 입력에는 AND 게이트(17h)의 출력신호가 제공된다. OR 게이트(17i)의 출력은 AND 게이트(17j)의 한쪽 입력에 제공된다. 또한, AND 게이트(17j)의 다른쪽 입력, 즉 반전 입력에는 입력단자(17g)를 통해서 록크 검출회로(16)으로부터 검출신호가 제공된다.

또한, 제3판별회로(17d)의 출력은 AND 게이트(17k)의 한쪽 입력에 제공되고, AND 게이트(17k)의 다른쪽 입력에는 입력단자(17f)를 통해서 D-플립플롭(12)로부터의 출력 제어신호가 제공된다. 또한, 제4판별회로(17e)의 출력은 OR 게이트(17l)의 한쪽 입력에 제공되고, OR 게이트(17l)의 다른쪽 입력에는 AND 게이트(17k)의 출력신호가 제공된다. OR 게이트(17l)의 출력은 AND 게이트(17m)의 한쪽 입력에 제공된다. 또한, AND 게이트(17m)의 다른쪽 입력에는 입력단자(17g)를 통해서 록크 검출회로(16)에서 검출신호가 제공된다.

또한, AND 게이트(17j, 17m)의 출력은 OR 게이트(17n)의 입력에 제공되고, OR 게이트(17n)의 출력은

카운터(17a)의 리셋트 단자에 제공됨과 동시에, 가변 분주회로(17)의 출력신호로서 출력되어 고정 분주회로(8)에 제공된다.

다음으로, 제7도의 가변 분주회로(17)의 동작에 대해서 설명한다. 우선, PLL회로에 의한 인입 동작 실행시에 있어서는, 위상은 아직 록크되어 있지 않기 때문에, 록크검출회로(16)에서 L레벨의 검출신호가 입력단자(17g)에 제공되고, 이로 인해 AND 게이트(17m)이 폐쇄되고, AND게이트(17j)가 개방된다. 이 상태에서, D-플립플롭(12)로부터 상술한 제5(f)도에 도시한 것과 같은 H레벨의 출력 제어신호가 입력단자(17f)를 통해서 AND 게이트(17h)의 한쪽 입력에 제공된 경우에 대해서 고려하면, 카운터(17a)의 계수치가 n_1 에 도달했을때에 제1판별회로(17b)에서 H레벨의 출력신호가 발생하고, 이로 인해 AND게이트(17h)에서 H레벨의 출력이 발생한다. 그리고, 이 H레벨의 출력신호는 OR게이트(17i), AND게이트(17j), OR 게이트(17n)을 통해서, 카운터(17a)의 리셋트 단자에 제공되고, 이로 인해 카운터(17a)는 리셋트된다. 즉, D-플립플롭(12)에서 H레벨의 출력 제어신호가 발생하고 있을때에는, 가변 분주회로(17)의 출력으로서, f_1/n_1 의 주파수를 갖는 신호가 OR게이트(17n)의 출력에 생긴다.

한편, D-플립플롭(12)에서 상승한 제4(f)도에 도시한 것과 같은 L레벨의 출력 제어신호가 입력단자(17f)를 통해서 AND게이트(17h)의 한쪽 입력에 제공된 경우에 대해서 고려하면, 이 경우에는 AND 게이트(17h)의 출력에는 H레벨의 신호가 발생하지 않는다. 그리고 카운터(17a)의 계수치가 $n_2(n_1)$ 에 도달했을때에, 제2판별회로(17c)에서 H레벨의 출력신호가 발생하고, 이로 인해 OR게이트(17i)에서 H레벨이 출력신호가 발생한다. 그리고, 이 H레벨의 출력신호는 AND게이트(17j), OR게이트(17n)을 통해서 카운터(17a)의 리셋트 단자에 제공되고, 이로 인해 카운터(17a)는 리셋트된다. 즉, D-플립플롭(12)가 L레벨의 출력 제어신호가 발생했을때에는, 가변 분주회로(17)의 출력으로서 f_1/n_2 의 주파수를 갖는 신호가 OR게이트(17n)의 출력에 생긴다.

다음으로, PLL회로에 의한 인입이 종료하여, 위상이 록크된 상태로 되면, 록크 검출회로(16)에서 H레벨의 검출신호가 입력단자(17g)에 제공되고, 이로 인해 AND게이트(17m)이 개방되고, AND게이트(17j)가 폐쇄된다. 이 상태에서, D-플립플롭(12)에서 H레벨의 출력 제어신호가 입력단자(17f)를 통해서 AND게이트(17k)의 한쪽 입력에 제공된 경우에 대해서 고려하면, 카운터(17a)의 계수치가 $n_3(n_1n_3n_2)$ 에 도달했을때에, 제3판별회로(17d)에서 H레벨의 출력이 발생하고, 이로 인해 AND 게이트(17k)에서 H레벨의 신호가 발생한다. 그리고, 이 H레벨의 출력신호는 OR게이트(17i), AND게이트(17m), OR 게이트(17n)를 통해서 카운터(17a)의 리셋트 단자에 제공되고, 이로 인해 카운터(17a)는 리셋트된다.

즉, D-플립플롭(12)에서 H레벨의 출력 제어신호가 발생하고 있을때에는 가변 분주회로(17)의 출력으로서 f_1/n_3 의 주파수를 갖는 신호가 OR게이트(17n)의 출력에 발생한다.

한편, D-플립플롭(12)에서의 L레벨의 출력 제어신호가 입력단자(17f)를 통해서 AND 게이트(17k)의 한쪽 입력에 제공된 경우에 대해서 고려하면, 이 경우에는 AND게이트(17k)의 출력에는 H레벨의 신호가 발생하지 않는다. 그리고 카운터(17a)의 계수치가 $n_4(n_3n_4n_2)$ 에 도달했을때에, 제4판별회로(17e)에서 H레벨의 출력신호가 발생하고, 이로 인해 OR게이트(17i)에서 H레벨의 출력신호가 발생한다. 그리고 이 H레벨의 출력신호는 AND게이트(17m), OR 게이트(17n)을 통해서 카운터(17a)의 리셋트 단자에 제공되고, 이로 인해 카운터(17a)는 리셋트된다. 즉, D-플립플롭(12)에서 L레벨의 출력 제어신호가 발생하고 있을때에는 가변 분주회로(17)의 출력으로서 f_1/n_4 의 주파수를 갖는 신호가 OR게이트(17n)의 출력에 생긴다.

PLL회로의 위상이 록크된 상태에서는 입력단자(9)로의 입력신호 위상과 고정 분주회로(8)로부터의 제1출력신호의 위상이 균등하게 된다. 따라서, 상술한 제2승산회로(13)에 있어서, 상기 입력신호를 동기 검파하면, 출력단자(14)에는 입력신호의 존재를 표시하는 출력신호가 발생한다. 이 출력신호는 록크 검출회로(16)에 의해서 검출되고, 록크 검출회로(16)은 검출신호를 가변 분주회로(17)의 입력단자(17g)(제7도)에 제공한다. 이 결과, 가변 분주회로(17)을 구성하는 AND게이트(17j)가 폐쇄되고, AND게이트(17m)이 개방되며, 가변 분주회로(17)의 분주비의 전환범위가 전환된다. 즉, 비록크 상태에 있어서는, 가변 분주회로(17)은 제1 및 제2판별회로(17b, 17c)에 대응한 분주비 n_1, n_2 로 기준 주파수 신호를 분주하고, 록크 상태에 있어서는 가변 분주회로(17)은 제3 및 제4판별회로(17d, 17e)에 대응한 분주비 n_3, n_4 로 기준 주파수 신호를 분주한다.

더욱 상세하게 설명하면, 비록크 상태에 있어서의 가변 분주회로(17)의 분주비 n_1, n_2 와, 록크 상태에 있어서의 가변 분주회로(17)의 분주비 n_3, n_4 는 $n_1n_3n_4n_2$ 의 관계로 설정되어 있다. 그 때문에, 위상의 비록크시에는 포착범위를 넓게하여 PLL회로의 인입시간의 단축을 도모할 수 있다. 또한 위상 록크시에는 포착 범위를 좁게하여, PLL회로의 안정도를 높일 수 있다.

따라서, 제6도 및 제7도에 도시한 제2실시예에 있어서는, 록크상태를 검출해서 가변 분주회로의 분주비의 전환 범위를 변경하도록 하고 있으므로, 인입 속도를 향상시킬 수 있음과 동시에 위상 록크의 안정성을 확보할 수 있다.

다음으로, 제8도는 제2도 또는 제6도에 도시한 본 발명에 의한 PLL회로가 적용되는 스테레오 수신기의 한 예를 도시한 블록도이다.

제8도에 있어서, 안테나(21)로 수신된 FM 스테레오 신호는 전방 단(frontend)회로(22)에 제공된다. 이 전방 단 회로(22)는 도시하지 않은 RF 증폭회로와 국부 발진회로와 혼합회로로 구성된다. 수신 스테레오 신호는 RF 증폭회로에서 증폭된 후, 혼합회로에 있어서 국부 발진회로 출력과 혼합되어 중간 주파(IF) 신호로 변환된다. 이 IF신호는 중간 주파 증폭회로(23)에서 증폭된 후, FM 검파회로(24)에 제공되어 FM 검파된다. FM 검파회로(24)의 검파 출력은 L+R신호, L-R신호, 스테레오 파일럿 신호를 포함하고, 스테레오 복조회로(25)에 제공된다. 이 FM검파출력 중, L+R 신호는 매트릭스

회로(27)에 직접 제공되고, L-R 신호는 L-R 복조회로(26)에서 복조된다. L-R신호는 더블 사이드 밴드 방식으로 변조되어 있기 때문에, 이 복조에는 38KHz의 반송 주파수 신호가 필요하다. 그래서, FM 검파회로(24)의 출력중의 19KHz의 스테레오 파일럿 신호를 PLL회로(28)로 검출하고, 이 스테레오 파일럿 신호에 동기한 38KHz의 반송 주파수 신호를 발생시켜 L-R 복조 회로(26)에 제공하도록 하고 있다. 제8도의 스테레오 수신기는 이 PLL회로(28)로서 제2도 또는 제6도에 도시한 실시예의 PLL 회로를 사용한 것이다. L-R 복조회로(26)의 L-R 출력은 매트릭스 회로(27)에 제공되고, 매트릭스 회로(27)로부터는 좌우 신호 L, R이 따로따로 출력된다.

즉, 제8도에 도시한 스테레오 수신기의 구성 자체는 주지의 것이지만, 그 PLL 회로로서 제2도 또는 제6도의 PLL회로를 사용한 것은 공지되어 있지 않고, 따라서 제8도에 도시한 스테레오 수신기에 있어서는 IC화가 용이하고, 또 안정성이 높은 고정밀도의 위상 록크 동작, 즉 스테레오 복조 동작을 실현할 수 있다.

또한, 제9도는 수신 스테레오 신호의 L-R신호 영역보다도 높은 영역에 부가된 신호를 검출하기 위한 시스템에, 제2도 또는 제6도에 도시한 PLL회로를 적용한 예를 도시한 블록도이다. 이와 같은 시스템 자체는, 소위 ARI 시스템으로서 공지된 것이고, 예를 들면 수신 스테레오 신호의 L-R 신호 영역보다도 높은 57KHz에 항상 어느 신호를 부가해 두고, 이 신호가 AM 변조된 때에는 이것을 복조해서 검출함으로써 부가 신호를 검출하여 정보를 얻고자 하는 것이다. 즉, FM 검파회로(24)의 출력은 부가신호 검출회로(30)에 제공되고, 또한 57KHz의 변조 부가신호를 검파하는 검파회로(31)에 제공된다. 그리고 PLL회로(32)는 수신 스테레오 신호 중의 스테레오 파일럿 신호를 검출해서 57KHz의 신호를 발생시켜 검파회로(31)에 제공한다. 검파회로(31)의 출력은 부가신호로서 취출된다. 이 제9도의 수신기는 PLL회로(32)로서 제2도 또는 제6도의 실시예의 PLL회로를 사용한 것이다.

즉, 제9도에 도시한 스테레오 수신기의 구성도 공지된 것이지만, 그 PLL회로로서 제2도 또는 제6도의 PLL회로를 사용한 것은 공지되어 있지 않고, 따라서 제9도에 도시한 스테레오 수신기에 있어서는 IC화가 용이하고, 또 안정성이 높은 고정밀도의 위상 록크 동작, 즉 부가신호의 검출을 실현할 수 있다.

(57) 청구의 범위

청구항 1

외부에서의 입력신호를 수신하는 수단(9), 소정의 기준 주파수를 갖는 신호를 발생시키는 수단(6), 상기 기준 주파수 신호를 가변 분주비로 분주하는 가변 분주 수단(7), 상기 가변 분주 수단의 출력을 분주해서 제1출력신호 및 상기 제1출력신호와 90° 위상이 차이진 제2출력신호를 발생시키는 고정 분주수단(8), 상기 입력신호와 상기 제2출력신호를 승산하는 제1승산 수단(10), 상기 제1승산 수단의 출력을 소정의 기준 전압과 비교하는 수단(11) 및 상기 비교수단의 출력을 0 입력으로서 수신하고, 상기 고정 분주 수단으로부터의 제1출력신호를 클럭 입력으로서 수신하는 D-플립플롭 수단(12)를 포함하고, 상기 가변 분주수단의 분주비가 D-플립플롭 수단의 출력에 의해 변화하는 것을 특징으로 하는 PLL회로.

청구항 2

제1항에 있어서, 상기 입력신호와 상기 제1출력신호를 승산하는 제2승산수단(13)을 더 포함하는 것을 특징으로 하는 PLL회로.

청구항 3

제1항에 있어서, 상기 가변 분주 수단이, 상기 기준 주파수 신호를 카운트하는 카운터 수단(7a), 상기 카운터 수단의 계수치가 제1값으로 된 것을 판별하는 제1판별 수단(7b), 상기 카운터 수단의 계수치가 상기 제1값보다 큰 제2값으로 된 것을 판별하는 제2판별 수단(7c) 및 상기 D-플립플롭 수단의 출력이, 상기 제2출력신호의 위상이 상기 입력신호의 위상보다 90° 이상 나아가 있는 것을 나타내는 경우에는, 상기 제2판별 수단의 출력에 의해 상기 카운터 수단을 리셋트함과 동시에 상기 제2판별 수단의 출력을 상기 가변 분주 수단의 출력으로서 공급하고; 상기 D-플립플롭 수단의 출력이, 상기 제2출력신호의 위상이 상기 입력신호의 위상보다 90° 이상 지연되어 있을 나타내는 경우에는, 상기 제1판별 수단의 출력에 의해 상기 카운터 수단을 리셋트함과 동시에 상기 제1판별 수단의 출력을 상기 가변 분주 수단의 출력으로서 공급하는 수단(7d,7e)를 포함하는 것을 특징으로 하는 PLL회로.

청구항 4

제2항에 있어서, 상기 제2승산 수단의 출력을 수신하여 상기 입력신호와 상기 제1출력신호가 동기하고 있음을 검출하는 수단(16)을 더 포함하고, 상기 가변 분주 수단은 상기 동기 검출 수단의 출력에 따라 상기 입력신호와 상기 제1출력신호가 동기하고 있지 않을 때에는, 제1범위내에서 상기 분주비를 변화시키고; 상기 입력신호와 상기 제1출력신호가 동기하고 있을 때에는, 상기 제1범위보다 좁은 제2범위 내에서 분주비를 변화시키는 것을 특징으로 하는 PLL회로.

청구항 5

제4항에 있어서, 상기 가변 분주 수단은 상기 기준 주파수 신호를 카운트하는 카운터 수단(17a), 상기 카운터 수단의 계수치가 제1값으로 된 것을 판별하는 제1판별 수단(17b), 상기 카운터 수단의 계수치가 제2값으로 된 것을 판별하는 제2판별 수단(17c), 상기 카운터 수단의 계수치가 제3값으로 된 것을 판별하는 제3판별 수단(17d), 상기 카운터 수단의 계수치가 제4값으로 된 것을 판별하는 제4판별 수단(17e), 상기 D-플립플롭 수단의 출력이, 상기 제2출력신호의 위상이 상기 입력신호의 위상보

다 90° 이상 나아가 있음을 나타내는 경우에는, 상기 제2판별 수단의 출력에 의해 상기 카운터 수단을 리셋트함과 동시에 상기 제2판별 수단의 출력을 상기 가변 분주 수단의 출력으로서 공급하고; 상기 D-플립플롭 수단의 출력이, 상기 제2출력신호의 위상이 상기 입력신호의 위상 보다 90° 이상 나아가 있음을 나타내는 경우에는, 상기 제1판별수단의 출력에 의해 상기 카운터 수단을 리셋트함과 동시에 상기 제1판별 수단의 출력을 상기 가변 분주 수단의 출력으로서 공급하는 수단(17h,17i), 상기 D-플립플롭 수단의 출력이, 상기 제2출력신호의 위상이 상기 입력신호의 위상보다 90° 이상 나아가 있음을 나타내는 경우에는, 상기 제4판별수단의 출력에 의해 상기 카운터 수단을 리셋트함과 동시에 상기 제4판별 수단의 출력을 상기 가변 분주 수단의 출력으로서 공급하고; 상기 D-플립플롭수단의 출력이, 상기 제2출력신호의 위상이 상기 입력신호의 위상보다 90° 이상 지연되어 있음을 나타내는 경우에는, 상기 제3판별 수단의 출력에 의해 상기 카운터 수단을 리셋트함과 동시에 상기 제3판별 수단의 출력을 상기 가변 분주 수단의 출력으로서 공급하는 수단(17k,17l) 및 상기 동기 검출 수단은 이 상기 입력신호와 상기 제1출력신호가 동기하고 있지 않음을 검출했을 때에는, 상기 제1공급 수단의 출력을 선택하고; 상기 입력신호와 상기 제1출력신호가 동기하고 있음을 검출했을 때에는, 상기 제2공급수단의 출력을 선택하는 수단(17j,17m,17n)을 포함하고, 상기 제1 내지 제4값이 제1값, 제3값, 제4값 및 제2값 순으로 증가하는 것을 특징으로 하는 PLL회로.

청구항 6

제1항에 있어서, 상기 제1승산 회로가 더블 밸런스형 승산 회로인 것을 특징으로 하는 PLL 회로.

청구항 7

스테레오 수신 장치에 있어서, 스테레오 신호를 수신하는 수단(21,22,23), 상기 수신한 스테레오 신호를 검파하는 수단(24), 상기 검파한 스테레오 신호를 스테레오 복조하는 수단(25,29) 및 상기 검파한 스테레오 신호중의 특정 신호를 검출해서 이 신호에 동기한 신호를 발생시키는 PLL수단(28,32)을 포함하고, 상기 PLL수단이, 상기 검파 수단에서 특정 입력신호를 수취하는 수단(9), 소정의 기준 주파수를 갖는 신호를 발생시키는 수단(6), 상기 기준 주파수 신호를 가변 분주비로 분주하는 가변 분주 수단(7), 상기 가변 분주 수단의 출력을 분주해서 제1출력신호 및 상기 제1출력신호와 90° 위상이 차이진 제2출력신호를 발생시키는 고정 분주 수단(8), 상기 입력신호와 상기 제2출력신호를 승산하는 제1승산 수단(10), 상기 제1승산 수단의 출력을 소정의 기준 전압과 비교하는 수단(11) 및 상기 비교 수단의 출력을 0 입력으로서 수신하고, 상기 고정 분주 수단으로부터의 제1출력신호를 클럭 입력으로서 수신하는 D-플립플롭 수단(12)을 포함하며, 상기 가변 분주 수단의 분주비가 상기 D-플립플롭 수단의 출력에 의해 변화하는 것을 특징으로 하는 스테레오 수신 장치.

청구항 8

제7항에 있어서, 상기 PLL수단이 상기 입력신호와 상기 제1출력신호를 승산하는 제2승산 수단(13)을 더 포함하는 것을 특징으로 하는 스테레오 수신 장치.

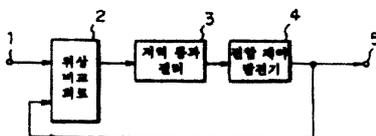
청구항 9

제8항에 있어서, 상기 PLL수단이 상기 제2승산 수단의 출력을 수신하여 상기 입력신호와 상기 제1출력신호가 동기하고 있음을 검출하는 수단(16)을 더 포함하고, 상기 가변 분주 수단은 상기 동기 검출 수단의 출력에 따라 상기 입력신호와 상기 출력신호가 동기하고 있지 않을 때에는, 제1범위내에서 분주비를 변화시키고; 상기 입력신호와 상기 제1출력신호가 동기하고 있을 때에는, 상기 제1범위보다 좁은 제2범위내에서 분주비를 변화시키는 것을 특징으로 하는 스테레오 수신 장치.

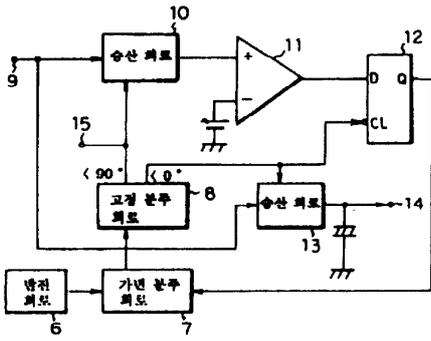
도면

도면1

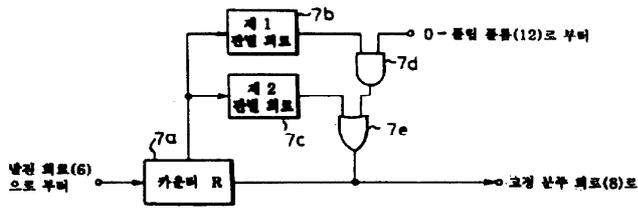
(중대 기술)



도면2



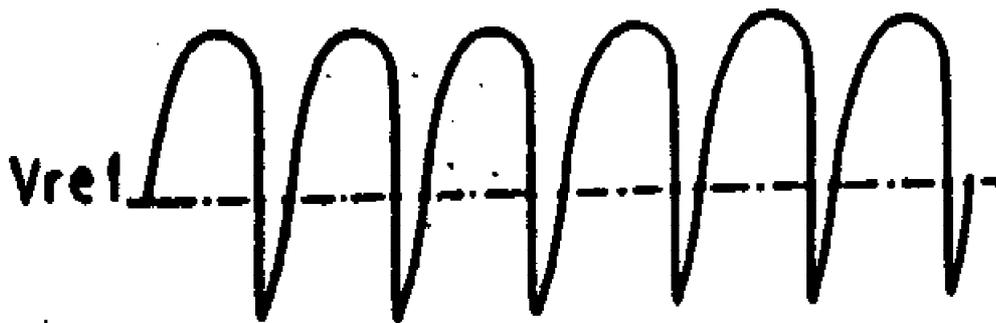
도면3



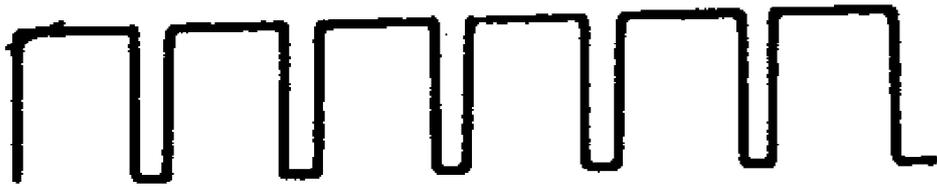
도면4-f



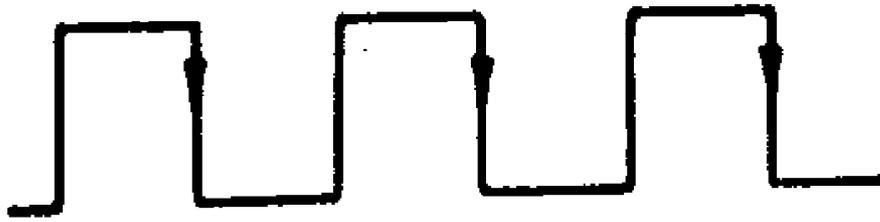
도면4-e



도면4-d



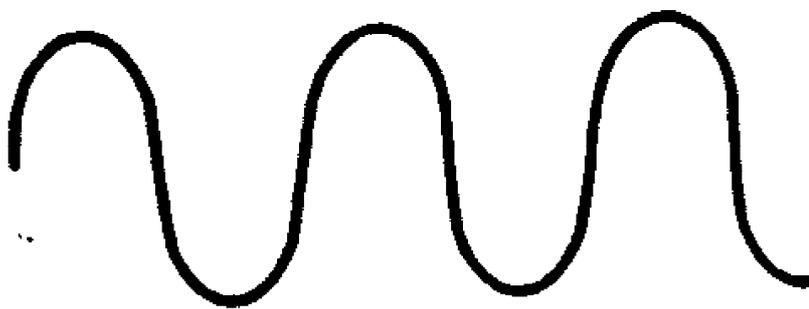
도면4-c



도면4-b



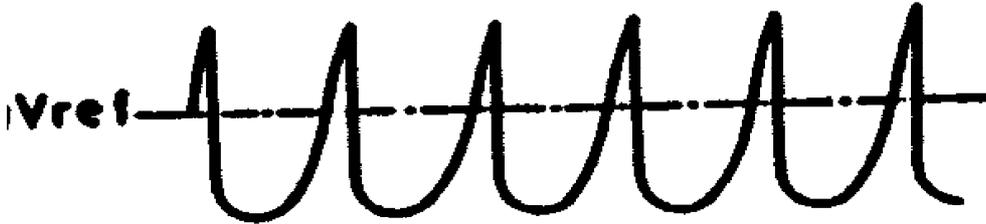
도면4-a



도면5-f



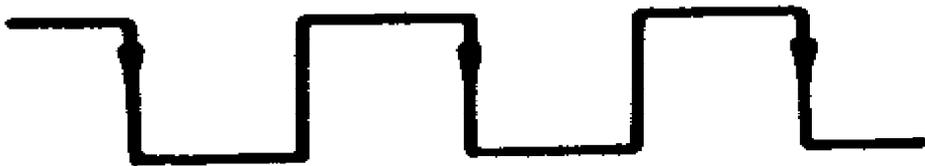
도면5-e



도면5-d



도면5-c



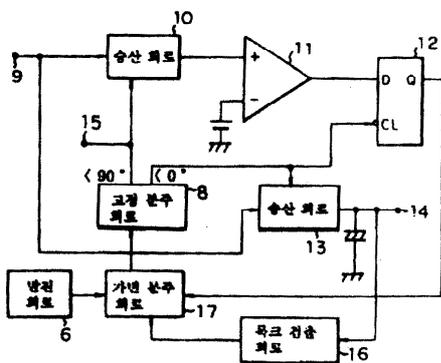
도면5-b



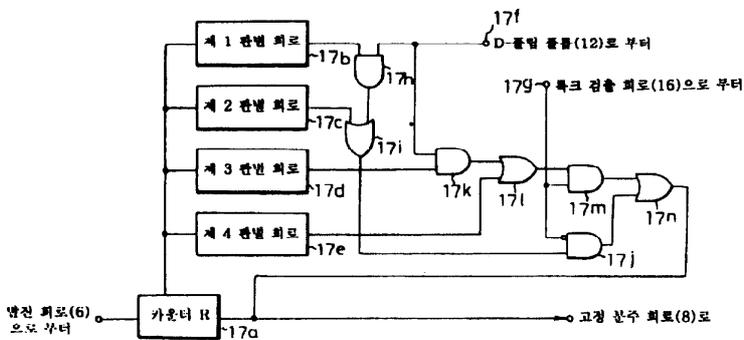
도면5-a



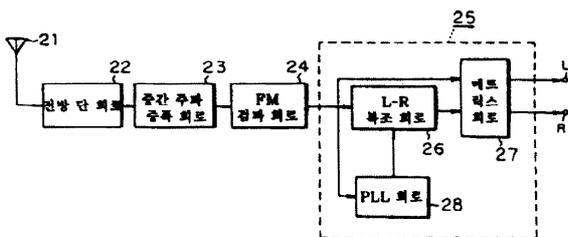
도면6



도면7



도면8



도면9

