



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I769771 B

(45)公告日：中華民國 111 (2022) 年 07 月 01 日

(21)申請案號：110112231

(22)申請日：中華民國 110 (2021) 年 04 月 01 日

(51)Int. Cl. : **H01L21/8239 (2006.01)** **H01L21/302 (2006.01)**
H01L27/11517 (2017.01)

(71)申請人：華邦電子股份有限公司 (中華民國) WINBOND ELECTRONICS CORP. (TW)
 臺中市 428 大雅區科雅一路 8 號

(72)發明人：莊哲輔 CHUANG, CHE-FU (TW)；廖修漢 LIAO, HSIU-HAN (TW)

(74)代理人：洪澄文

(56)參考文獻：

TW	200743151A	US	6274411B1
US	2002/0160575A1	US	2008/0303076A1
US	2008/0308860A1		

審查人員：莊敏宏

申請專利範圍項數：10 項 圖式數：19 共 41 頁

(54)名稱

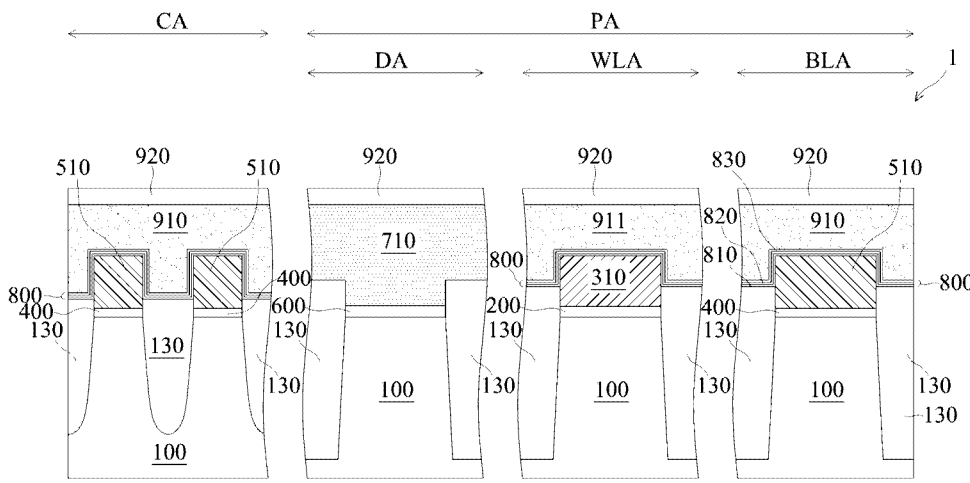
半導體結構及其形成方法

(57)摘要

半導體結構的形成方法包含：依序形成第一至第三犧牲層於基板上。基板包含記憶體單元區域及周邊區域。周邊區域包含字元線區域。移除字元線區域中的第二及第三犧牲層，以暴露位於字元線區域中的第一犧牲層的頂表面。移除字元線區域中的第一犧牲層以及記憶體單元區域中的第三犧牲層。在字元線區域中形成字元線介電層於基板上。形成第一導電層於字元線介電層上。移除記憶體單元區域中的第一及第二犧牲層。在記憶體單元區域中形成穿隧介電層於基板上。穿隧介電層的厚度小於字元線介電層的厚度。形成浮置閘極層於穿隧介電層上。

A method of forming semiconductor structure includes sequentially forming first to third sacrificial layers on the substrate. The substrate includes a memory cell area and a peripheral area. The peripheral area includes a word line area. The second and third sacrificial layers in the word line area are removed to expose a top surface of the first sacrificial layer in the word line area. The first sacrificial layer in the word line area and the third sacrificial layer in the memory cell area are removed. A word line dielectric layer is formed on the substrate in the word line area. A first conductive layer is formed on the word line dielectric layer. The first and second sacrificial layers in the memory cell area are removed. A tunneling dielectric layer is formed on the substrate in the memory cell area. A thickness of the tunneling dielectric layer is smaller than a thickness of the word line dielectric layer. A floating gate layer is formed on the tunnel dielectric layer.

指定代表圖：



第 19 圖

符號簡單說明：

1:半導體結構

100:基板

130:隔離結構

200:字元線介電層

310:第一導電層

400:穿隧介電層

510:浮置閘極層

600:閘極介電層

710:閘極層

800:介電堆疊物

810:第一子介電層

820:第二子介電層

830:第三子介電層

910:控制閘極層

911:第二導電層

920:覆蓋層

BLA:位元線區域

CA:記憶體單元區域

DA:裝置區域

PA:周邊區域

WLA:字元線區域



I769771

【發明摘要】

【中文發明名稱】半導體結構及其形成方法

【英文發明名稱】SEMICONDUCTOR STRUCTURE AND
METHOD OF FORMING THE SAME

【中文】

半導體結構的形成方法包含：依序形成第一至第三犧牲層於基板上。基板包含記憶體單元區域及周邊區域。周邊區域包含字元線區域。移除字元線區域中的第二及第三犧牲層，以暴露位於字元線區域中的第一犧牲層的頂表面。移除字元線區域中的第一犧牲層以及記憶體單元區域中的第三犧牲層。在字元線區域中形成字元線介電層於基板上。形成第一導電層於字元線介電層上。移除記憶體單元區域中的第一及第二犧牲層。在記憶體單元區域中形成穿隧介電層於基板上。穿隧介電層的厚度小於字元線介電層的厚度。形成浮置閘極層於穿隧介電層上。

【英文】

A method of forming semiconductor structure includes sequentially forming first to third sacrificial layers on the substrate. The substrate includes a memory cell area and a peripheral area. The peripheral area includes a word line area. The second and third sacrificial layers in the word line

area are removed to expose a top surface of the first sacrificial layer in the word line area. The first sacrificial layer in the word line area and the third sacrificial layer in the memory cell area are removed. A word line dielectric layer is formed on the substrate in the word line area. A first conductive layer is formed on the word line dielectric layer. The first and second sacrificial layers in the memory cell area are removed. A tunneling dielectric layer is formed on the substrate in the memory cell area. A thickness of the tunneling dielectric layer is smaller than a thickness of the word line dielectric layer. A floating gate layer is formed on the tunnel dielectric layer.

【指定代表圖】第19圖

【代表圖之符號簡單說明】

1：半導體結構

100：基板

130：隔離結構

200：字元線介電層

310：第一導電層

400：穿隧介電層

510：浮置閘極層

600：閘極介電層

710：閘極層

800：介電堆疊物

810：第一子介電層

820：第二子介電層

830：第三子介電層

910：控制閘極層

911：第二導電層

920：覆蓋層

BLA：位元線區域

CA：記憶體單元區域

DA：裝置區域

PA：周邊區域

WLA：字元線區域

【特徵化學式】無。

【發明說明書】

【中文發明名稱】半導體結構及其形成方法

【英文發明名稱】SEMICONDUCTOR STRUCTURE AND
METHOD OF FORMING THE SAME

【技術領域】

【0001】本發明係關於半導體結構及其形成方法，特別是關於具有小周邊區域尺寸的半導體結構及其形成方法。

【先前技術】

【0002】一般而言，電子記憶體可分為揮發性記憶體與非揮發性記憶體。而在非揮發性記憶體中，快閃記憶體(flash memory)因為具有低耗電、低成本及高可靠性等優點，因此使得快閃記憶體的發展廣受矚目。

【0003】一般來說，快閃記憶體晶片(flash chip)可區分為記憶體單元區域(memory cell area)及周邊區域(peripheral area)。目前，因為難以縮小周邊區域的尺寸，因而無法降低快閃記憶體晶片的尺寸。其中，難以縮小周邊區域的原因之一即為周邊區域中需要設置用於提供快閃記憶體單元電壓的電荷泵(charge pump)。因此，在難以有效縮小電荷泵尺寸的情況下，也難以縮小周邊區域的尺寸。

【發明內容】

【0004】鑒於上述問題，本發明藉由設置具有ONO (oxide-nitride-oxide)結構的介電層堆疊物(dielectric stack)以及在不同區域中設置彼此具有特定厚度關係的介電層，來提升字元線區域中字元線結構單元之耐電壓程度。在快閃記憶體晶片整體需要達到特定電壓值的情況下，本發明所揭露的字元線結構單元能夠承受較大的電壓，因此能夠減少字元線結構單元的數量，亦即減少字元線結構需要占據的周邊區域的面積，進而減少周邊區域尺寸，從而具有更佳的半導體結構特性。

【0005】根據一些實施例，提供一種半導體結構的形成方法。半導體結構的形成方法包含：形成第一犧牲層於基板上。基板包含記憶體單元區域及周邊區域。周邊區域包含字元線區域。形成第二犧牲層於第一犧牲層上。形成第三犧牲層於第二犧牲層上。移除字元線區域中的第三犧牲層及第二犧牲層，以暴露位於字元線區域中的第一犧牲層的頂表面。移除字元線區域中的第一犧牲層以及記憶體單元區域中的第三犧牲層。在字元線區域中形成字元線介電層於基板上。形成第一導電層於字元線介電層上。移除記憶體單元區域中的第二犧牲層。移除記憶體單元區域中的第一犧牲層。在記憶體單元區域中形成穿隧介電層於基板上。穿隧介電層的厚度小於字元線介電層的厚度。形成浮置閘極層於穿隧介電層上。

【圖式簡單說明】

【0006】第1圖至第19圖是根據本發明的一些實施例，繪示在

各個階段形成半導體結構的剖面示意圖。

【實施方式】

【0007】 第1圖至第19圖是根據本發明的一些實施例，說明形成半導體結構1在各個階段的剖面示意圖。

【0008】 參照第1圖，在一些實施例中，提供基板100。在一些實施例中，基板100包含記憶體單元區域(memory cell area)CA及周邊區域(peripheral area)PA。在一些實施例中，周邊區域PA包含電子裝置的裝置區域DA、字元線的字元線區域WLA以及位元線的位元線區域BLA。在一些實施例中，裝置區域DA設置於字元線區域WLA與記憶體單元區域CA之間。在一些實施例中，字元線區域WLA設置於裝置區域DA及位元線區域BLA之間。然而本發明不限制於此。

【0009】 為便於說明，在本發明圖式中，各區域係以單元(cell)結構繪示，舉例而言，在字元線區域WLA中的結構可稱為字元線結構單元，在位元線區域BLA中的結構可稱為位元線結構單元。

【0010】 參照第2圖，形成第一犧牲層110於基板100上，且形成第二犧牲層120於第一犧牲層110上。在一些實施例中，第一犧牲層110及/或第二犧牲層120可為或可包含氧化物、氮化物、氮氧化物、其組合、或其它任何適合之材料，但本發明不限制於此。其中第一犧牲層110及/或第二犧牲層120可藉由沉積製程來形成。

【0011】 如第2圖所示，在一些實施例中，可進一步形成第一

硬遮罩層121於第二犧牲層120上，以藉由第一硬遮罩層121作為蝕刻遮罩來進行後續蝕刻製程。在一些實施例中，第一硬遮罩層121可藉由CVD沉積、或其他合適的製程而得。在一些實施例中，第一硬遮罩層121可包含氧化物、氮化物、氮氧化物、碳化物、或其組合。

【0012】 在一些實施例中，在形成第一硬遮罩層121於第二犧牲層120上之後，可形成光阻層於第一硬遮罩層121上，並依照需求對光阻層進行曝光，以獲得圖案化光阻層。然後，使用前述圖案化光阻層作為蝕刻遮罩，蝕刻第一硬遮罩層121來形成圖案化第一硬遮罩層121。

【0013】 參照第3圖，在一些實施例中，接著使用前述圖案化第一硬遮罩層121作為蝕刻遮罩，並蝕刻第二犧牲層120、第一犧牲層110以及基板100，以形成位於基板100、第一犧牲層110以及第二犧牲層120中的溝槽，並藉由前述步驟來定義本發明之半導體結構中的主動區域(active area)。在一些實施例中，經蝕刻的第一犧牲層110以及第二犧牲層120被貫穿，而基板100則未被貫穿，可理解的是，能夠根據需求調整蝕刻基板100的深度。在一些實施例中，基於不同的蝕刻參數，位於記憶體單元區域CA中的溝槽可為U形溝槽，而位於周邊區域PA中的溝槽可為凹形溝槽。在一些實施例中，位於記憶體單元區域CA中的溝槽之間間距(space)可小於位於周邊區域PA中的溝槽之間間距，因此如第3圖所示之溝槽的相對尺寸僅為例示性而非限制性。

【0014】 參照第4圖，在後續形成第三犧牲層於第二犧牲層120上之前，形成隔離結構130於基板100上且於前述溝槽中，以使

隔離結構130位於基板100、第一犧牲層110及第二犧牲層120中。

【0015】 在一些實施例中，形成隔離結構130於基板100上的步驟可進一步包含：填充隔離材料層於前述溝槽中；以及執行平坦化製程，使隔離材料層的頂表面與第二犧牲層120的頂表面實質上(substantially)共平面，而形成位於基板100上的隔離結構130。在一些實施例中，隔離結構130可為淺溝槽隔離結構。在一些實施例中，隔離結構130可包含不同的隔離材料，以分別填充具有不同深寬比的溝槽。

【0016】 參照第5圖，形成第三犧牲層122於第二犧牲層120上，具體而言，第三犧牲層122形成於第二犧牲層120及隔離結構130。在一些實施例中，第三犧牲層122與第一犧牲層120可包含相同或不同的材料。在一些實施例中，第三犧牲層122可包含以四乙氧基矽烷(tetraethoxysilane, TEOS)作為前驅物而形成的氧化物。在一些實施例中，第三犧牲層122與第一犧牲層120的厚度可為實質上(substantially)相同。

【0017】 參照第6圖，移除字元線區域WLA中的第二犧牲層120及第三犧牲層122，以暴露位於字元線區域WLA中的第一犧牲層110的上表面。在一些實施例中，藉由微影及蝕刻製程來移除字元線區域WLA中的第二犧牲層120及第三犧牲層122。舉例而言，在一些實施例中，可先形成圖案化光阻層，以覆蓋記憶體單元區域CA、裝置區域DA以及位元線區域BLA並暴露字元線區域WLA。接著，藉由濕式蝕刻來移除位於字元線區域WLA中的第三犧牲層122。類似地，可再形成圖案化光阻層，以覆蓋記憶體單元區域CA、裝置區域DA、位元線區域BLA、以及字元線區域WLA中的隔離結

構130，並暴露字元線區域WLA中第二犧牲層120。接著，再移除位於字元線區域WLA中的第二犧牲層120。

【0018】 參照第7圖，移除字元線區域WLA中的第一犧牲層110以及記憶體單元區域CA、裝置區域DA以及位元線區域BLA中的第三犧牲層122。在一些實施例中，由於第一犧牲層110的厚度與第三犧牲層122的厚度可為實質上相同，因此可在同一道製程中執行移除字元線區域WLA中的第一犧牲層110的步驟以及移除記憶體單元區域CA、裝置區域DA以及位元線區域BLA中的第三犧牲層122的步驟，藉此同時暴露字元線區域WLA的基板100的頂表面、以及除了字元線區域WLA以外的區域中的隔離結構130及第二犧牲層120的頂表面，所以能夠節省製程成本。

【0019】 參照第8圖，在字元線區域WLA中形成字元線介電層200於基板100上。在一些實施例中，可藉由熱氧化製程來形成字元線介電層200。在一些實施例中，字元線介電層200的厚度是基於字元線區域WLA的預期耐受電壓而決定，舉例而言，若字元線區域WLA的預期耐受電壓越高，則字元線介電層200的厚度越厚。在一些實施例中，字元線介電層200的厚度可為10nm~20nm。在一些實施例中，藉由APCVD來形成字元線介電層200在字元線區域WLA中的基板100上。在一些實施例中，字元線介電層200可為或可包含氧化物、氮化物、氮氧化物、其組合、或其它任何適合之介電材料，但本發明不限制於此。在一些實施例中，字元線介電層200的厚度可大於第一犧牲層110的厚度。

【0020】 參照第9圖，形成導電材料300於基板100上，具體而言，形成導電材料300於隔離結構130、第二犧牲層120以及字元

線介電層200上。在一些實施例中，在字元線區域WLA中，由於隔離結構130的頂表面高於字元線介電層200的頂表面，也就是說隔離結構130的頂表面相較於字元線介電層200的頂表面更遠離基板100，因此形成一溝槽。在形成導電材料300於前述溝槽時，可能會產生凹部(recess)。因此，為了增加本發明的半導體結構的可靠性，需要確保凹部的底表面高於隔離結構130的頂表面，以形成具有良好電性的導電層。在一些實施例中，導電材料300可包含多晶矽(polycrystalline silicon)、非晶矽(amorphous silicon)、金屬、金屬氮化物、導電金屬氧化物、其組合、或其他合適的材料，但本發明不限制於此。

【0021】 參照第10圖，執行平坦化製程，來移除位於記憶體單元區域CA、裝置區域DA及位元線區域BLA上的第一導電材料，並使得在字元線區域WLA中的第一導電材料的頂表面與隔離結構130的頂表面實質上(substantially)共平面，而在字元線區域WLA中形成第一導電層310於字元線介電層200上。

【0022】 參照第11圖，移除位於記憶體單元區域CA中的第二犧牲層120，以暴露位於記憶體單元區域CA中的第一犧牲層110。在一些實施例中，在移除位於記憶體單元區域CA中的第二犧牲層120的步驟中可進一步移除位於裝置區域DA及位元線區域BLA中的第二犧牲層120，換句話說，可在同一道製程中執行移除位於記憶體單元區域CA中的第二犧牲層120的步驟以及移除位於裝置區域DA及位元線區域BLA中的第二犧牲層120的步驟。在一些實施例中，可藉由蝕刻製程來進行移除。在一些實施例中，移除位於記憶體單元區域CA中的第二犧牲層120的製程可與移除字元線區域

WLA中的第二犧牲層120的製程為相同或不同。在一些實施例中，詳細而言，可形成圖案化光阻層，以覆蓋字元線區域WLA，並暴露記憶體單元區域CA、裝置區域DA及位元線區域BLA。接著，再移除位於記憶體單元區域CA、裝置區域DA及位元線區域BLA中的第二犧牲層120，以暴露位於記憶體單元區域CA、裝置區域DA及位元線區域BLA中的第一犧牲層110。

【0023】 參照第12圖，移除位於記憶體單元區域CA中的第一犧牲層110，以暴露位於記憶體單元區域CA中基板100的頂表面。在一些實施例中，在移除位於記憶體單元區域CA中的第一犧牲層110的步驟中可進一步移除位於位元線區域BLA中的第一犧牲層110，換句話說，可在同一道製程中執行移除位於記憶體單元區域CA中的第一犧牲層110的步驟以及移除位於位元線區域BLA中的第一犧牲層110的步驟。在一些實施例中，詳細而言，可形成圖案化光阻層，以覆蓋字元線區域WLA及裝置區域DA，並暴露記憶體單元區域CA及位元線區域BLA。接著，再移除位於記憶體單元區域CA及位元線區域BLA中的第一犧牲層110，以暴露位於記憶體單元區域CA及位元線區域BLA中基板100。

【0024】 參照第13圖，在記憶體單元區域CA中形成穿隧介電層(tunneling dielectric layer)400於基板100上。在一些實施例中，可形成穿隧介電層400於在記憶體單元區域CA及周邊區域PA中的基板100上，具體而言，穿隧介電層400可形成於記憶體單元區域CA中的基板100上、裝置區域DA中的第一犧牲層110上、字元線區域WLA中的隔離結構130及第一導電層310上、以及位元線區域BLA中的基板100上。也就是說，穿隧介電層400可延伸至位元線

區域BLA中。在一些實施例中，可以熱氧化製程來形成穿隧介電層400。在一些實施例中，穿隧介電層400的厚度小於字元線介電層200的厚度。在一些實施例中，穿隧介電層400的厚度可為8nm~12nm。在一些實施例中，字元線介電層200與穿隧介電層400的厚度比例為1.25~1.67。在一些實施例中，可藉由上述製程，使得在本發明的半導體結構中的不同區域中的介電層厚度為不同，舉例而言，使得在記憶體單元區域CA中的穿隧介電層400具有能夠快速響應的較薄厚度，並使得在字元線區域WLA中的字元線介電層200具有能夠耐高電壓的較厚厚度。

【0025】接著，在一些實施例中，形成導電材料500於基板100上，具體而言，形成導電材料500於記憶體單元區域CA及周邊區域PA中的隔離結構130及穿隧介電層400上。在一些實施例中，在記憶體單元區域CA中，由於隔離結構130的頂表面高於穿隧介電層400的頂表面，也就是說隔離結構130的頂表面相較於穿隧介電層400的頂表面更遠離基板100，因此形成一溝槽。在形成導電材料500於前述溝槽時，可能會產生凹部。因此，為了增加本發明的半導體結構的可靠性，需要確保凹部的底表面高於隔離結構130的頂表面，以形成具有良好電性的導電層。在一些實施例中，亦類似地確保在裝置區域DA及位元線區域BLA中的導電層的可靠性。在一些實施例中，導電材料500可與第一導電材料為相同或不同。導電材料500可為或可包含多晶矽、非晶矽、金屬、金屬氮化物、導電金屬氧化物、其組合、或其他合適的材料，但本發明不限制於此。

【0026】參照第14圖，執行平坦化製程，使得在記憶體單元區域CA中的第二導電材料的頂表面與隔離結構130的頂表面實質

上(substantially)共平面，而在記憶體單元區域CA中形成浮置閘極(floating gate)層510於穿隧介電層400上。在一些實施例中，執行前述平坦化製程進一步包含移除位於字元線區域WLA中的第二導電材料及穿隧介電層400，以暴露字元線區域WLA中的第一導電層310的頂表面。

【0027】 參照第15圖，形成第二硬遮罩層511於記憶體單元區域CA、字元線區域WLA及位元線區域BLA中，具體而言，第二硬遮罩層511形成於記憶體單元區域CA中的浮置閘極層510上、形成於字元線區域WLA中的第一導電層310上、以及形成於位元線區域BLA中的浮置閘極層510上，以暴露裝置區域DA。在一些實施例中，第二硬遮罩層511與第一硬遮罩層121可為相同或不同。在一些實施例中，第二硬遮罩層511可包含氧化物、氮化物、氮氧化物、碳化物、或其組合。在一些實施例中，第二硬遮罩層511可包含以四乙氧基矽烷作為前驅物而形成的氧化物及氮化矽，且相較於氮化矽，前述四乙氧基矽烷作為前驅物而形成的氧化物更接近基板100。

【0028】 接著，以第二硬遮罩511作為蝕刻遮罩，移除裝置區域DA中的浮置閘極層510，並移除裝置區域中的隔離結構130的一部分。在一些實施例中，裝置區域DA中的經移除的隔離結構130的頂表面高於穿隧介電層400的頂表面。

【0029】 參照第16圖，接續上述，以第二硬遮罩511作為蝕刻遮罩，移除裝置區域DA中的穿隧介電層400及第一犧牲層110，以暴露裝置區域中的基板100。

【0030】 參照第17圖，在裝置區域DA中形成閘極介電層600於基板100上，並藉由導電材料形成閘極層710於閘極介電層600

上。在一些實施例中，閘極介電層600可包含氧化物、氮化物、氮氧化物、高介電常數(high-k)材料、其組合、或其它任何適合之介電材料，但本發明不限制於此。在一些實施例中，形成閘極介電層600的製程類似於前述形成浮置閘極層510的製程。在一實施例中，可執行進一步製程，以使裝置區域DA中的結構作為設置於裝置區域DA內的電晶體。在一些實施例中，閘極介電層600的厚度是基於後續形成的電晶體的操作需求而定。在一些實施例中，閘極介電層600的厚度可為12nm~20nm。在一些實施例中，閘極介電層600的厚度不同於字元線介電層200及穿隧介電層400的厚度。

【0031】 參照第18圖，移除第二硬遮罩511，並移除位於記憶體單元區域CA、字元線區域WLA及位元線區域BLA中的隔離結構130的一部分。在一些實施例中，移除隔離結構130的一部分，使得在記憶體單元區域CA中的隔離結構130的頂表面介於穿隧介電層400的頂表面及浮置閘極層510的頂表面之間；使得在字元線區域WLA中的隔離結構130的頂表面介於字元線介電層200的頂表面及第一導電層310的頂表面之間；以及使得在位元線區域BLA中的隔離結構130的頂表面介於穿隧介電層400的頂表面及浮置閘極層510的頂表面之間。接著，順應性形成介電堆疊物800於基板100上，具體而言，在記憶體單元區域CA中形成介電堆疊物800於隔離結構130及浮置閘極層510上；在裝置區域DA中形成介電堆疊物800於閘極層710上；在字元線區域WLA中形成介電堆疊物800於隔離結構130及字元線介電層200上；以及在位元線區域BLA中形成介電堆疊物800於隔離結構130及浮置閘極層510上。

【0032】 在一些實施例中，在記憶體單元區域CA、字元線區

域WLA及位元線區域BLA中的介電堆疊物800包含遠離基板凸出的凸形結構。因此，相較設置於隔離結構130上的介電堆疊物800，設置於記憶體單元區域CA及位元線區域BLA中的浮置閘極層510上的介電堆疊物800、以及設置於字元線區域WLA中的第一導電層310上的介電堆疊物800更遠離基板100。

【0033】如第18圖所示，介電堆疊物800包含第一子介電層810、第二子介電層820及第三子介電層830。在一些實施例中，形成介電堆疊物800的步驟可進一步包含形成第一子介電層810於隔離結構130、第一導電層310、浮置閘極層510及閘極層710上；形成第二子介電層820於第一子介電層810上；以及形成第三子介電層830於第二子介電層820上。在一些實施例中，介電堆疊物800可包含不同材料的層。在一些實施例中，介電層堆疊物800可包含氧化物、氮化物、氮氧化物、其組合、或其它任何適合之材料，但本發明不限制於此。在一些實施例中，第一子介電層810及第三子介電層830包含氧化物，且第二子介電層820包含氮化物，因此本發明的半導體結構可具有氧化物-氮化物-氧化物之ONO結構。

【0034】參照第19圖，移除位於裝置區域DA中的介電堆疊物800，並形成控制閘極層910於記憶體單元區域CA中的介電堆疊物800上。在一些實施例中，控制閘極層910可包含或可為多晶矽、非晶矽、金屬、金屬氮化物、導電金屬氧化物、其組合、或其他合適的材料。

【0035】在一些實施例中，進一步包含形成第二導電層911於字元線區域WLA中的介電堆疊物800上。控制閘極層910的材料可與第二導電層911為相同或不同。在一些實施例中，可在同一道製

程中執行形成控制閘極層910的步驟以及形成第二導電層911的步驟，換句話說，控制閘極層910的材料可與第二導電層911的材料相同。在一些實施例中，進一步形成覆蓋層920於記憶體單元區域CA及位元線區域BLA中的控制閘極層910上、於裝置區域DA中的閘極層710上、以及字元線區域WLA中的第二導電層911上，而保護設置於覆蓋層920之下的所有部件，以獲得本發明的半導體結構1。在一些實施例中，覆蓋層920可包含氧化物、氮化物、氮氧化物、其組合、或其它任何適合之材料。

【0036】 需特別說明的是，在一些實施例中，位於字元線區域WLA中的第一導電層310及第二導電層911、以及位於位元線區域BLA中的浮置閘極層510及控制閘極層910可作為記憶體晶片的佈線使用，以提供各部件之間的電性連接。

【0037】 綜上所述，本發明的半導體結構包含為ONO結構的介電層堆疊物，且ONO結構還包含遠離基板凸出的凸形結構，因此能夠有效地提升耐電壓程度。再者，本發明的半導體結構包含設置在不同區域中且彼此具有特定厚度關係的介電層，因此能夠調整不同區域的電性特徵。

【符號說明】

【0038】

1：半導體結構

100：基板

110：第一犧牲層

- 120：第二犧牲層
- 121：第一硬遮罩層
- 122：第三犧牲層
- 130：隔離結構
- 200：字元線介電層
- 300, 500：導電材料
- 310：第一導電層
- 400：穿隧介電層
- 510：浮置閘極層
- 511：第二硬遮罩層
- 600：閘極介電層
- 710：閘極層
- 800：介電堆疊物
- 810：第一子介電層
- 820：第二子介電層
- 830：第三子介電層
- 910：控制閘極層
- 911：第二導電層
- 920：覆蓋層
- BLA：位元線區域
- CA：記憶體單元區域
- DA：裝置區域

PA：周邊區域

WLA：字元線區域

【發明申請專利範圍】

【請求項1】 一種半導體結構的形成方法，其包含：

形成一第一犧牲層於一基板上，其中該基板包含一記憶體單元區域及一周邊區域，該周邊區域包含一字元線區域；

形成一第二犧牲層於該第一犧牲層上；

形成一第三犧牲層於該第二犧牲層上；

移除該字元線區域中的該第三犧牲層及該第二犧牲層，以暴露位於該字元線區域中的該第一犧牲層的頂表面；

移除該字元線區域中的該第一犧牲層以及該記憶體單元區域中的該第三犧牲層；

在該字元線區域中形成一字元線介電層於該基板上；

形成一第一導電層於該字元線介電層上；

移除該記憶體單元區域中的該第二犧牲層；

移除該記憶體單元區域中的該第一犧牲層；

在該記憶體單元區域中形成一穿隧介電層於該基板上，其中該穿隧介電層的厚度小於該字元線介電層的厚度；以及

形成一浮置閘極層於該穿隧介電層上。

【請求項2】 如請求項1所述的形成方法，其中：

在該記憶體單元區域中形成該穿隧介電層於該基板上的步驟進一步包含：形成該穿隧介電層於該字元線區域中的該第一導電層上；

在形成該浮置閘極層於該穿隧介電層上的步驟中進一步包

含：形成該浮置閘極層於該字元線區域中的該穿隧介電層上；以及

該方法包含：

移除位於該字元線區域中的該浮置閘極層及該穿隧介電層，以暴露該第一導電層的頂表面。

【請求項3】 如請求項1所述的形成方法，其中在形成該第三犧牲層於該第二犧牲層上之前，形成一隔離結構於該基板上，且該隔離結構位於該基板、該第一犧牲層及該第二犧牲層中，且該第三犧牲層形成於該第二犧牲層上及該隔離結構上，且該方法進一步包含：

移除該隔離結構的一部分；

形成一介電堆疊物於該隔離結構、該第一導電層及該浮置閘極層上，以使設置於該第一導電層及該浮置閘極層上的該介電堆疊物相較於設置於該隔離結構上的該介電堆疊物更遠離該基板；

形成一控制閘極層於該記憶體單元區域中的該介電堆疊物上；以及

形成一第二導電層於該字元線區域中的該介電堆疊物上。

【請求項4】 如請求項3所述的形成方法，其中：

該周邊區域進一步包含一裝置區域，該裝置區域介於該字元線區域及該記憶體單元區域之間；

在移除該記憶體單元區域中的該第二犧牲層的步驟中進一步包含：移除該裝置區域中的該第二犧牲層；以及

在該記憶體單元區域中形成該穿隧介電層於該基板上的步

驟中進一步包含：在該裝置區域中的該第一犧牲層上形成該穿隧介電層。

【請求項5】 如請求項4所述的形成方法，其進一步包含：
移除在該裝置區域中的該浮置閘極層及該隔離結構的一部分；
移除在該裝置區域中的該穿隧介電層及該第一犧牲層；
在該裝置區域中形成一閘極介電層於該基板上；
形成一閘極層於該閘極介電層上。

【請求項6】 如請求項5所述的形成方法，其中該閘極介電層的厚度不同於該字元線介電層及該穿隧介電層的厚度。

【請求項7】 如請求項3所述的形成方法，其中在移除該隔離結構的該部分的步驟中，使得在該字元線區域中的該隔離結構的頂表面介於該字元線介電層的頂表面及該第一導電層的頂表面之間，並使得該記憶體單元區域中的該隔離結構的頂表面介於該穿隧介電層的頂表面及該浮置閘極層的頂表面之間。

【請求項8】 一種半導體結構，其包含：

一基板，該基板包含一記憶體單元區域及一周邊區域，該周邊區域包含一字元線區域；

一字元線介電層，設置於該字元線區域中的該基板上；

一穿隧介電層，設置於該記憶體單元區域中的該基板上，其中該穿隧介電層的厚度小於該字元線介電層的厚度；

一隔離結構，設置於該基板上，且該隔離結構的頂表面高於該字元線介電層及該穿隧介電層的頂表面；

一第一導電層，設置於該字元線介電層上；以及

一浮置閘極層，設置於該穿隧介電層上。

【請求項9】 如請求項8所述的半導體結構，其中該字元線區域中的該隔離結構的頂表面低於該第一導電層的頂表面，且該記憶體單元區域中的該隔離結構的頂表面低於該浮置閘極層的頂表面。

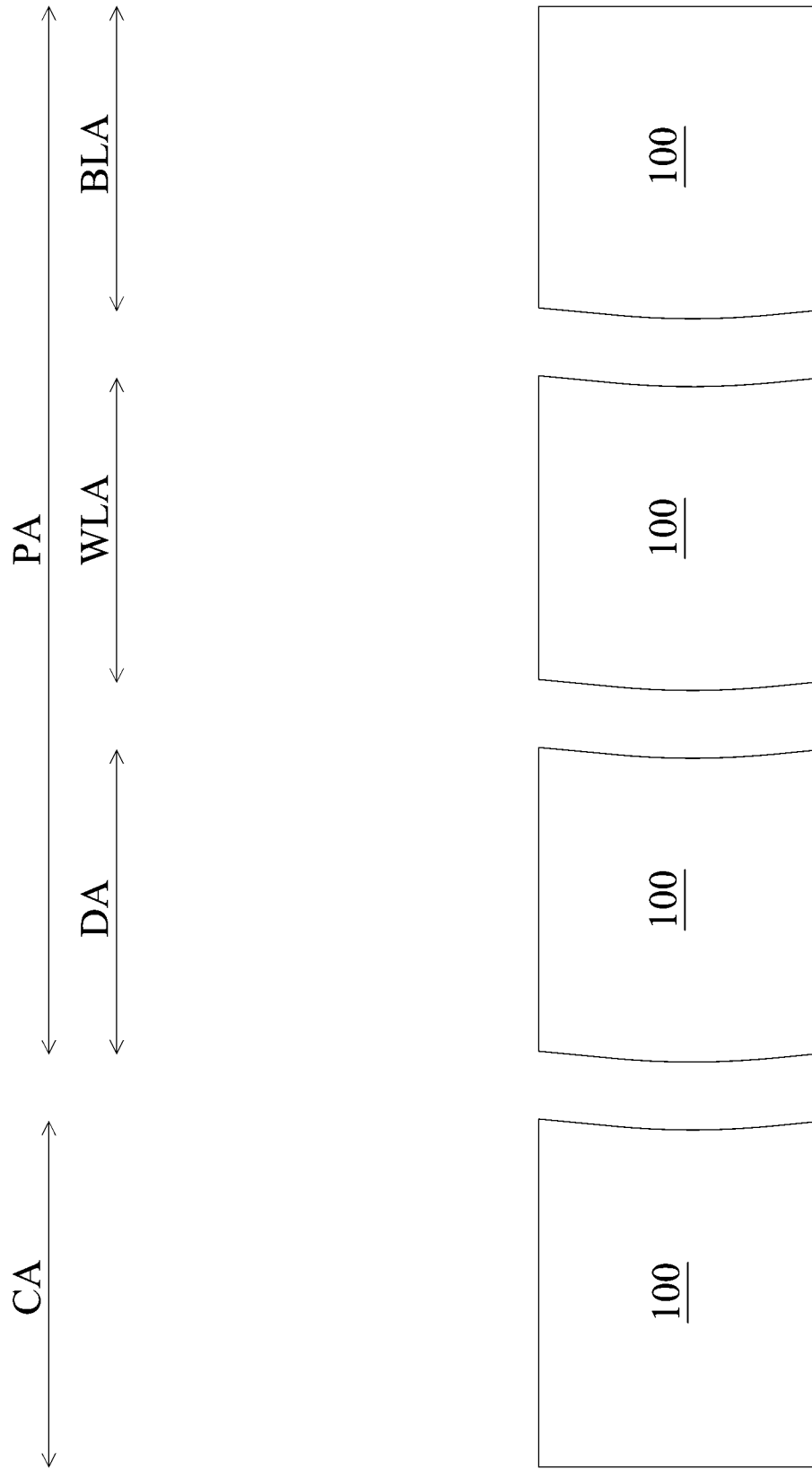
【請求項10】 如請求項8所述的半導體結構，其進一步包含：

一介電堆疊物，設置於該隔離結構、該第一導電層及該浮置閘極層上，且設置於該第一導電層及該浮置閘極層上的該介電堆疊物相較於設置於該隔離結構上的該介電堆疊物更遠離該基板；

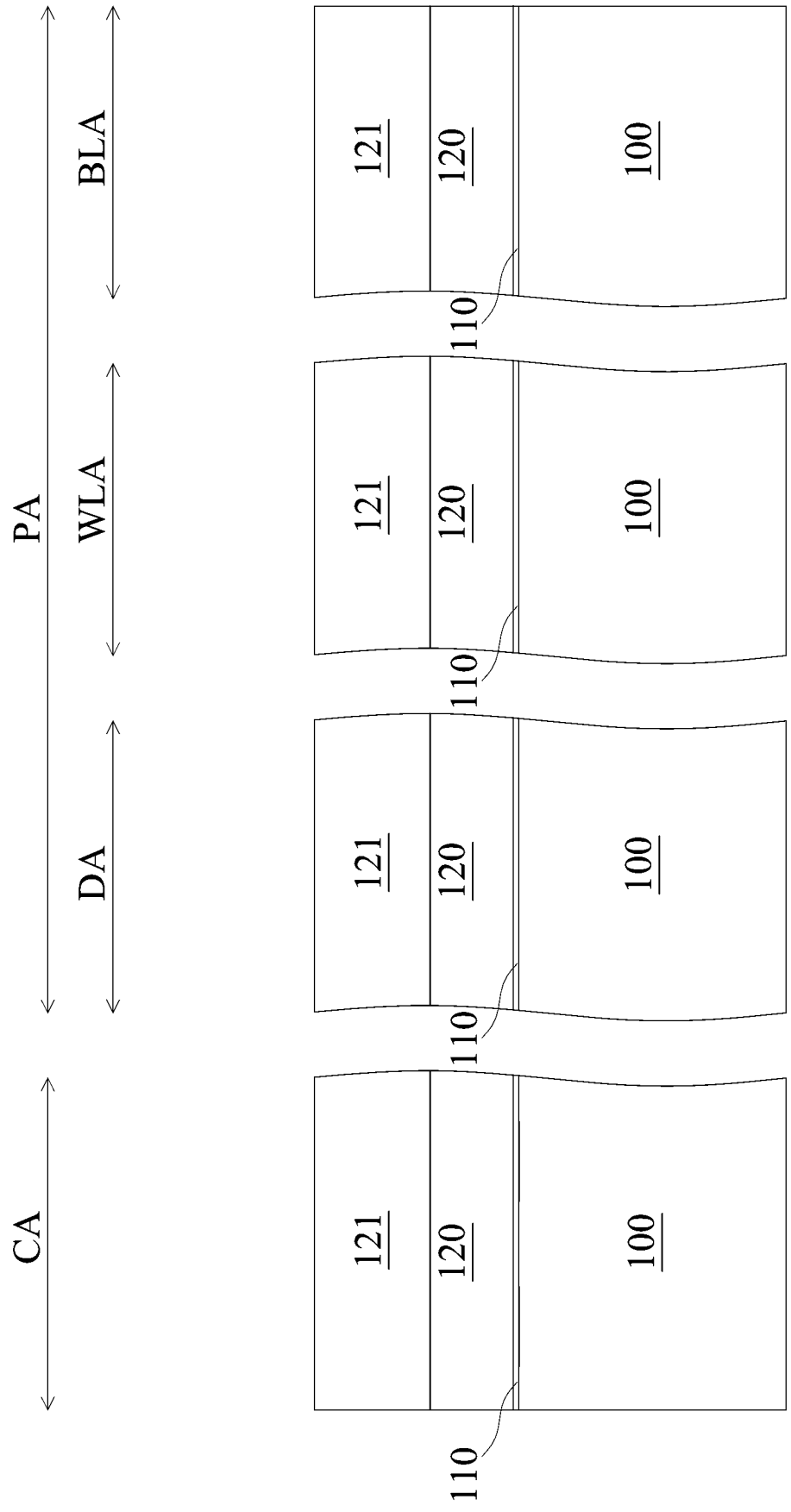
一控制閘極層，設置於該記憶體單元區域中的該介電堆疊物上；以及

一第二導電層，設置於該字元線區域中的該介電堆疊物上。

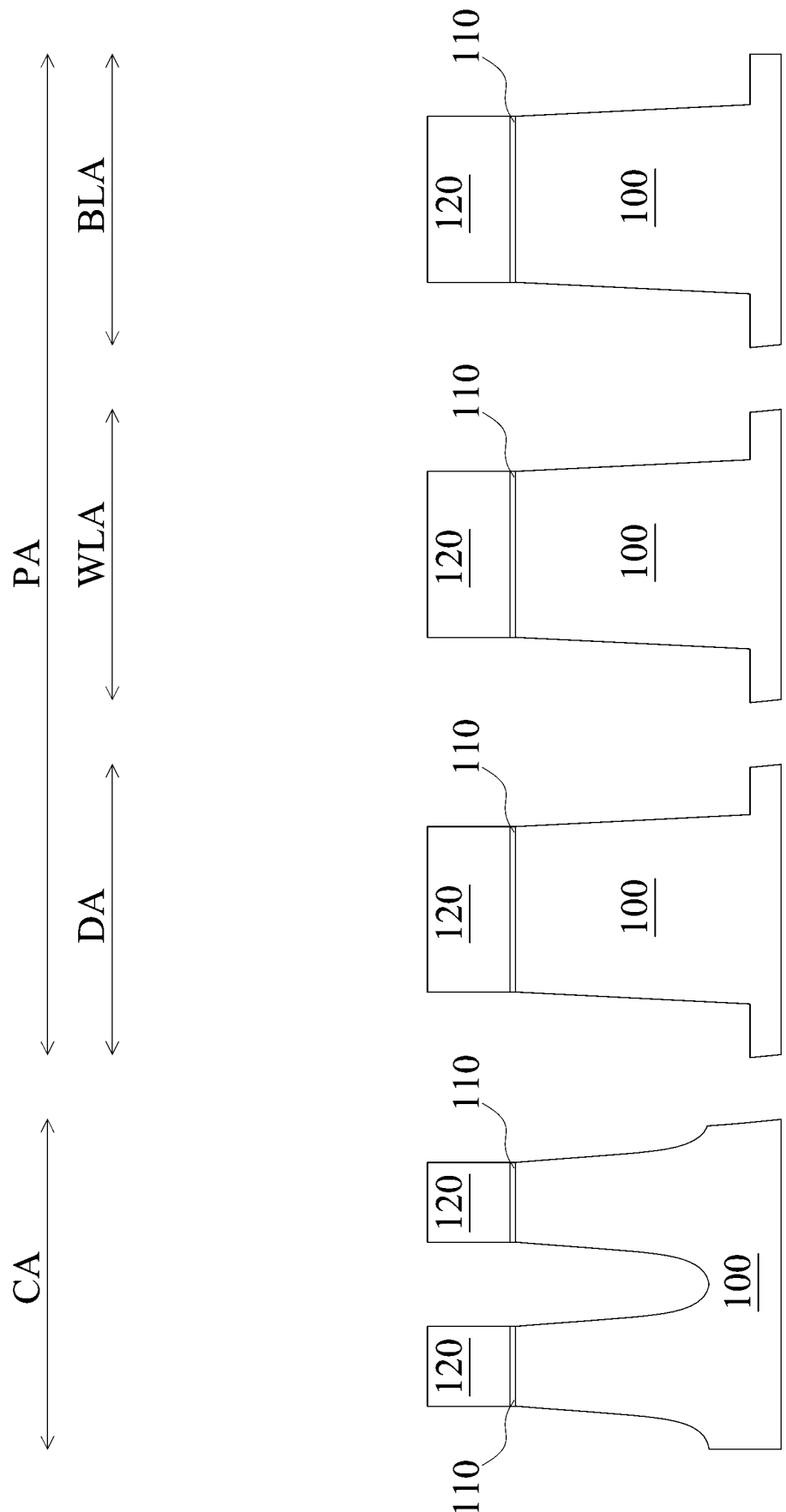
【發明圖式】



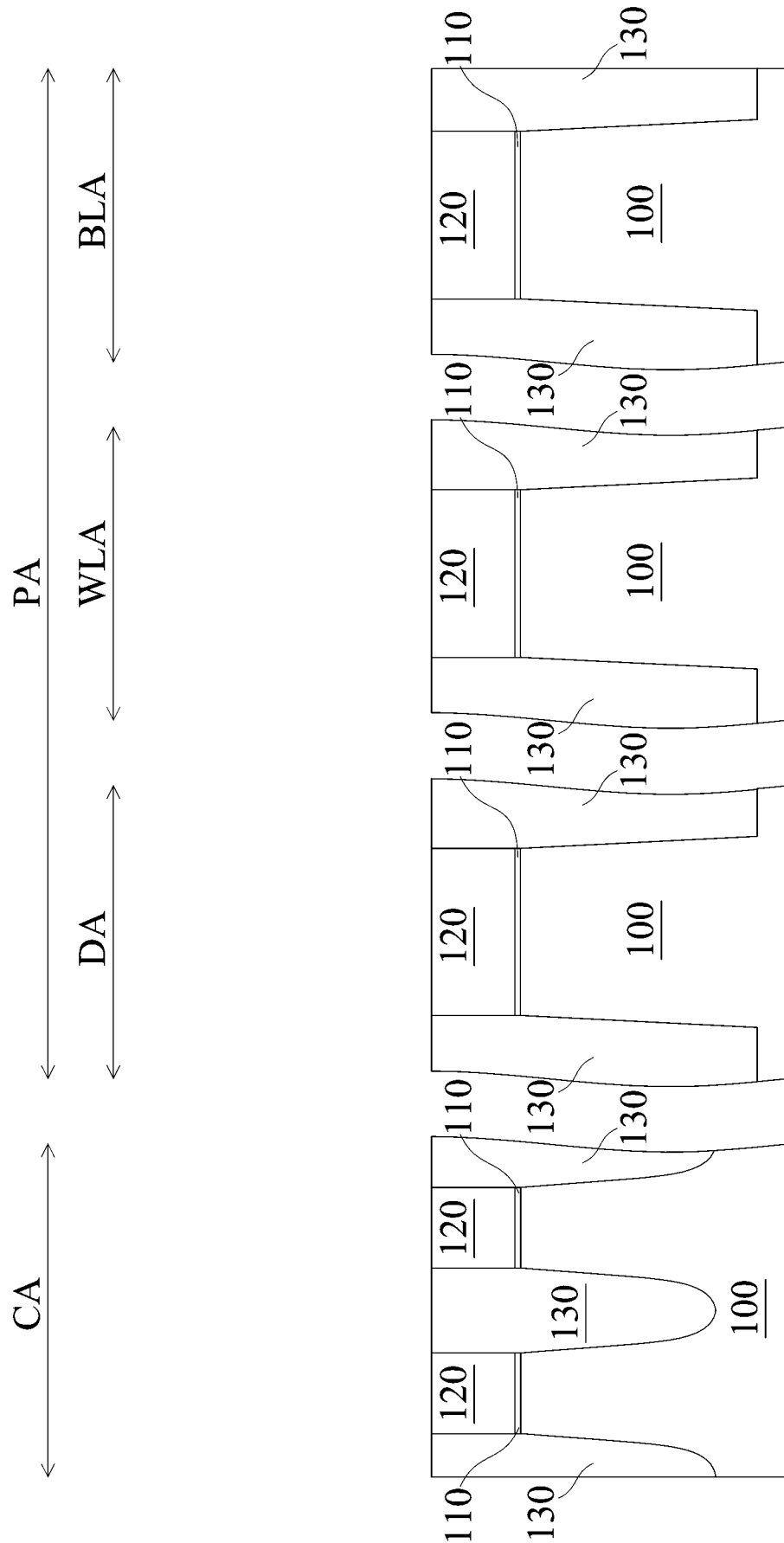
第 1 圖



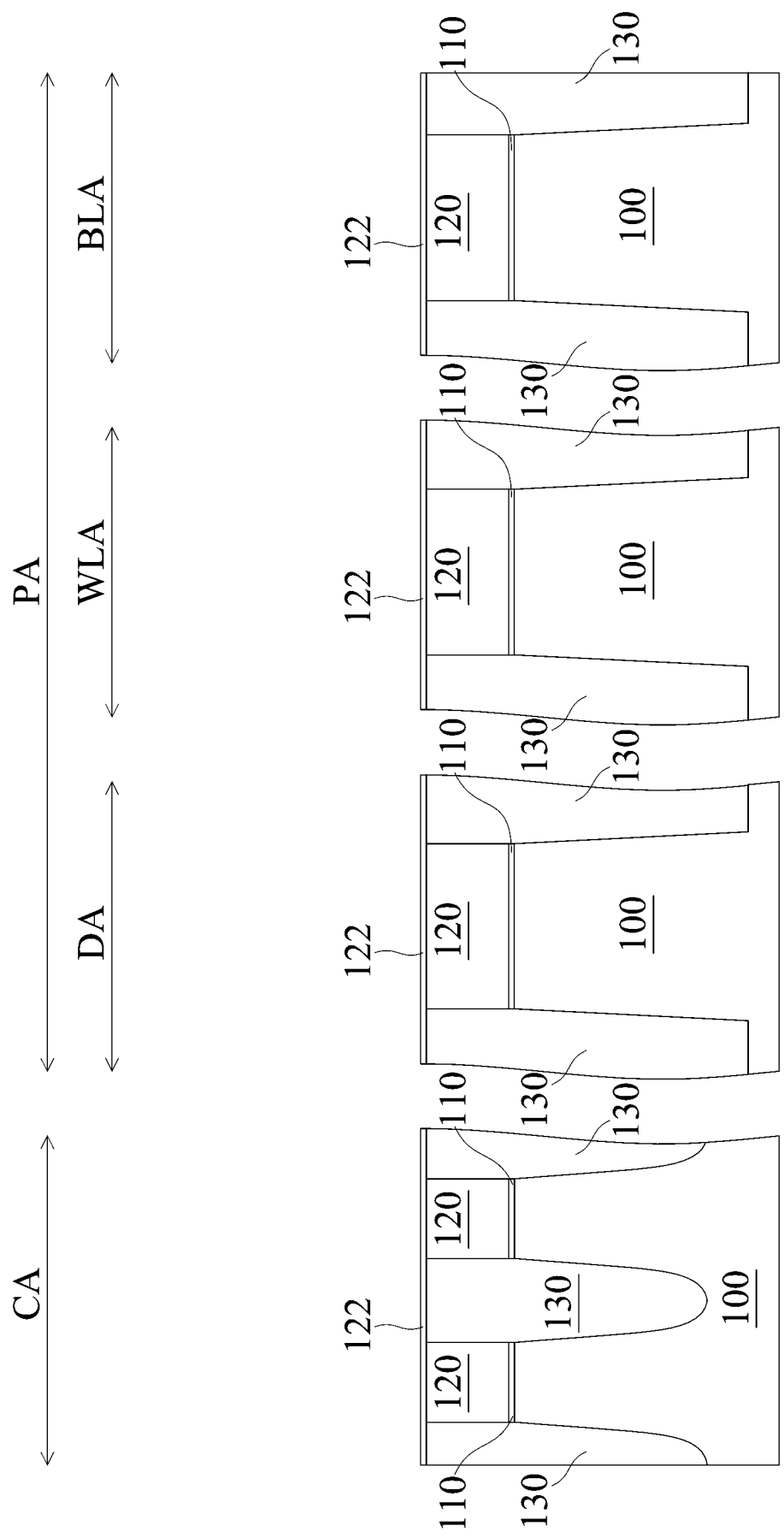
第 2 圖



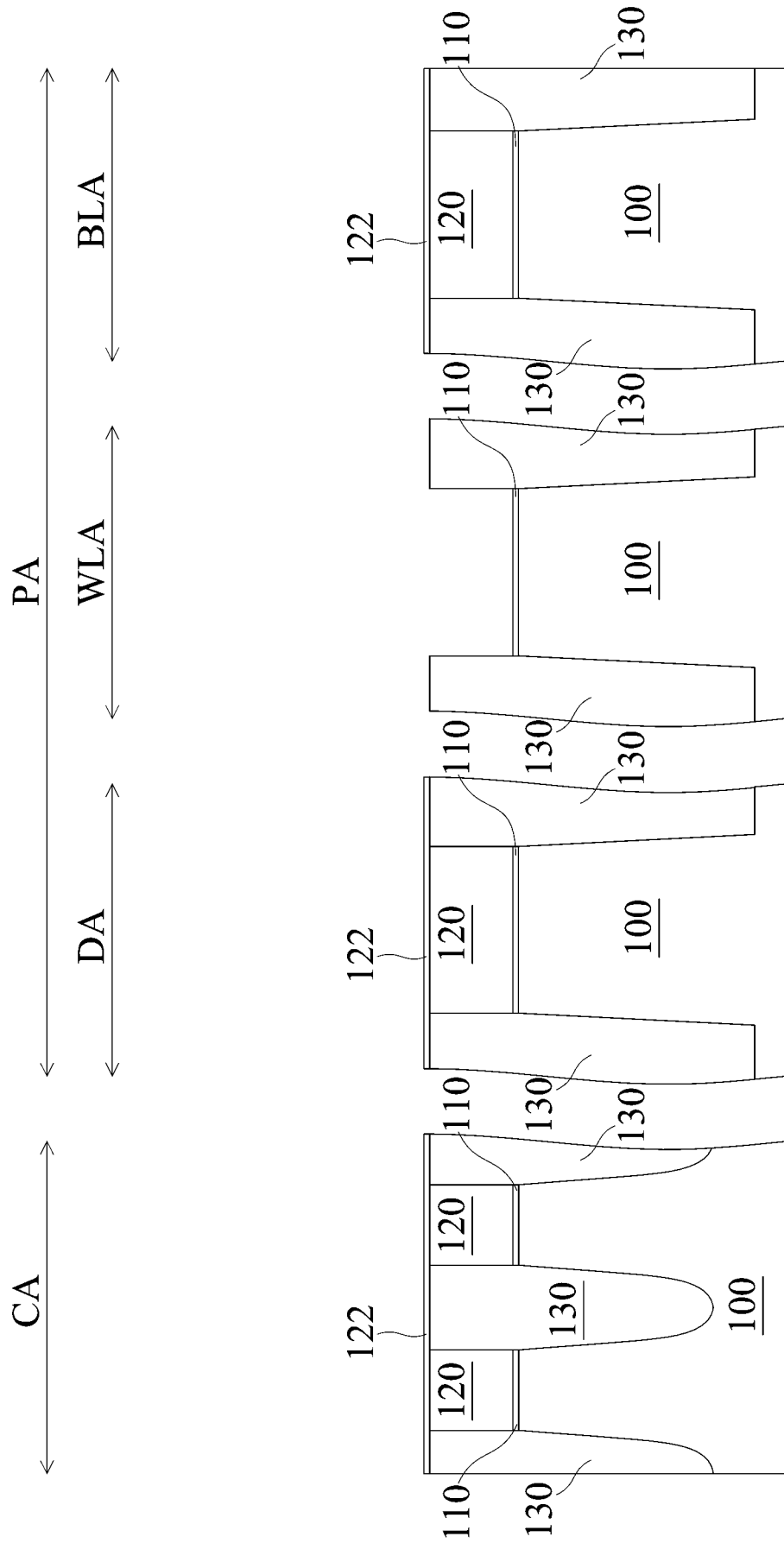
第3圖



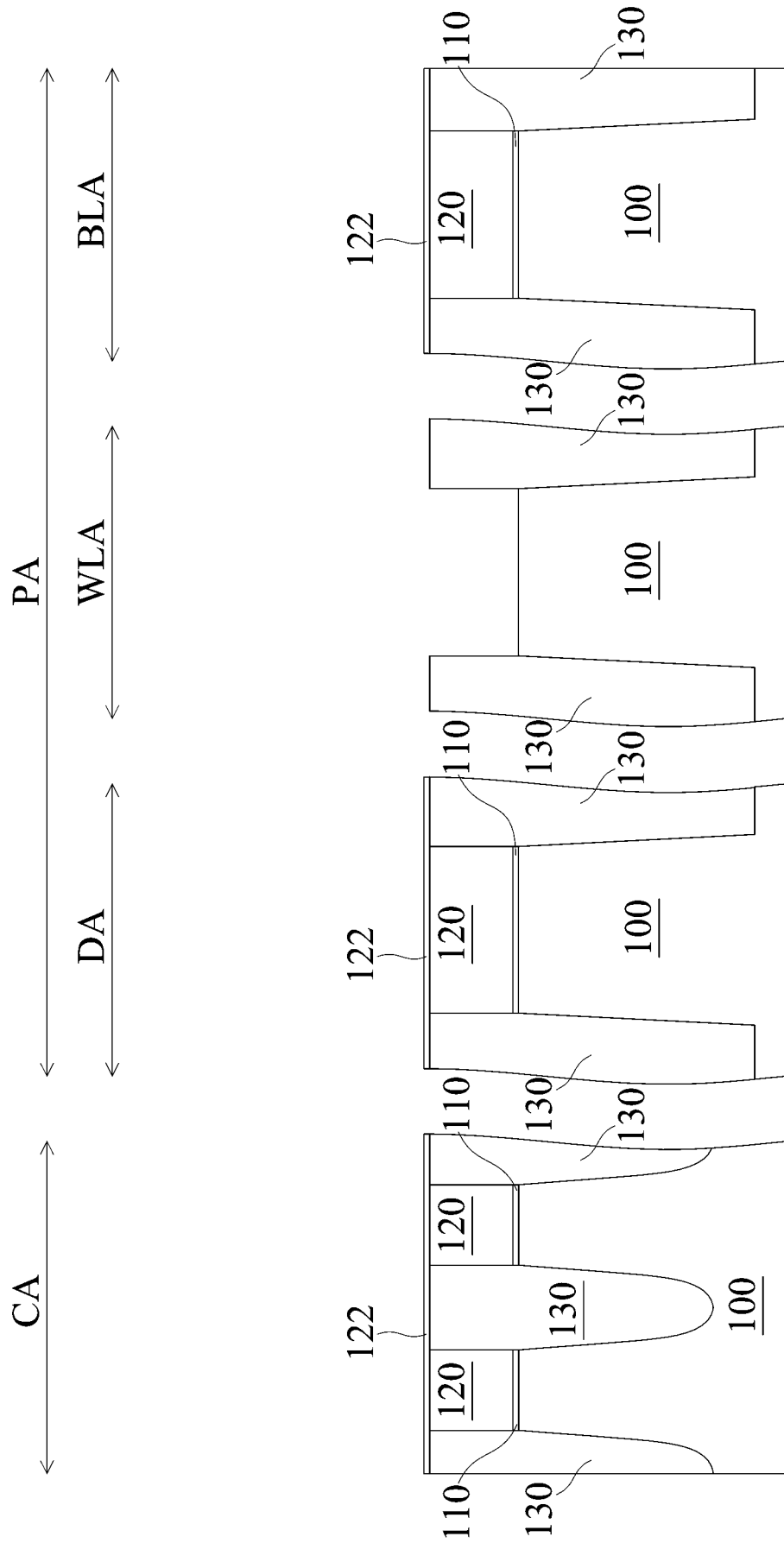
第4圖



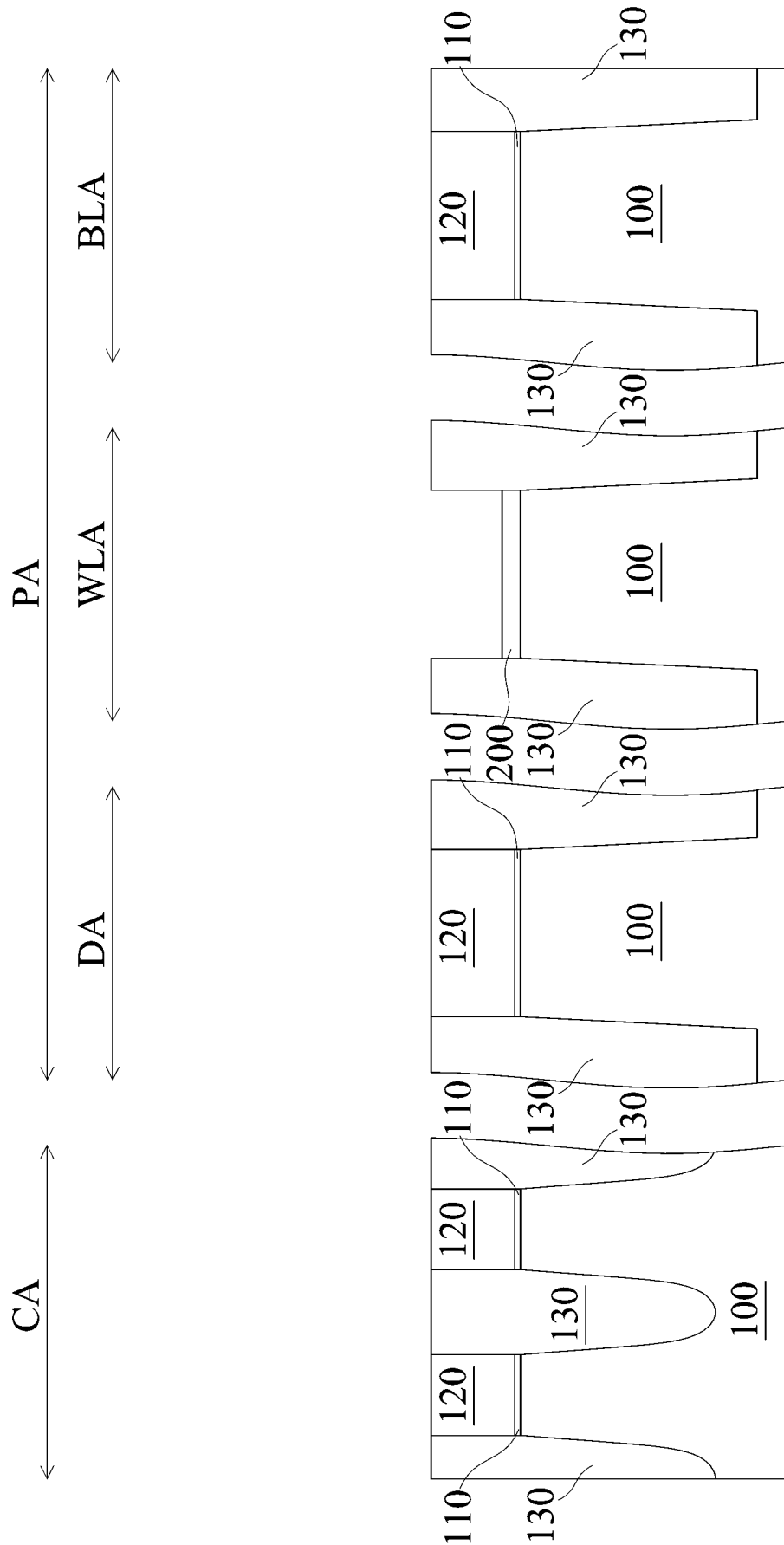
第 5 圖



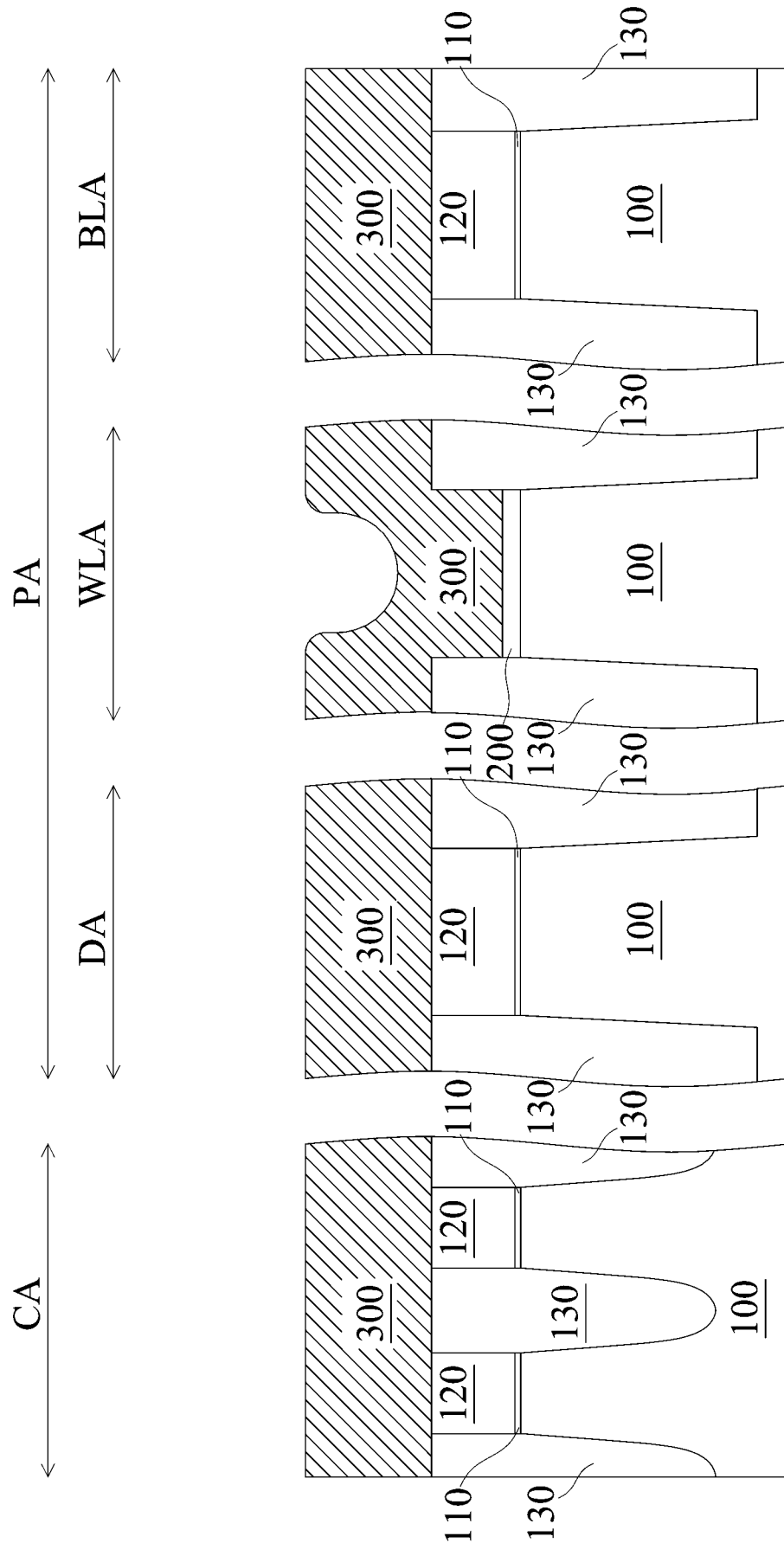
第6圖



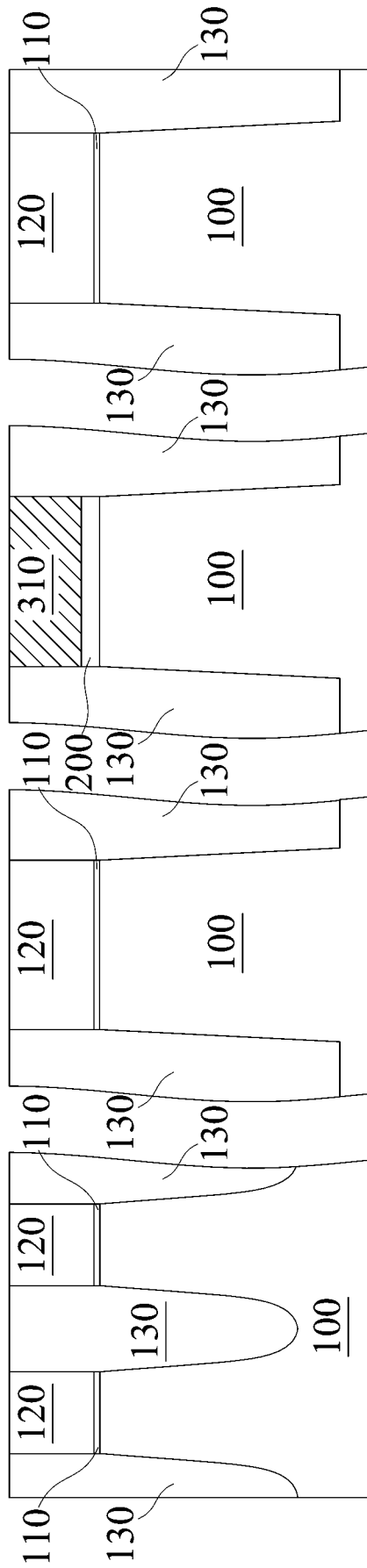
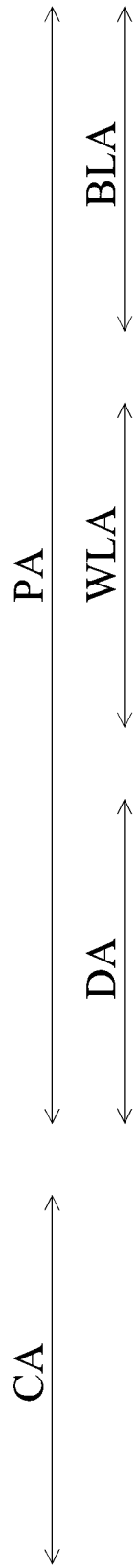
第7圖



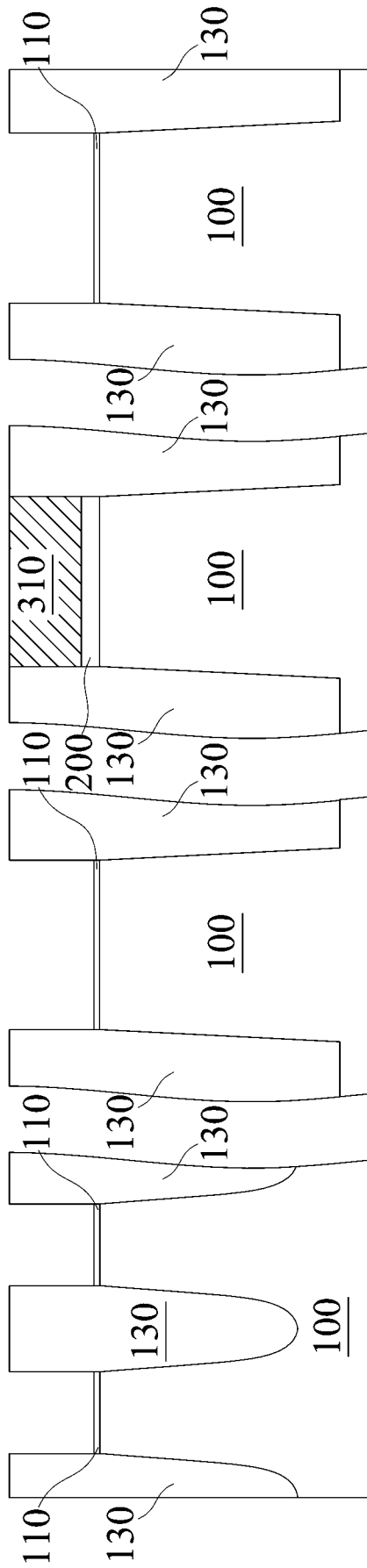
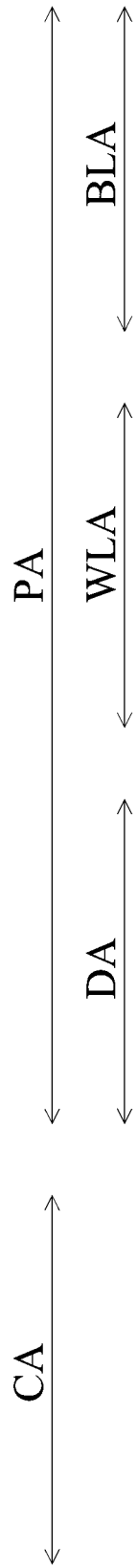
第 8 圖



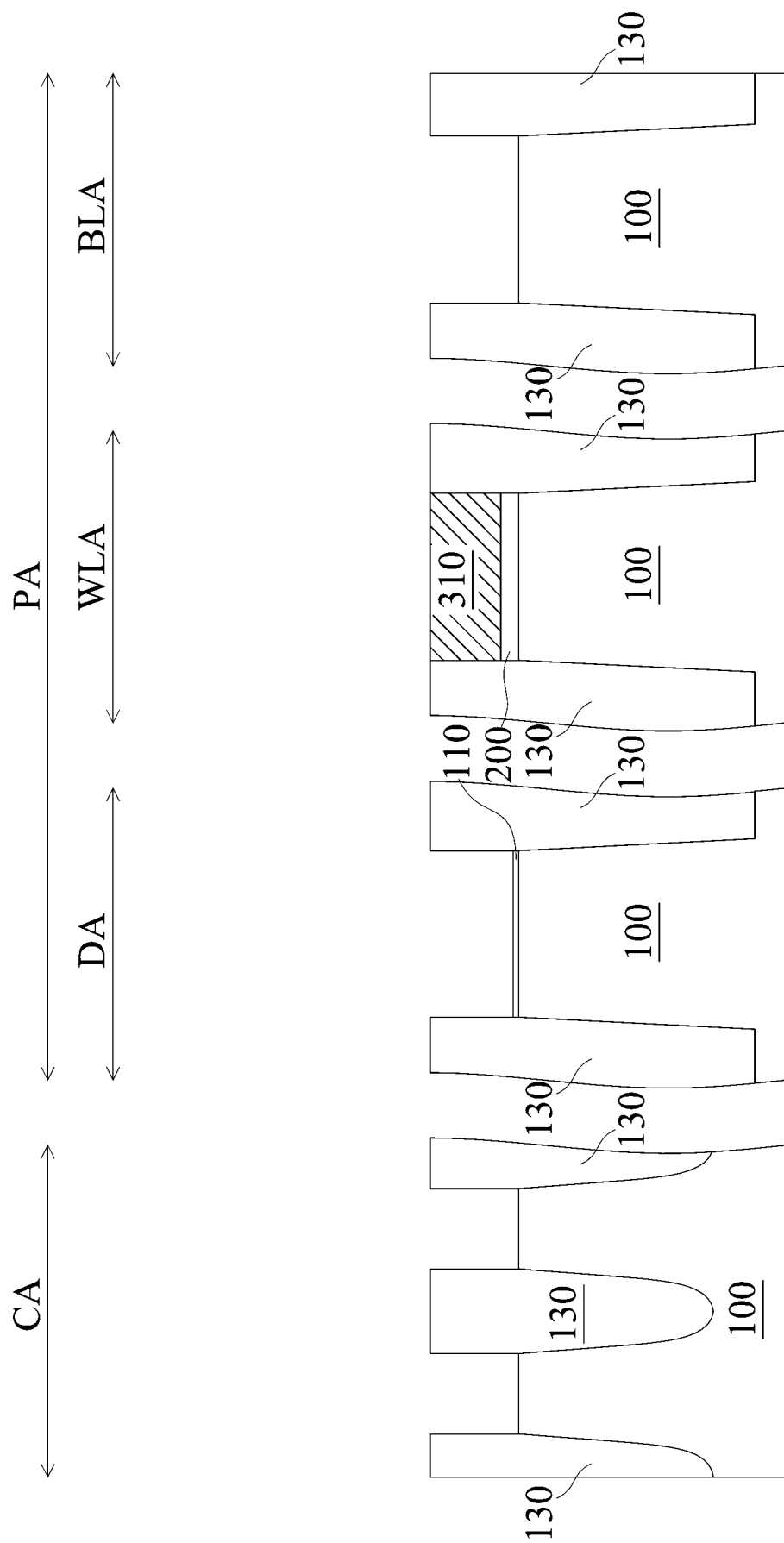
第9圖



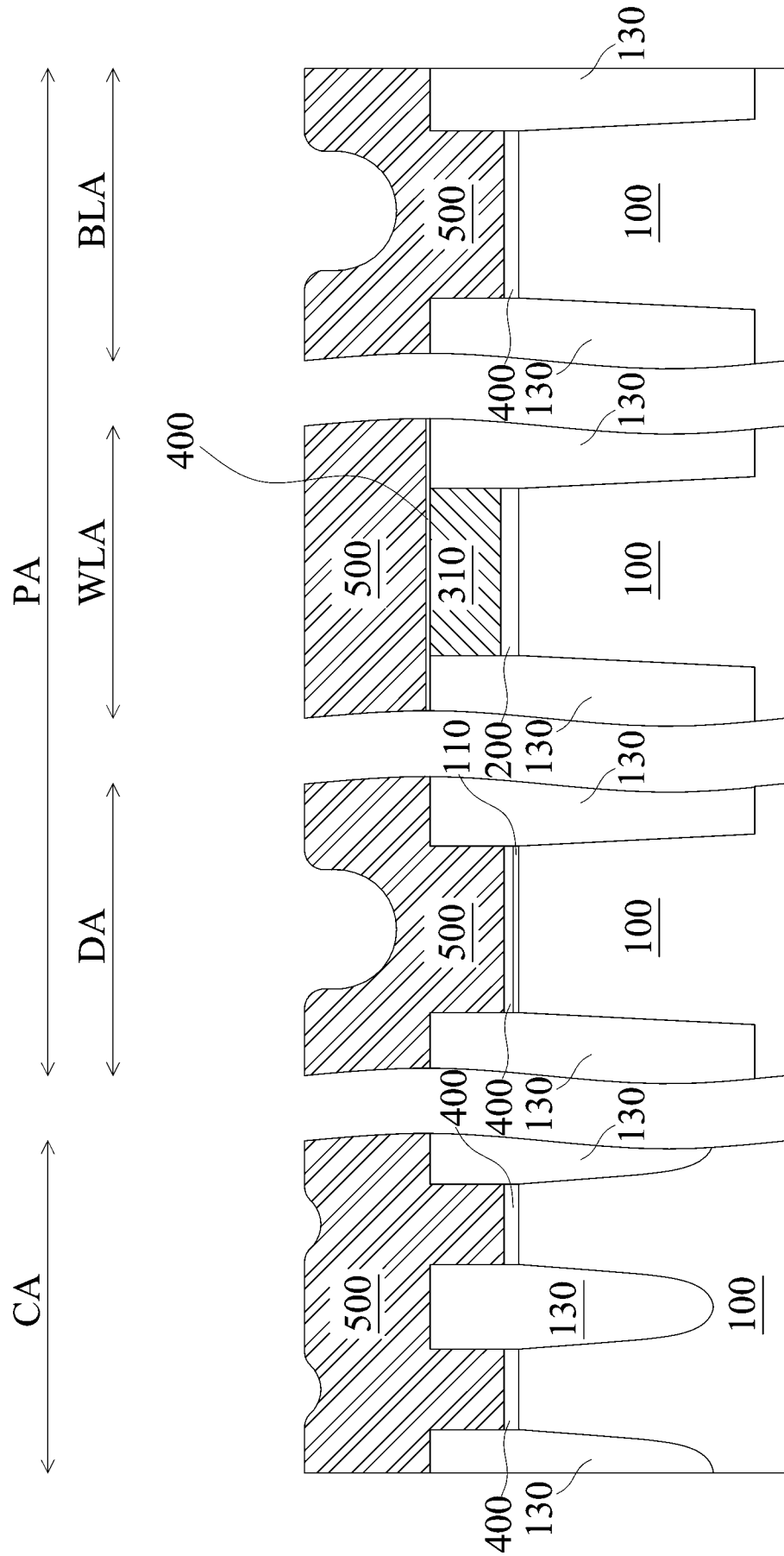
第 10 圖



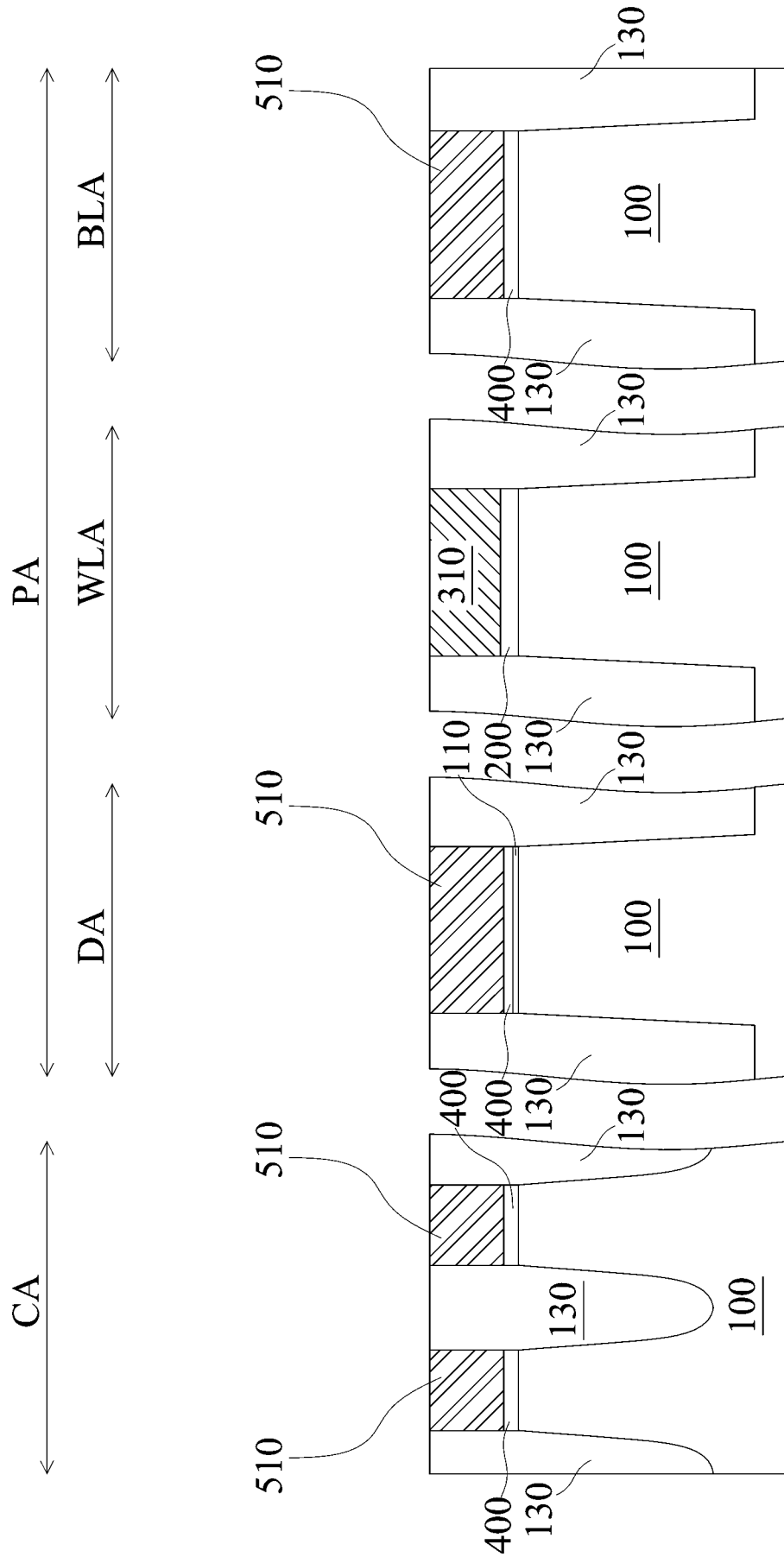
第 11 圖



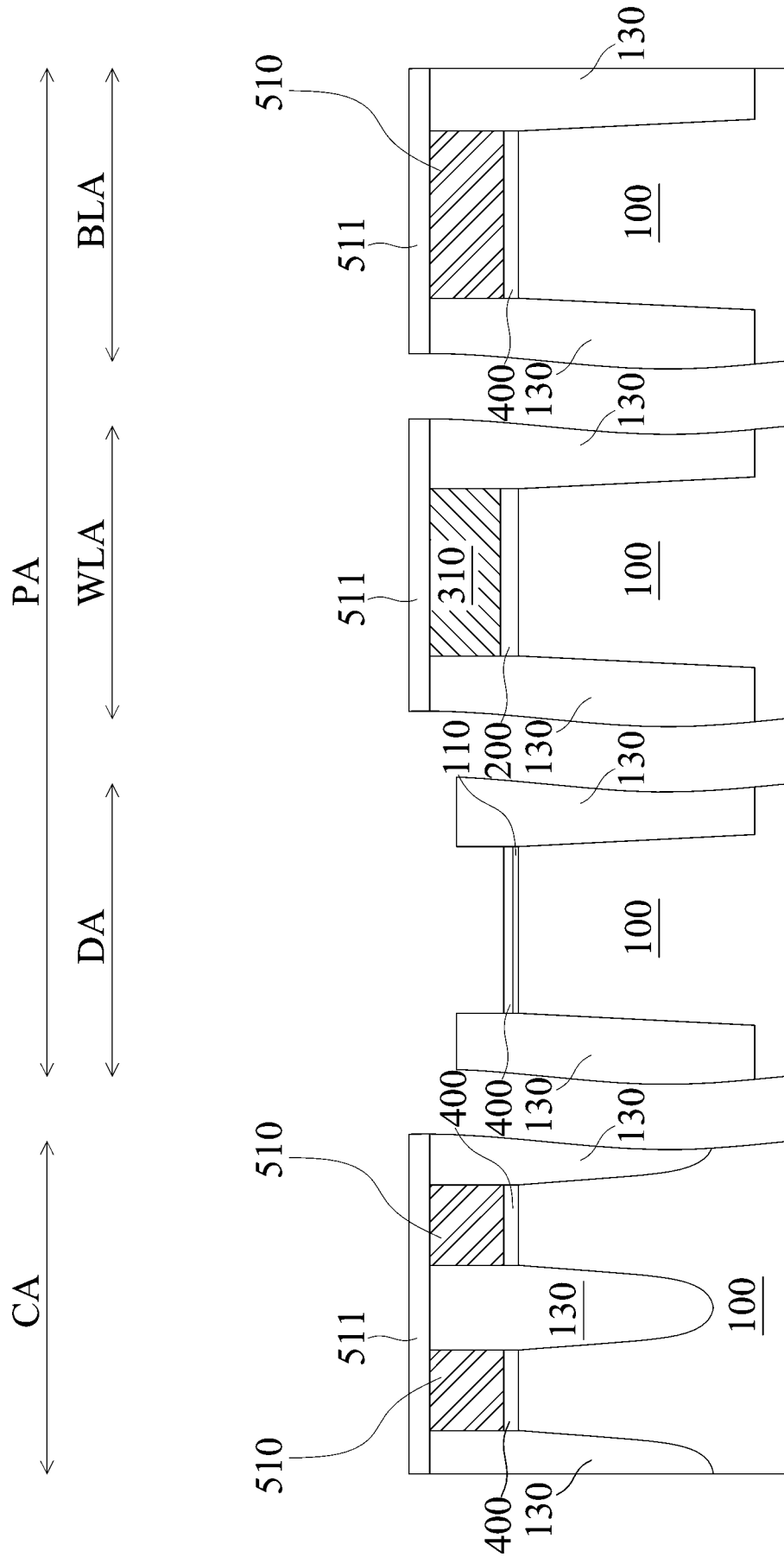
第 12 圖



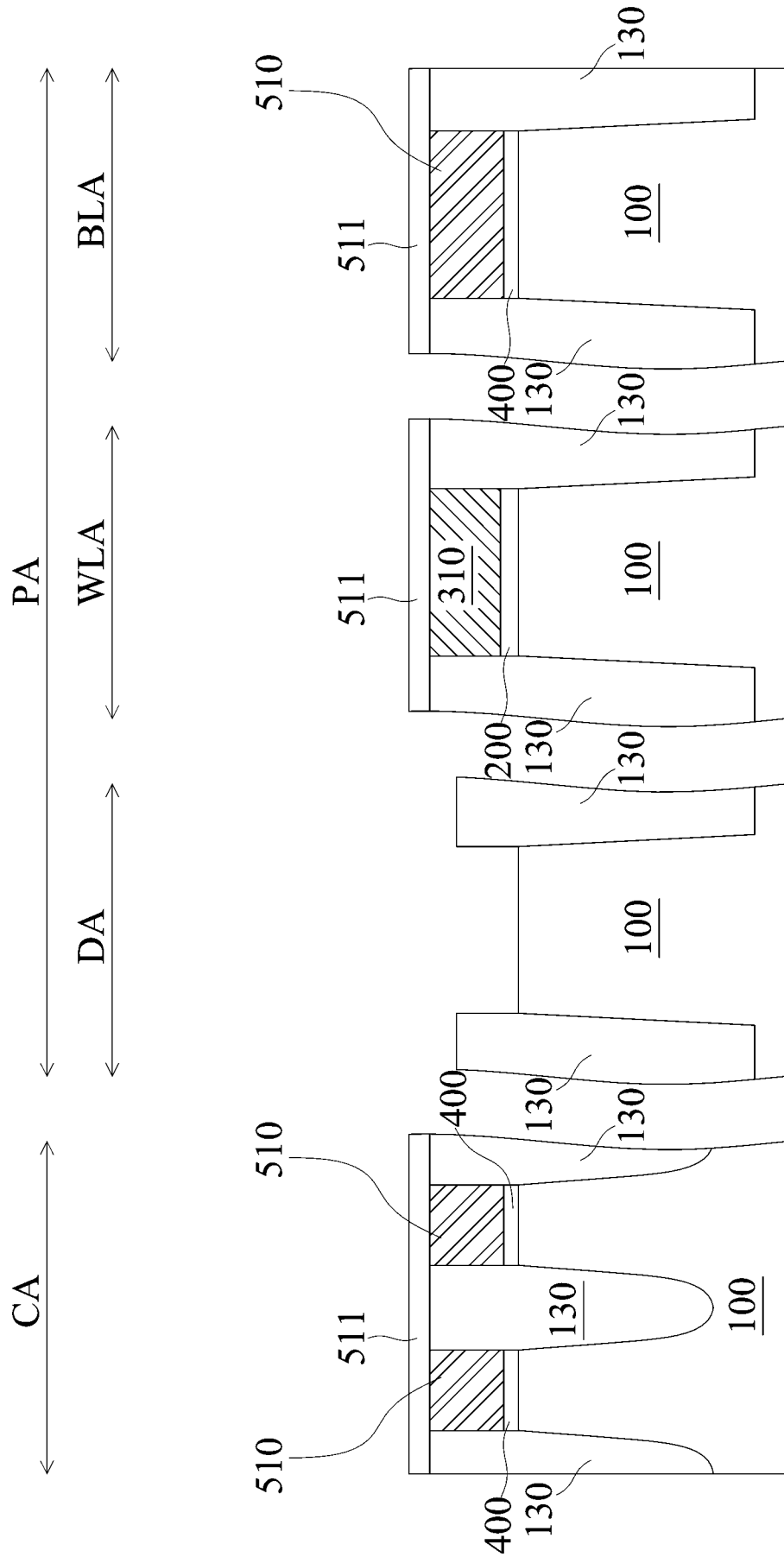
第 13 圖



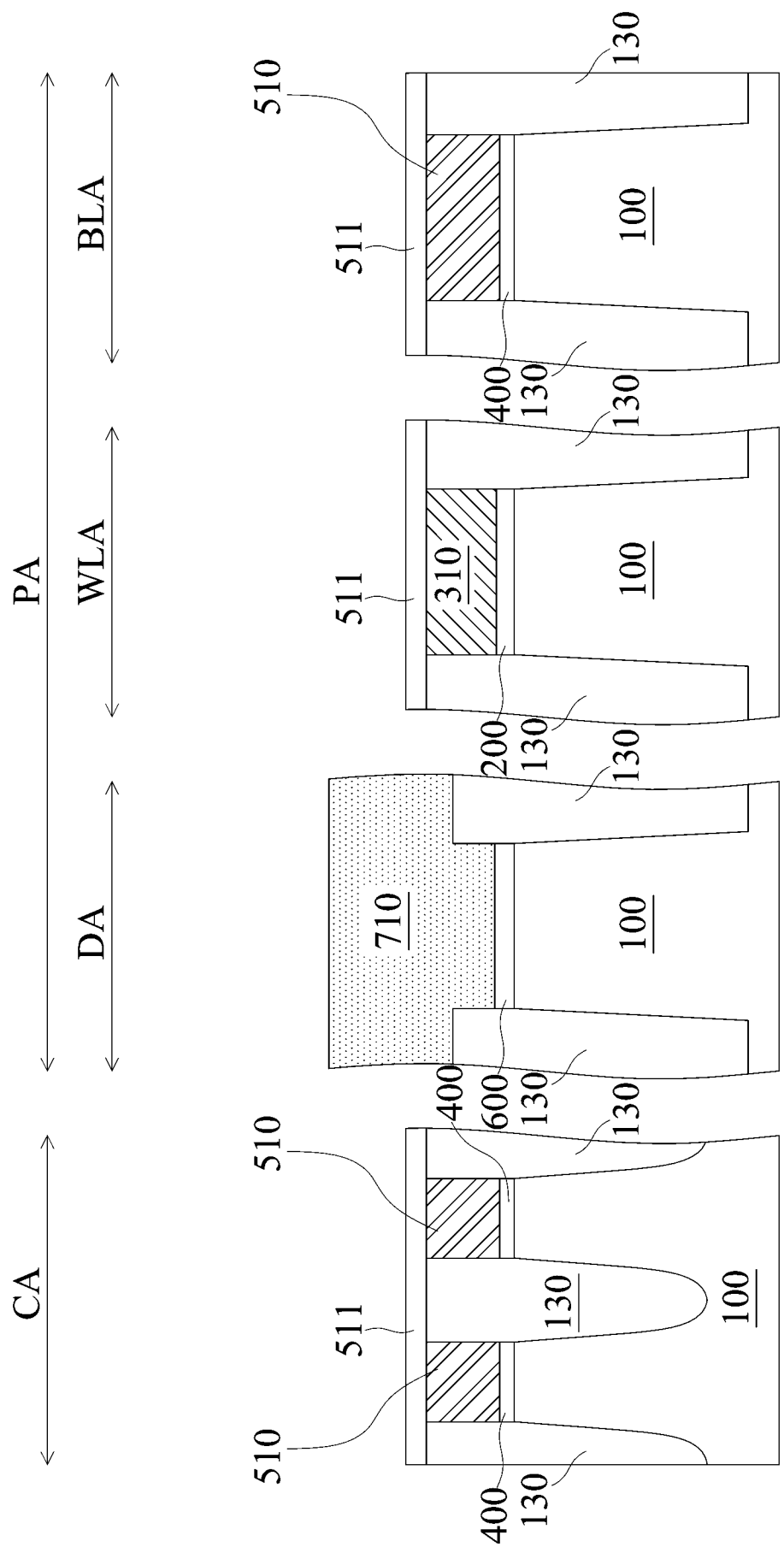
第 14 圖



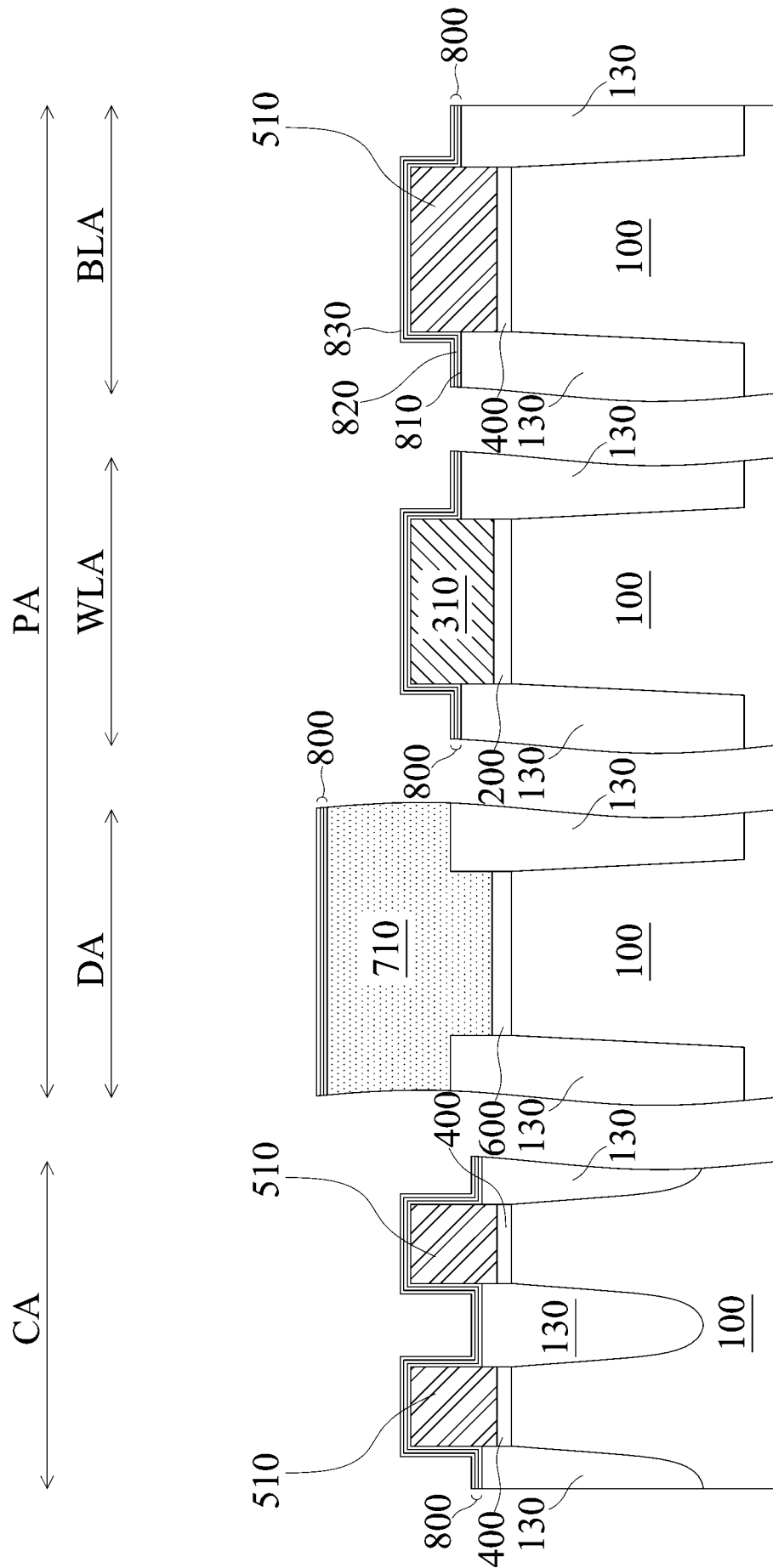
第 15 圖



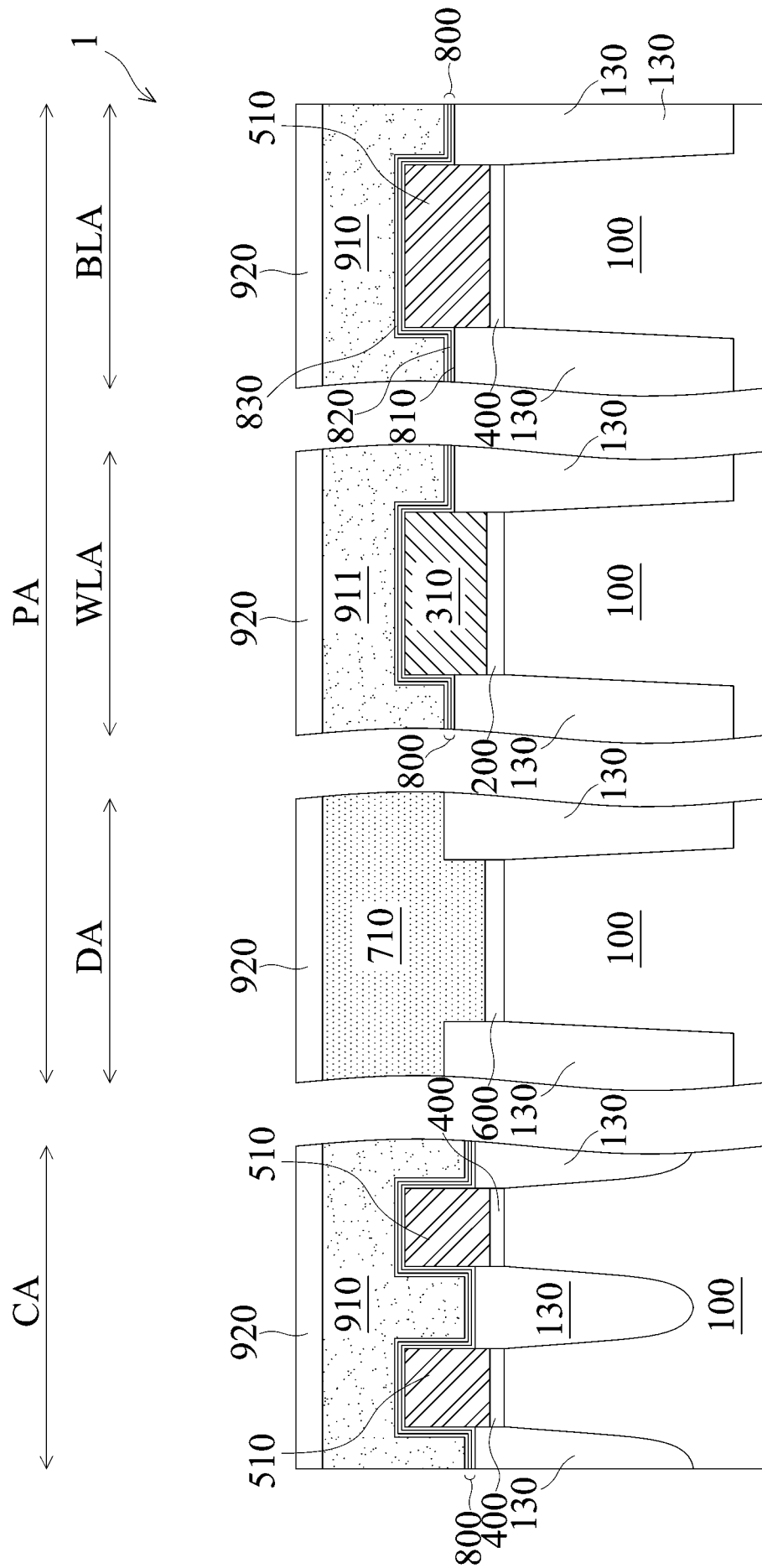
第 16 圖



第 17 圖



第 18 圖



第 19 圖