(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년04월13일
(11) 등록번호 10-2385943
(24) 등록일자 2022년04월07일

(51) 국제특허분류(Int. Cl.)
H01L 33/14 (2010.01)
(52) CPC특허분류
H01L 33/145 (2013.01)
(21) 출원번호 10-2015-0001972
(22) 출원일자 2015년01월07일
심사청구일자 2019년12월18일
(65) 공개번호 10-2016-0085069
(43) 공개일자 2016년07월15일
(56) 선행기술조사문헌
KR1020100010827 A*
KR1020110109497 A*
KR1020120086876 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
쑤저우 레킨 세미컨덕터 컴퍼니 리미티드
중국 쑤저우 타이창 시티 168 창셩 노스 로드
(72) 발명자
김청송
서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)
김동진
서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)
문지형
서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)
(74) 대리인
특허법인다나

전체 청구항 수 : 총 4 항 심사관 : 김동우

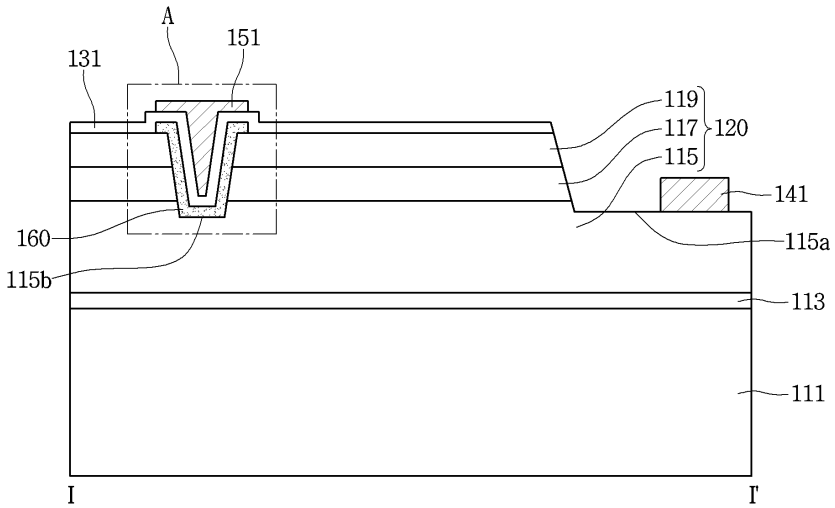
(54) 발명의 명칭 **발광 소자 및 발광 소자 패키지**

(57) 요 약

실시 예는 발광 소자 및 발광 소자 패키지에 관한 것이다.

실시 예의 발광 소자는 제1 도전형 반도체층, 제1 도전형 반도체층 상에 위치한 활성층 및 활성층 상에 위치한 제2 도전형 반도체층을 포함하는 발광 구조체와, 제1 도전형 반도체층의 제1 영역에 위치한 제1 전극 패드와, 제2 도전형 반도체층 상에 위치한 제2 전극 패드, 및 제1 도전형 반도체층의 제2 영역에 위치하고, 제2 전극 패드와 오버랩된 전류 차단층을 포함하고, 전류 차단층은 활성층이 제거되어 노출된 제1 도전형 반도체층과 접촉하여 활성층의 광 흡수에 의한 광 손실을 방지하므로 광 효율을 향상시킬 수 있다.

대 표 도 - 도3



명 세 서

청구범위

청구항 1

제1 도전형 반도체층, 상기 제1 도전형 반도체층 상에 배치되는 활성층, 상기 활성층 상에 배치되는 제2 도전형 반도체층을 포함하는 발광 구조체;

상기 발광 구조체의 제1 영역에서, 상기 제2 도전형 반도체층 및 상기 활성층을 관통하고, 상기 제1 도전형 반도체층의 일부 영역이 제거되도록 형성되며, 제1 깊이를 갖는 제1 오목부;

상기 제1 영역으로부터 이격된 상기 발광 구조체의 제2 영역에서, 상기 제2 도전형 반도체층 및 상기 활성층을 관통하고, 상기 제1 도전형 반도체층의 일부 영역이 제거되도록 형성되며, 상기 제1 깊이보다 큰 제2 깊이를 갖는 제2 오목부;

상기 제1 오목부 내에서 상기 제1 도전형 반도체층 상에 배치되는 제1 전극패드;

상기 제2 오목부에 의해 노출된 상기 제1 도전형 반도체층의 상면, 상기 활성층의 측면, 및 상기 제2 도전형 반도체층의 측면과 직접 접촉하도록 상기 제2 오목부 내로 연장되어 배치되는 전류 차단층;

상기 전류 차단층과 상기 제2 도전형 반도체층 상에 형성되는 전극층;

상기 전류 차단층과 수직으로 오버랩되도록 상기 전극층 상에 배치되고, 상기 제2 도전형 반도체층에 전기적으로 연결되는 제2 전극 패드; 및

상기 전극층 상에 배치되어 상기 제2 전극 패드로 연장되는 제2 보조 전극을 포함하고,

상기 전류 차단층의 너비는 상기 제2 전극 패드의 너비보다 크거나 같고,

상기 전류 차단층의 끝단은 상기 제2 도전형 반도체층의 상부면과 동일한 평면 상에 배치되고,

상기 전류 차단층은 상기 제2 보조 전극과 수직으로 오버랩되고,

상기 제2 전극 패드와 상기 전류 차단층이 오버랩되는 영역에서의 상기 전류 차단층의 너비는 상기 제2 보조 전극과 상기 전류 차단층이 오버랩되는 영역에서의 상기 전류 차단층의 너비와 상이한 발광 소자.

청구항 2

제1 항에 있어서,

상기 전류 차단층은 상기 오목부에 의해 노출되는 상기 제1 도전형 반도체층의 제2 영역의 상부면 및 상기 활성층의 내측면, 상기 제2 도전형 반도체층의 내측면에 배치되는 발광 소자.

청구항 3

삭제

청구항 4

제1 항에 있어서,

상기 전류 차단층은 컵 형상의 단면을 갖는 발광 소자.

청구항 5

제1 항에 있어서,

상기 오목부는 경사진 측면을 포함하고,

상기 오목부의 너비는 상기 제1 도전형 반도체층의 상부면에서 상기 제2 도전형 반도체층의 상부면으로 갈수록 너비가 넓어지는 발광 소자.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

발명의 설명

기 술 분 야

[0001] 실시 예는 발광 소자 및 발광 소자 패키지에 관한 것이다.

배 경 기 술

[0002] 발광 소자(Light Emitting Device)는 전기에너지가 빛 에너지로 변환되는 특성의 p-n 접합 다이오드로서, 주기율표상에서 Ⅲ족과 Ⅴ족 등의 화합물 반도체로 생성될 수 있고 화합물 반도체의 조성비를 조절함으로써 다양한 색상구현이 가능하다.

[0003] GaN 계열의 발광 소자(LED)는 천연색 LED 표시소자, LED 교통 신호기, 백색 LED 등 다양한 응용에 사용되고 있다. 최근, 고효율 백색 LED의 발광 효율은(luminous efficiency)은 통상의 형광램프의 효율보다 우수하여 일반 조명 분야에서도 형광 램프를 대체할 것으로 기대되고 있다.

[0004] 종래의 발광 소자 중 수평형 타입의 발광 소자는 기판 상에 질화물 반도체층을 형성하고, 질화물 반도체층의 상측에 전극층이 위치한다.

[0005] 한편, 종래의 발광 소자는 전류 분산 문제를 해소하기 위해 전극층과 반도체층 사이에 전류 차단층을 형성하여 전극층 상에 위치한 전극 패드 주변에서 전류가 집중되는 것을 방지하는 기술이 연구되고 있다.

[0006] 그러나, 종래의 발광 소자는 발광된 광이 전류 차단층 주변에 위치한 활성층으로 재입사되는 광 흡수에 의해 광 추출 효율이 저하되는 문제가 있다.

발명의 내용

해결하려는 과제

[0007] 실시 예는 광 추출 효율을 향상시키는 발광 소자 및 발광 소자 패키지를 제공한다.

[0008] 실시 예는 활성층을 제거하여 광이 흡수되는 영역을 근본적으로 차단하는 발광 소자 및 발광 소자 패키지를 제공한다.

[0009] 실시 예는 메사 에칭 공정에서 활성층을 제거하여 노출되는 제1 도전형 반도체층 상에 전류 차단층을 형성함으로써, 추가 공정없이 광 추출을 향상시킬 수 있는 발광 소자 및 발광 소자 패키지를 제공한다.

과제의 해결 수단

[0010] 실시 예에 의한 발광 소자는, 제1 도전형 반도체층, 상기 제1 도전형 반도체층 상에 배치되는 활성층, 상기 활성층 상에 배치되는 제2 도전형 반도체층을 포함하는 발광 구조체; 상기 제1 도전형 반도체층의 제1 영역 상에 배치되는 제1 전극 패드; 상기 제2 도전형 반도체층 및 상기 활성층과 상기 제1 도전형 반도체층의 일부를 관통하는 오목부; 상기 오목부 내에 배치되는 전류 차단층; 및 상기 제2 도전형 반도체층과 전기적으로 연결되고 상기 전류 차단층과 수직으로 오버랩된 제2 전극 패드를 포함할 수 있다.

[0011] 다른 실시 예에 따른 발광 소자는, 제1 도전형 반도체층; 상기 제1 도전형 반도체층의 상에 위치한 활성층; 및 상기 활성층 상에 위치한 제2 도전형 반도체층을 포함하는 발광 구조체; 상기 제1 도전형 반도체층의 제1 영역에 위치한 제1 전극 패드; 상기 제2 도전형 반도체층 상에 위치한 제2 전극 패드; 및 상기 제1 도전형 반도체층의 제2 영역에 위치하고, 상기 제2 전극 패드와 오버랩된 전류 차단층을 포함하고, 상기 전류 차단층의 하부면은 상기 제1 전극 패드의 하부면보다 아래에 위치할 수 있다.

발명의 효과

[0012] 실시 예에 따른 발광 소자는 제2 전극 패드과 오버랩되는 전류 차단층이 활성층 및 제2 도전형 반도체층이 제거되어 노출된 제1 도전형 반도체층 상에 형성되어 활성층의 광 흡수에 의한 광 손실을 방지하므로 광 효율을 향상시킬 수 있다.

[0013] 실시예에 따른 발광 소자는 전류 차단층에 의해 제2 전극 패드 주변에서 집중되는 전류를 분산시켜 신뢰성을 유지함과 동시에 광 효율을 향상시킬 수 있다.

[0014] 실시예에 따른 발광 소자는 발광 구조체의 오목부 내에서 경사진 면을 갖는 전류 차단층에 의해 광 추출을 향상시킬 수 있다.

도면의 간단한 설명

[0015] 도 1은 실시예에 따른 발광 소자를 도시한 사시도이다.

도 2는 도 1의 발광 소자를 도시한 평면도이다.

도 3은 도 2의 I-I'라인을 따라 절단한 제1 실시예에 따른 발광 소자를 도시한 단면도이다.

도 4는 도 3의 A를 도시한 단면도이다.

도 5는 도 2의 I-I'라인을 따라 절단한 제2 실시예에 따른 발광 소자를 도시한 단면도이다.

도 6은 도 5의 A를 도시한 단면도이다.

도 7은 도 2의 I-I'라인을 따라 절단한 제3 실시예에 따른 발광 소자를 도시한 단면도이다.

도 8은 제4 실시예에 따른 발광 소자를 도시한 단면도이다.

도 9는 실시예에 따른 발광 소자를 포함하는 발광 소자 패키지를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0016] 이하에서는 첨부한 도면을 참조하여 실시예에 따른 발광 소자 및 발광 소자 패키지에 대해서 상세하게 설명한다. 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상/위(on)"에 또는 "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on)"와 "아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 상/위 또는 아래에 대한 기준은 도면을 기준으로 설명한다.

[0017] 도 1은 실시예에 따른 발광 소자를 도시한 사시도이고, 도 2는 도 1의 발광 소자를 도시한 평면도이다.

[0018] 도 1 및 도 2를 참조하면, 발광 소자(100)는 기판(111), 버퍼층(113), 발광 구조체(120), 전극층(131), 제1 전극 패드(141), 제1 보조 전극(143), 제2 전극 패드(151) 및 제2 보조 전극(153)을 포함한다.

[0019] 상기 기판(111)은 질화갈륨계 반도체층을 성장시킬 수 있는 성장 기판으로서, 투광성, 절연성 또는 도전성 기판을 이용할 수 있으며, 예컨대 사파이어(Al_2O_3), SiC, Si, GaAs, GaN, ZnO, Si, GaP, InP, Ge, Ga_2O_3, $LiGaO_3$, 석영(quartz) 중 어느 하나를 이용할 수 있다. 상기 기판(111)의 상면에는 복수의 돌출부가 형성될 수 있으며, 상기의 복수의 돌출부는 상기 기판(111)의 식각을 통해 형성하거나, 별도의 러프니스(Roughness)와 같은 광 추출 구조로 형성될 수 있다. 상기 돌출부는 스트라이프 형상, 반구형상, 또는 돔(dome) 형상을 포함할 수 있다. 상기 버퍼층(113)은 상기 기판(111) 상에 위치하고, 상기 기판(111)과 질화물 계열의 반도체층과의 격자 상수의 차이를 완화시켜 주기 위해 형성될 수 있으며, 결함 제어층 기능을 할 수 있다. 상기 버퍼층(113)은 상기 기판(111)과 질화물 계열의 반도체층 사이의 격자 상수 사이의 값을 가질 수 있다. 상기 버퍼층(113)은 ZnO 층과 같은 산화물로 형성될 수 있으며, 이에 대해 한정하지는 않는다.

[0020] 상기 발광 구조체(120)는 기판(111) 상에 위치한다. 발광 구조체(120)는 제1 도전형 반도체층(115), 활성층(117) 및 제2 도전형 반도체층(119)을 포함한다.

[0021] 상기 제1 도전형 반도체층(115)은 단일층 또는 다중층으로 형성될 수 있다. 상기 제1 도전형 반도체층(115)이 n형 반도체층인 경우, 제1 도전형 도펀트가 도핑된 3족-5족 화합물 반도체일 수 있다. 상기 제1 도전형 도펀트는 n형 도펀트로서, Si, Ge, Sn, Se, Te를 포함할 수 있으나, 이에 한정되지 않는다. 상기 제1 도전형 반도체층(115)은 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 상기 제1 도전형 반도체층(115)은 GaN, InN, AlN, InGaN, AlGaN, InAlGaN, AlInN,AlGaAs, InGaAs, AlInGaAs, GaP, AlGaP, InGaP, AlInGaP, InP 중 어느 하나 이상으로 형성될 수 있다.

[0022] 상기 활성층(117)은 단일 양자 우물 구조, 다중 양자 우물 구조(MQW: Multi Quantum Well), 양자 선(Quantum-Wire) 구조, 또는 양자 점(Quantum Dot) 구조 중 어느 하나일 수 있다. 상기 활성층(117)은 질화갈륨계 반도체층으로 형성된 우물층 및 장벽층을 포함할 수 있다.

[0023] 예를 들어, 상기 활성층(117)은 InGaN/GaN, InGaN/InGaN, GaN/AlGaN, InAlGaN/GaN, GaAs/AlGaAs, InGaAs/AlGaAs, GaInP/AlGaInP, GaP/AlGaP, InGaP/AlGaP 중 어느 하나 이상의 페어 구조로 형성될 수 있으나 이에 한정되지 않는다. 상기 우물층은 상기 장벽층의 밴드 갭보다 낮은 밴드 갭을 갖는 물질로 형성될 수 있다.

[0024] 상기 활성층(117)의 장벽층 및 우물층은 활성층의 결정 품질을 향상시키기 위해 불순물이 도핑되지 않은 언도프트층으로 형성될 수 있으나, 순방향 전압을 낮추기 위해 일부 또는 전체 활성 영역 내에 불순물이 도핑될 수도 있다.

[0025] 상기 제2 도전형 반도체층(119)은 상기 활성층(117) 상에 위치하고, 단일층 또는 다중층으로 형성될 수 있다. 상기 제2 도전형 반도체층(119)이 p형 반도체층인 경우, 제2 도전형 도펀트가 도핑된 3족-5족 화합물 반도체일 수 있다. 상기 제2 도전형 도펀트는 p형 도펀트로서, Mg, Zn, Ca, Sr, Ba 등을 포함할 수 있으나, 이에 한정하지 않는다. 상기 제2 도전형 반도체층(119)은 예컨대, GaN, AlN, AlGaN, InGaN, InN, InAlGaN, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP, GaP와 같은 화합물 반도체 중 어느 하나로 이루어질 수 있다.

[0026] 상기 제1 전극 패드(141) 및 제1 보조 전극(143)은 상기 제1 도전형 반도체층(115) 상에 위치한다.

[0027] 상기 제2 전극 패드(151) 및 제2 보조 전극(153)은 상기 제2 도전형 반도체층(119) 상에 위치한다.

[0028] 상기 제1 전극 패드(141), 제1 보조 전극(143), 제2 전극 패드(151) 및 제2 보조 전극(153)은 Ti, Ru, Rh, Ir, Mg, Zn, Al, In, Ta, Pd, Co, Ni, Si, Ge, Ag 및 Au와 이들의 선택적인 합금 중에서 선택될 수 있다.

[0029] 상기 전극층(131)은 전류 확산층으로서, 투과성 및 전기 전도성을 가지는 물질로 형성될 수 있다. 상기 전극층(131)은 화합물 반도체층의 굴절률보다 낮은 굴절률로 형성될 수 있다.

[0030] 상기 전극층(131)은 상기 제2 도전형 반도체층(119) 상에 형성되어 상기 제2 도전형 반도체층(119)과 오믹콘택할 수 있다. 상기 전극층(131)은 투명 도전성 산화물 또는 투명 금속층일 수 있다. 예컨대 상기 전극층(131)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), ZnO, IrOx, RuOx, NiO 등 중에서 선택되며, 적어도 한 층

으로 형성될 수 있다.

[0031] 도 3은 도 2의 I-I'라인을 따라 절단한 제1 실시예에 따른 발광 소자를 도시한 단면도이고, 도 4는 도 3의 A를 도시한 단면도이다.

[0032] 도 3 및 도 4를 참조하면, 제1 실시예에 따른 발광 소자는 발광 구조체(120) 내에 위치한 전류 차단층(160)을 포함한다. 상기 전류 차단층(160)은 상기 제2 전극 패드(151)의 하부에 전류가 집중되는 것을 방지하는 기능을 갖는다.

[0033] 여기서, 상기 제1 도전형 반도체층(115)은 제1 및 제2 영역(115a, 115b)을 포함할 수 있다. 상기 제1 도전형 반도체층(115)의 제1 영역은 제2 도전형 반도체층(119) 및 활성층(117)으로부터 노출된 영역으로 정의될 수 있다. 제1 전극 패드(141)는 상기 제1 영역 상에 위치한다. 상기 제1 도전형 반도체층(115)의 제2 영역(115b)은 상기 제2 도전형 반도체층(119) 및 활성층(117)으로부터 노출된 영역으로 정의될 수 있다. 상기 전류 차단층(160)은 상기 제2 영역(115b) 상에 위치한다. 상기 제1 및 제2 영역(115a, 115b)은 서로 일정 간격 이격될 수 있다. 상기 전류 차단층(160) 및 상기 제1 전극 패드(141)는 서로 일정 간격 이격될 수 있다. 상기 제1 및 제2 영역(115a, 115b)은 상기 제1 도전형 반도체층(115)을 노출시키는 메사 에칭 공정을 통해서 형성되어 상기 제1 및 제2 영역(115a, 115b)은 동일한 두께 또는 동일 깊이일 수 있으나, 이에 한정되는 것은 아니다.

[0034] 상기 발광 구조체(120)는 오목부를 포함하고, 상기 오목부는 상기 제2 영역(115b)과 대응된다. 상기 오목부는 상기 활성층(117) 및 상기 제2 도전형 반도체층(119)이 제거되어 상기 제1 도전형 반도체층(115)의 상부면 일부가 노출된 구조를 갖는다. 상기 오목부는 위로 갈수록 점차 넓어지는 너비를 갖는다. 즉, 오목부는 제1 도전형 반도체층(115)의 상부면으로부터 경사진 측면을 갖는다.

[0035] 상기 전류 차단층(160)은 상기 오목부 내에 형성될 수 있다. 즉, 상기 전류 차단층(160)은 상기 오목부 내부의 제1 도전형 반도체층(115), 활성층(117)의 측면 및 제2 도전형 반도체층(119)의 측면 상에 형성되고, 상기 제2 도전형 반도체층(119)의 상부면으로 연장될 수 있다. 상기 전류 차단층(160)은 상기 활성층(117)이 제거된 영역에 위치함으로써, 광을 흡수하는 활성층을 제거하여 광 손실을 방지하는 기능을 갖는다.

[0036] 상기 전류 차단층(160)은 상기 오목부의 경사진 측면과 대응되어 상기 제2 도전형 반도체층(119)의 상부면을 기준으로 경사지게 형성될 수 있다.

[0037] 상기 전류 차단층(160)은 예컨대 산화물 또는 질화물등의 절연물질로 구현될 수 있다. 예를 들어, 상기 전류 차단층(160)은 Si_xO_y, Si_xN_y, SiO_xN_y, Al_2O_3, TiO_2, AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있으나 이에 한정되는 것은 아니다.

[0038] 또는 상기 전류 차단층(160)은 굴절률이 서로 상이한 층들을 교대로 적층한 분포 브래그 반사기(DBR: Distributed Bragg Reflector)를 포함할 수 있으나, 이에 한정되는 것은 아니다. 상기 분포 브래그 반사기(DBR)의 상기 전류 차단층(160)은 상기 오목부 내에서 경사지게 형성되어 광을 반사하므로 발광 소자의 광 추출을 향상시킬 수 있다.

[0039] 상기 전류 차단층(160)은 제2 도전형 반도체층(119) 상에 위치한 제2 전극 패드(151)와 오버랩될 수 있다. 상기 전류 차단층(160)의 전체는 상기 제2 전극 패드(151)와 오버랩될 수 있다. 또한, 상기 전류 차단층(160)의 전체는 상기 제2 보조 전극(도2의 153)과 오버랩될 수 있다.

[0040] 보다 구체적으로, 도 4에서는 상기 전류 차단층(160)의 너비(W2)는 상기 제2 전극 패드(151)의 너비(W1)와 같도록 도시되어 있으나, 이에 한정하지 않고, 상기 전류 차단층(160)의 너비(W2)는 상기 제2 전극 패드(151) 주변에서 전류가 집중되지 않도록 상기 제2 전극 패드(151)의 너비(W1)와 같거나 넓게 형성될 수 있다.

[0041] 또한, 상기 전류 차단층(160)의 너비(W2)는 상기 제2 보조 전극(153)의 너비(미도시)와 같거나 넓게 형성될 수 있다. 즉, 상기 전류 차단층(160)의 너비는 상기 제2 전극 패드(151)와 오버랩되는 영역과 상기 제2 보조 전극(도2의 153)과 오버랩되는 영역이 서로 상이할 수 있다.

[0042] 전극층(131)은 상기 전류 차단층(160) 및 상기 제2 도전형 반도체층(119) 상에 위치한다. 즉, 상기 전극층(131)은 외부에 노출된 상기 전류 차단층(160)을 덮고, 상기 제2 도전형 반도체층(119)의 상부면을 덮을 수 있다. 상기 오목부 내에 위치하는 상기 전극층(131)은 상기 전류 차단층(160)의 단면 형상에 대응되는 단면 형상을 갖는다. 즉, 오목부 내에 위치한 상기 전극층(131)은 상기 제2 도전형 반도체층(119)의 상부면을 기준으로 경사지게 형성될 수 있다.

[0043] 상기 제2 전극 패드(151) 및 제2 보조 전극(153)은 상기 전극층(131) 상에 위치하고, 상기 전류 차단층(160)과 오버랩될 수 있다. 여기서, 상기 전류 차단층(160) 전체는 상기 제2 전극 패드(151) 및 상기 제2 보조 전극(153)과 오버랩될 수 있다. 상기 오목부 내에 형성되는 상기 제2 전극 패드(151) 및 제2 보조 전극(153)은 상기 전류 차단층(160)의 형상에 대응되어 상기 제2 도전형 반도체층(119)의 상부면을 기준으로 경사진 측면을 갖는다.

[0044] 제1 실시예에 따른 발광 소자는 상기 제2 전극 패드(151) 및 제2 보조 전극(153)과 오버랩되는 상기 전류 차단층(160)이 상기 활성층(117) 및 제2 도전형 반도체층(119)이 제거되어 노출된 제1 도전형 반도체층(115) 상에 형성되어 활성층(117)의 광 흡수에 의한 광 손실을 방지하므로 광 효율을 향상시킬 수 있다.

[0045] 또한, 제1 실시예에 따른 발광 소자는 상기 전류 차단층(160)에 의해 상기 제2 전극 패드(151) 및 제2 보조 전극(153) 주변에서 집중되는 전류를 분산시킬 수 있다.

[0046] 또한, 제1 실시예에 따른 발광 소자는 발광 구조체(120)의 오목부 내에서 경사진 면을 갖는 상기 전류 차단층(160)에 의해 광 추출을 향상시킬 수 있다.

[0047] 도 5는 도 2의 I-I'라인을 따라 절단한 제2 실시예에 따른 발광 소자를 도시한 단면도이고, 도 6은 도 5의 A를 도시한 단면도이다.

[0048] 제2 실시예는 제1 실시예의 기술적인 특징을 채용할 수 있다.

[0049] 도 5 및 도 6을 참조하면, 제2 실시예에 따른 발광 소자는 전류 차단층(260)을 제외한 구성 제1 실시예에 따른 발광 소자와 동일하므로 동일한 부호를 병기하고 상세한 설명은 생략하기로 하며, 제2 실시예의 주된 특징 위주로 기술하기로 한다.

[0050] 상기 전류 차단층(260)은 제1 도전형 반도체층(115)의 상에 접촉되고, 활성층(117)의 측면 및 제2 도전형 반도체층(119)의 측면에 접촉된다. 상기 전류 차단층(160)은 상기 제2 도전형 반도체층(119) 상에 위치한 제2 전극 패드(151)와 오버랩될 수 있다.

[0051] 상기 전류 차단층(260)은 경사진 측면을 포함하는 컵 형상의 단면을 갖는다. 상기 전류 차단층(260)의 끝단은 상기 제2 도전형 반도체층(119)의 상부면과 동일 평면 상에 위치할 수 있다. 보다 구체적으로 상기 전류 차단층(260)은 상기 활성층(117) 및 제2 도전형 반도체층(119)으로부터 노출된 제1 도전형 반도체층(115) 상에 접촉되고, 상기 활성층(117)의 측면 및 상기 제2 도전형 반도체층(119)의 측면과 접촉될 수 있다. 상기 전류 차단층(260)의 끝단면은 상기 제2 도전형 반도체층(119)의 상부면과 나란하게 위치한다. 상기 전류 차단층(260)은 상기 활성층(117)이 제거된 영역에 위치함으로써, 활성층에서 흡수되는 광에 의한 광 손실을 방지하는 기능을 갖는다.

[0052] 상기 전류 차단층(260)의 너비(W2)는 상기 제2 전극 패드(151)의 너비(W1)와 같도록 도시되어 있으나, 이에 한정하지 않고, 상기 전류 차단층(260)의 너비(W2)는 상기 제2 전극 패드(151)의 너비(W1)와 같거나 넓게 형성될 수 있다.

[0053] 상기 전류 차단층(260)은 상기 제2 도전형 반도체층(119)의 상부면을 기준으로 경사지게 형성될 수 있다.

[0054] 상기 전류 차단층(260)은 예컨대 산화물 또는 질화물등의 절연물질로 구현될 수 있다. 예를 들어, 상기 전류 차단층(260)은 Si_xO_y, Si_xN_y, SiO_xN_y, Al_2O_3, TiO_2, AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있으나 이에 한정되는 것은 아니다.

[0055] 또는 상기 전류 차단층(260)은 굴절률이 서로 상이한 층들을 교대로 적층한 분포 브래그 반사기(DBR: Distributed Bragg Reflector)를 포함할 수 있으나, 이에 한정되는 것은 아니다. 상기 분포 브래그 반사기(DBR)의 상기 전류 차단층(260)은 상기 오목부 내에서 경사지게 형성되어 광 추출을 향상시킬 수 있다.

[0056] 제2 실시예에 따른 발광 소자는 상기 제2 전극 패드(151) 및 제2 보조 전극(153)과 오버랩되는 상기 전류 차단층(260)이 상기 활성층(117) 및 제2 도전형 반도체층(119)이 제거된 제1 도전형 반도체층(115) 상에 형성되어 활성층(117)의 광 흡수에 의한 광 손실을 방지하므로 광 효율을 향상시킬 수 있다.

[0057] 또한, 제2 실시예에 따른 발광 소자는 상기 전류 차단층(260)에 의해 상기 제2 전극 패드(151) 및 제2 보조 전극(153) 주변에서 집중되는 전류를 분산시킬 수 있다.

[0058] 또한, 제2 실시예에 따른 발광 소자는 발광 구조체(120)의 오목부 내에서 경사진 면을 갖는 상기 전류 차단층

(260)에 의해 광 추출을 향상시킬 수 있다.

[0059] 도 7은 도 2의 I-I'라인을 따라 절단한 제3 실시예에 따른 발광 소자를 도시한 단면도이다.

[0060] 제3 실시예는 제1 실시예 또는 제2 실시예의 기술적인 특징을 채용할 수 있으며, 이하 제3 실시예의 주된 특징 위주로 기술하기로 한다.

[0061] 상기 전류 차단층(360)은 제1 도전형 반도체층(115)에 접촉되고, 활성층(117)의 측면 및 제2 도전형 반도체층(119)의 측면에 접촉된다. 상기 전류 차단층(360)은 상기 제2 도전형 반도체층(119) 상에 위치한 제2 전극 패드(151)와 오버랩될 수 있다.

[0062] 상기 제1 도전형 반도체층(115)은 제1 및 제2 영역(115a, 115b)을 포함한다. 상기 제1 및 제2 영역(115a, 115b)은 제2 도전형 반도체층(119) 및 활성층(117)으로부터 상기 제1 도전형 반도체층(115)의 상부면이 노출되는 영역으로 정의될 수 있다. 제1 전극 패드(141)는 제1 영역(115a)에 위치하고, 상기 전류 차단층(360)은 제2 영역(115b)에 위치한다.

[0063] 상기 제1 및 제2 영역(115a, 115b)은 서로 일정 간격 이격될 수 있고, 상기 제2 영역(115b)은 상기 제1 영역(115a)보다 아래에 위치할 수 있다. 즉, 상기 전류 차단층(360)의 하부면은 상기 제1 전극 패드(141)의 하부면보다 아아래에 위치할 수 있다.

[0064] 상기 제1 영역(115a)과 대응되는 상기 제1 도전형 반도체층(115)는 상기 제2 영역(115b)의 상기 제1 도전형 반도체층(115)보다 두꺼운 두께를 가질 수 있다. 상기 전류 차단층(360)은 상기 활성층(117)이 제거된 영역에 위치함으로써, 일반적인 전류 차단층의 아래에 위치한 활성층에서 흡수되는 광에 의한 광 손실을 방지하는 기능을 갖는다.

[0065] 상기 전류 차단층(360)의 너비는 상기 제2 전극 패드(151)의 너비와 같도록 도시되어 있으나, 이에 한정하지 않고, 상기 전류 차단층(360)의 너비는 상기 제2 전극 패드(151)의 너비와 같거나 넓게 형성될 수 있다.

[0066] 상기 전류 차단층(360)은 상기 제2 도전형 반도체층(119)의 상부면을 기준으로 경사지게 형성될 수 있다.

[0067] 상기 전류 차단층(360)은 예컨대 산화물 또는 질화물등의 절연물질로 구현될 수 있다. 예를 들어, 상기 전류 차단층(360)은 Si_xO_y, Si_xN_y, SiO_xN_y, Al_2O_3, TiO_2, AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있으나 이에 한정되는 것은 아니다.

[0068] 또한 상기 전류 차단층(360)은 굴절률이 서로 상이한 층들을 교대로 적층한 분포 브래그 반사기(DBR: Distributed Bragg Reflector)를 포함할 수 있으나, 이에 한정되는 것은 아니다. 상기 분포 브래그 반사기(DBR)의 상기 전류 차단층(360)은 상기 제2 영역(115b)의 오목부 내에서 경사지게 형성되어 광 추출을 향상시킬 수 있다. 더욱이 상기 전류 차단층(360)은 제2 영역(115b)의 제1 도전형 반도체층(115)의 두께를 최소화함으로써, 광을 반사시키는 면적이 넓어져 광 추출을 보다 더 향상시킬 수 있다.

[0069] 또한, 제3 실시예에 따른 발광 소자는 상기 전류 차단층(360)에 의해 상기 제2 전극 패드(151) 및 제2 보조 전극(153) 주변에서 집중되는 전류를 분산시킬 수 있다.

[0070] 도 8은 제4 실시예에 따른 발광 소자를 도시한 단면도이다.

[0071] 도 8을 참조하면, 제4 실시예에 따른 발광 소자(400)는 수직 타입으로 발광 구조체(420) 아래에 복수의 전도층(442, 443, 445)을 갖는 제1 전극 패드(441), 상기 발광 구조체(420) 위에 배치된 제2 전극 패드(451), 상기 발광 구조체(420)와 제1 전극 패드(441) 사이에 위치하고, 제2 전극 패드(451)와 수직 방향으로 대응된 전류 차단층(460), 및 지지부재(423)를 포함한다.

[0072] 상기 제1 전극 패드(441)는 발광 구조체(420)의 제2 도전형 반도체층(419) 아래에 위치하는 접촉층(442), 반사층(443), 및 본딩층(445)을 포함할 수 있다.

[0073] 상기 접촉층(442)은 상기 제2 도전형 반도체층(419)의 하부면에 접촉되며, 일부는 상기 전류 차단층(460)의 하부면으로 연장될 수 있다. 상기 접촉층(442)은 ITO, IZO, IZTO, IAZO, IGZO, IGTO, AZO, ATO 등과 같은 전도성 물질이거나 Ni, Ag의 금속을 이용할 수 있다.

[0074] 상기 접촉층(442) 아래에 반사층(443)이 형성될 수 있으며, 상기 반사층(443)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 또는 그 조합으로 구성된 그룹으로부터 선택된 물질로 이루어진 적어도 하나의 층을 포함하는 구조로 형성될 수 있다. 상기 반사층(443)은 상기 제2 도전형 반도체층(419) 아래에 접촉될 수 있으며, 금속

으로 오믹 접촉하거나 ITO와 같은 전도 물질로 오믹 접촉할 수 있으며, 이에 대해 한정하지는 않는다.

[0075] 상기 반사층(443) 아래에는 본딩층(445)이 형성될 수 있으며, 상기 본딩층(445)은 베리어 금속 또는 본딩 금속으로 사용될 수 있으며, 그 물질은 예를 들어, Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag 및 Ta와 선택적인 합금 중에서 적어도 하나를 포함할 수 있다.

[0076] 상기 발광 구조체(420) 아래에는 채널층(470)이 배치될 수 있다. 상기 채널층(470)은 상기 제2 도전형 반도체층(419)의 하부면 에지를 따라 형성되며, 링 형상, 루프 형상 또는 프레임 형상으로 형성될 수 있다. 상기 채널층(470)은 ITO, IZO, IZTO, IAZO, IGZO, IGTO, AZO, ATO, SiO_2, SiO_x, SiO_xN_y, Si_3N_4, Al_2O_3, TiO_2 중 적어도 하나를 포함할 수 있다. 상기 채널층(470)의 내측부는 상기 제2 도전형 반도체층(419) 아래에 배치되고, 외측부는 상기 발광 구조체(420)의 측면보다 더 외측에 배치된다.

[0077] 상기 본딩층(445) 아래에는 지지 부재(423)가 형성되며, 상기 지지 부재(423)는 전도성 부재로 형성될 수 있으며, 그 물질은 구리(Cu-copper), 금(Au-gold), 니켈(Ni-nickel), 몰리브덴(Mo), 구리-텅스텐(Cu-W), 캐리어 웨이퍼(예: Si, Ge, GaAs, ZnO, SiC 등)와 같은 전도성 물질로 형성될 수 있다.

[0078] 상기 지지부재(423)는 다른 예로서, 전도성 시트로 구현될 수 있다. 상기 제1 전극 패드(441)는 상기 지지부재(423)을 포함할 수 있으며, 상기 제1 전극 패드(441)의 층들 중 적어도 하나 또는 복수의 층은 상기 지지부재(423)와 동일한 너비로 형성될 수 있다.

[0079] 상기 제1 도전형 반도체층(415)의 상부면에는 러프니스와 같은 광 추출 구조가 형성될 수 있다. 상기 제2 전극 패드(451)는 상기 제1 도전형 반도체층(415)의 상면 중 평탄한 면 상에 배치될 수 있으며, 이에 대해 한정하지는 않는다. 상기 발광 구조체(420)의 측면 및 상면에는 절연층(미도시)이 더 형성될 수 있으며, 이에 대해 한정하지는 않는다.

[0080] 상기 전류 차단층(460)은 제2 전극 패드(451)와 오버랩되고, 상기 제2 전극 패드(451)의 하부에 전류가 집중되는 것을 방지하는 기능을 갖는다.

[0081] 상기 발광 구조체(420)는 중심부에 오목부를 포함하고, 상기 오목부는 활성층(417) 및 상기 제2 도전형 반도체층(419)이 제거되어 상기 제1 도전형 반도체층(415)이 노출된 구조를 갖는다. 상기 오목부는 위로 갈수록 점차 좁아지는 너비를 갖는다. 즉, 오목부는 제1 도전형 반도체층(415)의 하부면을 기준으로 경사진 측면을 갖는다.

[0082] 상기 전류 차단층(460)은 상기 오목부 내에 형성될 수 있다. 즉, 상기 전류 차단층(460)은 상기 오목부 내부의 제1 도전형 반도체층(415), 활성층(417)의 측면 및 제2 도전형 반도체층(419)의 측면 상에 형성되고, 상기 제2 도전형 반도체층(419)과 접촉될 수 있다. 상기 전류 차단층(460)은 상기 활성층(417)이 제거된 영역에 위치함으로써, 광을 흡수하는 활성층을 제거하여 광 손실을 방지하는 기능을 갖는다.

[0083] 상기 전류 차단층(460)은 예컨대 산화물 또는 질화물등의 절연물질로 구현될 수 있다. 예를 들어, 상기 전류 차단층(460)은 Si_xO_y, Si_xN_y, SiO_xN_y, Al_2O_3, TiO_2, AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있으나 이에 한정되는 것은 아니다.

[0084] 또는 상기 전류 차단층(460)은 굴절률이 서로 상이한 층들을 교대로 적층한 분포 브래그 반사기(DBR: Distributed Bragg Reflector)를 포함할 수 있으나, 이에 한정되는 것은 아니다. 상기 분포 브래그 반사기(DBR)의 상기 전류 차단층(460)은 상기 오목부 내에서 경사지게 형성되어 광을 반사하므로 발광 소자의 광 추출을 향상시킬 수 있다.

[0085] 상기 전류 차단층(460)의 너비는 상기 제2 전극 패드(451)의 너비와 같거나 넓게 형성될 수 있다.

[0086] 제4 실시예에 따른 발광 소자는 상기 제2 전극 패드(451)와 오버랩되는 상기 전류 차단층(460)이 상기 활성층(417) 및 제2 도전형 반도체층(419)이 제거된 제1 도전형 반도체층(415) 상에 형성되어 활성층(417)의 광 흡수에 의한 광 손실을 방지하므로 광 효율을 향상시킬 수 있다.

[0087] 또한, 제4 실시예에 따른 발광 소자는 상기 전류 차단층(460)에 의해 상기 제2 전극 패드(451)의 주변에서 집중되는 전류를 분산시킬 수 있다.

[0088] 또한, 제4 실시예에 따른 발광 소자는 발광 구조체(420)의 오목부 내에서 경사진 면을 갖는 상기 전류 차단층(460)에 의해 광 추출을 향상시킬 수 있다.

[0089] 도 9는 도 8의 발광 소자를 갖는 발광 소자 패키지를 나타낸 도면이다.

[0090] 도 9를 참조하면, 발광 소자 패키지는 몸체(510)와, 상기 몸체(510)에 적어도 일부가 배치된 제1 리드전극(521) 및 제2 리드전극(523)과, 상기 몸체(510) 상에 상기 제1 리드전극(521) 및 제2 리드전극(523)과 전기적으로 연결되는 상기 발광 소자(400)와, 상기 몸체(510) 상에 상기 발광 소자(400)를 포위하는 몰딩부재(530)를 포함한다.

[0091] 상기 몸체(510)는 실리콘 재질, 합성수지 재질, 또는 금속 재질을 포함하여 형성될 수 있다.

[0092] 상기 제1 리드전극(521) 및 상기 제2 리드전극(523)은 서로 전기적으로 분리되며, 상기 몸체(510) 내부를 관통하도록 형성될 수 있다. 즉, 상기 제1 리드전극(521) 및 상기 제2 리드전극(523)은 일부는 상기 캐비티 내부에 배치되고, 다른 부분은 상기 몸체(510)의 외부에 배치될 수 있다.

[0093] 상기 제1 리드전극(521) 및 제2 리드전극(523)은 상기 발광 소자(400)에 전원을 공급하고, 상기 발광 소자(400)에서 발생된 빛을 반사시켜 광 효율을 증가시킬 수 있으며, 상기 발광 소자(400)에서 발생된 열을 외부로 배출시키는 기능을 할 수도 있다.

[0094] 상기 발광 소자 패키지는 도 8에서와 같이 광 효율이 우수한 제4 실시예에 따른 발광 소자(400)를 포함할 수 있다. 따라서, 상기 발광 소자 패키지는 광 효율이 향상된 장점을 갖는다. 또한, 실시예의 발광 소자 패키지는 도 3, 도 4 및 도 7에 도시된 제1 실시예 내지 제3 실시예에 따른 발광 소자를 구비할 수 있다.실시예에 따른 발광 소자 또는 발광 소자 패키지는 라이트 유닛에 적용될 수 있다. 상기 라이트 유닛은 복수의 발광 소자 또는 발광 소자 패키지가 어레이된 구조를 포함하며, 조명등, 신호등, 차량 전조등, 전광판 등이 포함될 수 있다.

[0095] 이상에서 실시예들에 설명된 특징, 구조, 효과 등은 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.

[0096] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 실시예를 한정하는 것이 아니며, 실시예가 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 설정하는 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.

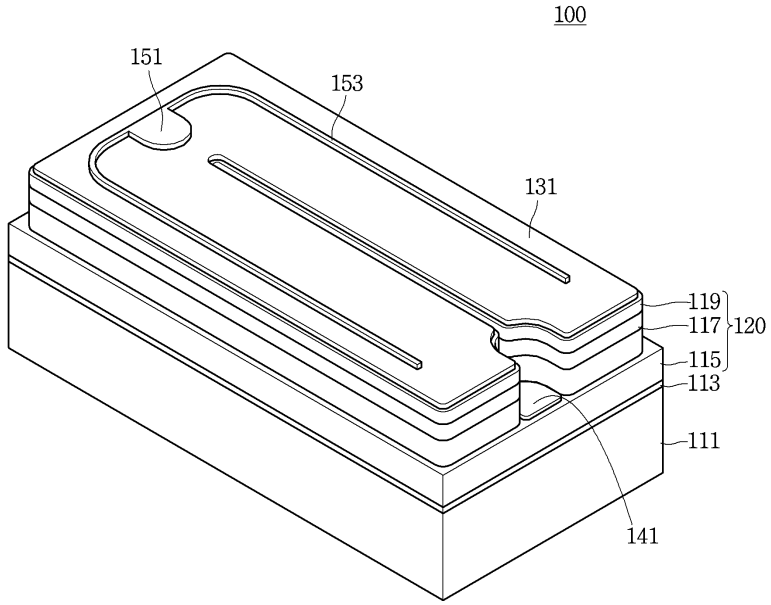
부호의 설명

[0097]

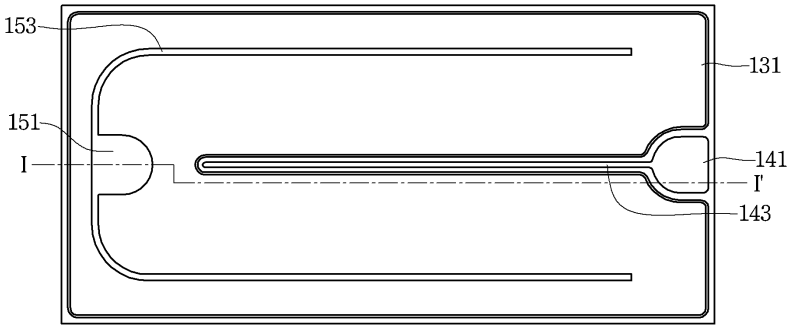
115: 제1 도전형 반도체층	117: 활성층
119: 제2 도전형 반도체층	160, 260, 360, 460: 전류 차단층
141, 441: 제1 전극 패드	151, 451: 제2 전극 패드

도면

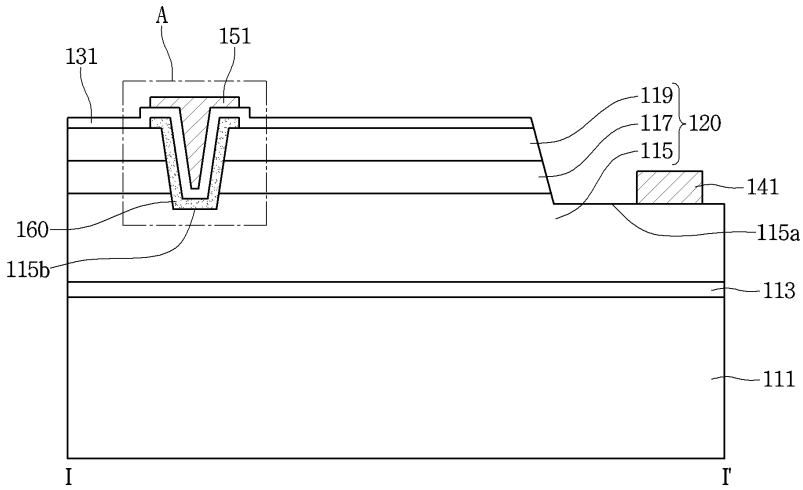
도면1



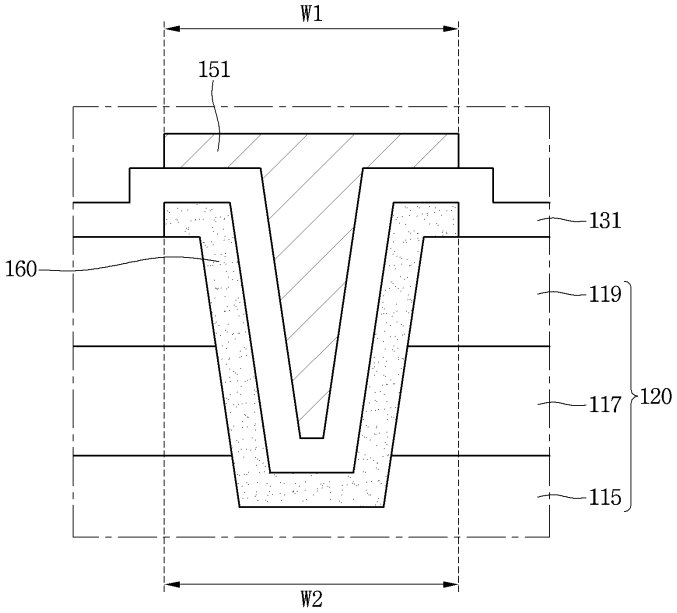
도면2



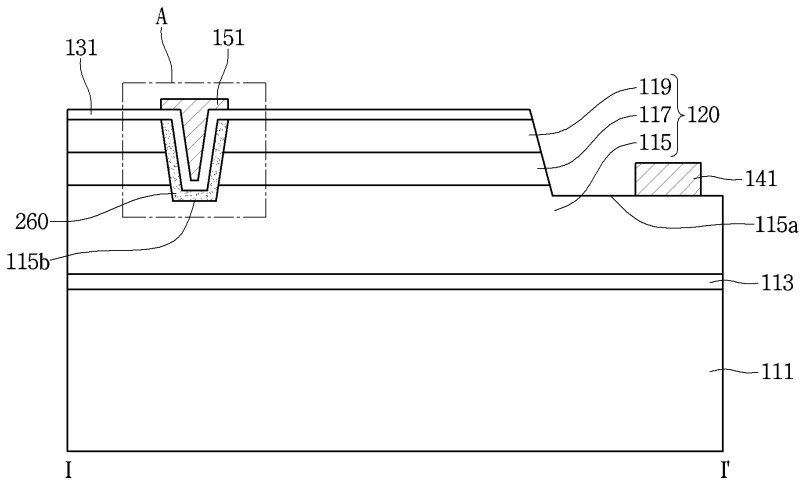
도면3



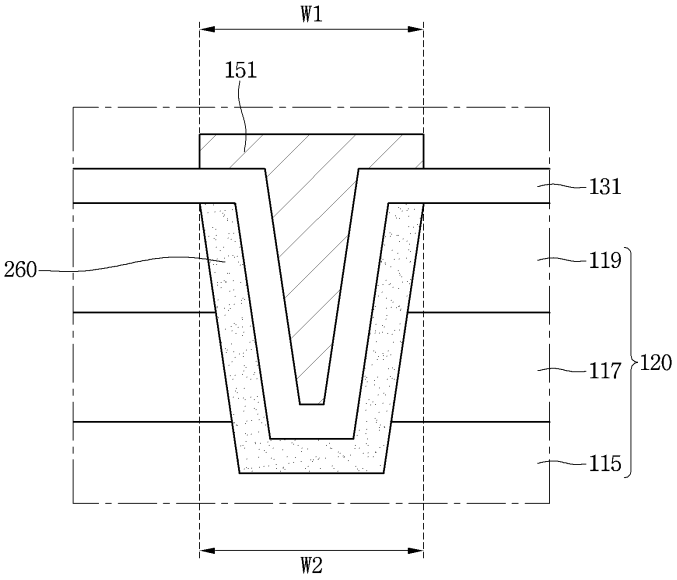
도면4


W1
151
131
160
119
120
117
115
W2

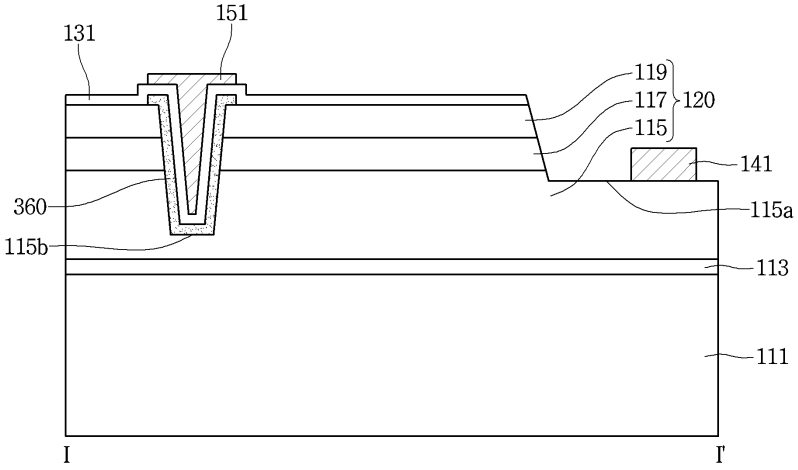
도면5


A
131
151
119
117
120
115
141
260
115a
115b
113
111
I
I'

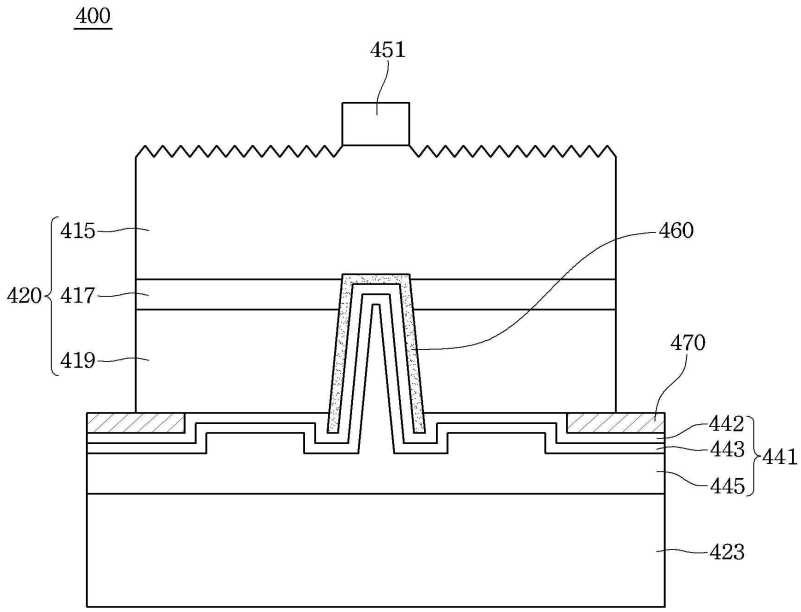
도면6


W1
151
131
260
119
120
117
115
W2

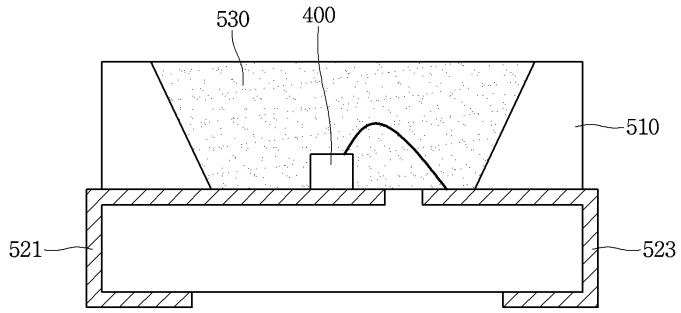
도면7


131
151
119
117
120
115
141
360
115a
115b
113
111
I
I'

도면8


400
451
415
420
417
419
460
470
442
443
441
445
423

도면9


530
400
510
521
523