

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-503355
(P2010-503355A)

(43) 公表日 平成22年1月28日(2010.1.28)

(51) Int.Cl.	F I	テーマコード (参考)
HO3M 13/27 (2006.01)	HO3M 13/27	5J065
HO4L 1/00 (2006.01)	HO4L 1/00	F 5K014

審査請求 有 予備審査請求 未請求 (全 25 頁)

(21) 出願番号 特願2009-527943 (P2009-527943)
 (86) (22) 出願日 平成19年9月10日 (2007. 9. 10)
 (85) 翻訳文提出日 平成21年3月11日 (2009. 3. 11)
 (86) 国際出願番号 PCT/IB2007/053643
 (87) 国際公開番号 WO2008/032261
 (87) 国際公開日 平成20年3月20日 (2008. 3. 20)
 (31) 優先権主張番号 06120514.2
 (32) 優先日 平成18年9月12日 (2006. 9. 12)
 (33) 優先権主張国 欧州特許庁 (EP)

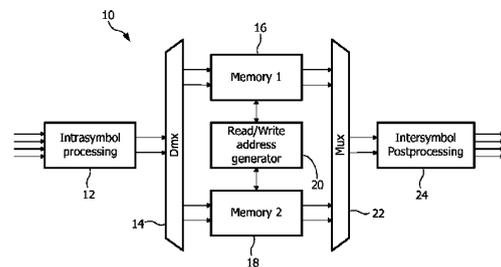
(71) 出願人 507219491
 エヌエックスピー ビー ヴィ
 NXP B. V.
 オランダ国 5656エイジー アインド
 ーフェン ハイ テク キャンパス 60
 High Tech Campus 60
 , NL-5656 AG Eindhoven,
 Netherlands
 (74) 代理人 100147485
 弁理士 杉村 憲司
 (74) 代理人 100134005
 弁理士 澤田 達也
 (74) 代理人 100151677
 弁理士 播磨 里江子

最終頁に続く

(54) 【発明の名称】 ビット対の処理を使用した多段階のインターリーブ手法のためのデインターリーバ

(57) 【要約】

実装するのに簡単で安価な無線通信デバイスのためのデインターリーバが提供される。特に、多段階のインターリーブ手法を使用してインターリーブされた複数のシンボルを表すデータビットストリームをデインターリーブするためのデインターリーバが提供され、ストリーム内のデータビットを、1つのシンボルからの連続データビットが対になるように並べるための前処理手段と、対になったデータビットの各対をそれぞれの位置に記憶するための少なくとも1つのメモリと、データビットの対を記憶すべき少なくとも1つのメモリ内のアドレスを決定し、データビットの対を読み出すべき少なくとも1つのメモリ内のアドレスを決定するように構成された、少なくとも1つのメモリに対する読み出し/書き込みアドレス発生器とを具える。



【特許請求の範囲】**【請求項 1】**

多段階のインターリーブ手法を使用してインターリーブされた複数のシンボルを表すデータビットのストリームをデインターリーブするデインターリーバであって、前記デインターリーバは、

前記ストリーム内のデータビットを、1つのシンボルからの連続データビットが対になるように並べるための前処理手段と、

前記対になったデータビットの各対をそれぞれの位置に記憶するための少なくとも1つのメモリと、

前記データビットの対を記憶すべき前記少なくとも1つのメモリ内のアドレスを決定し、前記データビットの対を読み出すべき前記少なくとも1つのメモリ内のアドレスを決定するように構成された、前記少なくとも1つのメモリに対する読み出し/書き込みアドレス発生器と、

を具えることを特徴とするデインターリーバ。

10

【請求項 2】

前記データビットストリームのデータレートを決定し、前記決定されたデータレートに従って、前記前処理手段及び前記読み出し及び書き込みアドレス発生器の動作を調整する制御手段を更に具えることを特徴とする、請求項 1 に記載のデインターリーバ。

【請求項 3】

前記前処理手段が少なくとも1つのレジスタを具え、前記少なくとも1つのレジスタが前記ストリーム中のデータビットを記憶し、前記データビットの対に出力するように制御されることを特徴とする、請求項 1 又は 2 に記載のデインターリーバ。

20

【請求項 4】

前記アドレス発生器によって決定された前記少なくとも1つのメモリ内のアドレスから出力される記憶されたデータビットの対を受信し、デインターリーブされたシンボルのセットを出力するように前記データビットの対を並べ替えるための後処理手段を更に具えることを特徴とする、請求項 1 ~ 3 のいずれかに記載のデインターリーバ。

【請求項 5】

前記後処理手段がレジスタを具えることを特徴とする、請求項 4 に記載のデインターリーバ。

30

【請求項 6】

前記後処理手段の前記レジスタは複数のレジスタ位置を具え、前記レジスタは、前記データビットの対を連続するレジスタ位置に記憶し、前記対のデータビットを不連続順に出力するように構成されていることを特徴とする、請求項 5 に記載のデインターリーバ。

【請求項 7】

前記多段階インターリーブ手法の段階の1つが、シンボル間インターリーブを含み、前記後処理手段が前記少なくとも1つのメモリから出力される前記データビットに対してシンボル間デインターリーブを実行するように構成されていることを特徴とする、請求項 4 ~ 6 のいずれかに記載のデインターリーバ。

【請求項 8】

前記少なくとも1つのメモリが第 1 及び第 2 のメモリを具え、前記アドレス発生器が、前記第 1 のメモリに記憶された第 1 のシンボルセットからのデータビット対に対する読み出しアドレスを発生するとともに、前記第 2 のメモリに書き込むべき第 2 のシンボルセットからのデータビット対に対する書き込みアドレスを発生するように構成されていることを特徴とする、請求項 1 ~ 7 に記載のデインターリーバ。

40

【請求項 9】

前記第 1 のシンボルセットからのデータビット対の各々が前記第 1 のメモリから読み出され、前記第 2 のシンボルセットからのデータビット対の各々が前記第 2 のメモリに書き込まれたときに、前記アドレス発生器が、前記第 2 のメモリ内の前記第 2 のシンボルセットからの前記データビット対に対する読み出しアドレスを発生するとともに、前記第 1 の

50

メモリに書き込むべき第3のシンボルセットからのデータビット対に対する書き込みアドレスを発生するように構成されていることを特徴とする、請求項8に記載のデインターリーブ。

【請求項10】

前記読み出し及び書き込みアドレス発生器が、データビット対を読み出すべき前記少なくとも1つのメモリ内のアドレスを指示するために、前記複数のシンボルの各シンボルに対してそれぞれのアドレスカウンタを具えることを特徴とする、請求項1～9のいずれかに記載のデインターリーブ。

【請求項11】

前記多段階インターリーブ手法の段階の1つが循環シフトを含み、前記読み出し及び書き込みアドレス発生器が、前記それぞれのアドレスカウンタに従って前記少なくとも1つのメモリから読み出されるデータビット対と組み合わせるために、前記少なくとも1つのメモリからのシンボルに対するデータビット対を選択的にプレフェッチするように構成されていることを特徴とする、請求項10に記載のデインターリーブ。

10

【請求項12】

超広帯域システムに使用するように構成されていることを特徴とする、請求項1～11に記載のデインターリーブ。

【請求項13】

前記多段階インターリーブ手法が、シンボルインターリーブ、シンボル内トーンインターリーブ、及びシンボル内循環シフトを含むことを特徴とする、請求項12に記載のデインターリーブ。

20

【請求項14】

請求項12又は13に記載のデインターリーブを具える超広帯域システムにおける使用のためのデバイス。

【請求項15】

請求項1～13のいずれかに記載のデインターリーブを具える、複数のシンボルを表すデータビットストリームの受信用通信デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は通信デバイス、特に通信デバイスのデインターリーブに関するものである。

【背景技術】

【0002】

インターリーブ技術は、バーストエラーから送信を保護するために通信システムにおいて広く使用されている。バーストエラーの結果として多数の連続ビットが誤って受信され、送信の残りは正常に受信される。

【0003】

データ訂正ビットは送信前にデータから導出され、データが正常に受信されたか、そして誤って受信されたビットを訂正できるか否かを検出するために、受信機によって使用される。送信すべき各シンボルにおいて、所定の数の誤りビットのみが訂正できる。従ってインターリーブは、各シンボルに対するビットを送信全体に分散させるために使用される。このように、バーストエラーが発生した場合には各シンボルからの少数のビットのみが影響されるため、受信機はデータ訂正ビットを使用して受信したシンボルを訂正できる。

40

【0004】

多くの確立された標準規格、例えば無線通信標準規格においては、実装が容易で単純なため、ブロックインターリーブが使用されている。しかしノード間のデータレートおよび距離が増加するにつれて、ネスト化又は連結されたインターリーブ手法が益々重要になっている。このような先進のインターリーブ手法のデインターリーブをハードウェアへ直接マッピングすることは、通常次善策であるため、シリコン面積を節約し且つ消費電力を低減するために様々な最適化技術を使用することができる。

50

【0005】

MultiBand OFDM Allianceによる“MultiBand OFDM Physical Layer Specification”リリース1.0は、3段階のインターリーブ手法を提案している。第1段階においては、帯域グループ内で周波数ダイバーシティを有効に使用するために、複数の連続OFDMシンボル（通常は6つ）に亘ってビットの順序を変更する、シンボルインターリーブが使用される。第2段階においては、サブキャリアに亘る周波数ダイバーシティを有効に使用するために、OFDMシンボル内でデータサブキャリア（トーン）に亘ってビットの順序を変更するトーン内インターリーブが使用される。第3段階においては、連続OFDMシンボルにおいてビットを規定量だけ循環的にシフトするシンボル内循環シフトが使用される。

10

【0006】

図1は、上記の手法によるインターリーブのブロック線図を示している。インターリーブ2は、直列に接続されたシンボルインターリーブユニット4と、トーンインターリーブユニット6と、循環シフトユニット8とを具える。シンボルインターリーブユニット4は、 $\{U(i)\}$ で示される入力ビットを受信し、処理して $\{S(i)\}$ で示されるビットを出力する。トーンインターリーブユニット6は、 $\{S(i)\}$ で示されるビットを受信し、処理して $\{V(i)\}$ で示されるビットを出力する。循環シフトユニット8は、 $\{V(i)\}$ で示されるビットを受信し、処理して $\{B(i)\}$ で示されるビットを出力する。

【0007】

シンボルインターリーブユニット4によって実行されるシンボルインターリーブ処理は、符号化ビットを $6N_{CBPS}$ 符号化ビットのブロックに分割するステップを含むが、ここで N_{CBPS} を1シンボル当たりの符号化ビットの数であり、従って $6N_{CBPS}$ は6つのOFDMシンボルに対応する。符号化ビットの各グループは、次に大きさ $6N_{CBPS}$ のブロックインターリーブを使用して $6/N_{TDS}$ によって順序変更されるが、ここで N_{TDS} は時間拡散係数である。シーケンス $\{U(i)\}$ 及び $\{S(i)\}$ は、それぞれシンボルインターリーブユニット4の入力及び出力ビットを表し、ここで $i=0, \dots, N_{CBPS}-1$ であり、 N_{CBPS} は6シンボル中の符号化ビットの数である。このユニットの入力-出力関係は以下の式で与えられる。

20

【0008】

【数1】

$$S(i) = U \left\{ \text{Floor} \left(\frac{i}{N_{CBPS}} \right) + \frac{6}{N_{TDS}} \text{Mod}(i, N_{CBPS}) \right\}, \quad (1)$$

30

【0009】

ここで $\text{Floor}(x)$ は、その引数以下の最大の整数値を返す関数であり、 $\text{Mod}(x, y)$ は、 x を y で割ったときの負ではない整数の余りを返すモジュロ演算子である。

【0010】

シンボルインターリーブユニット4の出力ビットは、 N_{CBPS} ビットのブロックと一緒にグループ化され、 $N_{Tint} \times 10$ の寸法の標準のブロックインターリーブを使用して一緒に順序変更され、ここで $N_{Tint} = N_{CBPS} / 10$ である。シーケンス $\{S(i)\}$ 及び $\{V(i)\}$ は、トーンインターリーブユニット6のそれぞれ入力及び出力ビットを表し、ここで $i=0, \dots, N_{CBPS}-1$ である。このユニットの入力-出力関係は以下の式で与えられる。

40

【0011】

【数 2】

$$V(i) = S \left\{ \text{Floor} \left(\frac{i}{N_{Tint}} \right) + 10 \text{Mod}(i, N_{Tint}) \right\}, \quad (2)$$

【0012】

トーンインターリーブユニット6の出力は、シンボル内循環シフトユニット8を通過する。シーケンス{V(i)}及び{B(i)}は、循環シフトユニット8のそれぞれ入力及び出力を表し、ここで*i* = 0, . . . , N_{CBPS} - 1である。循環シフトユニット8の出力は以下の式で与えられる。ここで*m*(*i*) = Floor(*i* / N_{CBPS})であり、*i* = 0, . . . , N_{CBPS} - 1である。

【0013】

【数 3】

$$B(i) = V[m(i) \times N_{CBPS} + \text{mod}(i + m(i) \times N_{cyc}, N_{CBPS})] \quad (3)$$

【0014】

特許文献1は、上記の3段階のインターリーブ手法による、超広帯域パーソナルアクセスネットワークのマルチバンドOFDMトランシーバのためのインターリーブを開示している。この文献は、循環シフトユニットと、トーンインターリーブユニットと、シンボルインターリーブユニットの3つのブロックを連結したインターリーブも開示しているが、このインターリーブはシリコン面積に関して費用がかさみ、且つ縮小できない。

【先行技術文献】

【特許文献】

【0015】

【特許文献1】米国特許出願第2005/0,152,327号明細書 30

【発明の概要】

【発明が解決しようとする課題】

【0016】

本発明の目的は、無線通信デバイスのための実装が簡単で安価なインターリーブを提供することにある。

【課題を解決するための手段】

【0017】

本発明の第1の態様によれば、多段階のインターリーブ手法を使用してインターリーブされた複数のシンボルを表すデータビットストリームをインターリーブするためのインターリーブが提供され、本インターリーブは、

前記ストリームのデータビットを、1つのシンボルからの連続データビットが対になるように並べる前処理手段と、

対にされたビットの各対をそれぞれの位置に記憶するための少なくとも1つのメモリと

、
データビットの対を記憶すべき少なくとも1つのメモリ内のアドレスを決定し、データビットの対を読み出すべき少なくとも1つのメモリ内のアドレスを決定するように構成された、少なくとも1つのメモリのための読み出し及び書き込みアドレス発生器と、
を具える。

【0018】

本発明の第2の態様によれば、上記のインターリーブを具える超広帯域システムに使 50

用するためのデバイスを提供する。

【0019】

本発明の第3の態様によれば、複数のシンボルを表すデータビットストリームを受信するための通信デバイスを提供し、そのデバイスは上記のデインターリーブを具える。

【0020】

本発明のこれら及び他の態様は、これ以降説明される実施例を参照して明らかとなり、説明される。

【0021】

ここで以下の図面を参照して本発明を一例についてのみ説明する。

【図面の簡単な説明】

10

【0022】

【図1】従来の3段階のインターリーブのブロック線図を示している。

【図2】インターリーブにおいて使用されるデータレート依存パラメータを示す表である。

【図3】 $a \sim c$ は、 $deintv_type$ の異なる値に対するデインターリーブでの初期出力アドレスを示している。初期出力アドレスを示している。

【図4】 $a \sim c$ は、 $deintv_type$ の異なる値に対するデインターリーブでの初期出力アドレスにおけるシンボルビットを示している。

【図5】本発明によるデインターリーブに対するアーキテクチャのブロック線図を示している。

20

【図6】本発明によるシンボル内前処理のブロック線図を示している。

【図7】 $a \sim g$ は、 $deintv_type = 1$ の時の前処理ユニットの動作を示している。

【図8】 $a \sim f$ は、 $deintv_type = 2$ の時の前処理ユニットの動作を示している。

【図9】 $a \sim g$ は、 $deintv_type = 3$ の時の前処理ユニットの動作を示している。

【図10】本発明による読み出し・書き込みアドレス発生器の動作を示すフローチャートである。

【図11】本発明による $deintv_type$, $outer_cnt$ 及びシンボルインデックスの様々な組み合わせに対する $pref_en$ の値を示す表である。

30

【図12】本発明によるシンボル間後処理ユニットのブロック線図である。

【図13】 $a \sim d$ は、本発明によるシンボル間後処理ユニットの動作を説明している。

【0023】

本発明を、上記のMultiBand OFDM Allianceからの“MultiBand OFDM Physical Layer Specification”リリース1.0に準拠する超広帯域ネットワークについて説明するが、本発明は多段階のインターリーブが使用されている他の通信ネットワークに利用可能であることを理解されよう。

【0024】

40

本発明の以下の説明において、送信すべきデータは図1及び数1~3を参照して、上で説明した3段階のインターリーブ手法を使用して、6シンボル又は(上記の式をしかるべく変更して)3シンボルに亘ってインターリーブされているものとする。

【0025】

代表的なネットワークにおいて、使用できる9つの可能なデータレート、即ち39.4 Mb/s, 80 Mb/s, 106.7 Mb/s, 160 Mb/s, 200 Mb/s, 320 Mb/s, 400 Mb/s及び480 Mb/sが存在する。39.4 Mb/sのデータレートは、ヘッダのためだけに使用される。上記のインターリーブ手法において使用されるパラメータ N_{TDS} , N_{Tint} , N_{cyc} 及び N_{CBPS} は全て、その時に使用されるデータレートに依存する。図2は、これらのパラメータに対する代表的な値を示す表で

50

ある。

【0026】

シンボルデータビットがインターリーブから出力される順序は、データストリームをインターリーブするためにインターリーブで使用されるデータレート及び他のパラメータに基づいて、3つの主要なタイプに分類できることが認識されている。従って、本発明によれば、新たなパラメータ $deintv_type$ を定義し、その値はデータストリームを送信するために使用されるデータレートに基づいている。パラメータ $deintv_type$ は、データレートが 39.4 Mb/s 、 53.3 Mb/s 及び 80 Mb/s の時には値1を、データレートが 106.7 Mb/s 、 160 Mb/s 及び 200 Mb/s の時には値2を、データレートが 320 Mb/s 、 400 Mb/s 及び 480 Mb/s の時には値3を有する。 $deintv_type$ の値が図2に示されている。

10

【0027】

送信機にてインターリーブに使用されるシンボル数は M で示され、 200 Mb/s よりも小さいデータレートに対しては $M = 0, \dots, 2$ 、そして 320 よりも大きなデータレートに対しては $M = 0, \dots, 5$ の値を有する (M に対する値の範囲は、図2の表にも示されている)。デインターリーバアーキテクチャへの入力データが連続的に書き込まれるとすると、 M 番目のシンボルからのソフトビットは、 $N = N_{CBPS}$ とすると、 $N \times M$ から $N \times (M + 1) - 1$ までのアドレスに書き込まれる。

【0028】

図3a, b, c, 4a, b 及び c は、 $deintv_type$ の異なる値について、インターリーブされたシンボルビットがデインターリーバで受信される自然な順序を示している。詳細には、図3a, b 及び c は、 $deintv_type = 1, 2$ 及び 3 について、データビットの順序及びデインターリーバにてそれらがどのように仮想メモリに記憶されるかをそれぞれ示している。 M 番目のシンボルの m 番目のビットは、 $sym_{M, m}$ で示されている。図4a, b 及び c は、仮想メモリアドレスにおけるデータビットの順序を示している。

20

【0029】

好適な実施例においては、2で割ることによって物理アドレスにマッピングされる仮想アドレスを使用して、2つのデータビットを単一の物理メモリ位置に記憶できる。

【0030】

図3a, 3b 及び 3c から、出力アドレス中に3つのパターンが存在することが分かる。即ち、

30

(i) 第1のパターンは、各シンボルからのデータがラウンドロビン式に出力される。例えば、この出力は $sym_{0, m}, sym_{1, m}, sym_{2, m}, sym_{0, m+1}, sym_{1, m+1}, sym_{2, m+1}$ などである。これは送信機中のシンボルインターリーブユニット4によるものである。

(ii) 第1の出力アドレスから出発して、同一のシンボルからの2つの連続する出力アドレスを互いにグループ化すると、ほとんどのグループに対して、 39.4 Mb/s 、 53.3 Mb/s 及び 80 Mb/s のデータレートについては、アドレスギャップは10であり、 80 Mb/s よりも大きなデータレートについては20であることが分かる。例えば、図3aにおける $sym_{0, 0}$ と $sym_{0, 1}$ との間のアドレスギャップは10である。これは送信機中のシンボル内トーンインターリーブユニット6によるものである。

40

(iii) パラグラフ(ii)において説明されたパターンは時々破綻しうるが、これらの場合には別のパターンが利用可能である。ここでは連続する2つのサンプルは m 、($m + \text{ギャップ}$) - $M \times N$ のインデックスを有する。これは図3bに示され、2つの連続するデータビットのアドレスは $588 (sym_{2, 6})$ 及び $408 (sym_{2, 7})$ である。これは送信機中の循環シフトユニット8によるものである。

【0031】

上記の観測の結果として、デインターリーバ10を図5に示す。デインターリーバ10は、シンボル内前処理ユニット12を具え、この前処理ユニットは入力するインターリー

50

ブされたデータストリームをパラグラフ (i i) におけるパターンに並べ替えるように前処理する。シンボル内前処理ユニット 1 2 はデマルチプレクサ 1 4 への出力を有し、前処理されたデータストリームを第 1 のメモリ 1 6 又は第 2 のメモリ 1 8 に選択的に出力する。好適な実施例において、第 1 及び第 2 のメモリ 1 6 , 1 8 は、デュアルポートランダムアクセスメモリとすることができる。読み出し / 書き込みアドレス発生器 2 0 は、データを書き込むべき又は読み出すべき第 1 及び第 2 のメモリ内の位置を決定する。マルチプレクサ 2 2 は第 1 及び第 2 のメモリ 1 6 , 1 8 の出力端に接続され、メモリ 1 6 , 1 8 の 1 つの出力をシンボル間後処理ユニット 2 4 に渡す。シンボル間後処理ユニット 2 4 は、マルチプレクサ 2 2 によって選択された、それぞれメモリ 1 6 又は 1 8 から受信したデータを図 3 a ~ c におけるパターンに並べ替える。このアーキテクチャによって、シンボル及びビットデインターリーブを同時に実行することが可能になる。

【 0 0 3 2 】

デインターリーバ 1 0 は、パケットのヘッダにおけるデータレートの表示から、入力する送信信号に対して `deintv__type` の値を決定する制御手段を具えることが好ましい。幾つかの実施例において、このヘッダは PLC P ヘッダである。

【 0 0 3 3 】

如何なる時にも、メモリ 1 6 又は 1 8 の一方が入力データストリーム内の受信ソフトビットの書き込みを、他方が記憶されたソフトビットの読み出しを担っている。メモリ 1 6 , 1 8 は、6 OF DM シンボル期間毎にその担当を切り替える。各メモリ位置が 2 つのデータビットを記憶する好適な実施例においては、メモリ 1 6 , 1 8 のそれぞれは $3 \times N_C$ B P S のメモリ位置を有し、6 シンボル内の各ビット対に対して 1 つの位置を使用する。

【 0 0 3 4 】

図 6 は、本発明によるシンボル内前処理ユニット 1 2 のブロック線図を示している。シンボル内前処理ユニット 1 2 は、第 1 のメインレジスタアレイ 2 6 , 第 2 のメインレジスタアレイ 2 8 , 及び特殊レジスタアレイ 3 0 の 3 つのレジスタアレイを具える。第 1 及び第 2 のレジスタアレイ 2 6 , 2 8 は、 R_0 から R_{19} でラベルされた 2 0 のレジスタ位置を有している。特殊レジスタアレイ 3 0 は、 R_0 から R_9 でラベルされた 1 0 のレジスタ位置を有している。前処理ユニット 1 2 は、ユニット 1 2 の入力端にてデータストリームを受信し、そのデータストリームをレジスタアレイ 2 6 , 2 8 又は 3 0 の 1 つに選択的に出力するためのデマルチプレクサ 3 2 を更に具える。ユニット 1 2 は、選択したレジスタアレイ 2 6 , 2 8 及び 3 0 からのデータを出力するためのマルチプレクサ 3 4 も具える。

【 0 0 3 5 】

シンボル内前処理ユニット 1 2 は、`deintv__type` の可能な値の各々に対して 3 つの異なる動作モードを有している。周波数領域のデスプレディングのために、`deintv__type = 1` のとき、1 クロックサイクル毎に 2 つのソフトデータビットが前処理ユニット 1 2 に入力される。デインターリーバは並列設計であるため、`deintv__type = 2` 又は 3 の時、1 クロックサイクル毎に 4 つのソフトビットが前処理ユニット 1 2 に入力される。

【 0 0 3 6 】

図 7 a から 7 g は、`deintv__type = 1` の時の前処理ユニット 1 2 の動作を示している。`deintv__type = 1` の時には、入力するデータストリームを処理するために、第 1 のメインレジスタアレイ 2 6 のみが使用される。従って、デマルチプレクサ 3 2 は入力するデータストリームを第 1 のメインレジスタアレイ 2 6 に向かうように制御され、マルチプレクサ 3 4 は前処理ユニット 1 2 の出力のために第 1 のメインレジスタアレイ 2 6 を選択するように制御される。第 2 のメインレジスタアレイ 2 8 及び特殊レジスタアレイ 3 0 は、`deintv__type = 1` の時には使用されない。

【 0 0 3 7 】

上述のように、シンボル内前処理ユニット 1 2 は、入力するデータストリームを上のパラグラフ (i i) で説明したパターンに従って処理してデータビットを出力する。つまりユニット 1 2 は、データストリームをインデックスが 1 0 だけ離れたビットの対にグルー

ブ化する。

【0038】

図7 a ~ g の各々は、1つのクロックサイクルの終了時におけるレジスタ26の状態を示している。レジスタ26の上に示してあるのは、次のクロックサイクルにおいて受信されるデータビット対 $d_x d_{x+1}$ である。レジスタ26の下に示されたデータビット対 $d_y d_{y+1}$ は、図7によって表されたクロックサイクル中にレジスタ26から出力されるデータビットである。

【0039】

図7 a は、 $d_0 \sim d_9$ で示された最初の10データビットが、レジスタ26中の位置 $R_0 \sim R_9$ にそれぞれ記憶されていることを示している。次のクロックサイクルにおいて、データビット d_{10} 及び d_{11} が受信される。レジスタ位置 $R_{10} \sim R_{19}$ は、 $deintv_type = 1$ の時には使用されないことに注意されたい。

10

【0040】

レジスタ26の動作は、20データビットを受信する毎に、言い換えると10クロックサイクル毎に繰り返される既定のパターンに従う。

【0041】

このパターンの最初の5クロックサイクルの各々において、データビットの新たな対がレジスタ26に受信されるとき、レジスタ26に先に記憶された1つのデータビットと一緒に、そのデータビット対の第1のビットがレジスタからそのまま読み出される。この1つのデータビットは、入力ビット対の第1のデータビットよりも10だけ小さいインデックスを有する。その対における他のデータビットは、レジスタ26内の空のレジスタ位置に読み込まれる。

20

【0042】

従って図7 b に示すように、入力するデータビット d_{10} が、レジスタ位置 R_0 に記憶されたデータビット d_0 とともに、レジスタ26からそのまま読み出される。レジスタ位置 R_1 のデータビット d_1 がレジスタ位置 R_0 に移動し、受信したデータビット d_{11} がレジスタ位置 R_1 に記憶される。代わりに（図示しないが）、データビット d_1 をレジスタ位置 R_1 に残し、入力するデータビット d_{11} をレジスタ位置 R_0 に記憶してもよい。いずれの場合においても、インデックスが10だけ離れたデータビット対が、マルチプレクサ34及びデマルチプレクサ14を介して、レジスタ26から第1又は第2のメモリ16, 18へ出力される。レジスタ26においては、データビット d_1 及び d_{11} は、ここで隣のレジスタ位置に記憶される。

30

【0043】

図7 c において、データビット $d_{12} d_{13}$ がレジスタ26に受信される。データビット d_{12} は、データビット d_2 とともにレジスタ26からそのまま読み出される。データビット d_{13} はレジスタ位置 R_2 に移動し、入力するデータビット d_{13} が隣のレジスタ位置 R_3 に記憶される。

【0044】

図7 d に示すように、パターンの最初の5サイクルの後、レジスタ位置の各連続する対には、10だけ離れたインデックスを有するデータビットがそれぞれ記憶されている。このように、レジスタ位置 R_6 及び R_7 にはデータビット d_7 及び d_{17} が記憶され、以下同様である。

40

【0045】

パターンの最後の5クロックサイクルにおいて、連続するレジスタ位置に記憶されているデータビット対がレジスタ26から読み出され、入力する両データビットが空のレジスタ位置に記憶される。

【0046】

このように、図7 e において、連続するレジスタ位置 R_0 及び R_1 中のデータビット d_{11} 及び d_{11} は、それぞれレジスタ26から第1又は第2のRAM16, 18の1つに読み出され、入力するデータビット d_{20} 及び d_{21} の対は、今空になったレジスタ位置 R

50

d_0 及び R_1 に記憶される。図 7 f に示すように、この処理が続く。

【0047】

パターンの第 10 クロックサイクル後のレジスタ 26 の状態を図 7 g に示す。このように、連続するデータビット d_{20} から d_{29} までがそれぞれレジスタ位置 R_0 から R_9 に記憶され、データビット d_0 から d_9 のそれぞれは、10 だけ高いインデックスを有する対応するデータビットとともに、レジスタ 26 から読み出された。図 7 g におけるレジスタ 26 の状態は、図 7 a におけるレジスタ 26 の状態に対応していることが分かる。このように、10 クロックサイクルのパターンは入力するデータストリームの残りに対しても繰り返す。

【0048】

図 8 a から 8 f は、 $deintv_type = 2$ のときの前処理ユニット 12 の動作を示している。 $deintv_type = 1$ の時と同様に、入力するデータストリームを処理するために第 1 のメインレジスタアレイ 26 のみを使用される。 $deintv_type = 2$ のときには、第 2 のメインレジスタアレイ 28 及び特殊レジスタアレイ 30 は使用されない。

【0049】

上述のように、シンボル内前処理ユニット 12 は、入力するデータストリームを上のパラグラフ (ii) で説明したパターンに従って処理してデータビットを出力する。このように、ユニット 12 はデータストリームをインデックスが 20 だけ離れたビットの対にグループ化する。

【0050】

$deintv_type = 2$ の時の前処理ユニット 12 の動作を説明するのに必要な図の数を減すために、図 8 a ~ f の各々は、クロックサイクルの終了時のレジスタ 26 の状態を示す。デインターリーバ 10 は並列設計であるため、1 クロックサイクル毎に 4 つのソフトデータビットが前処理ユニット 12 に入力され、レジスタ 26 の上に示されているのは次のクロックサイクル中に受信される 2 つの対のデータビット $d_x d_{x+1} d_{x+2} d_{x+3}$ のである。レジスタ 26 の下に示されている 2 つの対のデータビット $d_y d_{y+20} d_{y+2} d_{y+22}$ は、その図で表されているクロックサイクル中にレジスタ 26 から出力されるデータビットである。

【0051】

図 8 a は、 d_0 から d_{19} で示される第 1 の 20 データビットが、レジスタ 26 内のそれぞれ位置 R_0 から R_{19} に記憶されることを示している。次のクロックサイクルにおいて、データビット d_{20} , d_{21} , d_{22} 及び d_{23} が受信される。

【0052】

$deintv_type = 1$ の時と同様に、レジスタ 26 の動作は、40 データビットを受信する毎に、言い換えると 10 クロックサイクル毎に繰り返す既定のパターンに従う。

【0053】

パターンの最初の 5 クロックサイクルの各々において、データビットの新たなカルテット (4 つ組) がレジスタ 26 に受信されるとき、データビットのカルテットの第 1 及び第 3 のデータビットが、レジスタ 26 に先に記憶された 2 つのデータビットと一緒に、レジスタからそのまま読み出される。この 2 つのデータビットは、入力するカルテット内の第 1 及び第 3 のデータビットよりもそれぞれ 20 だけ少ないインデックスを有する。カルテット内の他のデータビットは、レジスタ 26 における空のレジスタ位置に読み込まれる。

【0054】

図 8 b に示すように、入力するデータビット d_{20} 及び d_{22} は、それぞれのレジスタ位置 R_0 及び R_2 に記憶されたそれぞれのデータビット d_0 及び d_2 とともに、レジスタ 26 からそのまま読み出される。それぞれのレジスタ位置 R_1 及び R_3 中のデータビット d_1 及び d_3 は、レジスタ位置 R_0 及び R_2 に移動し、入力するデータビット d_{21} 及び d_{23} がレジスタ位置 R_1 及び R_3 にそれぞれ記憶される。代わりに (図示しないが)、

10

20

30

40

50

データビット d_1 及び d_3 をそれぞれのレジスタ位置 R_1 及び R_3 に残し、入力するデータビット $d_{2,1}$ 及び $d_{2,3}$ をそれぞれレジスタ位置 R_0 及び R_2 に記憶することもできる。いずれの場合にも、インデックスが 20 だけ離れているデータビットの 2 つの対が、マルチプレクサ 34 及びデマルチプレクサ 14 を介して、1 クロックサイクル毎にレジスタ 26 から第 1 又は第 2 のメモリ 16, 18 の 1 つに出力される。このとき、レジスタ 26 には、データビット d_1 と $d_{2,1}$ 及び d_3 と $d_{2,3}$ が隣接するレジスタ位置に記憶される。

【0055】

この処理は、図 8 c に示すように継続する。図 8 d は、5 クロックサイクル後のレジスタ 26 の状態を示している。レジスタ位置の連続する各対には、20 離れたインデックスを有するデータビットの対がそれぞれ記憶されている。このように、レジスタ位置 R_6 及び R_7 には、データビット d_7 及び $d_{2,7}$ が記憶され、以下同様である。

10

【0056】

パターンの最後の 5 クロックサイクルにおいて、連続するレジスタ位置に記憶されているデータビットの 2 つの対がレジスタ 26 から読み出され、全 4 つの入力データビットが空のレジスタ位置に記憶される。

【0057】

このように、図 8 e において、それぞれ連続するデータ位置 R_0 及び R_1 におけるデータビット d_1 及び $d_{2,1}$ は、レジスタ 26 から第 1 又は第 2 の RAM 16, 18 の 1 つに読み出され、入力するデータビット $d_{4,0}$ 及び $d_{4,1}$ の対が今空になったレジスタ位置 R_0 及び R_1 に記憶される。この処理は、パターンの第 10 クロックサイクルまで続き、このときレジスタ 26 の状態は図 8 f に示すようになる。

20

【0058】

パターンの第 10 クロックサイクル後に、連続データビット $d_{4,0} \sim d_{5,9}$ は、それぞれのレジスタ位置 $R_0 \sim R_{1,9}$ に記憶され、データビット $d_0 \sim d_{1,9}$ の各々は、20 だけ高いインデックスを有する対応するデータビットとともにレジスタ 26 から読み出される。図 8 f におけるレジスタ 26 の状態は、図 7 a におけるレジスタ 26 の状態に対応していることが分かる。このように、10 クロックサイクルのパターンは受信データストリームの残りに対して繰り返す。

【0059】

図 9 a ~ 9 g は、 $deintv_type = 3$ の時の前処理ユニット 12 の動作を示している。

30

【0060】

Wimedia PHY 仕様によれば、データレートが 200 Mb/s 以上の時、つまり $deintv_type = 3$ の時、デュアルキャリア変調が使用される。デュアルキャリア変調において、200 の受信ビットは 4 ビットの 50 グループにグループ化され、2 つのサブキャリア上に変調される。デュアルキャリア復調器にて (図 5 に図示せず)、出力ビットもグループ化されている。ビット d_0, d_1, d_2, \dots を含むデータストリームに基づくと、データストリームは、 $d_0, d_1, d_{5,0}, d_{5,1}, d_2, d_3, \dots$ の順序でデュアルキャリア復調器から出力される。

40

【0061】

$deintv_type = 1$ 又は 2 の時と同様に、シンボル内前処理ユニット 12 は、入力するデータストリームを上記のパラグラフ (ii) に説明したパターンに従って処理してデータビットを出力する。従って、ユニット 12 はデータストリームをインデックスが 20 だけ離れたビット対にグループ化する。

【0062】

しかし、 $deintv_type = 3$ の時はデュアルキャリア復調器の動作の結果、データビットのグループ化に必要な処理は、 $deintv_type = 1$ 又は 2 の時よりも複雑になる。従って、シンボル内前処理ユニット 12 は入力するデータストリームを処理するために、第 1 のメインレジスタアレイ 26、第 2 のメインレジスタアレイ 28 及び特

50

殊レジスタアレイ 30 の 3 つ全てを使用する。

【 0 0 6 3 】

$deintv_type = 3$ のときの前処理ユニット 12 の動作を説明するのに必要な図の数を減すために、図 9 a ~ g の各々は、各 10 クロックサイクルの終了毎のレジスタ 26, 28 及び 30 の状態を示している。1 クロックサイクル毎に 4 つのソフトデータビットが前処理ユニット 12 に入力されるため、レジスタ 26, 28 及び 30 の上に、20 のデータビットの対 $d_x d_{x+1}$ が示されている。上述のデュアルキャリア復調器の出力の性質のために、40 のデータビットは連続番号をつけられない (つまり d_x, \dots, d_{x+40} の順序にならない)。レジスタ 26, 28 及び 30 の下に示す 20 のデータビットの対 $d_y d_{y+20}$ は、その図で表される 10 クロックサイクル中にこれらのレジスタから出力されるデータビットである。

10

【 0 0 6 4 】

図 9 a は、 $d_0 \sim d_{19}$ 及び $d_{50} \sim d_{69}$ で示される第 1 の 40 データビットが、前処理ユニット 12 に受信され、デマルチプレクサ 32 によって第 1 のメインレジスタアレイ 26、第 2 のメインレジスタアレイ 28 及び特殊レジスタアレイ 30 内の適切な位置に向けられたことを示している。データビット $d_0 \sim d_{19}$ は、それぞれ第 1 のメインレジスタアレイ内の位置 $R_0 \sim R_{19}$ に記憶され、データビット $d_{50} \sim d_{59}$ は、第 2 のメインレジスタアレイ 28 内の位置 $R_0 \sim R_9$ にそれぞれ記憶され、データビット $d_{60} \sim d_{69}$ は、特殊レジスタアレイ 30 内の位置 $R_0 \sim R_9$ にそれぞれ記憶されている。次の 10 クロックサイクルにおいて、データビット $d_{20} \dots d_{39}$ 及び $d_{70} \dots d_{89}$ が受信される。

20

【 0 0 6 5 】

図 9 b に示すように、偶数インデックスを有する入力データビット $d_{20}, d_{22}, \dots, d_{38}$ が、偶数番のレジスタ位置 R_0, R_2, \dots, R_{18} にそれぞれ記憶された偶数インデックスを有するそれぞれのデータビット d_0, d_2, \dots, d_{18} とともに、レジスタ 26 からそのまま読み出される。奇数インデックスを有するデータビット d_1, d_3, \dots, d_{19} は、新たに空になった偶数番レジスタ位置 R_0, R_2, \dots, R_{18} に記憶され、奇数インデックス $d_{21}, d_{23}, \dots, d_{39}$ を有する入力データビットは、第 1 のメインレジスタアレイ 26 内の位置 R_1, R_3, \dots, R_{19} にそれぞれ記憶される。代わりに (図示せず)、第 1 のメインレジスタアレイ 26 内の奇数インデックスを有するデータビットをそれぞれのレジスタ位置に残し、奇数インデックス $d_{21}, d_{23}, \dots, d_{39}$ を有する入力データビットをそれぞれの偶数番レジスタ位置 R_0, R_2, \dots, R_{18} に記憶することもできる。いずれの場合にも、インデックスが 20 だけ離れたデータビットの 2 つの対が、マルチプレクサ 34 及びデマルチプレクサ 14 を介して、1 クロックサイクル毎にレジスタ 26 から第 1 又は第 2 のメモリ 16, 18 に出力される。レジスタ 26 において、各データビットは、第 1 のデータビットから 20 だけ異なるインデックスを有するデータの隣に記憶される。

30

【 0 0 6 6 】

第 1 のメインレジスタアレイ 26 の上記の動作に加えて、入力データビット $d_{70}, d_{72}, \dots, d_{78}$ が、レジスタ 28 内の偶数番レジスタ位置 R_0, R_2, \dots, R_8 にそれぞれ記憶されたそれぞれのデータビット $d_{50}, d_{52}, \dots, d_{58}$ とともに、第 2 のメインレジスタアレイ 28 からそのまま読み出される。それぞれ奇数番レジスタ位置 R_1, R_3, \dots, R_9 のデータビット $d_{51}, d_{53}, \dots, d_{59}$ は、レジスタ 28 内の新たに空になった偶数番レジスタ位置 R_0, R_2, \dots, R_8 に移動され、入力データビット $d_{71}, d_{73}, \dots, d_{79}$ は、それぞれ位置 R_1, R_3, \dots, R_9 に記憶される。入力する残りのデータビット d_{80}, \dots, d_{89} は、第 2 のメインレジスタアレイ 28 内のレジスタ位置 R_{10}, \dots, R_{19} に記憶される。

40

【 0 0 6 7 】

この処理は、図 9 c ~ g に示すように、クロックサイクル毎に 2 対の連続データビットがレジスタ 26, 28 又は 30 の 1 つに書き込まれ、インデックスが 20 だけ異なる 2 対

50

のデータビットがレジスタ26, 28又は30の1つから読み出されることが、入力データストリームのすべてが処理されるまで続く。デインターリーバの入力端ではシンボル間のギャップが存在するため、図9f及びgに示されるレジスタ位置は、現在のシンボルの全200ビットが処理されるまで空のままであることを注意されたい。

【0068】

代替実施例において、デュアルキャリア復調器の後又は中に並べ替えブロックが存在する場合には、データストリームは自然な順序、つまり d_0, d_1, d_2, d_3, d_4 の順序でデインターリーバに提供することができる。したがって、シンボル内前処理ユニット12は、第2のメインレジスタアレイ28又は特殊レジスタアレイ30を使用する必要はない。代わりに、前処理ユニット12の動作は、 $deintv_type = 2$ に対して図8a~fのようになる。

10

【0069】

上で説明したように、1クロックサイクル毎のシンボル内前処理ユニット12からの出力は、インデックスが $deintv_type = 1$ の時には10だけ、 $deintv_type = 2$ または3の時には20だけ異なるデータビットの対である。デインターリーバの高スループット要件、及び現在のメモリ（特にCMOSメモリ）の限定されたアクセス速度のために、前処理ユニット12によって出力されるソフトビットの各々の対は、第1又は第2のメモリ16, 18の1つにおける単一のメモリアドレスに記憶される。

【0070】

また上で説明したように、いつでも、メモリ16, 18の一方が、6シンボルの現在のセットに対して前処理ユニット12からのデータビットの対を受信して格納するとともに、他方のメモリ16, 18が、それ以前にメモリ16, 18に記憶された6シンボルのセットに対するデータビットの対を出力する。

20

【0071】

読み出し/書き込みアドレス発生器20は、データが書き込まれる又は読み出される第1及び第2のメモリ16, 18内の位置を決定する。説明したように、読み出し/書き込み発生器は、シンボル内前処理ユニット12からのデータビット対を受信するメモリ16, 18を、各OFDMシンボルのビットがメモリ16, 18内の適切なアドレスに記憶されるように制御する。

【0072】

$deintv_type = 1$ のとき、第1又は第2のメモリ16, 18におけるM番目のシンボル中のデータビット $d_x d_{x+10}$ に対する書き込みアドレスは、以下の式から決定される。

30

【0073】

【数4】

$$2\text{Mod}(x,20)+20\text{Floor}\left(\frac{x}{20}\right)+100M \quad (4)$$

40

【0074】

ここで $\text{Mod}(x, y)$ は、 x を y で割ったときの負でない整数の余りを返すモジュロ演算子であり、 $\text{Floor}(z)$ は引数以下の最大整数値を返すフロア関数である。

【0075】

$deintv_type = 2$ または3のとき、第1又は第2のメモリ16, 18におけるM番目のシンボル中のデータビット $d_x d_{x+20}$ に対する書き込みアドレスは、以下の式から決定される。

【0076】

【数 5】

$$\text{Mod}(x,40)+20\text{Floor}\left(\frac{x}{40}\right)+100M \quad (5)$$

【0077】

しかし、データを読み出すべきアドレスを発生する読み出しアドレス発生器はもっと複雑になる。

【0078】

アドレス発生器20は、インターリーバの第3段階における循環シフトに対処するために、プレフェッチ機構を使用することが不可欠である。プレフェッチが現在のOFDMシンボルに対してイネーブルされると、対応するメモリ位置がまずプレフェッチされ、シンボル間処理ユニット24に渡される前に通常の方法で次のデータと組み合わせられる。

【0079】

同時に、読み出しアドレスの発生を促進するために、異なるアドレスカウンタ (`addr0`, `addr1`, `addr2`, `addr3`, `addr4`, `addr5`) を使用する。基本的に、各アドレスカウンタはそれぞれメモリ16, 18内の1つの連続セクションに位置する1つのOFDMシンボルを担当し、通常動作中、1クロックサイクル毎に各アドレスカウンタは所定の値だけインクリメントされる。一度アドレスカウンタがメモリセクション(つまりOFDMシンボルが記憶されるメモリ16, 18のセクション)の境界値に到達すると、アドレス値はメモリセクション内で循環する。読み出しアドレス発生は、内ループ及び外ループを使用する二重ループカウンタによって制御されることが好ましい。内ループカウンタ `inner_cnt` が所定の閾値に到達すると、このカウンタがゼロにリセットされ、外ループカウンタ `outer_cnt` が1だけ増加する。

【0080】

図10を参照して、アドレス発生器20の動作をここで詳細に説明する。まずステップ101において初期化が実行される。パラメータ `inner_cnt` 及び `outer_cnt` がゼロにセットされる。6つのアドレスカウンタ `addr0`, `addr1`, `addr2`, `addr3`, `addr4`, `addr5` はゼロに初期化される。それぞれのOFDMシンボルに対するデータビットが記憶されるメモリ16, 18の連続セクションにおける第1のアドレスを表す初期アドレス値 `init_addr0`, `init_addr1`, `init_addr2`, `init_addr3`, `init_addr4` 及び `init_addr5` が決定される。パラメータ `pref_en` が各OFDMシンボルに対してセットされ、これはそのシンボルに対してプレフェッチがイネーブルか否かを示している。パラメータ `pref_en` は、最初はディセーブルにセットされる。

【0081】

ステップ103において、第1の3つのアドレスカウンタ `addr0`, `addr1` 及び `addr2` は、それぞれ初期アドレス値 `init_addr0`, `init_addr1`, `init_addr2` にセットされる。`deintv_type = 3` の場合、第4、第5及び第6のアドレスカウンタ `addr3`, `addr4`, `addr5` は、それぞれ初期アドレス値 `init_addr3`, `init_addr4` 及び `init_addr5` にセットされる。

【0082】

ステップ105において、1つのメモリ位置におけるデータビットの対が、その `pref_en` がハイである各OFDMシンボルに対してプレフェッチされる。これらのデータビットは適切な `init_addr` によって示されるアドレスから得られる。

【0083】

ステップ107において、それぞれ `addr0` 及び `addr1` の値に従って、シンボル0及び1に対する1つのメモリ位置が読み出される。

10

20

30

40

50

【0084】

ステップ109において、`addr1`の現在の値が180未満の場合、`addr0`の値は20だけ増加され、`addr1`の値は20だけ増加される。さもなければ、`addr1`の値は80だけ減少される。

【0085】

ステップ111において、`deintv__type = 3`か否かが測定される。`deintv__type = 1`又は2の場合、処理はステップ113に進み、シンボル2に対するメモリ位置が`addr2`の値に従って読み出される。ステップ113に続くステップ115において、`addr2`の現在値が280未満の場合には`addr2`の値は20だけ増加され、さもなければ`addr2`の値は80だけ減少される。次に処理はステップ117に進む。

10

【0086】

ステップ111において、`deintv__type = 3`と測定された場合、処理はステップ119に進み、シンボル2, 3, 4及び5に対する1つのメモリ位置がそれぞれ`addr2`, `addr3`, `addr4`, `addr5`の値に従って読み出される。ステップ119に続くステップ121において、`addr2`の現在値が280未満の場合には、`addr2`の値は20だけ増加され、さもなければ`addr2`の値は80だけ減少される。`addr3`の値は、`addr3`の現在値が380未満の場合には20だけ増加され、さもなければ`addr3`の値は80だけ減少される。`addr4`の値は、`addr4`の現在値が480未満の場合には20だけ増加され、さもなければ`addr4`の値は80だけ減少される。`addr5`の値は、`addr5`の現在地が580未満の場合には20だけ増加され、さもなければ`addr5`の値は80だけ減少される。次に処理はステップ117に進む。

20

【0087】

ステップ117において、`inner__cnt`の値が4か否かを測定する。`inner__cnt`の値が4でない場合には、処理は123に進み、`inner__cnt`の値が増加される。`inner__cnt`の値が増加されたあと、処理はステップ107に戻り、`addr0`及び`addr1`に対する現在値に従って、シンボル0及び1に対するメモリ位置が読み出される。

【0088】

`inner__cnt`の値が4である場合、処理はステップ125に進み、`outer__cnt`の値が19か否かが測定される。`outer__cnt`の値が19の場合、これらの6つのOFDMシンボルに対する処理が完了し、次のシンボルに対して処理を繰り返すために、初期化ステップ101に戻る。

30

【0089】

ステップ127において、`deintv__type = 1`の場合には`outer__cnt`の値は1だけ増加され、`init__addr0`, `init__addr1`及び`init__addr2`の値は1だけ増加される。

【0090】

`deintv__type = 2`の場合には`outer__cnt`の値は2だけ増加され、`init__addr0`, `init__addr1`及び`init__addr2`の値は2だけ増加される。

40

【0091】

`deintv__type = 3`の場合には`outer__cnt`の値は1だけ増加され、`init__addr0`, `init__addr1`, `init__addr2`, `init__addr3`, `init__addr4`及び`init__addr5`の値は1だけ増加される。

【0092】

全3つの状況において、`inner__cnt`はゼロにセットされる。

【0093】

次に処理はステップ129に移り、各OFDMシンボルに対する`outer__cnt`の現在値に基づいて、`pref__en`の値が更新される。図11の表は、`deintv__t`

50

type, outer_cnt及び現在のシンボルのインデックスの様々な可能な組み合わせに対するpref_enの値を示している。

【0094】

pref_enの値がアップデートされたあと、処理はステップ103に戻り、アドレスカウンタはそれぞれのinit_addrの値にセットされる。

【0095】

上述のように、選択されたメモリ16, 18から出力されたデータビットはマルチプレクサ22を介してシンボル間後処理ユニット24に渡る。図12は、本発明による後処理ユニット24のブロック線図である。シンボル間後処理ユニット24は、図1に示すシンボルインターリーブユニット4の処理を解除するために、シンボルデインターリーブを実行する。後処理ユニット24は、それぞれR₀, R₁, ..., R₁₁と番号づけられた12の位置を有するレジスタアレイ36と、レジスタアレイ36の動作を制御するためのコントローラ38を具える。

【0096】

上述の通り、2つのデータビットが各メモリアドレスに記憶されているので、2つのデータビットが1クロックサイクル毎にメモリ16, 18の1つから後処理ユニット24に出力される。前処理ユニット12の動作のために、これらのデータビットは同一のシンボルからの連続データビットである。しかし、1つのソフトデータビットのみが、レジスタアレイ36の各レジスタ位置に記憶される。

【0097】

後処理ユニット24は、後処理ブロックの出力が、送信機のインターリーブ2に提供されたデータビットのパターンである、期待デインターリーブパターンに一致するようにこれらのデータビットの対を並べ替える。

【0098】

図13a~dは、本発明による後処理ユニット24の動作を示している。斜線のレジスタ位置は、正当なデータがそこに記憶されていることを示している。斜線でないレジスタ位置は、データを受信するために利用可能である。図13aに示すように、データビットはレジスタ位置R₀, R₁, R₂及びR₃に書き込まれる。

【0099】

次に、図13bに示すように、レジスタ位置R₀及びR₂におけるデータビットが、レジスタ位置R₄及びR₆に記憶されたデータビットとともに読み出される。新たなデータビットがレジスタ位置R₄, R₅, R₆及びR₇に書き込まれる。レジスタ位置R₄及びR₆に記憶されたビットの読み出し動作は、これらの位置に新たなビットを書き込む動作の前に発生することは理解されよう。実際、これらの動作は、同一のプロセッサクロックサイクル中に発生する。

【0100】

次に、図13cに示すように、レジスタ位置R₁及びR₃のデータビットが、レジスタ位置R₈及びR₁₀に記憶されたデータビットとともにレジスタから読み出される。新たなデータビットはレジスタ位置R₈, R₉, R₁₀及びR₁₁に書き込まれる。

【0101】

次に、図13dに示すように、レジスタ位置R₅, R₇, R₉及びR₁₁におけるデータビットがレジスタから読み出される。これらのレジスタ位置は、番号順、つまりR₅, R₇, R₉そしてR₁₁の順にアクセスされる。新たなデータビットは、レジスタ位置R₀, R₁, R₂及びR₃に書き込まれる。次に処理は図13bから順方向に繰り返す。

【0102】

このように、上で説明した後処理ユニット24の動作から分かるように、同一のシンボルからの連続データビットの対が出力としてデインターリーブ10から分離される。

【0103】

このように、本発明によるデインターリーブの構造はレジスタとメモリの組み合わせを使用するため、デインターリーブは、設計及び実装するのに簡単で安価である。データス

10

20

30

40

50

トリームをインターリーブするのに使用される手法をどのように変更する場合でも、また代替インターリーブ手法を使用する場合でも、レジスタレイのアドレス生成部の動作を変更することによって、デインターリーバを適応させることは容易である。シンボルのサイズの変更は、デインターリーバ10において使用されるメモリ16, 18のサイズを変更することによって、容易に適応させることができる。

【0104】

上述の通り、本発明を、MultiBand OFDM Allianceによる“MultiBand OFDM Physical Layer Specification”リリース1.0に従う超広帯域ネットワークについて説明したが、本発明は、2つのデバイス間のデータ通信を保護するために、多段階のインターリーブを使用する他のシステムにも適用可能である。例えば、本発明は無線、モバイル及び衛星通信システム、光磁気記憶システム及びハードディスク及びデジタルテープ記憶システムにも適用可能である。

10

【0105】

本発明を図面で及び前述の説明で詳細に説明したが、このような図解及び説明は単なる一例もしくは代表例とみなすべきであり、本発明は開示された実施例に限定されない。

【0106】

開示された実施例に対する他の変更は、請求の範囲に記載された発明の実施にあたり、図面、明細書、及び添付の請求項を検討することによって、当業者が理解し達成することができる。請求項において、「具える」という言葉は、他の要素又はステップを排除するものでなく、また数を特定してない要素は複数の要素の存在を除外するものではない。単一のプロセッサ又は他のユニットは、クレームに列挙された複数項目の機能を遂行できる。また、いくつかの手段が互いに異なる従属請求項に記載されていることのみをもって、これらの手段の組み合わせは有利に使用できないことを意味するものではない。コンピュータプログラムは、他のハードウェアとともに又は一部として、光記憶媒体又は固体媒体のような適切な媒体上に記憶/配布できるが、他の形態、例えばインターネット又は他の有線又は無線電話通信システムを介して配信することもできる。請求項における参照番号は、範囲を限定するものとして解釈されるべきではない。

20

【 図 1 】

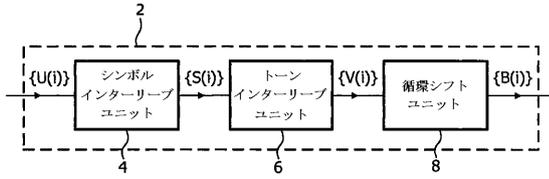


FIG. 1

【 図 2 】

データレート (Mb/s)	N _{CBS}	N _{Tint}	N _{TDS}	N _{Oyc}	Deintv_type	M
39.4	100	10	2	33	1	0-2
53.3	100	10	2	33	1	0-2
80	100	10	2	33	1	0-2
106.7	200	20	2	66	2	0-2
160	200	20	2	66	2	0-2
200	200	20	2	66	2	0-2
320	200	20	1	33	3	0-5
400	200	20	1	33	3	0-5
480	200	20	1	33	3	0-5

FIG. 2

【 図 3 】

sym _{0,0}	0	sym _{0,0}	0	sym _{0,0}	0
sym _{1,0}	167	sym _{1,0}	334	sym _{1,0}	367
sym _{2,0}	234	sym _{2,0}	468	sym _{2,0}	534
sym _{0,1}	10	sym _{0,1}	20	sym _{3,0}	701
sym _{1,1}	177	sym _{1,1}	354	sym _{4,0}	868
sym _{2,1}	244	sym _{2,1}	488	sym _{5,0}	1035
sym _{0,2}	20	sym _{2,1}	488	sym _{0,1}	20
⋮	⋮	⋮	⋮	sym _{1,1}	387
⋮	⋮	sym _{2,6}	588	sym _{2,1}	554
⋮	⋮	sym _{0,7}	140	sym _{3,1}	721
⋮	⋮	sym _{1,7}	274	sym _{4,1}	888
⋮	⋮	sym _{2,7}	408	sym _{5,1}	1055
⋮	⋮	⋮	⋮	sym _{0,2}	40
⋮	⋮	⋮	⋮	⋮	⋮

FIG. 3a

FIG. 3b

FIG. 3c

【 図 4 】

アドレス	0	sym _{0,0}	アドレス	0	sym _{0,0}	アドレス	0	sym _{0,0}
	1	sym _{0,10}		1	sym _{0,10}		1	sym _{0,10}
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
10	sym _{0,1}	10	sym _{0,1}	20	sym _{0,1}	20	sym _{0,1}	
11	sym _{0,11}	11	sym _{0,11}	21	sym _{0,11}	21	sym _{0,11}	
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	
100	sym _{1,33}	100	sym _{1,33}	200	sym _{1,63}	200	sym _{1,131}	
101	sym _{1,43}	101	sym _{1,43}	201	sym _{1,73}	201	sym _{1,141}	
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	
200	sym _{2,66}	200	sym _{2,66}	400	sym _{2,126}	400	sym _{2,63}	
201	sym _{2,76}	201	sym _{2,76}	401	sym _{2,136}	401	sym _{2,73}	
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	
⋮	⋮	⋮	⋮	⋮	⋮	600	sym _{3,194}	
⋮	⋮	⋮	⋮	⋮	⋮	601	sym _{3,5}	

FIG. 4a

FIG. 4b

FIG. 4c

【 図 5 】

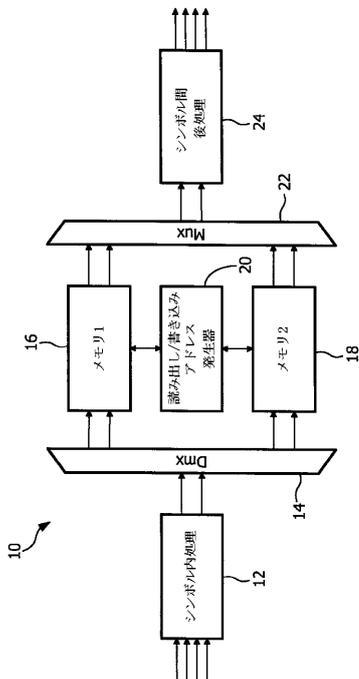


FIG. 5

【 図 6 】

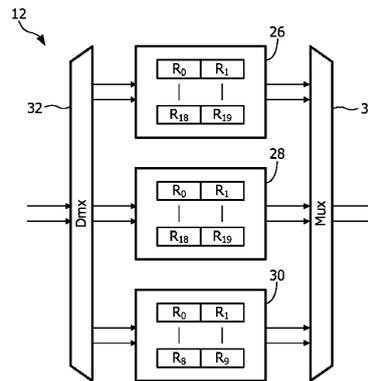


FIG. 6

【 図 7 】

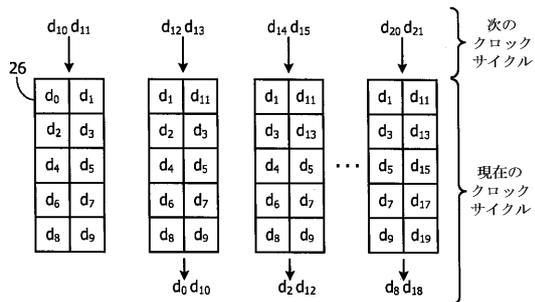


FIG. 7a FIG. 7b FIG. 7c FIG. 7d

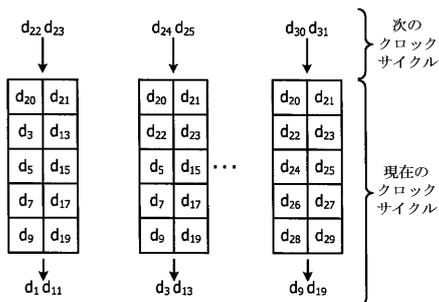


FIG. 7e FIG. 7f FIG. 7g

【 図 8 - 2 】



FIG. 8e FIG. 8f

FIG. 8e

FIG. 8d

【 図 8 - 1 】

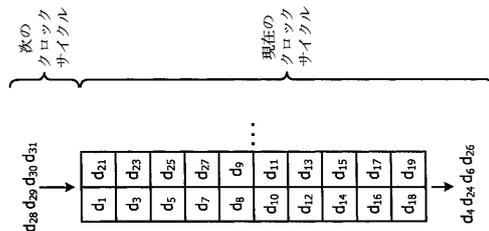


FIG. 8a

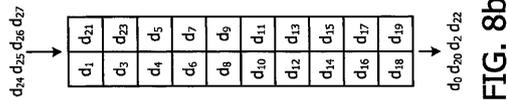


FIG. 8b

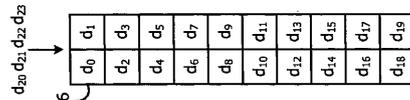


FIG. 8c

【 図 9 - 1 】

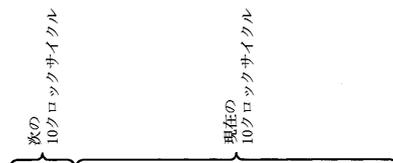


FIG. 9a

FIG. 9b

【 図 9 - 2 】

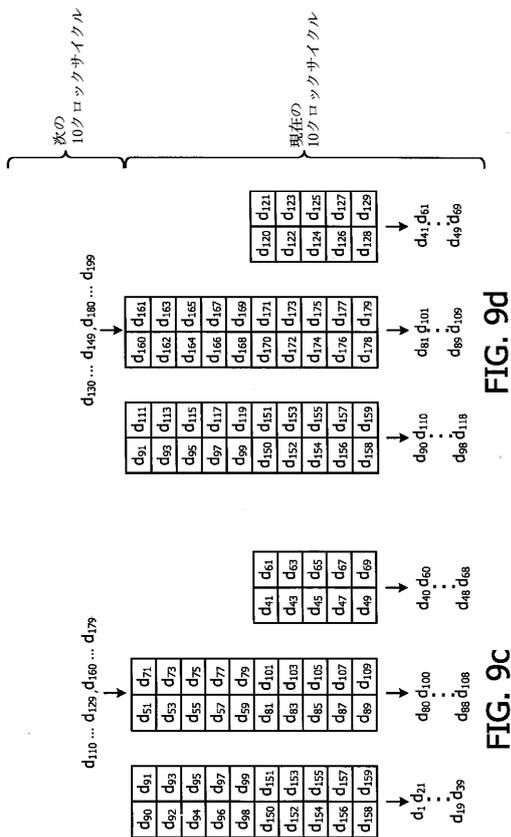


FIG. 9d

FIG. 9c

【 図 9 - 3 】

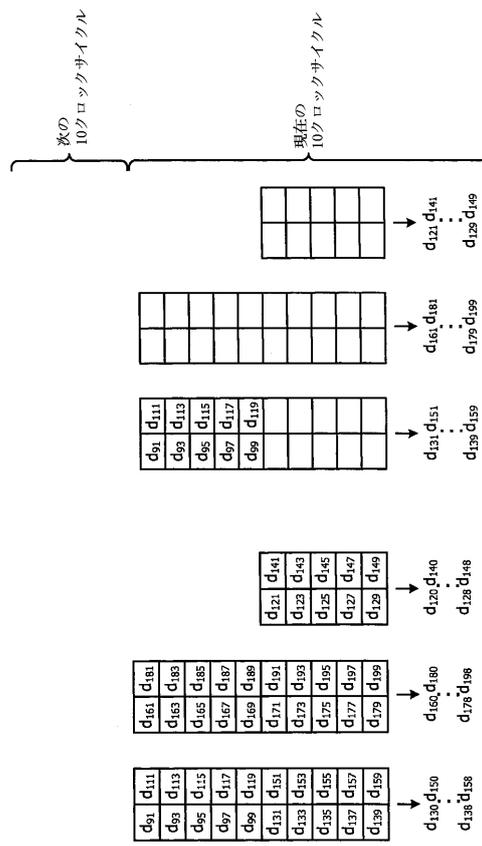


FIG. 9f

FIG. 9e

【 図 9 - 4 】

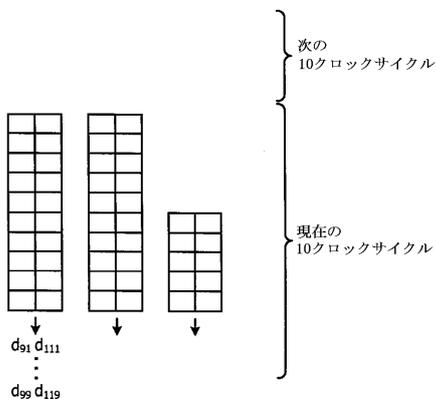


FIG. 9g

【 図 10 - 1 】

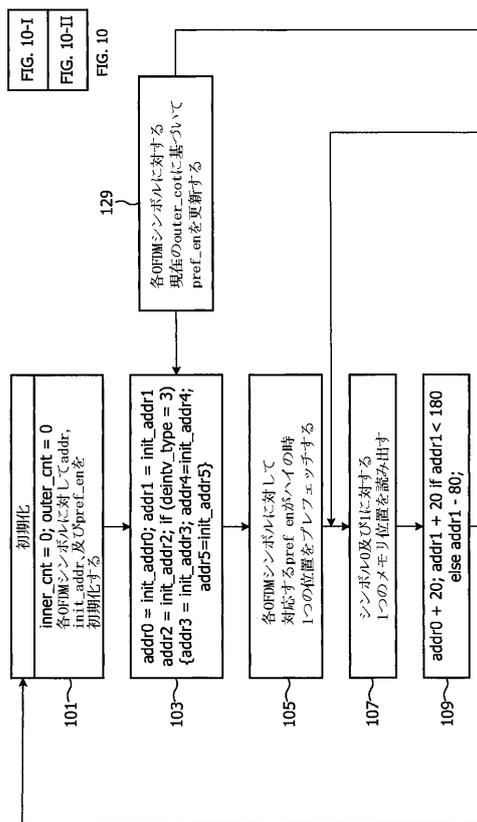
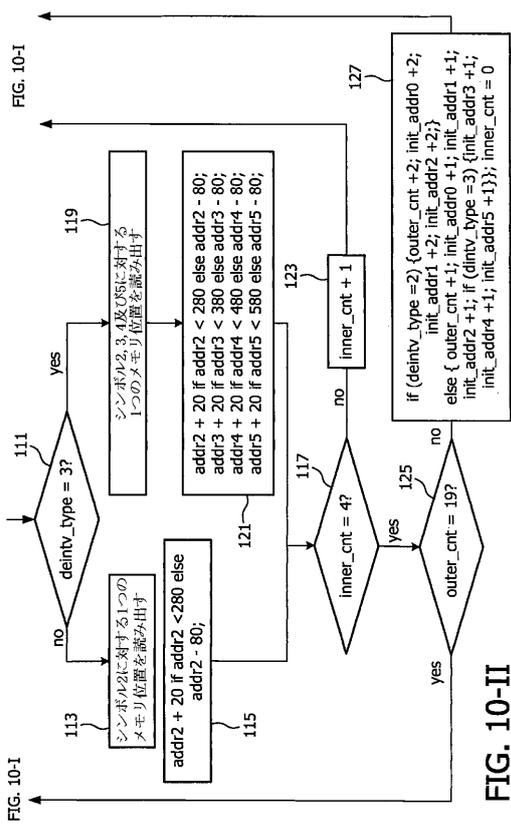


FIG. 10-I

FIG. 10-II

【 図 1 0 - 2 】

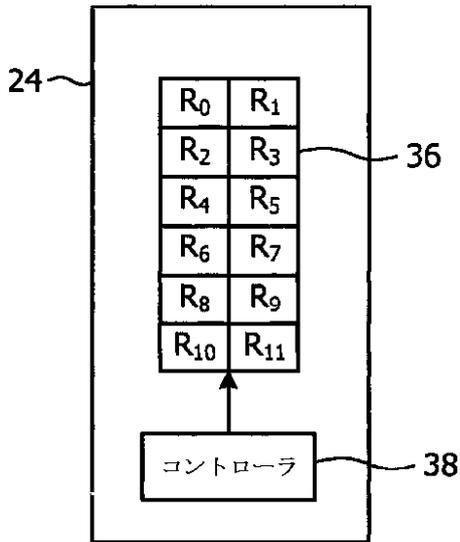


【 図 1 1 】

deintv_type	現在のシンボルインデックス	outer_cnt	pref_onの値
1 or 2	0	0 - 19	0
	1	0 - 5	0
	2	6 - 19	1
3	0	0 - 11	0
	1	12 - 19	1
	2	0 - 19	0
	3	0 - 12	0
	4	13 - 19	1
	5	0 - 5	0
	6	6 - 19	1
	7	0 - 18	1
	8	19	0
	9	0 - 11	1
10	12 - 19	0	
11	0 - 4	1	
12	5 - 19	0	

FIG. 11

【 図 1 2 】



【 図 1 3 a - 1 3 d 】

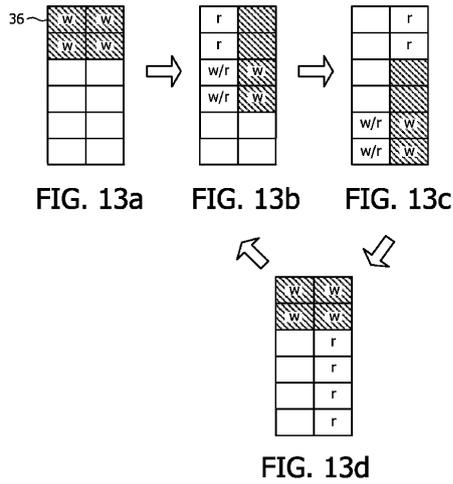


FIG. 12

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/IB2007/053643

A. CLASSIFICATION OF SUBJECT MATTER INV. H03M13/27		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03M		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, INSPEC, COMPENDEX		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	HORVATH L ET AL: "A novel, high-speed, reconfigurable demapper-symbol deinterleaver architecture for DVB-T" PROC. OF INTERN. SYMPOSIUM ON CIRCUITS AND SYSTEMS 1999 (ISCAS '99), vol. 4, 30 May 1999 (1999-05-30), pages 382-385, XP010341250 Orlando, USA ISBN: 0-7803-5471-0 abstract page 382, left-hand column page 383 page 384, left-hand column figures 2.3a,3b ----- -/--	1-5,7-9, 12,14,15 6,10,11, 13
<input checked="" type="checkbox"/>	Further documents are listed in the continuation of Box C.	<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents :		
<p>*A* document defining the general state of the art which is not considered to be of particular relevance</p> <p>*E* earlier document but published on or after the international filing date</p> <p>*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>*O* document referring to an oral disclosure, use, exhibition or other means</p> <p>*P* document published prior to the international filing date but later than the priority date claimed</p> <p>*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>*Z* document member of the same patent family</p>		
Date of the actual completion of the international search 11 February 2008		Date of mailing of the international search report 28/02/2008
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Burkert, Frank

INTERNATIONAL SEARCH REPORT

International application No

PCT/IB2007/053643

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2005/152327 A1 (ERLICH YOSSI [IL] ET AL) 14 July 2005 (2005-07-14) cited in the application paragraphs [0096], [0138], [0139] figures 6,10-13 -----	1-15
A	US 2004/268207 A1 (SHARMA SUDHIR K [US]) 30 December 2004 (2004-12-30) abstract paragraphs [0011], [0012], [0035], [0042] paragraphs [0054] - [0065] figure 6.7 -----	1-15
A	WO 2004/015948 A (NOKIA CORP [FI]; PALIN ARTO [FI]; HENRIKSSON JUKKA [FI]) 19 February 2004 (2004-02-19) page 17, line 7 - page 18, line 16 figure 7 -----	1-15
A	RICHTER T ET AL: "Parallel interleaving on parallel DSP architectures" PROC. IEEE WORKSHOP ON SIGNAL PROCESSING SYSTEMS 2002. (SIPS '02), 16 October 2002 (2002-10-16), pages 195-200, XP010616600 PISCATAWAY, NJ, USA ISBN: 0-7803-7587-4 the whole document -----	1-15

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/IB2007/053643

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2005152327 A1	14-07-2005	EP 1690396 A1	16-08-2006
		WO 2005055544 A1	16-06-2005
		KR 20060109484 A	20-10-2006
US 2004268207 A1	30-12-2004	NONE	
WO 2004015948 A	19-02-2004	AU 2002319335 A1	25-02-2004
		CN 1647477 A	27-07-2005
		EP 1529389 A1	11-05-2005
		JP 2005536097 T	24-11-2005
		MX PA05001714 A	19-04-2005
		TW 238613 B	21-08-2005
		US 2006062314 A1	23-03-2006

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 プー ティアンヤン

イギリス国 サリー アールエイチ1 5エイチエイ レッドヒル クロス オーク レーン エヌエックスピー セミコンダクターズ アイピー デパートメント内

(72)発明者 セルゲイ フェ サヴィツキ

イギリス国 サリー アールエイチ1 5エイチエイ レッドヒル クロス オーク レーン エヌエックスピー セミコンダクターズ アイピー デパートメント内

Fターム(参考) 5J065 AG06 AH17

5K014 FA16 HA10