

특허청구의 범위

청구항 1.

기판,
 기판 상의 아날로그 nMOS 트랜지스터와 응축 스트레인 채널 아날로그 pMOS 트랜지스터, 및
 상기 nMOS 및 pMOS 트랜지스터를 각각 덮는 제1 및 제2 식각 정지 라이너를 포함하되,
 상기 nMOS 및 pMOS 트랜지스터는 각각 레퍼런스 비스트레인 채널 아날로그 nMOS 및 pMOS 트랜지스터에 대한 500Hz에서의 플리커 노이즈 파워의 상대치가 1 이하인 반도체 소자.

청구항 2.

제1 항에 있어서, 상기 제1 식각 정지 라이너의 수소 농도는 $1 \times 10^{21}/\text{cm}^3$ 이하인 반도체 소자.

청구항 3.

제2 항에 있어서, 상기 제2 식각 정지 라이너는 중성 식각 정지 라이너이고, 상기 스트레인 채널 pMOS 트랜지스터는 상기 기판 내에 형성된 그루브를 매립하며 소오스/드레인 영역이 형성된 응축 에피택셜 반도체층에 의해 채널에 응축 스트레인이 유도되는 트랜지스터인 반도체 소자.

청구항 4.

제2 항에 있어서, 상기 제2 식각 정지 라이너는 응축 스트레인 유도 라이너이고, 상기 스트레인 채널 pMOS 트랜지스터는 상기 응축 스트레인 라이너에 의해 채널에 응축 스트레인이 유도되는 트랜지스터인 반도체 소자.

청구항 5.

제4 항에 있어서, 상기 pMOS 트랜지스터는 상기 채널에 응축 스트레인을 유도하고, 상기 기판 내에 형성된 그루브를 매립하며 소오스/드레인 영역이 형성되는 응축 에피택셜 반도체층을 포함하는 반도체 소자.

청구항 6.

제2 항에 있어서, 상기 제1 식각 정지 라이너는 중성 식각 정지 라이너이고, 상기 nMOS 트랜지스터는 상기 기판 내에 형성된 그루브를 매립하며 소오스/드레인 영역이 형성되는 신장 에피택셜 반도체층, 응축 스트레인된 게이트, 및 이들의 조합으로부터 선택되고 상기 채널에 신장 스트레인을 유도하는 어느 하나를 포함하는 스트레인 채널 트랜지스터인 반도체 소자.

청구항 7.

제2 항에 있어서, 상기 제1 식각 정지 라이너는 신장 스트레인 유도 라이너이고, 상기 nMOS 트랜지스터는 상기 신장 스트레인 유도 라이너에 의해 채널에 신장 스트레인이 유도된 스트레인 채널 트랜지스터인 반도체 소자.

청구항 8.

제7 항에 있어서, 상기 nMOS 트랜지스터는 상기 기판 내에 형성된 그루브를 매립하며 소오스/드레인 영역이 형성되는 신장 에피택셜 반도체층, 응축 스트레인된 게이트, 및 이들의 조합으로부터 선택되고 상기 채널에 신장 스트레인을 유도하는 어느 하나를 포함하는 스트레인 채널 트랜지스터인 반도체 소자.

청구항 9.

제2 항에 있어서, 상기 제1 식각 정지 라이너는 응축 스트레인 유도 라이너이고, 상기 nMOS 트랜지스터는 상기 응축 스트레인 유도 라이너에 의해 채널에 응축 스트레인이 유도된 스트레인 채널 트랜지스터인 반도체 소자.

청구항 10.

제9 항에 있어서, 상기 nMOS 트랜지스터는 상기 기판 내에 형성된 그루브를 매립하며 소오스/드레인 영역이 형성되는 신장 에피택셜 반도체층, 응축 스트레인된 게이트, 및 이들의 조합으로부터 선택되고 상기 채널에 신장 스트레인을 유도하는 어느 하나를 포함하는 스트레인 채널 트랜지스터인 반도체 소자.

청구항 11.

기판,
 상기 기판 상의 아날로그 nMOS 트랜지스터와 아날로그 pMOS 트랜지스터,
 상기 nMOS 트랜지스터를 덮으며 수소 농도는 $1 \times 10^{21}/\text{cm}^3$ 이하인 제1 식각 정지 라이너,
 상기 pMOS 트랜지스터를 덮으며 상기 pMOS 트랜지스터의 채널에 응축 스트레인을 유도하는 제2 식각 정지 라이너를 포함하는 반도체 소자.

청구항 12.

제11 항에 있어서, 상기 제1 식각 정지 라이너는 상기 nMOS 트랜지스터의 채널에 신장 스트레인을 유도하는 반도체 소자.

청구항 13.

제12 항에 있어서, 상기 pMOS 트랜지스터는 상기 채널에 응축 스트레인을 유도하고, 상기 기판 내에 형성된 그루브를 매립하며 소오스/드레인 영역이 형성되는 응축 에피택셜 반도체층을 포함하는 반도체 소자.

청구항 14.

제13 항에 있어서, 상기 nMOS 트랜지스터는 상기 기판 내에 형성된 그루브를 매립하며 소오스/드레인 영역이 형성되는 신장 에피택셜 반도체층, 응축 스트레인된 게이트, 및 이들의 조합으로부터 선택되고 상기 채널에 신장 스트레인을 유도하는 어느 하나를 포함하는 스트레인 채널 트랜지스터인 반도체 소자.

청구항 15.

기관,
수소 농도가 $1 \times 10^{21}/\text{cm}^3$ 이하인 제1 식각 정지 라이너, 및
상기 제1 식각 정지 라이너와 상기 기관 사이에 형성된 스트레인 채널 아날로그 nMOS 트랜지스터를 포함하는 반도체 소자.

청구항 16.

제15 항에 있어서, 상기 제1 식각 정지 라이너는 중성 식각 정지 라이너이고, 상기 nMOS 트랜지스터는 상기 기관 내에 형성된 그루브를 매립하며 소오스/드레인 영역이 형성되는 신장 에피택셜 반도체층, 응축 스트레인이된 게이트, 및 이들의 조합으로부터 선택되고 상기 채널에 신장 스트레인을 유도하는 어느 하나를 포함하는 스트레인 채널 트랜지스터인 반도체 소자.

청구항 17.

제15 항에 있어서, 상기 제1 식각 정지 라이너는 신장 스트레인 유도 라이너이고, 상기 nMOS 트랜지스터는 상기 신장 스트레인 유도 라이너에 의해 채널에 신장 스트레인이 유도된 스트레인 채널 트랜지스터인 반도체 소자.

청구항 18.

제17 항에 있어서, 상기 nMOS 트랜지스터는 상기 기관 내에 형성된 그루브를 매립하며 소오스/드레인 영역이 형성되는 신장 에피택셜 반도체층, 응축 스트레인이된 게이트, 및 이들의 조합으로부터 선택되고 상기 채널에 신장 스트레인을 유도하는 어느 하나를 포함하는 스트레인 채널 트랜지스터인 반도체 소자.

청구항 19.

제15 항에 있어서, 상기 제1 식각 정지 라이너는 응축 스트레인 유도 라이너이고, 상기 nMOS 트랜지스터는 상기 응축 스트레인 유도 라이너에 의해 채널에 응축 스트레인이 유도된 스트레인 채널 트랜지스터인 반도체 소자.

청구항 20.

제19 항에 있어서, 상기 nMOS 트랜지스터는 상기 기관 내에 형성된 그루브를 매립하며 소오스/드레인 영역이 형성되는 신장 에피택셜 반도체층, 응축 스트레인이된 게이트, 및 이들의 조합으로부터 선택되고 상기 채널에 신장 스트레인을 유도하는 어느 하나를 포함하는 스트레인 채널 트랜지스터인 반도체 소자.

청구항 21.

기관 상에 아날로그 nMOS 트랜지스터와 아날로그 pMOS 트랜지스터를 형성하고,

상기 nMOS 트랜지스터를 덮으며 수소 농도는 $1 \times 10^{21}/\text{cm}^3$ 이하인 제1 식각 정지 라이너와 상기 pMOS 트랜지스터를 덮으며 상기 pMOS 트랜지스터의 채널에 응축 스트레인을 유도하는 제2 식각 정지 라이너를 형성하는 것을 포함하는 반도체 소자의 제조 방법.

청구항 22.

제21 항에 있어서, 상기 제1 식각 정지 라이너와 상기 제2 식각 정지 라이너를 형성하는 것은 상기 nMOS 트랜지스터를 덮는 신장 스트레인 식각 정지 라이너와 상기 pMOS 트랜지스터를 덮는 응축 스트레인 라이너를 형성하고, 상기 결과물 전면 에 UV를 조사하는 것을 포함하는 반도체 소자의 제조 방법.

청구항 23.

제22 항에 있어서, 상기 pMOS 트랜지스터를 형성하는 것은 상기 기판 내에 그루브를 형성하고, 상기 그루브를 매립하는 응축 에피택셜 반도체층을 형성하고, 상기 응축 에피택셜 반도체층에 소오스/드레인 영역을 형성하는 것을 포함하는 반도체 소자의 제조 방법.

청구항 24.

제23 항에 있어서, 상기 nMOS 트랜지스터를 형성하는 것은 상기 기판 내에 그루브를 형성하고, 상기 그루브를 매립하는 신장 에피택셜 반도체층을 형성하고, 상기 신장 에피택셜 반도체층에 소오스/드레인 영역을 형성하는 것을 포함하는 반도체 소자의 제조 방법.

청구항 25.

제23 항에 있어서, 상기 nMOS 트랜지스터를 형성하는 것은 응축 스트레인된 게이트를 포함하는 nMOS 트랜지스터를 형성하는 것인 반도체 소자의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 특히 플리커 노이즈 특성이 향상된 반도체 소자 및 그 제조 방법에 관한 것이다.

반도체 소자의 디자인 룰 감소에 따른 소자 특성 열화에 대한 해결책으로 채널 영역에 스트레인(strain)을 유도함으로써 전자 및 정공의 이동도를 향상시키는 방법이 도입되고 있다. 그런데, 스트레인을 유도한 아날로그 MOS 트랜지스터의 경우 플리커 노이즈 특성이 열화되는 경향이 나타난다. 따라서, 스트레인 유도 기술을 적용할 경우 아날로그 MOS 트랜지스터의 상호 컨덕턴스(mutual conductance)나 차단 주파수(cut off frequency) 특성이 향상됨에도 불구하고, 스트레인 유도 기술을 적용하는 것이 곤란하다.

특히, 시스템 LSI(Large Scale Integrated circuit)의 경우에는 디지털 MOS 트랜지스터와 아날로그 MOS 트랜지스터가 혼재되어 하나의 완전한 기능을 수행한다. 그러므로, 시스템 LSI의 경우 디지털 MOS 트랜지스터와 아날로그 MOS 트랜지스터에 동시에 스트레인 유도 기술을 적용하는 것이 곤란하다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 플리커 노이즈 특성이 향상된 아날로그 MOS 트랜지스터를 포함하는 반도체 소자를 제공하고자 하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 플리커 노이즈 특성이 향상된 아날로그 MOS 트랜지스터를 포함하는 반도체 소자의 제조 방법을 제공하고자 하는 것이다.

본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성

상기 기술적 과제를 달성하기 위한 본 발명의 예시적인 실시예들에 따른 반도체 소자는 비스트레인 채널(not strained) 아날로그 MOS 트랜지스터에 대한 플리커 노이즈 파워의 상대치가 1 이하인 스트레인 채널 아날로그 MOS 트랜지스터를 포함한다.

상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예들에 따른 반도체 소자는 기판, 기판 상의 아날로그 nMOS 트랜지스터와 응축 스트레인 채널 아날로그 pMOS 트랜지스터, 및 상기 nMOS 및 pMOS 트랜지스터를 각각 덮는 제1 및 제2 식각 정지 라이너를 포함하되, 상기 nMOS 및 pMOS 트랜지스터는 각각 레퍼런스 비스트레인 채널 아날로그 nMOS 및 pMOS 트랜지스터에 대한 500Hz에서의 플리커 노이즈 파워의 상대치가 1 이하이다.

상기 다른 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예들에 따른 반도체 소자의 제조 방법은 기판 상에 아날로그 nMOS 트랜지스터와 아날로그 pMOS 트랜지스터를 형성하고, 상기 nMOS 트랜지스터를 덮으며 수소 농도는 $1 \times 10^{21}/\text{cm}^3$ 이하인 제1 식각 정지 라이너와 상기 pMOS 트랜지스터를 덮으며 상기 pMOS 트랜지스터의 채널에 응축 스트레인을 유도하는 제2 식각 정지 라이너를 형성하는 것을 포함한다.

기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

따라서, 몇몇 실시예에서, 잘 알려진 공정 단계들, 잘 알려진 구조 및 잘 알려진 기술들은 본 발명이 모호하게 해석되는 것을 피하기 위하여 구체적으로 설명되지 않는다.

본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는한 복수형도 포함한다. 명세서에서 사용되는 포함한다(comprises) 및/또는 포함하는(comprising)은 언급된 구성요소, 단계, 동작 및/또는 소자 이외의 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는 의미로 사용한다. 그리고, "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다. 또, 이하 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

또한, 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 개략도들을 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 또한 본 발명에 도시된 각 도면에 있어서 각 구성 요소들은 설명의 편의를 고려하여 다소 확대 또는 축소되어 도시된 것일 수 있다.

도 1 내지 도 5는 본 발명의 실시예들에 따른 반도체 소자를 설명하기 위한 개략도이다. 도 1 내지 도 5를 참조하면, 본 발명의 실시예들에 따른 반도체 소자는 도 1에 도시되어 있는 레퍼런스 아날로그 MOS 트랜지스터(1000, 2000)에 대한 500Hz에서의 플리커(1/f) 노이즈(noise) 파워(Svg(V^2/Hz))의 상대치가 1 이하가 되는 스트레인 채널(strained channel) 아날로그 pMOS 트랜지스터(도 2의 2100)와 스트레인 채널 또는 비스트레인 채널(not strained channel) 아날로그

nMOS 트랜지스터(도 3의 3100, 도 4의 4100, 도 5의 5100)의 다양한 조합으로 이루어진다. 플리커 노이즈 파워의 상대치가 1 이하가 된다는 것은 레퍼런스 아날로그 MOS 트랜지스터(1000, 2000) 대비 플리커 노이즈 특성의 열화가 없음을 의미한다.

스트레인 채널이란 채널에 압축 스트레스(compressive stress) 또는 신장 스트레스(tensile stress) 등이 가해져 채널의 스트레인(strain)을 유도함으로써 캐리어(전자 또는 정공)의 이동도(μ)가 변형된 채널을 지칭한다.

도 1에 예시되어 있는 레퍼런스 비스트레인 채널 아날로그 MOS 트랜지스터(1000, 2000)는 본 발명의 실시예들에 따른 반도체 소자를 구성하는 pMOS 트랜지스터(2100)와 nMOS 트랜지스터(3100, 4100, 5100)와 동일 디자인 룰, 동일 재질로 형성되며 채널에 스트레인이 유도되지 않는 MOS 트랜지스터이다. 즉, 채널에 $\pm |2| \text{ Gdyne/cm}^2$ 이상의 스트레스가 유도되지 않는 구조의 MOS 트랜지스터를 지칭한다. 따라서, 레퍼런스 아날로그 MOS 트랜지스터(1000, 2000)를 구성하는 식각 정지 라이너(etch stop liner, 이하 ESL)(1152a, 1152b)는 $\pm |2| \text{ Gdyne/cm}^2$ 이상의 스트레스를 유도하지 않는 중성(neutral) ESL(이하 NESL)이다. NESL(1152a, 1152b)는 수소 농도가 $1 \times 10^{22}/\text{cm}^3$ 미만, 보다 구체적으로는 $1 \times 10^{21}/\text{cm}^3$ 이하일 수 있다.

도 1 내지 도 5를 참고하면, 본 발명의 실시예들에 따른 반도체 소자를 구성하는 아날로그 nMOS 트랜지스터(3100, 3200, 1300)와 레퍼런스 아날로그 nMOS 트랜지스터(1000)는 기판(100), 기판(100) 내에 형성된 얇은 트렌치 소자 분리 영역(STI)(102), STI(102)에 의해 정의된 활성 영역 내에 형성된 n형 소오스/드레인 영역(128a), n형 소오스/드레인 영역(128a) 사이의 채널 영역(104a) 상에 게이트 절연막(110)을 개재하여 형성된 게이트(120), 게이트(120) 측면의 스페이서(123)를 포함한다. 게이트(120)와 n형 소오스/드레인 영역(128a)에는 금속 실리사이드층(130)이 형성되어 있을 수 있다.

마찬가지로 스트레인 채널 아날로그 pMOS 트랜지스터(2100)와 레퍼런스 비스트레인 채널 아날로그 pMOS 트랜지스터(2000)은 기판(100), 기판(100) 내에 형성된 얇은 트렌치 소자 분리 영역(102)에 의해 정의된 활성 영역 내에 형성된 p형 소오스/드레인 영역(128b), 소오스/드레인 영역(128b) 사이의 채널 영역(104b) 상에 게이트 절연막(110)을 개재하여 형성된 게이트(120), 게이트(120) 측면의 스페이서(124)를 포함한다. 게이트(120)와 소오스/드레인 영역(128b)에는 금속 실리사이드층(130)이 형성되어 있을 수 있다.

아날로그 nMOS 트랜지스터(3100, 4100, 5100)는 각각 게이트(120)와 스페이서(124)를 덮으며 기판 상으로 연장된 제1 ESL(152a, 252a, 352a)를 포함한다. 스트레인 채널 아날로그 pMOS 트랜지스터(2100)는 게이트(120)와 스페이서(124)를 덮으며 기판 상으로 연장된 제2 ESL(152b, 352b)를 포함한다.

제1 ESL(152a, 252a, 352a)과 제2 ESL(152b, 352b)는 반도체 소자의 집적도가 증가하면서 트랜지스터들 사이의 간격이 좁아지고, 트랜지스터의 디자인 룰도 현저히 감소함에 따라 콘택 영역 또한 축소되어 콘택홀의 식각시 식각 마진이 감소하는 것을 해결하기 위해 도입한 것이다.

본 발명의 실시예들에 따른 반도체 소자를 구성하는 스트레인 채널 아날로그 pMOS 트랜지스터(2100)와 아날로그 nMOS 트랜지스터(3100, 4100, 5100)는 채널 스트레인에 의한 소자 특성 향상과 함께 노이즈 특성의 향상이라는 공동 상승 효과(synergism)가 가능하도록 하는 트랜지스터 구조들로만 이루어져 있다.

이와 같은 트랜지스터 구조들은 도 6 내지 도 11에 도시되어 있는 바와 같이 1/f 노이즈 특성에 주된 영향을 미치는 인자가 아날로그 nMOS 트랜지스터의 경우에는 ESL내의 수소 농도이고, 아날로그 pMOS 트랜지스터의 경우에는 채널에 유도된 응축 스트레인이라는 발명자의 새로운 발견에 기초한 것이다. 이와 같은 발견은 현재까지 그 어느 누구에 의해서도 제시된 바가 없었다.

1/f 노이즈 파워(Svg)를 나타내는 아래 식 1을 참고하면, 노이즈 파워에 영향을 주는 주요한 변수는 계면 상태 밀도(Interface state density)와 캐리어 스캐터링(carrier scattering)이다.

수학식 1

$$S_{vg}(f) = \frac{kTq^2}{\gamma WLC_{ox}} (1 + \alpha \mu N)^2 N_t(E_{fm})$$

상기 식중, Svg는 노이즈 파워, Nt는 계면 상태 밀도, μ 는 이동도, N은 캐리어 밀도, α 는 스캐터링 계수를 각각 나타낸다.

도 6 내지 도 11의 결과로부터 스트레스는 오히려 노이즈 파워를 감소시키고 수소에 의한 계면 상태 밀도의 증가가 노이즈 파워 증가의 원인이 되는 것을 알 수 있다.

도 6은 PECVD에 의해 형성한 SiON막의 스트레스와 수소 농도를 나타내는 그래프이다.

도 6을 참조하면, 중성 스트레스를 나타내는 NESL의 경우 수소 농도가 낮은 경우(LH)($1 \times 10^{21}/\text{cm}^3$)와 수소 농도가 높은 경우(HH)($1 \times 10^{22}/\text{cm}^3$) 모두 약 $2 \text{ Gdyne}/\text{cm}^2$ 정도의 스트레스를 나타내고, 수소 농도가 높은(HH) 응축(compressive) ESL(이하 CESL)의 경우 약 $-12 \text{ Gdyne}/\text{cm}^2$ 정도의 스트레스를 나타낸다.

도 7은 동일 디자인 룰, 동일 재질의 아날로그 pMOS 트랜지스터를 제조하되, NESL(LH), 수소 농도가 높으며 채널에 응축 스트레인을 유도하는 CESL(compressive ESL)(HH) 및 채널에 응축 스트레인을 유도하는 에피택셜 SiGe(이하 eSiGe)과 함께 NESL(LH)을 포함하는 아날로그 pMOS 트랜지스터들에 대하여 NBTI를 측정하는 것이다. eSiGe는 기판 내에 형성된 그루브를 매립하며 소오스/드레인 영역이 형성되는 영역이다.

도 8은 NESL(LH), NESL(HH), CESL(LH), CESL(HH)을 각각 구비하는 아날로그 pMOS 트랜지스터들의 500Hz에서의 노이즈 파워를 측정한 결과를 나타낸다. 또, 각 ESL과 함께 eSiGe를 포함하는 아날로그 pMOS 트랜지스터들에 대해서도 500Hz에서의 노이즈 파워를 측정한 결과를 나타낸다. 도 9는 도 8의 결과를 바탕으로 NESL(LH)를 포함하는 레퍼런스 아날로그 pMOS 트랜지스터에 대한 나머지 pMOS 트랜지스터의 노이즈 파워의 상대치를 나타내는 그래프이다.

도 7을 참고하면, NESL(LH)+ eSiGe의 경우 NESL(LH)의 경우와 실질적으로 동일한 특성을 나타내는 반면, CESL(HH)의 경우 NESL(LH)와 다른 특성을 나타내는 것을 알 수 있다.

그런데, 도 8의 결과를 살펴보면, NESL(LH)와 실질적으로 동일한 NBTI 특성을 나타낸 NESL(LH)+ eSiGe의 경우 노이즈 파워가 감소함을 알 수 있다. 결론적으로, eSiGe는 원래 수소를 포함하지 않기 때문에, 노이즈 특성 개선에 영향을 미치는 인자가 eSiGe에 의해 유도되는 응축 스트레인임을 알 수 있다. 즉, 응축 스트레인이 캐리어의 질량을 감소시켜 스캐터링 계수를 감소함으로써 결과적으로 노이즈 파워를 감소시킴을 알 수 있다.

한편, NESL(LH), CESL(LH) 대비 NESL(HH), CESL(HH)의 경우 각각 노이즈 파워가 2배 정도 증가하는 것으로 보아 수소에 의한 계면 상태 밀도 증가가 노이즈 파워 증가의 원인임을 알 수 있다.

그러나, NESL(LH) 대비 CESL(HH)의 경우 약간의 노이즈 특성이 개선되는 것으로 보아, 응축 스트레인이 수소에 의한 노이즈 특성의 열화를 상쇄하고 일정 정도 노이즈 특성을 향상시킬 수 있음을 알 수 있다.

즉, 아날로그 pMOS 트랜지스터의 경우에는 ESL 내의 수소 농도가 노이즈 특성을 일정정도 열화시키기는 하나 적절한 응축 스트레인을 유도함으로써 노이즈 특성의 열화를 방지할 수 있음을 알 수 있다. 따라서, 도 9에 도시되어 있는 바와 같이, 채널에 응축 스트레인을 유도한 pMOS 트랜지스터의 경우 ESL의 종류 및 수소 농도에 상관없이 NESL(LH)를 포함하는 레퍼런스 비스트레인 채널 아날로그 pMOS 트랜지스터에 대한 노이즈 파워의 상대치가 1 이하가 되도록 할 수 있음을 알 수 있다.

도 10은 동일 디자인 룰, 동일 재질의 아날로그 nMOS 트랜지스터를 제조하되, NESL(LH), NESL(HH), CESL(LH), CESL(HH), 채널에 신장 스트레인을 유도하는 신장(tensile) ESL(이하 TESL)(LH), TESL(HH)을 각각 구비하는 아날로그 nMOS 트랜지스터들의 500Hz에서의 노이즈 파워를 측정한 결과를 나타낸다. 도 11은 도 10의 결과를 바탕으로 NESL(LH)를 포함하는 레퍼런스 아날로그 nMOS 트랜지스터에 대한 나머지 nMOS 트랜지스터의 노이즈 파워의 상대치를 나타내는 그래프이다.

도 10을 참고하면, NESL(HH), CESL(HH), TESL(HH) 대비 NESL(LH), CESL(LH), TESL(LH)의 경우 각각의 노이즈 특성이 현저하게 향상되는 반면, NESL(LH), NESL(HH) 대비 CESL(LH), CESL(HH)의 경우 각각의 노이즈 특성이 거의 변화하지 않는 것으로 보아, 아날로그 nMOS 트랜지스터의 노이즈 파워는 응축 스트레인에 의한 영향보다는 수소 농도의 영향을 훨씬 크게 받음을 알 수 있다. 또, NESL(LH) 대비 TESL(LH)의 경우 노이즈 특성이 소량 향상되는 것으로 보아, 신장 스트레인의 유도에 의해 노이즈 특성이 일정 정도 개선시킬 수 있음을 알 수 있다. 그러나, NESL(LH) 대비 TESL(HH)의 경우 노이즈 특성이 현저히 열화되는 것으로 보아 아날로그 nMOS 트랜지스터의 노이즈 파워는 신장 스트레인에 의한 영향보다는 수소 농도의 영향을 훨씬 크게 받음을 알 수 있다.

도 11을 참고하면, NESL(LH)를 포함하는 레퍼런스 아날로그 nMOS 트랜지스터에 대한 나머지 nMOS 트랜지스터의 노이즈 파워의 상대치가 1 이하가 되도록 하기 위해서는 ESL내의 수소 농도를 저농도($1 \times 10^{21}/\text{cm}^3$ 이하)로 유지해야 함을 알 수 있다.

도 6 내지 도 11의 결과에 대한 다양하고 심층적인 분석을 통해, 도 2에 예시되어 있는 스트레인 채널 아날로그 pMOS 트랜지스터(2100)와 도 3 내지 도 5에 예시되어 있는 아날로그 nMOS 트랜지스터(3100, 4100, 5100)를 조합한 본 발명의 실시예들에 따른 반도체 소자를 창안하였다. 그 결과 본 발명의 실시예들에 따른 반도체 소자는 소자 특성 향상과 함께 노이즈 특성의 향상이라는 공동 상승 효과(synergism)를 달성할 수 있다.

도 2에 예시되어 있는 스트레인 채널 아날로그 pMOS 트랜지스터(2100)는 제2 ESL(152b, 352b)의 수소 농도에는 제약을 받지 않으며, 채널에 응축 스트레인을 유도할 수 있는 구조를 채용함으로써 채널 스트레인에 의한 소자 특성의 향상과 함께 노이즈 특성의 향상이라는 공동 상승 효과(synergism)를 달성할 수 있도록 하고 있다.

구체적으로, 2100a는 채널(104b)에 응축 스트레인을 유도하지 않는 NESL(152b)를 사용하되, 기판(100) 내에 형성된 그루브를 매립하며 소오스/드레인 영역(128b)이 형성된 신장 에피택셜 반도체층(124b)(예., SiGe층)에 의해 채널(104b)에 응축 스트레인을 유도하는 스트레인 채널 pMOS 트랜지스터를 예시하고, 2100b는 채널(104b)에 응축 스트레인을 유도하는 CESL(352b)를 포함하는 스트레인 채널 pMOS 트랜지스터를 예시하고, 2100c는 CESL(152b)과 신장 에피택셜 반도체층(124b)이 함께 채널(104b)에 응축 스트레인을 유도하는 스트레인 채널 pMOS 트랜지스터를 예시한다.

도 3 내지 도 5에 예시되어 있는 nMOS 트랜지스터(3100, 4100, 5100)는 채널 스트레인의 유도 여부와 상관없이 제1 ESL(152a, 252a, 352a)의 수소 농도가 저농도($1 \times 10^{22}/\text{cm}^3$ 미만, 바람직하기로는 $1 \times 10^{21}/\text{cm}^3$ 이하)가 되도록 함으로써 pMOS 트랜지스터(2100)와 함께 반도체 소자를 구성하여 반도체 소자의 특성 향상과 함께 노이즈 특성의 향상이라는 공동 상승 효과를 달성할 수 있도록 한다.

구체적으로, 도 3은 저농도의 NESL(152a)을 구비하는 아날로그 nMOS 트랜지스터(3100)들을 나타낸다. 3100a는 NESL(152a)만을 구비하는 비스트레인 채널 nMOS 트랜지스터를 예시하고, 3100b는 기판(100) 내에 형성된 그루브를 매립하며 소오스/드레인 영역(128a)이 형성된 신장 에피택셜 반도체층(124a)(예., SiC층)에 의해 채널(104a)에 신장 스트레인을 유도하는 스트레인 채널 nMOS 트랜지스터를 예시하고, 3100c는 응축 스트레인이된 게이트(Compressively Strained Gate)(120')에 의해 채널(104a)에 신장 스트레인을 유도하는 스트레인 채널 nMOS 트랜지스터를 예시한다. 도면에는 예시되어 있지 않지만 3100b와 3100c가 조합되어 신장 에피택셜 반도체층(124a)과 CSG(120')를 함께 포함하는 스트레인 채널 nMOS 트랜지스터도 사용될 수 있다.

도 4는 저농도의 TESL(252a)을 구비하는 아날로그 nMOS 트랜지스터(4100)들을 나타낸다. 4100a는 채널(104a)에 신장 스트레인을 유도하는 TESL(252a)만을 구비하는 스트레인 채널 nMOS 트랜지스터를 예시하고, 4100b는 TESL(252a)와 기판(100) 내에 형성된 그루브를 매립하며 소오스/드레인 영역(128a)이 형성된 신장 에피택셜 반도체층(124a)(예., SiC층)이 함께 채널(104a)에 신장 스트레인을 유도하는 스트레인 채널 nMOS 트랜지스터를 예시하고, 4100c는 TESL(252a)과 응축 스트레인이된 게이트(Compressively Strained Gate)(120')가 함께 채널(104a)에 신장 스트레인을 유도하는 스트레인 채널 nMOS 트랜지스터를 예시한다. 도면에는 예시되어 있지 않지만 4100b와 4100c가 조합되어 TESL(252a), 신장 에피택셜 반도체층(124a) 및 GSG(120')를 함께 포함하는 스트레인 채널 nMOS 트랜지스터도 사용될 수 있다.

도 5는 저농도의 CESL(352a)을 구비하는 아날로그 nMOS 트랜지스터(5100)들을 나타낸다. 5100a는 채널(104a)에 응축 스트레인을 유도하는 CESL(352a)만을 구비하는 스트레인 채널 nMOS 트랜지스터를 예시하고, 5100b는 채널(104a)에 CESL(352a)이 유도하는 응축 스트레인과 기판(100) 내에 형성된 그루브를 매립하며 소오스/드레인 영역(128a)이 형성된 신장 에피택셜 반도체층(124a)(예., SiC층)이 유도하는 신장 스트레인이 함께 유도되는 스트레인 채널 nMOS 트랜지스터를 예시하고, 5100c는 채널(104a)에 CESL(352a)이 유도하는 응축 스트레인과 응축 스트레인이된 게이트(Compressively Strained Gate)(120')가 유도하는 신장 스트레인이 함께 유도되는 스트레인 채널 nMOS 트랜지스터를 예시한다. 도면에는 예시되어 있지 않지만 5100b와 5100c가 조합되어 CESL(352a), 신장 에피택셜 반도체층(124a) 및 GSG(120')를 함께 포함하는 스트레인 채널 nMOS 트랜지스터도 사용될 수 있다.

도면에는 예시되어 있지 않으나, 본 발명의 실시예들에 따른 반도체 소자가 하나의 완전한 시스템을 제공하기 위해서 디지털 회로 및 아날로그 회로를 단일 칩 상에 형성한 시스템 LSI(Large Scale Integrated circuit)인 경우에는 아날로그 회로

영역과 디지털 회로 영역을 함께 포함한다. 따라서, 아날로그 회로 영역은 도 2 내지 도 5에 예시되어 있는 아날로그 pMOS 트랜지스터 및 아날로그 nMOS 트랜지스터를 포함하고, 디지털 회로 영역은 시스템 LSI에서 요구하는 성능에 따라 스트레인 채널 또는 비스트레인 채널 디지털 nMOS 트랜지스터 및/또는 pMOS 트랜지스터를 포함할 수 있다.

이하, 도 12a 내지 도 12f를 참고하여 본 발명의 몇몇 실시예들에 따른 반도체 소자의 제조 방법을 설명한다. 도 12a 내지 도 12f에서는 도 2의 2100c와 도 4의 4100b를 조합한 반도체 소자를 예시한다.

먼저, 도 12a를 참고하면, 반도체 기판(100), 예를 들면 실리콘 기판의 디지털 회로 영역 및 아날로그 회로 영역에 각각 소자 분리를 위한 STI(102)를 형성한다. 그 후 형성하고자 하는 트랜지스터의 채널 타입에 따라 반도체 기판(100)의 각 영역에 적절한 이온을 사용하여 채널 이온 주입을 행한다. 이어서, 기판(100) 상에 절연막 및 도전막을 형성한 후, 이를 패터닝하여 게이트 절연막(110)과 게이트(120)로 형성한다. 그 후, 소오스/드레인 익스텐션(extension) 영역(122)을 형성하여 채널(104a, 104b)를 정의하고, 게이트(120)의 측벽에 절연 스페이서(123)을 형성한다.

도 12b를 참고하면, 기판(100)의 일부를 식각하여 채널(104a, 104b)에 소정의 스트레인을 유도하는 에피택셜 반도체층이 매립될 그루브(G)를 형성한다. 그루브(G) 형성시 게이트(120)의 일부도 식각될 수 있다.

도 12c를 참고하면, 그루브(G)를 매립하는 에피택셜 반도체층(124a, 124b)을 형성한다. nMOS 영역에는 채널(104a)에 신장 스트레인을 유도하는 SiC 층을 형성할 수 있으며, pMOS 영역에는 채널(104b)에 응축 스트레인을 유도하는 SiGe층을 형성할 수 있다. 매립 에피택셜 반도체층(124a, 124b)은 선택적 에피택시 성장(SEG) 공정에 의할 수 있는데, 예를 들면, 저압화학기상증착(LPCVD), 고진공화학기상증착법(UHV-CVD) 등에 의할 수 있으며, 이에 한정되는 것은 아니다. 또한, 매립 에피택셜 반도체층(124a, 124b) 형성시 딥 소오스/드레인 영역(126)에 적용될 도펀트를 인시츄로 도핑할 수도 있다.

매립 에피택셜 반도체층(124a, 124b) 형성에 사용되는 Si 소오스 가스로는 Si₂H₆, SiH₄, SiH₂Cl₂, SiHCl₃, SiCl₄ 등을 사용할 수 있고, Ge의 소오스로는 GeH₄를 사용할 수 있으며, C의 소오스로는 C₂H₆, CH₃SiH₃ 등을 사용할 수 있는데, 이에 한정되는 것은 아니다. 또한 선택적 특성을 향상시키기 위하여 HCl 또는 Cl₂ 같은 가스를 첨가할 수 있다. 이 때 특별히 도핑을 목적으로 하는 경우 B₂H₆ 또는 PH₃ AsH₃와 같은 가스들을 첨가할 수 있다. HCl을 첨가하게 되면 소자 분리 영역(102)에서는 에피택셜 반도체층(124a, 124b)이 형성되지 않고 Si이 드러나 영역에서만 에피택셜 반도체층(124a, 124b)이 형성되는 선택적 에피택시 성장이 가능하다. SEG 공정은 당업계에 널리 잘 알려져 있으므로 그 구체적인 설명은 생략하기로 한다.

에피택셜 반도체층(124a, 124b) 형성 후, 딥(deep) 소오스/드레인 영역(126)을 형성하여 n형 소오스/드레인 영역(128a)과 p형 소오스/드레인 영역(128b)를 완성한다. 에피택시 공정시 동시에 도핑한 경우에는 딥 소오스/드레인 영역(126)의 형성을 생략할 수 있다. 그 후, 통상의 샬리사이드 공정을 통해 게이트(120)와 소오스/드레인 영역(128a, 128b) 상에 샬리사이드막(130)을 형성한다.

도 12d를 참고하면, nMOS 트랜지스터를 덮는 신장 스트레인 유도 라이너(252)와 pMOS 트랜지스터를 덮는 응축 스트레인 유도 라이너(352)를 형성한다.

서로 다른 이종 물질을 사용하여 서로 다른 스트레인을 유도할 수 있을 뿐만 아니라, 동종 물질이라 할지라도 공정 조건의 조절에 의해서 서로 다른 스트레인을 유도하는 라이너를 형성할 수 있다. 이는 당업계에 널리 잘 알려져 있으므로 그 구체적인 설명은 생략하기로 한다. SiON막을 사용할 경우 도 13에 도시되어 있는 바와 같이 신장 스트레인 유도 라이너(252) 내의 수소 농도는 1×10²¹/cm³를 초과한다. 또, 신장 스트레인 유도 라이너(252) 내의 수소 농도는 응축 스트레인 유도 라이너(352) 내의 수소 농도보다 높다.

따라서, 아날로그 nMOS 트랜지스터의 플리커 노이즈 특성을 향상시키기 위하여 신장 스트레인 유도 라이너(252) 내의 수소 농도를 낮추기 위한 공정을 필요로 한다. 수소 농도를 낮추는 공정은 UV 조사등으로 행할 수 있으며 조사 시간은 약 1 내지 10분 정도가 될 수 있다. UV 조사에 의해 응축 스트레인 유도 라이너(352) 내의 수소 농도도 낮아질 수 있다.

그 결과 도 12f에 도시되어 있는 바와 같이 트랜지스터의 동작 특성과 플리커 노이즈 특성이 향상된 아날로그 nMOS 트랜지스터와 아날로그 pMOS 트랜지스터를 포함하는 반도체 소자를 완성할 수 있다.

이후, 반도체 소자의 기술분야에서 통상의 지식을 가진 자에게 널리 알려진 공정 단계들에 따라 nMOS 트랜지스터 및 pMOS 트랜지스터에 각각 전기적 신호의 입출력이 가능하도록 하는 배선들을 형성하는 단계, 기판상에 패시베이션층을 형성하는 단계 및 상기 기판을 패키징하는 단계를 더 수행하여 반도체 소자를 완성한다. 이와 같은 후속단계들은 본 발명이 모호하게 해석되는 것을 피하기 위하여 개략적으로 설명한다.

기본적으로는 도 12a 내지 도 12f를 참조하여 설명한 제조 방법을 사용하되, 에피택셜 반도체층(124a, 124b)의 형성을 선택적으로 생략하거나 nMOS 트랜지스터 상의 제1 ESL 및 pMOS 트랜지스터 상의 제2 ESL을 원하는 스트레인 유도 특성을 가지는 라이너로 형성함으로써 도 2 내지 도 5를 참고하여 설명한 다양한 조합의 아날로그 트랜지스터들을 포함하는 반도체 소자를 제조할 수 있다.

도 14는 nMOS 트랜지스터의 채널(104a)에 신장 스트레인을 유도하는 응축 스트레인 게이트(120')를 형성하는 방법을 설명하기 위한 단면도이다.

도 14를 참고하면, 소오스/드레인 영역(128a, 128b) 형성 후, 샬리사이드 공정 전에 기판(100)의 전면에 게이트 변형용 막(124)을 형성한 후, 어닐링을 수행하면, 폴리실리콘으로 이루어진 게이트(120)에 응축 스트레인이 가해진다. 그 결과 도면에는 명시되지 않았으나, 상부가 변형된 형태를 가지는 응축 스트레인 게이트(120')를 형성할 수 있다. 게이트 변형용 막(124)의 종류 및 응축 스트레인 게이트(120')의 형성 공정은 K Ota 등에 의해 2002 IEDM, pp 27~30에 게재된 "Novel Locally Strained Channel Technique for High Performance 55nm CMOS" 라는 제목의 논문과 Chien-Hao Chen 등에 의해 2004 VLSI Technology에 게재된 "Stress Memorization Technique (SMT) by Selectively Strained-Nitride Capping for Sub-65nm High-Performance Strained-Si Device Application"에 개시되어 있으며 상기 내용은 본 명세서에 인용되어 통합된다.

이후 게이트 변형용 막(124)을 제거한 후, 도 12b 내지 도 12d를 참조하여 설명한 공정 단계에 따라 본 발명의 몇몇 실시예들에 따른 반도체 소자를 형성할 수 있다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

발명의 효과

본 발명의 실시예들에 따른 반도체 소자는 소자 특성 향상과 함께 노이즈 특성의 향상이라는 공동 상승 효과(synergism)를 달성할 수 있다.

도면의 간단한 설명

도 1은 본 발명의 실시예들에 따른 아날로그 MOS 트랜지스터들의 노이즈 파워 특성 평가 기준이 되는 레퍼런스 비스트레인 채널 아날로그 MOS 트랜지스터들의 단면도이다.

도 2는 본 발명의 실시예들에 따른 반도체 소자를 구성하는 응축 스트레인 채널 아날로그 pMOS 트랜지스터들의 단면도이다.

도 3 내지 도 5는 본 발명의 실시예들에 따른 반도체 소자를 구성하는 아날로그 nMOS 트랜지스터들의 단면도들이다.

도 6은 PECVD에 의해 형성한 SiON막의 스트레스와 수소 농도를 나타내는 그래프이다.

도 7 내지 도 11은 플리커 노이즈 특성에 주된 영향을 미치는 인자를 분석하기 위한 다양한 실험 데이터들이다.

도 12a 내지 도 12f는 본 발명의 몇몇 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.

도 13은 응축 스트레인 유도 SiON막과 신장 스트레인 유도 SiON 막 내의 수소 농도를 IR로 측정된 그래프이다.

도 14은 응축 스트레인된 게이트에 의해 채널에 신장 스트레인이 유도된 nMOS 소자를 포함하는 본 발명의 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도이다.

(도면의 주요 부분에 대한 부호의 설명)

100: 기판 102: 소자 분리 영역

104a, 104b: 채널 110: 게이트 절연막

120: 게이트 123: 스페이서

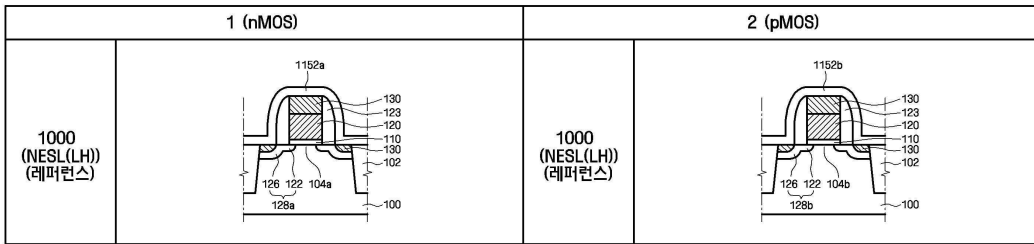
128a, 128b: 소오스/드레인 영역 130: 실리콘사이드막

152a, 252a, 352a: 제1 식각 정지 라이너

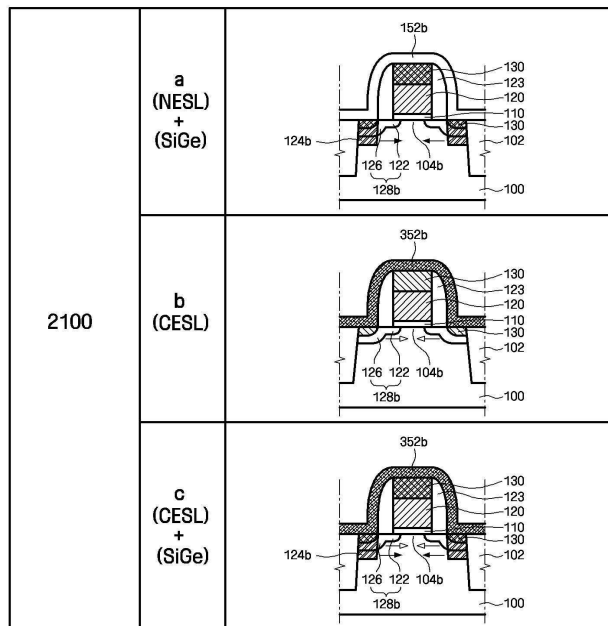
152b, 352b: 제2 식각 정지 라이너

도면

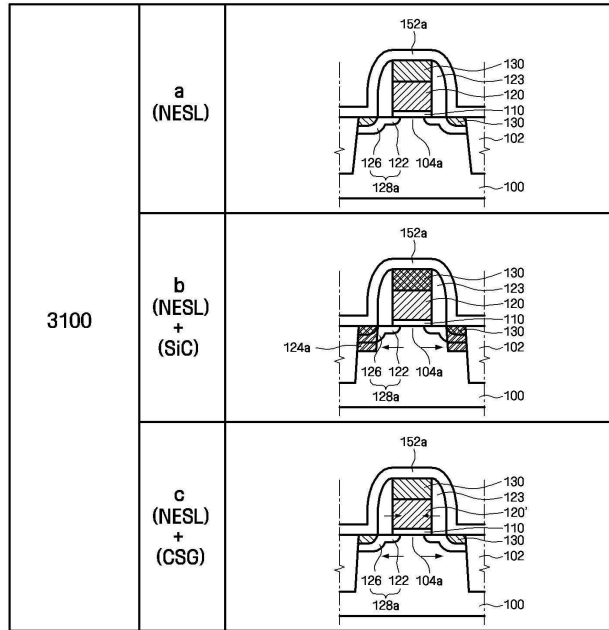
도면1



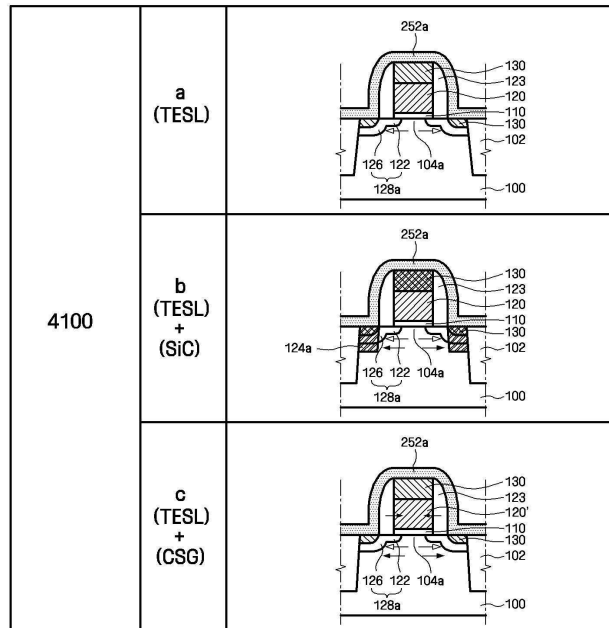
도면2



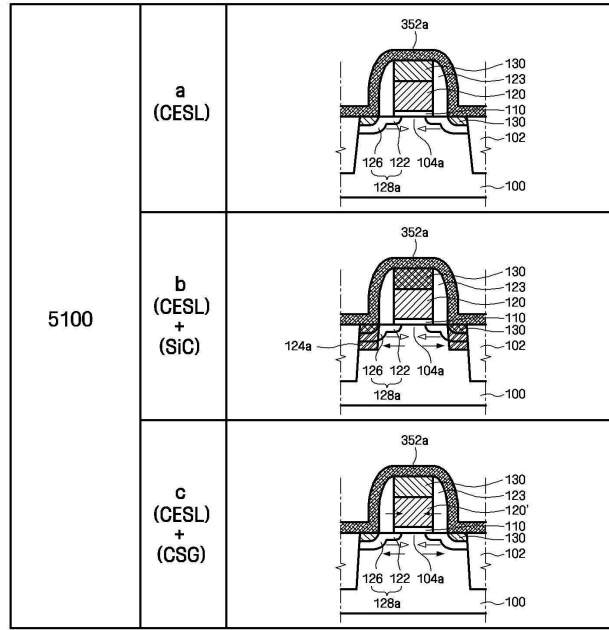
도면3



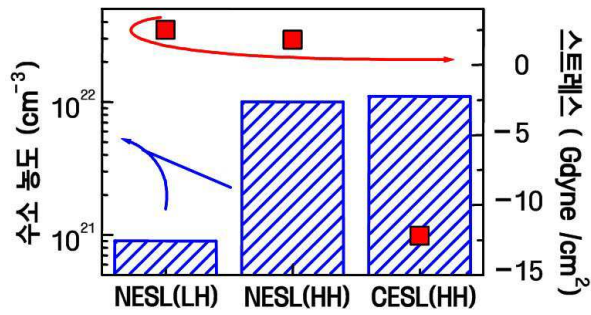
도면4



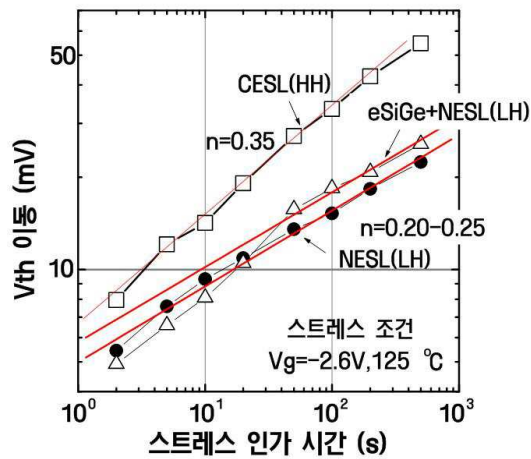
도면5



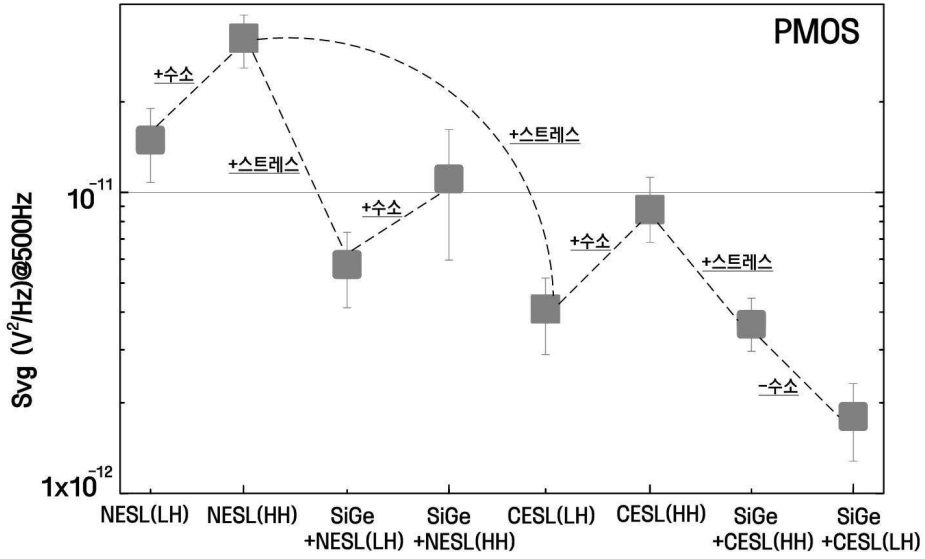
도면6



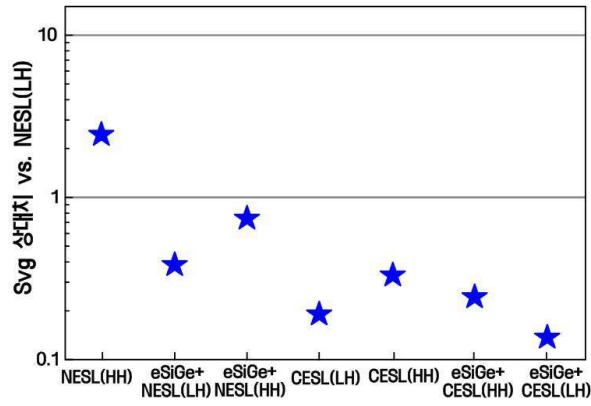
도면7



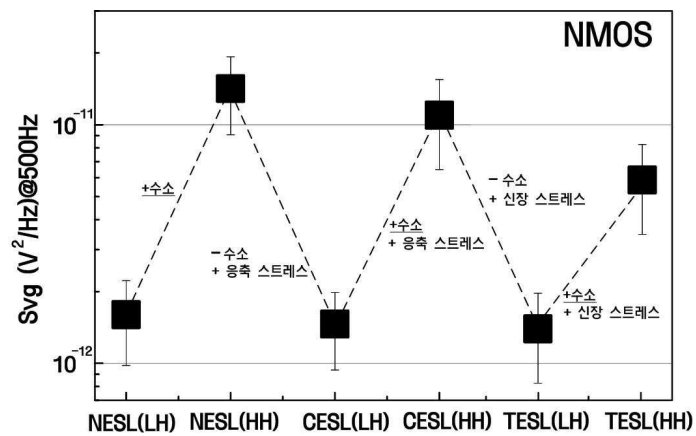
도면8



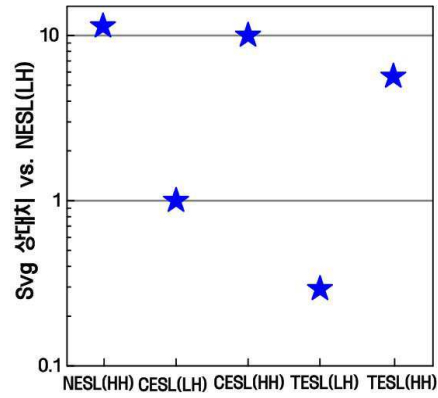
도면9



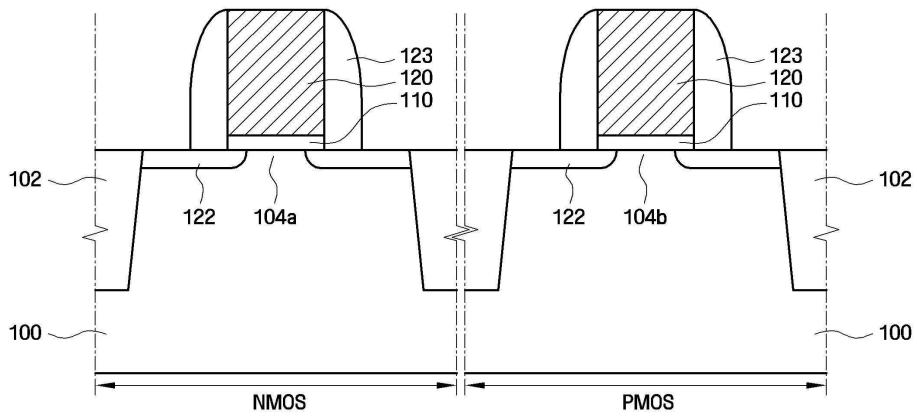
도면10



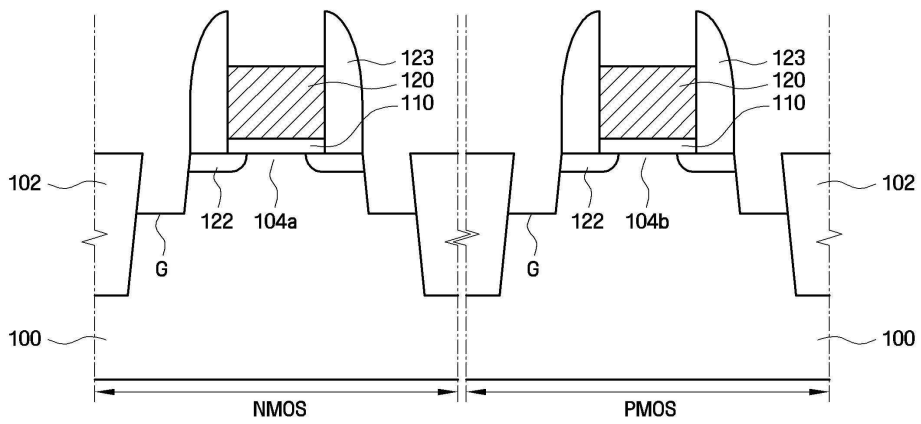
도면11



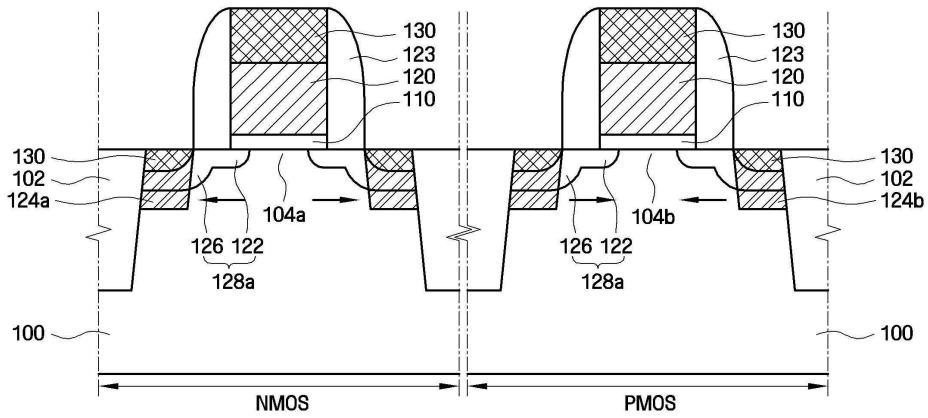
도면12a



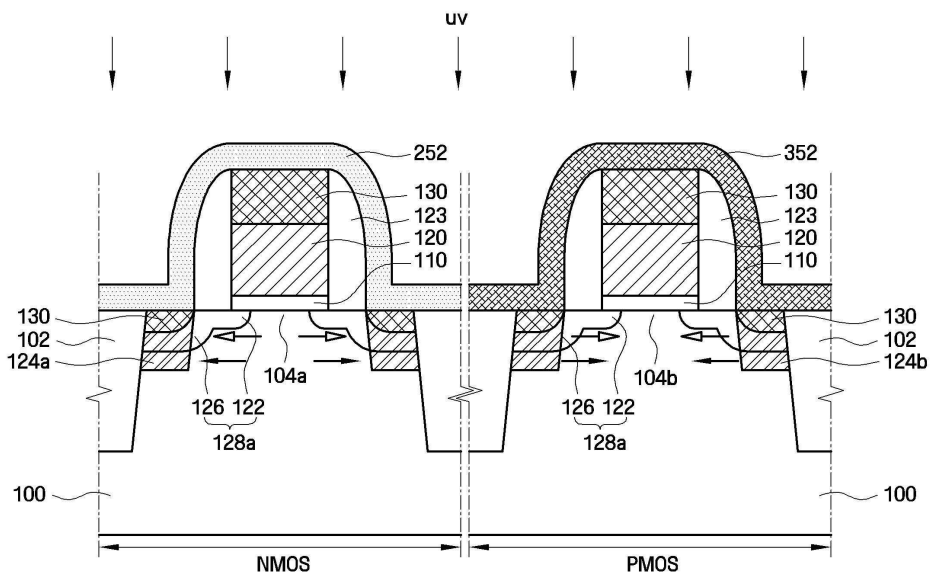
도면12b



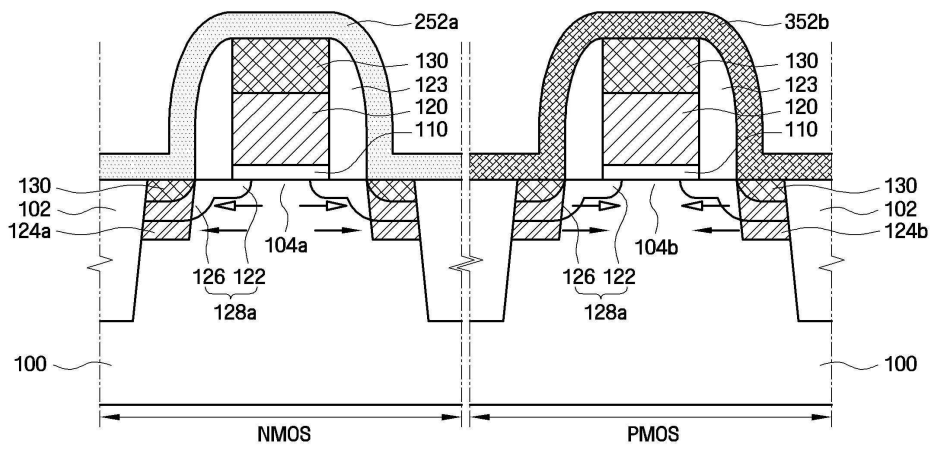
도면12c



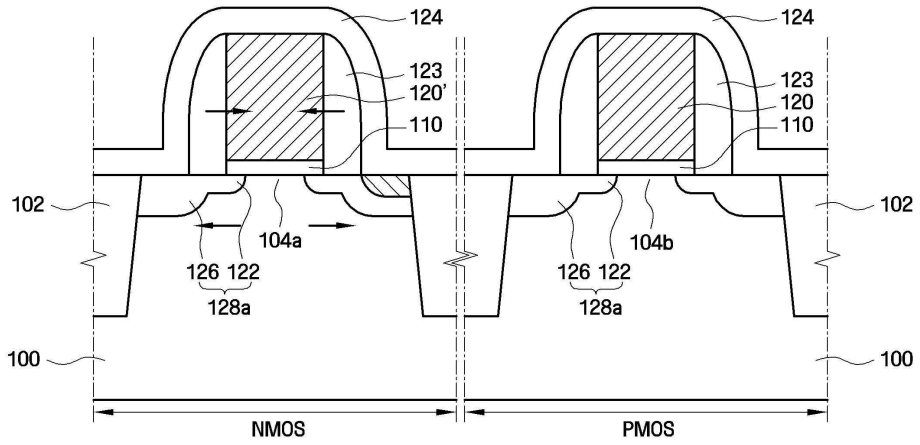
도면12d



도면12e



도면13



도면14

