

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3675223号  
(P3675223)

(45) 発行日 平成17年7月27日(2005.7.27)

(24) 登録日 平成17年5月13日(2005.5.13)

(51) Int. Cl.<sup>7</sup>

H01L 31/107

F I

H01L 31/10

B

請求項の数 6 (全 13 頁)

(21) 出願番号	特願平11-131586	(73) 特許権者	000004237
(22) 出願日	平成11年5月12日(1999.5.12)		日本電気株式会社
(65) 公開番号	特開2000-323746(P2000-323746A)		東京都港区芝五丁目7番1号
(43) 公開日	平成12年11月24日(2000.11.24)	(74) 代理人	100070530
審査請求日	平成12年4月20日(2000.4.20)		弁理士 畑 泰之
		(72) 発明者	田口 剣申
			東京都港区芝五丁目7番1号 日本電気株式会社内
		審査官	濱田 聖司

最終頁に続く

(54) 【発明の名称】 アバランシェフォトダイオードとその製造方法

(57) 【特許請求の範囲】

【請求項1】

化合物半導体基板の上に、少なくとも第1導電型半導体層と第2導電型半導体層を順次積層した構造を有し、前記第2導電型半導体層の一領域を受光部として供するアバランシェフォトダイオードであって、

前記第2導電型半導体層の前記受光部の周縁には、素子表面にpn接合終端部を形成する第1導電型領域が、下部に第2導電型半導体層を残して形成され、さらにその外周で前記第1導電型領域の一部が、前記第2導電型半導体層の表面から前記第1導電型半導体層に達していることを特徴とするアバランシェフォトダイオード。

【請求項2】

第1導電型半導体層中の一層或いは一領域を光吸収層とし、第2導電型層の一層或いは一領域を逆バイアス印加時に高電界を形成して衝突電離/アバランシェ増倍をなさしめ増倍層とすることを特徴とする請求項1記載のアバランシェフォトダイオード。

【請求項3】

第1導電型がp型で、第2導電型がn型或いは高抵抗型より構成されたことを特徴とする請求項1及び2のいずれかに記載のアバランシェフォトダイオード。

【請求項4】

半導体基板としてInPを用い、第1導電型光吸収層がInP基板に格子整合するInGaAs、InAlGaAs或いはInGaAsPで、第2導電型アバランシェ層がInP基板に格子整合するInAlAs或いはInAlGaAs或いはInGaAsPより構成されていることを特徴とする請求項2または3のいずれ

10

20

かに記載のアバランシェフォトダイオード。

【請求項5】

エッチング工程により、少なくとも受光部位外の第2伝導型領域周縁が第1導電型光吸収層まで除去され、且つ本第1導電型光吸収層下に光信号の導波/導入路としての役目を成す光吸収層の禁制帯幅より大きな禁制帯の光導波路層を有することを特徴とする請求項2、3及び4のいずれかに記載の導波路構成のアバランシェフォトダイオード。

【請求項6】

半導体基板上に、p型不純物が添加された光吸収層および電界緩和層と、n型増倍層と、n型不純物が添加されたキャップ層が順次積層された素子用ウエーハに対し、選択的に円形部を残して前記n型キャップ層を除去する工程と、

ウエーハ表面に、前記円形のn型キャップ層より直径が大きく、かつ、同心円の不純物拡散用第1マスクを形成する工程と、

前記不純物拡散用第1マスクを用いp型不純物を表面から光吸収層に達するまで拡散してp型領域を形成する工程と、

前記不純物拡散用第1マスクより直径が小さく前記円形部より直径が大きく、かつ、同心円の不純物拡散用第2マスクを形成する工程と、

前記不純物拡散用第2マスクを用いp型不純物を拡散して、下部にn型増倍層を残して前記増倍層表面にp型領域を形成する工程と、

を具備するアバランシェフォトダイオードの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光通信用半導体受光素子に関し、特に、製作が容易で且つ暗電流特性と信頼性に優れるアバランシェフォトダイオード(APD)の構造とその製造方法に関するものである。

【0002】

【従来の技術】

光ファイバ通信を構成する3大要素として、光源、伝送媒体としての光ファイバ、光信号を検出する光検出器が挙げられる。この内、半導体受光素子は小型・軽量・高感度である利点を生かして光源の光モニタ用としてと共に、光信号の検出器用として用いられている。この目的の為の半導体受光素子として、波長 $0.8\mu\text{m}$ 帯域用の検出器としては、Si材料を用いたPIN型のフォトダイオード(以下PDと略称する)、あるいは高電界を利用するために高い逆バイアス電圧を必要とするが、素子内部に光電変換された信号を増幅する作用を有する為にPDと比べさらに高感度を得られるアバランシェフォトダイオード(APD)が開発されてきた。

【0003】

光ファイバの伝送損失の低減に伴い、いわゆる長波長帯用の受光素子としてGe材料を用いたPDあるいはAPDも開発されてきたが、Ge材料は光検出器として暗電流が大きい、および光ファイバの極低損失波長である $1.55\mu\text{m}$ 光に対して材料的に光電変換効率が極端に低下する等の問題がある。このGe材料に替わる半導体受光素子としてInP基板に格子整合するInGaAsP材料、特にこの系の最長波長端組成である $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ (以下InGaAsと略称)材料を光吸収層としたPIN-PDあるいはAPDが研究開発されてきた。

【0004】

現在、このInGaAs材料を用いたPIN-PDあるいはAPDが、光通信の中心波長である $1.3\mu\text{m}$ あるいは $1.55\mu\text{m}$ 用の光検出器として用いられている。これらの半導体受光素子は半導体主表面上に不純物種を拡散等の手法により選択的に施してpn接合を形成することにより受光領域を設けている。この構造では、通常、光は半導体主表面に垂直に入射する、いわゆるプレーナ構造が多く、これは信頼性、生産歩留まり等の点から優れた構造として広く採用・製造されている。

10

20

30

40

50

## 【0005】

また一方、最近においては、各種光デバイスを含む光通信に必要な要素技術も着実に進展しているが、更に多量の情報を安価に伝達したいという需要も飛躍的に増大しており、高性能・高速受光素子を低価格で提供できる技術対応が求められている。

## 【0006】

高速な光通信に対応する高性能な受光素子と言う点から、最近、超格子構造を利用した超格子APDが注目されている。超格子構造の井戸層と障壁層の間の伝導体あるいは価電子帯の不連続エネルギーを高電界下でこの超格子層構造に垂直に走行する電子あるいは正孔に電界より供給されるエネルギーに付加的に付与することにより井戸層内バンド不連続界面近傍での衝突イオン化確率を人工的に向上させこの多重効果により従来のバルク結晶特有の衝突イオン化とは異なる電子あるいは正孔の選択的高イオン化率を達成し、これにより高速で低雑音なAPDをうる研究開発活動が盛んに行われている。超格子APDの高性能特性を試験・実現するために試みられている構造として、例えば、図5に示すようなメサ型裏面入射構造（電子情報通信学会全国大会1998、C-3-11）が良く知られており、このような構造により、現在、量産されているInGaAsを光吸収層としInP層中にpn接合を持つヘテロ接合機能分離型APDと比べて高性能受信感度特性が得られることが示されて来た。しかしながらこの様なメサ構造ではAPD動作に必要な高電界（衝突イオン化を誘起する為には少なくとも数100kV/cmの電界が必要）を有するpn接合面がメサ側壁上に露出しており長期信頼性、長期安定動作に不安が残ることが判ってきた。これを回避・改善する方法や構造としてプレーナ型超格子が提案・試作されている。

10

20

## 【0007】

提案されているプレーナ型超格子APD（IEEE, Journal of Photonics Technology Letters, vol.8, pp.827-829, 1996）の模式断面図を第6図に示す。素子構造として、半絶縁性InP基板61上に $p^+$ -バッファ層62、 $p^-$ -InGaAs光吸収層63、 $p^+$ -InP電界緩和層64、ノンドープInAlAs/InAlGaAs超格子増倍層65、 $n^+$ -InAlAsキャップ層66、 $n^+$ -InGaAsコンタクト層67の層構造を有しており、空乏層終端層としての役割を成すp型化領域68、高濃度隣接領域を除去する円環状分離溝69、Ti（チタン）のイオン注入により形成されたガードリング領域610、p型電極611、n型電極612、パッシベーション膜613、光の入射に対して無反射膜としての用を成すARコート膜614を形成することによりプレーナ型素子が実現されている。ここでは、厚さ1 $\mu$ m程度

30

## 【0008】

更に具体的に従来例を説明する。特開平4-286168号公報に示されるように、高速に変調された光信号を受信するためのアバランシェフォトダイオード（APD）において、光導波路構造を有するPINフォトダイオードと同じ発想にもとずき光導波路型APDを実現しようとした場合、エッジブレイクダウンを防ぐためのガードリング構造が問題となる。従って、第2図に示すように、光の進行方向に対し横方向にはガードリングと同様の効果及び光閉じこめ効果を得ることができ、光の進行方向に対してはガードリングと同様の効果が得られるInP系APD、GaSb系APDが考案された。

40

## 【0009】

又特開平8-242016号公報に示されるように、メサ構造APDの増倍層、保護リング、および隣接する $P^+$ 層のドーピングと厚さの精密な制御を実施し、同時に $P^+$ 層の表面における極めて強い電界、並びに $P^+$ 層及び増倍層の界面におけるエッジ降伏を回避する事ができる。そのために第1の導電性タイプのキャップ層と、第2の導電性タイプのアバランシェ増倍層を設け、該増倍層を前記キャップ層に近接して配置する事により、第1のPN接合を形成するステップと、半導体層にエッチングを施してメサリリーフを形成するステップと、前記半導体層の上に少なくとも1つのエピタキシャル層を成長させて保護リングを形成するステップと、を備えてなるアバランシェフォトダイオードの製造方法が考案された。

50

## 【0010】

更に又、特開平7-312442号(特許第2762939号)公報に示される様に、メサ型PN接合フォトダイオードで問題となる表面リーク暗電流を低減し低暗電流で信頼性の高い超格子アバランシェフォトダイオードであって、波長1.3 ~ 1.5 μm帯に受光感度を有し、高イオン化率比 / で低雑音、高速応答特性と同時に高信頼性を有するアバランシェフォトダイオードが提供されている。

## 【0011】

## 【発明が解決しようとする課題】

これら従来のメサ型PD或いはAPDではpn接合がメサ側壁にむき出しである為に暗電流が大きく不安定、或いは、最近導波路構造のPDも注目されてきているが、この場合には光信号が素子表面から入射するのではなく端面pn接合部から導入されるため大電流入力時には特にその信頼性の問題が、またプレーナ構造の場合には工程が複雑となりコスト低減等の点から必ずしも最善の構造とは言い難い。

10

## 【0012】

本発明の目的は、上記した従来技術の欠点を改良するものである。上記のようなメサ型の場合においてもメサ側壁にpn接合が出来るのを回避して素子上面でpn接合終端を行うと共に、このpn接合部位を素子下端から上端部に向かって素子受光領域に段階的に形成することにより、付加的なガードリング構造を設けなくても、安定性に優れたAPDを提供するものである。この技術はAPD、PD構造共に応用できるもので、低暗電流と言う光検出器の基本特性を満足し且つ高い信頼性を有する素子構造を比較的簡単なプロセス工程により歩留まりよく提供できる事ができる。

20

## 【0013】

## 【課題を解決するための手段】

本発明は上記した目的を達成するため以下に記載されたような技術構成を採用するものである。

即ち、本発明のアバランシェフォトダイオードの態様は、

化合物半導体基板上に、少なくとも第1導電型半導体層と第2導電型半導体層を順次積層した構造を有し、前記第2導電型半導体層の一領域を受光部として供するアバランシェフォトダイオードであって、

前記第2導電型半導体層の前記受光部の周縁には、素子表面にpn接合終端部を形成する第1導電型領域が、下部に第2導電型半導体層を残して形成され、さらにその外周で前記第1導電型領域の一部が、前記第2導電型半導体層の表面から前記第1導電型半導体層に達していることを特徴とするものである。

30

## 【0014】

## 【発明の実施の形態】

本発明は上記の技術構成を有することによって、第1導電型半導体層中の一層或いは一領域を光吸収層とし、第2導電型層の一層或いは一領域をアバランシェ増倍層としての役割を担うことを特徴とするアバランシェフォトダイオード、あるいは、第1導電型がp型で、第2導電型がn型或いは高抵抗型であるアバランシェフォトダイオードを実現する。

## 【0015】

さらに、化合物半導体基板としてInPを用いて、第1導電型光吸収層がInP基板に格子整合が容易なInGaAs、InAlGaAs或いはInGaAsPより構成され、第2導電型アバランシェ層がInAlAs或いはInAlGaAs或いはInGaAsPより構成されているアバランシェフォトダイオードが与えられる。

40

## 【0016】

また第2導電型受光半導体領域の周縁を第1導電型光吸収層までエッチング除去後、エッチング側面を含めて前記の構成となるべく第2導電型半導体層周縁を第1導電型に転換させ、且つ受光領域を形成する第1導電型光吸収層下に本光吸収層より禁制帯幅の大きな光の導波としての役目を成す光導波層を有し、この光導波路により光信号を素子外部から取り入れ且つ導入光をエバネッセント結合により前記光吸収層へ結合させ光電変換すること

50

を特徴とする導波路構成のアバランシェフォトダイオードが与えられる。

【0017】

本発明の技術構成をより詳しく説明するならば、本発明の技術思想の基本はpn接合をgrown junctionとエピ成長後の不純物注入あるいは不純物拡散等の手段により付加的に受光領域の中心部を除いた素子周縁部に形成した構造で、これによりメサ構造においてもpn接合端がメサ側壁形成されることなくpn接合終端部が素子表面に形成され且つ作為的にpn接合終端部を含んだ素子表面周縁部の下部に逆バイアス印加時に空乏化する領域即ち不純物注入或いは拡散の施されていない領域を形成することにより逆バイアス下でのpn接合終端領域での電界強度を受光領域下pn接合部での電界強度と比べて効果的に低下でき、特別なガードリング構造を付加することなくして有効なガードリング効果を生ぜしめて、素子降伏電圧付近で使用されるアバランシェ状態においても低暗電流と信頼性に優れた特性を示す素子を提供することにある。

10

【0018】

又発明の他の態様としては、具体的な素子機能の分担を設けたもので、第2導電型中に光吸収領域と増倍領域の両者を設ける構造も可能であるが、ヘテロ構造を利用しての本構成、即ち第1導電型領域中に光吸収層を、第2導電型領域中にアバランシェ増倍領域を形成する方がよりAPDとしての高速性・低雑音特性を効果的に実現できる。

【0019】

更に本発明における別の態様としては、導電型変換の方法として不純物拡散を採用する場合、p型層の形成と拡散深さの制御が比較的容易であるのと比べ、n型不純物拡散は拡散現象自体及びその深い深さ制御が困難であること、及び、アバランシェ層として少数キャリアが大きなイオン化率特性を有する伝導型の方が雑音特性に優れる特性であることが知られており、電子の電離衝突/イオン化率が正孔のイオン化率より大きな材料物性を有するn型アバランシェ層を想定した伝導体型を規定している。正孔のイオン化率の方が大きな場合にはp型アバランシェ層を用いる構成が望ましい。

20

【0020】

一方、本発明における更に他の態様としては、光通信用波長帯の光源・光検出器の作製基板として最適、多用されているInP基板を用いた場合の上記した態様に合致する組み合わせを規定したもので、光吸収層としてはInP基板に格子整合したInGaAsP或いはInAlGaAsを材料とした光源の全ての波長光を受光できるInを53%含んだInGaAs層(InPに格子整合する最長波長組成材料)、或いは、受光目的の波長の禁制帯幅より狭い禁制帯を有するInAlGaAs或いはInGaAsP材料であり、アバランシェ層としては電子のイオン化率が正孔のそれより大きなInAlAs或いはInAlGaAs或いはInGaAsP、或いはこれらの組み合わせ(超格子)構造により高速で低雑音な素子を実現することが出来る。

30

【0021】

ここで、格子整合条件というのは、例えばInGaAsの例であればInを53%含んだ組成のInGaAsと代表して表現してあるが、その意味するところは転位の発生を伴わない範囲で歪み・不整合を許容した組成比、あるいは超格子構造では正の歪み層と負の歪みの層多重による実効的な歪みを緩和した場合等をも含んでいる。

【0022】

又、本発明における更に別の態様としては、光の導入・導波構造として導波路構造との結合した場合の構成例を規定したもので、アバランシェ層領域下の光吸収層で光吸収された光キャリアが効果的にアバランシェ領域に注入される構造を規定しており、且つ、薄膜増倍層の場合に特に内部量子効率の改善・向上に効果的である特徴を有する。

40

【0023】

【実施例】

以下、図面を参照して、本発明による半導体受光素子の具体例を実施例の形で詳細に説明する。

【0024】

(実施例1)

50

第1図に本発明の一実施例による半導体受光素子、APDの横断面模式図を示す。まず始めに(100)面を有する $p^+$ -InP基板11上に、例えばガスソースMBE法により、 $p^+$ -InPバッファ層12を1 $\mu\text{m}$ 程度形成した後、Be(ベリリウム)添加による不純物濃度約 $5 \times 10^{15} \text{ cm}^{-3}$ の $p^-$ -InGaAs光吸収層13を1 $\mu\text{m}$ 形成し、次に、 $p^+$ -InP電界緩和層14を50nm、不純物添加なしのノンドープInAlAs層15を2 $\mu\text{m}$ 成長し、最後にSi等の添加による $n^+$ -InPキャップ層16を0.5 $\mu\text{m}$ 成長して素子用ウエーハとする。ここで、上記基板11, 層12, 13, 14が請求項の第1導電型半導体層に、層15が第2導電型半導体層に対応する。

#### 【0025】

本ウエーハを用いて、始めに、通常のリソグラフィ技術(フォトリソグレイブ、乾燥、パターン転写印刷、現像・不要部除去)を用いて選択的に例えば直径50 $\mu\text{m}$ の円形を残して $n^+$ -InP16層を除去する。この工程を経たウエーハの表面に例えば $\text{SiO}_2$ の様な不純物の拡散マスクとしての用を成す薄膜を形成し、フォトリソグラフィの技術を用いて、例えば、円形の $n^-$ -InP層16と同心円状に直径100 $\mu\text{m}$ を残して $\text{SiO}_2$ 薄膜を除去する。この薄膜を拡散マスクとしてZn(亜鉛)をInGaAs光吸収層13に達するように拡散し $p^+$ 領域111を形成する。

#### 【0026】

実際のZn拡散は、例えばZnAs<sub>2</sub>化合物と共にパターンニングされたウエーハをガラス中に真空封入し温度500から600度中で数時間放置することにより得られる。拡散深さは熱処理時間の過多により制御できる。

#### 【0027】

この工程が終了後、再度、拡散マスクとして直径80 $\mu\text{m}$ を残して除去後、Znを深さ0.5 $\mu\text{m}$ 拡散し $p^+$ 領域112を形成する。

#### 【0028】

この後、素子表面の保護膜として、例えば、プラズマCVDにより $\text{SiN}_x$ 絶縁膜113を0.22 $\mu\text{m}$ 形成し、この後、 $n$ 側電極114、 $p$ 側電極115を形成することにより素子が完成する。

#### 【0029】

この場合には、 $n$ 側電極114はリング状に形成されており、光は電極114内に導入される。又、絶縁膜113の膜厚は波長1.3から1.55 $\mu\text{m}$ 光に対して入射表面での反射を極力抑えるようAR条件付近に設定されている。光を基板側裏面入射とすることもでき、その場合には、 $p$ 電極115に円形窓を開ければよい。

#### 【0030】

以上のプロセスにより本発明の第1の実施例であるアバランシェフォトダイオードが制作できる。本素子では、降伏電圧が100Vを越えるが、増倍暗電流は10nA程度以下で安定であり、利得・帯域積30GHzが得られた。低暗電流化には、結晶品質、ガードリング効果の寄与も大きい。上記電界緩和層14の濃度制御によりInGaAs光吸収層13には素子降伏時にも200kV/cm以上の高電界が印加されないように設計・作製されておりInGaAs中のトンネル電流の発生を抑制している効果も現れている。受光面内での増倍率分布も均一で、温度150度の高温雰囲気中での降伏電圧状態放置試験においても1000時間経過後でも安定であった。本実施例は、請求項1, 2, 3, 4, 5に対応した実施例である。

#### 【0031】

##### (実施例2)

次に、本発明の別の一実施例について第2図を用いて説明する。始めに、(100)面を有する $p^+$ -InP基板21上に1 $\mu\text{m}$ 程度の $p^+$ -InPバッファ層22を介して、厚さ0.5 $\mu\text{m}$ 、濃度 $2 \times 10^{19} \text{ cm}^{-3}$ の $p^+$ -InGaAs光吸収層23及び、厚さ0.5 $\mu\text{m}$ 、濃度 $5 \times 10^{17} \text{ cm}^{-3}$ の $p^-$ -InGaAs光吸収層24を成長後形成する。これに引き続き連続して、厚さ50nmの $p^+$ -InP電界緩和層25、厚さ2 $\mu\text{m}$ でノンドープ高抵抗であるInAlAs増倍層26、厚さ0.5 $\mu\text{m}$ 、濃度 $5 \times 10^{18} \text{ cm}^{-3}$ の $n^+$ -InPキャップ・コンタクト層27を成長する。ここで、21, 22, 23, 24, 25が各請求項の第1導電型半導体層に、26が第2導電型半導体層に対応する。

10

20

30

40

50

## 【0032】

このウエーハの $n^+$ -InP層27上に例えば $SiO_2$ 膜を $0.2\mu m$ 程度全面に形成し、次に、フォトリソグラフィ技術(フォトレジスト塗布、乾燥、パターン転写印刷、現像・不要部除去)を用いて選択的に例えば直径 $80\mu m$ の円形を残して前記 $SiO_2$ 及び $n^+$ -InP層27の全てを除去する。

## 【0033】

次に、上記同様のフォトレジスト工程を繰り返すことにより上記 $80\mu m$ と同心円上に直径 $90\mu m$ の円形を残して $i$ -InAlAs増倍層26を上部より約 $1\mu m$ をエッチングにより選択的に除去する。

## 【0034】

これに引き続きさらに、同様のフォトレジスト工程により上記 $80$ 、 $90\mu m$ の円と同心円で直径 $100\mu m$ の円形を残して上記残りの $i$ -InAlAs増倍層26の全てを除去する。この工程により図2に模式的に示されているように $i$ -InAlAs層26周縁に段差が形成される。

## 【0035】

このようなウエーハにZnの拡散工程を施す。ここでは上記 $SiO_2$ がZnの拡散マスクの役割をしており、且つ第1の実施例で説明したと同様 $ZnAs_2$ と同一のガラス管中で熱処理することにより $p^+$ 拡散領域211を得る。Znの拡散深さは $0.5\mu m$ 程度となるように熱処理時間を調節する。この工程後、上記円形と同心円上に直径 $30\mu m$ を残して $n^+$ -InP層27を除去した後、上記 $SiO_2$ を除去後、素子表面の絶縁保護膜として例えば $SiNx$ 膜212を $0.3\mu m$ 程度形成する。次に、基板の厚みを所定の厚みとなるべく研磨、鏡面仕上げとした後、基板側にも $SiNx$ 膜 $0.22\mu m$ を形成する。この後、 $n^+$ -InP層27上の $SiNx$ 膜212を除去し $n$ 型電極214を形成し、上記 $n^+$ -InP層27の下部に位置する $p^+$ -InP基板21上の $SiNx$ 膜213領域外の $SiNx$ 膜を除去した後、この領域に $p$ 型電極215を形成することにより素子化が完成する。ここでは、光は基板側 $SiNx$ 膜213を通して導入される。

## 【0036】

以上のプロセスにより本発明の第2の実施例であるアバランシェフォトダイオードが制作できる。本素子では、増倍暗電流は $5nA$ 程度以下で安定であり、利得帯域積 $25GHz$ が得られた。本実施例では上記電界緩和層14によりInGaAs光吸収層13に高電界(例えば $300kV/cm$ )は印加しない設計となっているが、これに加えて、 $p$ -InGaAs層23、24は高濃度ドーピングされており空乏層が広がらない設計となっているために空乏化に起因した暗電流の発生が抑制されて低暗電流化が達成されている。

## 【0037】

エッチング段差による形状効果による本発明の一実施例を示したが、受光面内での増倍率分布も極めて均一で、 $150$ 度雰囲気中での降伏電圧状態放置においても $1000$ 時間経過後での安定であった。本実施例は、請求項1, 2, 3, 4, 5を具体化した一例である。

## 【0038】

(実施例3)

本発明の別の一実施例について第3図を用いて説明する。始めに、GS-MBE装置を用いて、(100)面を有する半絶縁性InP基板31上に $1\mu m$ 程度の $p^+$ 型バッファ層32を介して、厚さ $1\mu m$ の $p^+$ -InGaAs層33を形成する。このとき、InGaAs層33の濃度としてMBEのベリリウム・セルの温度を変化上昇させることにより、成長開始時の約 $1 \times 10^{19} cm^{-3}$ から終了時には $1 \times 10^{17} cm^{-3}$ に且つその濃度変化量が濃度の対数表示値で距離に関して線形近似で減少すべく制御する。

## 【0039】

これに引き続き連続して、厚さ $50nm$ の $p^+$ -InP電界緩和層34を成長後、波長組成 $1.2\mu m$ 相当で層厚 $10nm$ のInAGaAs井戸層と厚さ $15nm$ のInAlAs障壁層の15周期より構成された合計 $0.3\mu m$ 厚のノンドープ超格子増倍層35を形成し、最後に層厚 $0.5\mu m$ の $n^+$ -InPキャップ・コンタクト層36を形成する。ここで、32, 33, 34が請求項における第1導電型半導体層に、35が第2導電型半導体層に対応する。

10

20

30

40

50

## 【 0 0 4 0 】

このウエーハのn-InP層36上に例えばSiO<sub>2</sub>膜を0.2μm程度全面に形成し、次に、フォトリソグラフィ技術(フォトレジスト塗布、乾燥、パターン転写印刷、現像・不要部除去)を用いて選択的に例えば直径60μmの円形を残して前記SiO<sub>2</sub>及びn<sup>+</sup>-InP層36を除去する。次に、このウエーハをZnAs<sub>2</sub>と共にガラス管中に封入し、十分な熱処理を施すことにより超格子層35を完全にp型化しp<sup>+</sup>拡散領域311を形成する。

## 【 0 0 4 1 】

次に、上記同様のフォトレジスト工程を繰り返すことにより上記60μmと同心円上に直径50μmの円形を残して前記SiO<sub>2</sub>とn-InP層26を除去後、前記同様の熱処理を施すことにより超格子層35の上部の一領域をp<sup>+</sup>拡散領域312とする。この工程の後、フォトレジスト工程により上記60、50μmの円と同心円で直径30μmの円形を残して上記残りのn-InP層36を除去する。

10

## 【 0 0 4 2 】

この後上記SiO<sub>2</sub>を除去し、表面絶縁保護膜として例えばSiNx膜313を0.3μm形成する。この後、基板厚さを調節・鏡面とした基板面に光通信波長に対して低反射となるべく約0.22μmのSiNx膜314を形成し、n電極315、p電極316を形成することにより素子化完了する。ここでは光は裏面・基板側からの入射となっており、p電極は表面側から取り出す構造となっている。この構成により、素子はあらかじめ引き出し電極が形成されたサブ・マウント上にフリップ・チップ組立が可能となり素子へのワイヤー・ボンディングが不要となる。

20

## 【 0 0 4 3 】

以上のプロセスにより本発明の第3の実施例であるアバランシェフォトダイオードが制作できる。本素子では、増倍暗電流は1nA程度以下で安定であり、利得帯域積120GHzという高速特性が得られた。本実施例では上記電界緩和層34によりInGaAs光吸収層33に高電界(200kV/cm)は印加しない設計となっているが、これに加えて、p-InGaAs層33の濃度ドーピングがpn接合から離れるに従って濃度を増す構成を採用することにより、InGaAs中で光信号により生成された光キャリアである電子が上記濃度勾配による内部電界によりpn接合部へと高速でドリフトされるために、低暗電流と高速性が達成されている。本実施例も、請求項1, 2, 3, 4, 5を具体化した一例である。

## 【 0 0 4 4 】

(実施例4)

次に、本発明の別の一例、導波路構造を有するアバランシェフォトダイオードについて第4図の素子概略図を用いて説明する。図aは横断面概略図であり、図bは素子上面外略図である。始めに、GS-MBE装置を用いて、(100)面を有する半絶縁性InP基板41上に約1μmのノンドープInP層42を始めに成長し、次に、厚さ600nmで組成波長1.05μm相当のノンドープInAlGaAs光導波路層43、厚さ40nmで組成波長1.15μmのノンドープのInAlGaAs層44及び、厚さ20nmのノンドープInPエッチング・ストップ層45を順次形成する。

30

## 【 0 0 4 5 】

これに引き続き、厚さ40nmで濃度 $5 \times 10^{18} \text{ cm}^{-3}$ の組成波長1.15μmのp<sup>+</sup>-InAlGaAs層46、厚さ500nmのp-InGaAs光吸収層47を形成する。

40

## 【 0 0 4 6 】

このとき、p-InGaAs層47の濃度として、MBEのベリリウム・セルの温度を変化上昇させることにより、成長開始時の約 $1 \times 10^{19} \text{ cm}^{-3}$ から終了時には $1 \times 10^{17} \text{ cm}^{-3}$ に且つその濃度変化量が濃度の対数表示値で距離に関して線形近似で減少するよう制御する。

## 【 0 0 4 7 】

これに引き続き連続して、厚さ50nmのp<sup>+</sup>-InP電界緩和層48、厚さ200nmのノンドープInAlAs増倍層49を形成し、最後に層厚500nmのn<sup>+</sup>-InPキャップ・コンタクト層50を形成する。ここで、46, 47, 48が請求項における第1導電型半導体層に、49が第2導電型半導体層に対応する。

## 【 0 0 4 8 】

50

このようなウエーハを用いて、素子化プロセスに入る。始めに、フォトリソグラフィ技術を用いてn+-InP層50を6 $\mu$ m x 20 $\mu$ m残して選択的に除去する。

【0049】

次に、同様の作業により6 $\mu$ m x 20 $\mu$ m形状と中心を同じくして相似形な14 $\mu$ m x 28 $\mu$ mを残してInAlAs増倍層49、p<sup>+</sup>-InP電界緩和層48、p-InGaAs光吸収層47を選択的に除去する。この後、フォトリソグラフィ技術により10 $\mu$ m x 24 $\mu$ mの相似形領域のみにフォトレジストを形成する。

【0050】

この様なウエーハにイオン注入技術を用いて、ベリリウムイオンの注入を行う。注入は例えば、加速電圧20kV/cmでドーズ量5 x 10<sup>12</sup>cm<sup>-2</sup>条件で行う。このとき上記のフォトレジストで覆われた領域では、注入されたベリリウムはフォトレジスト内に止まることになり、このイオン注入の工程後、フォトレジストを除去し、600度20秒程度の瞬間熱処理工程を経ることによりp<sup>+</sup>領域411を形成する。次に、ウエーハ全面に例えば絶縁表面保護膜としてSiNx膜412を形成し、上記メサ領域と相似形に20 $\mu$ m x 36 $\mu$ mの領域を残してp+-InAlGaAs層46を選択的に除去する。

10

【0051】

次に、図bに示してあるように、受光素子長手方向の中心線に導波路中心が一致するように幅7 $\mu$ mの導波路を形成する。このとき、n-InP層45をマスクとすることによりInAlGaAs層44及び43を選択的に除去する。このとき、受光領域においては上記20 $\mu$ m x 36 $\mu$ mのp<sup>+</sup>-InAlGaAs層46外周が残るようにする。この後、n側電極413、p側電極414を形成した後に、光導波路と直角に位置する方向でウエーハを劈開することにより光りの入射端面を形成し、この面に入射光に対して無反射条件を満足する厚さ、例えば220nm程度のSiNx膜415を形成することにより導波路付きアバランシェフォトダイオードが完成する。

20

【0052】

以上のプロセスにより本発明の第4の実施例であるアバランシェフォトダイオードが制作できる。本素子では、増倍暗電流は1nA程度以下で安定であり、利得帯域積100GHzという高速特性が動作電圧18V程度で得られた。本実施例も、請求項6を具体化した一例である。この構造では、光信号は光導波路からエバネッセント結合により光り吸収層に導入されており、pn接合端面には光導入されない構造であるため大光量の光、即ち大電流の信号光に対しても安定動作する。また、導波路構成での高感度APDは光源である半導体レーザが導波路構成、即ち横方向で光を取り扱うのと整合性が良く、集積化等への発展性にも優れる特長を有する。

30

【0053】

【発明の効果】

本発明においては、新たな新技術を導入することなく従来の比較的簡単な技術を組み合わせることにより、受光素子として基本性能である暗電流の低い信頼性に優れた半導体受光素子を高い再現性で作製することが可能となる。具体的には、増倍層厚さが薄い場合にはイオン注入等の技術を併用した方が確実ではあるが、従来の拡散技術を用いて有効なガードリング効果を比較的簡単に且つ有効に形成でき信頼性に優れた特性を実現した。本発明では高電界が必要なアバランシェフォトダイオードの例を示したが、高電界を必要としないフォトダイオードにおいても本構造、作製方法が有効であることは言うまでもない。

40

【図面の簡単な説明】

【図1】図1は、本発明の一実施例による化合物半導体を用いたアバランシェフォトダイオードの構成を示す概略横断面図である。

【図2】図2は、本発明の別の実施例によるアバランシェフォトダイオードの構成を示す概略横断面図である。

【図3】図3は、本発明の別の実施例によるアバランシェフォトダイオードの構成を示す概略横断面図である。

【図4】図4は、本発明の別の実施例による導波路構造を有するアバランシェフォトダイオードの構成を示す図である。図aは素子横断面概略図であり、図bは素子上面概略図

50

である。

【図5】図5は、従来例によるメサ型超格子APDの構造を示す図である。

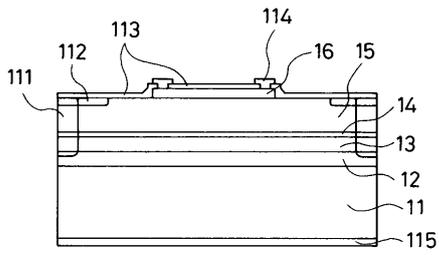
【図6】図6は、従来例による別のプレーナ型超格子APDの構造を示す図である。

【符号の説明】

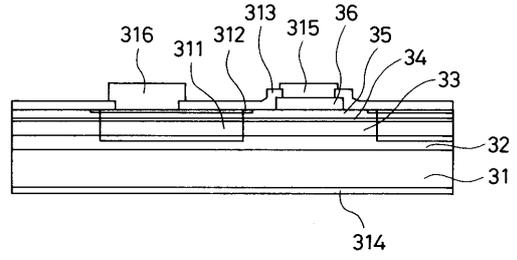
1 1	p <sup>+</sup> - InP基板	
1 2	p <sup>+</sup> - InPバッファ層	
1 3	p <sup>-</sup> - InGaAs光吸収層	
1 4	p <sup>+</sup> - InP電界緩和層	
1 5	ノンドープInAlAs増倍層	
1 6	n <sup>+</sup> - InPキャップ層	10
1 1 1	p <sup>+</sup> 領域 I	
1 1 2	p <sup>+</sup> 領域 II	
1 1 3	反射防止絶縁膜	
1 1 4	n電極	
1 1 5	p電極	
2 1	p <sup>+</sup> - InP基板	
2 2	p <sup>+</sup> - InPバッファ層	
2 3	p <sup>+</sup> - InGaAs光吸収層	
2 4	p <sup>-</sup> - InGaAs光吸収層 -	
2 5	p <sup>+</sup> - InP電界緩和層	20
2 6	ノンドープi - InAlAs増倍層	
2 7	n <sup>+</sup> - InPキャップ層	
2 1 1	p <sup>+</sup> 拡散領域	
2 1 2	絶縁膜	
2 1 3	反射防止絶縁膜	
2 1 4	n側電極	
2 1 5	p側電極	
3 1	半絶縁性InP基板	
3 2	p <sup>+</sup> - バッファ層	
3 3	p - InGaAs光吸収層	30
3 4	p <sup>+</sup> - InP電界緩和層	
3 5	ノンドープ超格子増倍層	
3 6	n <sup>+</sup> - InPキャップ・コンタクト層	
3 1 1	p <sup>+</sup> 拡散領域	
3 1 2	p <sup>+</sup> 拡散領域	
3 1 3	絶縁保護膜	
3 1 4	無反射膜	
3 1 5	n型電極	
3 1 6	p型電極	
4 1	半絶縁性InP基板	40
4 2	ノンドープInP層	
4 3	ノンドープInAlGaAs光導波路層	
4 4	ノンドープInAlGaAs層	
4 5	ノンドープInP層	
4 6	p <sup>+</sup> - InAlGaAs層	
4 7	p - InGaAs光吸収層	
4 8	p <sup>+</sup> - InP電界緩和層	
4 9	ノンドープInAlAs増倍層	
5 0	n <sup>+</sup> - InPキャップ・コンタクト層	
4 1 1	p <sup>+</sup> 領域	50

4 1 2	S i N x 絶縁保護膜	
4 1 3	n側電極	
4 1 4	p側電極	
4 1 5	S i N x 反射防止膜	
5 1	n型I n P基板	
5 2	n型I n Pバッファ層	
5 3	超格子増倍層	
5 4	p型I n P電界緩和層	
5 5	p - 型I n G a A s光吸収層	
5 6	p型I n Pキャップ層	10
5 7	p <sup>+</sup> 型I n G a A sキャップ層	
5 8	受光領域	
5 9	パッシベーション膜	
5 1 0	p電極	
5 1 1	n電極	
5 1 2	A R無反射コート膜	
6 1	半絶縁性I n P基板	
6 2	p <sup>+</sup> 型バッファ層	
6 3	p - 型 I n G a A s光吸収層	
6 4	p型I n P電界緩和層	20
6 5	ノンドープI n A l A s / I n A l G a A s超格子増倍層	
6 6	n + 型I n A l A sキャップ層	
6 7	n + 型I n G a A sコンタクト層	
6 8	p型化領域	
6 9	円環状分離溝	
6 1 0	ガードリング	
6 1 1	p電極	
6 1 2	n電極	
6 1 3	パッシベーション膜	
6 1 4	A Rコート	30

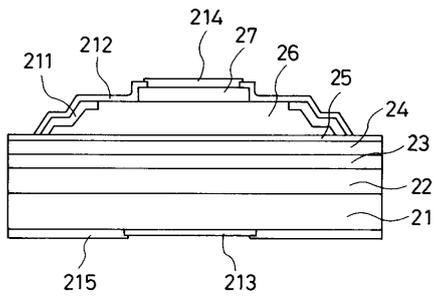
【 図 1 】



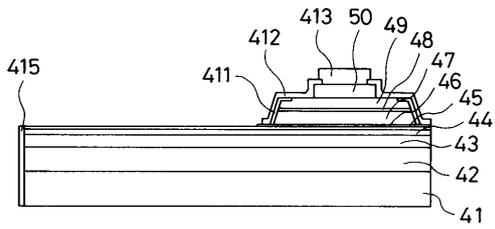
【 図 3 】



【 図 2 】

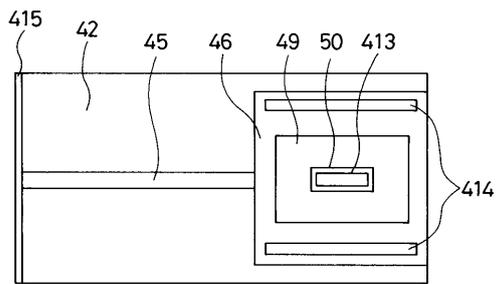
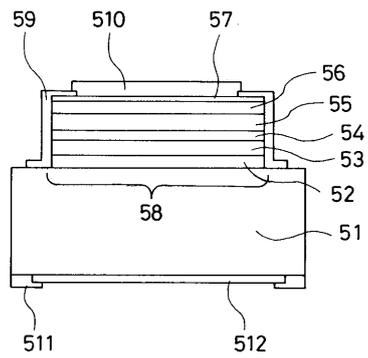


【 図 4 】



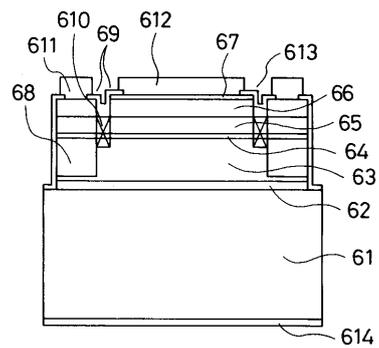
(a)

【 図 5 】



(b)

【 図 6 】



---

フロントページの続き

- (56)参考文献 特開平4 - 256376 (JP, A)  
特開平2 - 248081 (JP, A)  
特開平7 - 312442 (JP, A)  
特開平4 - 286168 (JP, A)  
特開昭58 - 162078 (JP, A)  
特開平9 - 64407 (JP, A)  
特開平6 - 291359 (JP, A)  
特開昭62 - 266880 (JP, A)  
特開昭61 - 198687 (JP, A)

- (58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
H01L 31/10-31/119