



[12] 发明专利申请公开说明书

[21] 申请号 03802717.8

[43] 公开日 2005 年 6 月 1 日

[11] 公开号 CN 1623239A

[22] 申请日 2003.2.21 [21] 申请号 03802717.8
 [30] 优先权
 [32] 2002. 2. 25 [33] JP [31] 47865/2002
 [86] 国际申请 PCT/JP2003/001906 2003.2.21
 [87] 国际公布 WO2003/071609 日 2003.8.28
 [85] 进入国家阶段日期 2004.7.23
 [71] 申请人 日本板硝子株式会社
 地址 日本大阪府
 [72] 发明人 大野诚治

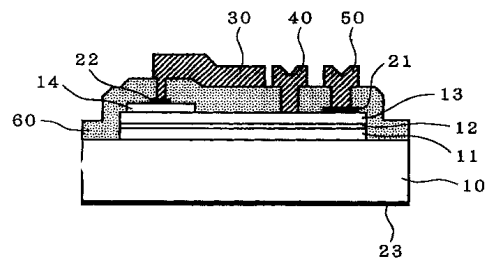
[74] 专利代理机构 中国国际贸易促进委员会专利商
 标事务所
 代理人 杜日新

权利要求书 5 页 说明书 17 页 附图 30 页

[54] 发明名称 具有 PNP 构造的发光器件和发光器件阵列

[57] 摘要

本发明提供一种包括发光闸流管和肖特基势垒二极管的发光器件。使由 PNP 构造构成的 3 端子发光闸流管的控制板层接触金属端子形成至少肖特基势垒二极管。这样的肖特基势垒二极管用作二极管结型自扫描型发光器件阵列的耦合二极管的话，自扫描型发光器件阵列用 3.0V 就能驱动。



1. 一种发光器件，包括：在第 1 导电型的衬底上，由层叠第 1 导电型的半导体层、第 2 导电型的半导体层、第 1 导电型的半导体层、第 2 导电型的半导体层的 PNP 构造而构成，在所述 PNP 构造的控制极层上有接触欧姆的控制极的至少 1 个发光闸流管；以及由所述控制极层和至少 1 个金属端子的肖特基结而构成的至少 1 个肖特基势垒二极管。

2. 按照权利要求 1 所述的发光器件，其特征是所述金属端子包括从由 Au、Al、Pt、Ti、Mo、W、WSi、TaSi 组成的群中选择的金属构成。

3. 按照权利要求 1 所述的发光器件，其特征是所述 PNP 构造，由 AlGaAs 形成，所述金属端子由 Al 布线形成。

4. 一种自扫描型发光器件阵列，包括：

一维状排列，起开关作用的多个第 1 的发光闸流管；

耦合邻接的第 1 发光闸流管的控制极间的耦合二极管；以及

一维状排列，各控制极连接到对应的所述各第 1 发光闸流管的控制极的多个第 2 发光闸流管，

所述第 1 和第 2 发光闸流管，由按照权利要求 1 所述的发光器件的发光闸流管构成，

上述耦合二极管，由按照权利要求 1 所述的发光器件的肖特基势垒二极管构成。

5. 一种自扫描型发光器件阵列，包括：

一维排列，起开关作用的多个第 1 发光闸流管；

耦合邻接的第 1 发光闸流管的控制极间的耦合二极管；

经过各负载电阻连接到所述各第 1 发光闸流管的电源电压线；

对所述一维状排列的各第 1 发光闸流管，分别每隔 1 器件连接的二相时钟脉冲线；

把所述二相时钟脉冲线的一方连接到最初应该发光的第 1 发光闸

流管的控制极的触发脉冲形成用二极管；以及

一维状排列，各控制极连接到对应的所述第 1 发光闸流管的控制极的多个第 2 发光闸流管，

所述第 1 和第 2 发光闸流管由权利要求 1 所述的发光器件的发光闸流管构成，

所述耦合二极管和所述触发脉冲形成用二极管由权利要求 1 所述的肖特基势垒二极管构成。

6. 一种自扫描型发光器件阵列，包括：

一维排列，起开关作用的多个第 1 发光闸流管；

耦合邻接的第 1 发光闸流管的控制极间的耦合二极管；

经过各负载电阻连接到所述各第 1 发光闸流管的电源电压线；

对所述一维状排列的各第 1 发光闸流管，分别每隔 1 器件连接的二相时钟脉冲线；

把所述二相时钟脉冲线连接到电源电压线的二极管-二极管逻辑的双输入 OR 门或双输入 AND 门；以及

一维状排列，各控制极连接到对应的所述各第 1 发光闸流管控制极的多个第 2 发光闸流管，

所述第 1 和第 2 发光闸流管由权利要求 1 所述的发光器件的发光闸流管构成，

所述耦合二极管和所述双输入 OR 门或双输入 AND 门由权利要求 1 所述的发光器件的肖特基势垒二极管构成。

7. 一种自扫描型发光器件阵列，包括：

一维排列，起开关作用的多个第 1 发光闸流管；

耦合邻接的第 1 发光闸流管的控制极间的耦合二极管；

经过各负载电阻连接到所述各第 1 发光闸流管的电源电压线；

对所述一维状排列的各第 1 发光闸流管，分别每隔 1 器件连接的二相时钟脉冲线；

把所述二相时钟脉冲线的一方连接到最初应该发光的第 1 发光闸流管的控制极的触发脉冲形成用二极管；

把所述二相时钟脉冲线连接到所述电源电压线的二极管-二极管逻辑的 OR 门或 AND 门；以及

一维状排列，各控制极连接到对应的所述各第 1 发光闸流管控制极的多个第 2 发光闸流管，

所述第 1 和第 2 发光闸流管由权利要求 1 所述的发光器件的发光闸流管构成，

所述耦合二极管、所述触发脉冲用二极管和所述 OR 门或 AND 门由权利要求 1 所述的发光器件的肖特基势垒二极管构成。

8. 一种发光器件，包括：在第 1 导电型的衬底上，由层叠第 1 导电型的半导体层、第 2 导电型的半导体层、第 1 导电型的半导体层、第 2 导电型的半导体层的 PNP 构造而构成的至少 1 个发光闸流管；以及

由所述 PNP 构造的任一半导体层上形成的至少 1 个肖特基势垒二极管而构成。

9. 按照权利要求 8 所述的发光器件，其特征是所述逻辑电路是二极管 - 二极管逻辑的 OR 门。

10. 按照权利要求 8 所述的发光器件，其特征是所述逻辑电路是二极管 - 二极管逻辑的 AND 门。

11. 按照权利要求 8 所述的发光器件，其特征是所述逻辑电路是置位复位触发器。

12. 一种二维矩阵发光器件阵列，包括：

二维矩阵状排列的多个发光闸流管；

连接到所述各发光闸流管的控制极，输入端子是二个的 OR 门或 AND 门；

所述二个输入端子的一方连接起来的行线；以及

所述二个输入端子的另一方连接起来的列线，

所述发光闸流管和所述 OR 门或 AND 门由权利要求 9 或 10 所述的发光器件构成。

13. 一种发光器件阵列，包括：

一维状排列的多个发光闸流管；

连接到所述各发光闸流管的控制极，输入端子是 N 个 (N 是 2 以上整数) 的 OR 门或 AND 门；以及

矩阵状连接到所述 OR 门或 AND 门的输入端子的 $N \times N$ 条信号线，

所述发光闸流管和所述 OR 门或 AND 门由权利要求 9 或 10 所述的发光器件构成。

14.一种发光器件阵列，包括：

一维状排列，起存储器作用的多个第 1 发光闸流管；

连接到所述各第 1 发光闸流管的控制极，输入端子是 N 个 (N 是 2 以上整数) 的 OR 门或 AND 门；以及

矩阵状连接到所述 OR 门或 AND 门的输入端子的 $N \times N$ 条信号线，

一维状排列，各控制极连接到对应的所述各第 1 发光闸流管控制极的多个第 2 发光闸流管，

所述第 1 发光闸流管和所述 OR 门或 AND 门由权利要求 9 或 10 所述的发光器件构成。

15.一种自扫描型发光器件阵列，包括：

一维排列，起开关作用的多个第 1 发光闸流管；

耦合邻接的第 1 发光闸流管的控制极间的耦合二极管；

对所述一维状排列的各第 1 发光闸流管，分别每隔 1 器件连接的二相时钟脉冲线；

一维排列，起开关作用的多个第 2 发光闸流管；

用于给所述第 2 发光闸流管写入数据的写入线；

连接到所述第 2 各发光闸流管的控制极，输入端子是二个的 OR 门或 AND 门；以及

所述二个输入端子的一方连接到述写入线，另一方的输入端子连接到对应的第 1 发光闸流管的控制极，

一维状排列，各控制极连接到对应的所述各第 2 发光闸流管的

控制极的多个第 3 发光闸流管，

所述第 1、第 2 和第 3 发光闸流管，和所述耦合二极管，以及所述 OR 门或 AND 门由权利要求 9 或 10 所述的发光器件构成。

16.按照权利要求 4、5、6 或 7 所述的自扫描型发光器件阵列，其特征是在 3.0 V 下工作的。

17.按照权利要求 15 所述的自扫描型发光器件阵列，其特征是在 3.0 V 下工作的。

18.按照权利要求 12 所述的二维矩阵发光器件阵列，其特征是在 3.0 V 下工作的。

19.按照权利要求 13 所述的发光器件阵列，其特征是在 3.0 V 下工作的。

20.按照权利要求 14 所述的发光器件阵列，其特征是在 3.0 V 下工作的。

具有 PNP 构造的 发光器件和发光器件阵列

技术领域

本发明是关于一种有 PNP 构造的发光器件和发光器件阵列，尤其，关于有逻辑功能的发光器件和发光器件阵列，进而，关于以 3.0 V 驱动的发光器件阵列。

背景技术

数字电路的电源电压，从高速，低电力消耗的要求，向低电源电压化推进，从以前的 5 V 系统，向 3.3 V 系统，进而向低电压方向转移。在 3.3 V 的电源电压下，能允许 $\pm 10\%$ 误差，保证 3.0 V 下工作是必需的。

作为数字电路的一个例子，可考虑发光器件阵列。多个发光器件在同一衬底上集成后的发光器件阵列，和其驱动用 IC 配合用作光打印头等写入光源。本发明人等，作为发光器件阵列的构成要素而对具有 PNP 构造的 3 端发光闸流管加以注目，已有专利申请（特开平 1-238962 号公报，特开平 2-14584 号公报，特开平 2-92650 号公报，特开平 2-92651 号公报）能实现发光点的自扫描，而表示了作为光打印机用光源成为装配上简便，制作发光器件节距细小，能制造小型的自扫描型发光器件阵列等。

进而本发明人等，把开关器件（发光闸流管）阵列作为移动部，正在提出和发光部的发光器件（发光闸流管）阵列分离构造的自扫描型发光器件阵列。（特开平 2-263668 号公报）有关这些提议的自扫描型发光器件阵列，以 5 V 电源系统的驱动用 IC 驱动方式构成。

如上述一样，驱动用 IC 的电源电压也从 5 V 系统到 3.3 v 系

统，进而变为低电压。这是因为，通过降低电源电压能降低电力消耗的缘故。为此，以 3.3 v 电源系统也能驱动上述的发光闸流管是理想的。

在图 1，用 5 v 驱动，而且，表示分离移动部和发光部的类型二极管结自扫描型发光器件阵列的等效电路图。这些自扫描型发光器件阵列，由开关器件 T_1, T_2, T_3, \dots 、写入用发光器件 L_1, L_2, L_3, \dots 构成。开关器件和发光器件也都用 3 端子发光闸流管。移动部的构成，用二极管连接起来。即，开关器件的控制极间，以二极管 D 耦合。 V_{GA} 是电源（通常 -5v），经由负载电阻连到各开关器件的控制极。而且，开关器件的控制极，也连到写入用发光器件的控制极。给开关器件 T_1 的控制极施加触发脉冲 ϕ_s ，给开关器件的阴极电极方面，交替施加转移用时钟脉冲 ϕ_1, ϕ_2 ，给写入用发光器件的阴极电极，施加写入信号 ϕ_1 。

图 2 如芯片上形成的图 1 自扫描型发光器件阵列的构造，图 2A 是平面图，图 2B 是图 2A 的 X-X 线剖面图。在 P 型的 GaAs 衬底 10 上，按 P 型的 AlGaAs 外延层 11，N 型的 AlGaAs 外延层 12，P 型的 AlGaAs 外延层 13，N 型的 AlGaAs 外延层 14 这个顺序层叠之后，形成 PNP 构造。自扫描型发光器件阵列，利用这个 PNP 构造来构成。图中，分别表示 21 是用于 p 型 AlGaAs 层 13 的欧姆电极，22 是用于 N 型 AlGaAs 层 14 的欧姆电极，23 是用于 p 型 GaAs 衬底 10 的欧姆电极（背面共用电极），60 是保护膜，70 是 V_{GA} 布线，71 是 ϕ_1 布线，72 是 ϕ_2 布线，73 是 ϕ_1 布线，80 是移动部阴极岛，81 是耦合二极管 D 用阴极岛，82 是发光部用阴极岛，90 是电阻。该构造中，作为耦合二极管 D ，利用 PNP 构造的上部 2 层，即由 P 型 AlGaAs 层 13 和 N 型 AlGaAs 层 14 构成的 PN 结。并且，在电阻 90 方面，利用 P 型 AlGaAs 层 13。

简单说明以上构成自扫描型发光器件阵列的工作。首先，假设转移用第 2 时钟脉冲 2 的电压是 L 电平，开关器件 T_2 是接通状态。这

时，开关器件 T_2 控制极的电位是从 V_{GA} 的 $-5v$ 上升到大致 $0v$ 。通过二极管 D 把电位上升的影响对传递到开关器件 T_3 的控制极，其电位设定为 $-1v$ (二极管 D 的正向上升电压 (等于扩散电位))。但是，因为二极管 D 是反偏压状态，不执行连接控制极 G_1 的电位，控制极 G_1 的电位照样约为 $-5v$ 。发光闸流管的接通电压是从近似控制极电压+控制极·阴极间 PN 结的扩散电位 (约 $1v$)，其次转移用时钟脉冲 ϕ_2 的 H 电平电压设为约 $-2v$ (为使开关器件 T_3 接通必要的电压) 以下而且约 $-4v$ (为使开关器件 T_5 必要的电压) 的话，只使开关器件 T_3 接通，除此以外的开关器件关照样处于关断状态。所以应该以 2 条转移用时钟脉冲转移接通状态。

触发脉冲 ϕ_s 是用于显示这样的转移动作的脉冲，设定触发脉冲 s 为 H 电平 (大约 $0v$)，就同时设定转移用时钟脉冲为 L 电平 (约定 $-2 \sim -4v$)，使开关器件 T_1 接通。然后立刻，触发脉冲 ϕ_s 回到 L 电平。

现在，假设开关器件 T_2 为接通状态，开关器件 T_2 控制极的电位，从 V_{GA} 上升，成为大约 $0V$ 。然而，写入信号 ϕ_1 的电压尽管是 PN 结的扩散电位 (大约 $1V$) 以下，也能使发光器件 L_2 变成发光状态。

对此，开关器件 T_1 的控制极约为 $-5V$ ，开关器件 T_3 的控制极约为 $-1V$ 。所以，发光器件 L_1 的写入电压约为 $-6V$ ，发光器件 L_3 的写入电压约为 $-2V$ 。因此，对发光器件 L_2 写入的写入信号 ϕ_1 的电压为 $-1 \sim -2V$ 的范围。发光器件 L_2 接通，即进入发光状态时，发光强度由写入信号 ϕ_1 中流动的电流量决定，能以任意的强度写入图像。并且，为了把发光状态转移到下一个发光器件，就需要写入信号 ϕ_1 线的电压一次降到 $0V$ ，发光的发光器件一度关断。

如以上那样的构成二极管结型自扫描型发光器件阵列的可能工作电压 (时钟脉冲的 L 电平电压) V_L 是，

$$V_L < V_{GON} - 2V_D - I_{th} \times R_p$$

。在这里， V_{GON} 是正在接通的闸流管的控制极电压， V_D 是

耦合二极管 D 的正向上升电压, I_{th} 是闸流管是进行接通的阈值电流, R_p 是闸流管控制极的杂散电阻。各自的值, V_{GON} 约为 -0.3 V , V_D 是 1.3 V , $I_{th} \times R_p$ 约为 0.3 V , 成为 $V_L < -3.1\text{ V}$ 。还有, 为了实现稳定工作, 需要 0.2 V 左右的余裕, 结果, 对现状的自扫描型发光器件阵列动工作来说, 需要 3.3 V 左右的电压。因此, 不可能以所谓的 3.0 V 系统电源进行工作。

以上的说明中, 说明了有关在 P 型衬底上, 以 P 型层、N 型层、P 型层、N 型层的顺序层叠的 PNP 构造, 但是在 N 型衬底上, 以 N 型层、P 型层、N 型层、P 型层的顺序层叠的 PNP 构造的情况下, 在图 1 的构成方面极性改变了。

发明内容

本发明的目的在于提供一种降低动作电压之后, 以 3.0 V 工作的自扫描型发光器件阵列。

本发明另一个目的在于提供有逻辑功能的发光器件。

本发明又一个目的在于提供有逻辑功能的发光器件阵列。

本发明的发光器件, 由第 1 导电型的衬底上, 层叠第 1 导电型的半导体层, 第 2 导电型的半导体层, 第 1 导电型的半导体层, 第 2 导电型的半导体层的 PNP 构造构成, 包括在所述 PNP 构造的控制极层具有欧姆控制极的至少 1 个的发光闸流管和由所述控制极层和至少 1 个金属端子的肖特基结构成的至少 1 个肖特基势垒二极管。

用这样发光器件, 对具备一维状排列, 起开关作用的多个第 1 发光闸流管; 耦合邻接的第 1 发光闸流管控制极间的耦合二极管; 以及一维状排列, 各控制极连接到对应的所述各第 1 发光闸流管控制极的多个第 2 发光闸流管的构成二极管结型自扫描型发光器件阵列的情况方面, 作为上述耦合二极管, 使用由肖特基结构成的肖特基势垒二极管来代替 PN 结。

肖特基结和 PN 结相比本质上势垒高度低, 正向上升边电压 V 大约为 0.8 V 左右。因此, 电源电压比使用 PN 结作为耦合器件的

情况大约可降低 0.5 V 工作电压。所以，可用 3.0 V 驱动自扫描型发光器件阵列。

并且，使用 PNP 构造闸流管上层的 PN 结作为耦合二极管时，该二极管内流着阈值电流以上的话，闸流管接通，二极管就变成与衬底不绝缘。但是，对 PNP 构造上设置金属的肖特基结而言，因为闸流管不工作，借助于 PNP 构造通常能保持与衬底绝缘的状态。因此，通过利用肖特基结，用和自扫描型发光器件阵列相同的工艺、器件构造，能附加各种的逻辑电路和逻辑功能。

附图说明

图 1 是 5 V 驱动，而且，分离移动部和发光部的类型二极管结自扫描型发光器件阵列的等效电路图。

图 2 A 和图 2 B 是芯片上形成自扫描型发光器件阵列的平面图和剖面图。

图 3 A 和图 3 B 表示实施例 1 发光器件的构造平面图和剖面图。

图 4 A ~ 图 4 E 表示图 3 发光器件的制造方法图。

图 5 表示肖特基结的电流 - 电压特性曲线图。

图 6 是实施例 2 的自扫描型发光器件阵列等效电路图。

图 7 A 和图 7 B 表示图 6 的自扫描型发光器件阵列构造的平面图和剖面图。

图 8 是实施例 3 的自扫描型发光器件阵列等效电路图。

图 9 是实施例 4 的自扫描型发光器件阵列等效电路图。

图 10A 和图 10B 表示实施例 5 发光器件构成的电路图，表示工作的真值表。

图 11A 和图 11B 表示图 10A 发光器件构造的平面图和剖面图。

图 12A 和图 12B 表示实施例 5 发光器件其他构成的电路图，表示工作的真值表。

图 13A 和图 13B 表示实施例 5 发光器件其他的构成的电路

图，表示工作的真值表。

图 14 表示图 13 的发光闸流管构成的平面图。

图 15A 和图 15B 表示实施例 5 发光器件其他的构成的电路图，表示工作的真值表。

图 16A 和图 16B 表示实施例 5 发光器件其他的构成的电路图，表示工作的真值表。

图 17A 和图 17B 表示实施例 5 发光器件其他的构成的电路图，表示工作的真值表。

图 18A 和图 18B ，表示实施例 5 发光器件其他的构成的电路图，表示工作的真值表。

图 19A 和图 19B 表示实施例 5 发光器件其他的构成的电路图，表示工作的真值表。

图 20A 和图 20B 表示实施例 6 发光器件构成的电路图，表示状态变迁工作的图。

图 21A 和图 21B 表示图 20 发光器件构造的平面图和剖面图。

图 22 表示实施例 6 发光器件其他的构成的电路图。

图 23 是实施例 7 的二维矩阵发光器件阵列的电路图。

图 24 是实施例 8 的一维排列发光器件阵列的电路图。

图 25A 和图 25B 表示图 24 的发光器件阵列构造的平面图和剖面图。

图 26 表示实施例 9 发光器件阵列构成的电路图。

图 27 表示图 26 发光器件阵列的驱动定时波形的图。

图 28 表示实施例 10 的自扫描型发光器件阵列构成的电路图。

图 29 表示图 28 自扫描型发光器件阵列构造的平面图。

图 30 表示图 28 自扫描型发光器件阵列的驱动脉冲图。

具体实施方式

实施例 1

本实施例是 PNP 构造的控制极层具有肖特基接触端子的发光器件。在图 3，表示芯片上形成的发光器件构造。图 3 A 是平面图，图 3 B 是图 3 A 的 X- X 线剖面图。在第 1 导电型的 GaAs 衬底 10 上，以第 1 导电型的 AlGaAs 外延层 11、第 2 导电型的 AlGaAs 外延层 12、第 1 导电型的 AlGaAs 外延层 13、以及第 2 导电型的 AlGaAs 外延层 14 这个顺序加以层叠，形成 PNP 构造。发光闸流管就是利用该 PNP 构造制造的。

发光闸流管具备对第 1 导电型的 AlGaAs 层 13 上形成的欧姆电极 21、在第 2 导电型的 AlGaAs 层 14 上形成的欧姆电极 22、在第 1 导电型 GaAs 衬底 10 的背面形成的欧姆电极（共用电极）。60 是保护膜。

通过对保护膜 60 打开的通孔，布线 40 直接和第 1 导电型的 AlGaAs 层 13 肖特基接触而构成肖特基势垒二极管。

在以上的构成中，第 1 导电型为 P 型，第 2 导电型为 N 型的情况下，30 是阴极布线，40 是二极管的肖特基接触阴极布线，50 是控制极布线。另一方面，第 1 导电型为 N 型，第 2 导电型为 P 型的情况型，30 是阳极布线，40 是二极管的肖特基接触阳极布线，50 是控制极布线。

参照图 4 A ~ 图 4 E 说明以上构造发光器件的制造方法。还有，假设第 1 导电型为 P 型。首先，如图 4A 所示，在 P 型 GaAs 衬底 10 上，P 型 AlGaAs 外延层 11、N 型 AlGaAs 外延层 12、P 型 AlGaAs 外延层（控制极层）13、以及外延生长 N 型 AlGaAs 外延层（阴极层）14。

其次，如图 4B 所示，把阴极层 14 制成图案，使控制极层 13 露出。在控制极层 13 上，用剥离法形成由 AuZn 构成的控制极欧姆电极 21，在阴极层 14 上形成由 AuGe 构成的阴极欧姆电极 22。

其次，如图 4C 所示，用蚀刻法实行元件隔离。

其次，如图 4D 所示，用等离子体 CVD 法形成 SiO_2 作为保护膜 60。在保护膜 60 在，用反应离子蚀刻法（RIE）形成接触孔 62。

其次，如图 4E 所示，用溅射法形成 Al 膜。通过溅射形成 Al 膜，在 Al 膜对控制极层 13 接触的部分 42，以初期的洁净效果可实现稳定的金属-半导体接触。这种金属-半导体接触形成肖特基结，该肖特基结构成肖特基势垒二极管。

Al 膜制成图案之后，形成阴极布线 30、肖特基接触阴极布线 40、以及控制极布线 50。在 GaAs 衬底 10 的背面，形成背电极 23。

图 5 中示出如以上那样构造的发光器件的肖特基接触阴极布线 40 和控制极布线 50 之间的电流-电压特性，即肖特基势垒二极管的电流-电压特性。以肖特基接触阴极布线 40 为基准，改变了控制极布线 50 的电位。肖特基势垒二极管，和 PN 结相比本质上势垒高度低，正向上升边电压约为 0.8 V，反向电流成了 -10nA(-5 V 时)。

所以，把该肖特基势垒二极管用作耦合二极管 D 的话，与用 PN 结的情况比，大约能降低 0.5 V 工作电压，就可能用 3.0 系统电源工作。

如以上一样，在本实施例中，在用 P 型衬底的 PNP 构造的控制极层上得到了 Al 肖特基接触。因为在这个构成中，把 Al 布线材料照样用于肖特基电极，所以工序简便。但是，所谓 Al 布线材料即使另外形成另外的肖特基电极也行。这个情况，可使用 Au、Al、Pt、Ti、Mo、W、WSi、TaSi 等材料。

如以上一样，通过对 PNP 构造的控制极层用具有肖特基接触端子的发光器件，象以下各实施例说明那样的具有逻辑功能的发光器件和发光器件阵列，进而能实现 3.0 V 可驱动的发光器件阵列。

实施例 2

本实施例是把肖特基势垒二极管作为耦合二极管使用的自扫描型发光器件阵列。在图 6，表示电路图。该自扫描型发光器件阵列的构成，除耦合二极管 D 置换为肖特基-势垒二极管 SB 以外，都和图 1 的电路相同。

图 7A 和图 7B 中，表示芯片上形成的二极管结自扫描型发光器件阵列的构造。图 7A 是平面图，图 7B 是图 7A 的 X-X 线剖

面图。在 P 型的 GaAs 衬底 10 上，按 P 型的 AlGaAs 外延层 11、N 型的 AlGaAs 外延层 12、p 型的 AlGaAs 外延层 13、以及 N 型的 AlGaAs 外延层 14 这个顺序被层叠，形成 PNP 构造。发光器件阵列，用这个 PNP 构造来制作。

图中，21 是用于 p 型 AlGaAs 层 13 的欧姆电极，22 是用于 N 型 AlGaAs 层 14 的欧姆电极，23 是用于 p 型 GaAs 衬底 10 的欧姆电极（背面共用电极），60 是保护膜，70 是 V_{GA} 布线，71 是 ϕ_1 布线，72 是 ϕ_2 布线，73 是 ϕ_1 布线，80 是移动部阴极岛，82 是发光部阴极岛，83 是用作耦合二极管的肖特基势垒二极管，90 是电阻。肖特基势垒二极管 83 由 Al 布线和 N 型 AlGaAs 层 14 的金属-半导体接触而形成的。并且，电阻 90 由 P 型 AlGaAs 层 13 形成。

如以上构成的那样，对二极管结型自扫描型发光器件阵列的耦合二极管，使用肖特基势垒二极管的话，因为正向电压和 PN 耦合二极管相比大约降低了 0.5 V，所以能够在 $V_L = -2.8V$ 下稳定工作。

实施例 3

本实施例是在实施例 2 的自扫描型发光器件阵列中，省略触发脉冲 ϕ_s 端子的自扫描型发光器件阵列。采用省略触发脉冲端子的办法，减少芯片上的焊盘个数。图 6 的电路中省去触发脉冲端子 ϕ_s ，与时钟脉冲端子 ϕ_2 兼用。

图 8 中，表示其电路构成。这时，开关器件 T_1 的控制极，经过触发脉冲形成用的肖特基势垒二极管 91 连到时钟脉冲端子 ϕ_2 。时钟脉冲 ϕ_2 经过二极管 91 之后作为触发脉冲，供给开关器件的控制极。

本实施例的自扫描型发光器件阵列，和实施例 2 同样，把肖特基势垒二极管用作耦合二极管，所以就能以更低的电源电压进行工作。

实施例 4

本实施例是在实施例 2 的自扫描型发光器件阵列中省略触发脉冲端子 ϕ_s 和 V_{GA} 端子的自扫描型发光器件阵列。通过省略触发脉

端子和 V_{GA} 端子，减少芯片上焊盘的个数。实施例 3 中说过的图 8 的电路方面省略 V_{GA} 端子，由时钟脉冲 $\phi 1$ 和 $\phi 2$ 合成 V_{GA} 电源。

在图 9，表示其电路构成。为了由时钟脉冲 $\phi 1$ 和 $\phi 2$ 合成 V_{GA} 电源，采用二极管 - 二极管逻辑的双输入 OR 门 85。作为该 OR 门的二极管，使用肖特基势垒二极管 92、93。

如现有的一样，使用门-阴极间的 PN 结作为二极管的话，流过该二极管电流值以上的电流的情况下，包括这个 PN 结的 PNP 寄生闸流管就接通了， V_{GA} 端子的电压，大致固定为 V_D (二极管的正向上升边电压)。因此，对流过 V_{GA} 线的电流有了限度。但是，如本实施例的那样，通过使用肖特基势垒二极管 92、93 来代替 PN 结，因为不会产生寄生闸流管，所以流过 V_{GA} 线的电流值限制没有了。根据流过该 V_{GA} 线的电流，规定自扫描型发光器件阵列的转移速度，通过使用肖特基势垒二极管，能实现高速转移的自扫描型发光器件阵列。

在以上的实施例中，省略了触发脉冲 ϕs 端子和 V_{GA} 端子的双方，然而即使只省略限 V_{GA} 端子也行。在这个情况下，在图 1 的电路中，应该设置由肖特基势垒二极管 92、93 构成的双输入 OR 门。

实施例 5

本实施例是在发光闸流管的门上设置二极管 - 二极管逻辑的 OR 门，按照 2 个以上门信号的“或”能控制发光状态的发光器件。

图 10A 表示其电路构成。如图 10A 所示，在 3 端子闸流管 (第 1 导电型是 N 型，第 2 导电型是 P 型) 94 的控制极端子 G 附加由肖特基势垒二极管 95、96 构成二极管 - 二极管逻辑的双输入 OR 门 130。发光闸流管 94 的阳极连到阳极端子 109，阴极直接接地，控制极连到二极管 95、96 的阴极。二极管 95、96 的阴极，经过电阻 120 接地。二极管 95、96 的阳极连到阳极端子 110、111 (OR 门 130 的输入端子)。

图 11A 和图 11B 表示图 10A 的发光闸流管构造图，图 11A 是平面图，图 11B 是图 11A 的 X-X 线剖面图。还有，对图 11A、图 11B

中，和图 3 A、图 3 B 同一要素方面，表示附加同一的参照号码。二极管 95、96 由阳极端子 110、111 和控制极层 13 的肖特基接触来形成。这样形成电阻 120，使得控制极层 13 的宽度细小，成为缩颈状。另一方面，电阻 120 的另一端在控制极层 13 上以电极 21 取得欧姆接触，与其连接的布线 100 接地。

3 端子发光闸流管 94，可以认为是本来以控制极和阳极的 2 个端子控制的逻辑电路。即，发光状态 S(1 表示发光，0 表示非发光)，采用控制极电平 G(H 电平表示 1，L 电平表示 0) 和阳极电平 A(H 电平表示 1，L 电平表示 0)，就用

$$S = A \wedge \bar{G} \quad (1)$$

表示。因此，为使发光闸流管 94 接通，如图 10B 的真值表所示，假设 OR 门 130 输入端子 110、111 的电平 D_1 ， D_2 分别为 D_1 ， D_2 ， D_1 ， D_2 共同为 L 电平时，可在阳极电平 A 为 H 电平时点灯。还有，在真值表方面，「*」表示 H 电平和 L 电平的哪一个也行。

在以上的实施例中，表示 PNP 构造第 1 导电型设为 N 型，第 2 导电型设为 P 型的情况，然而第 1 导电型为 P 型，第 2 导电型为 N 型的情况也同样能构成。图 12A、图 12B 中，表示其电路图和真值表。如图 12A 所示，在发光闸流管 97 的控制极附加二极管 - 二极管逻辑的双输入 AND 门 132。这种 AND 门由肖特基势垒二极管 95、96 构成。肖特基势垒二极管的方向变成和图 10A 的情况相反方向。发光闸流管 97 的阳极是连到 H 电平，以及二极管 95、96 的阳极经过电阻 120 连接到 H 电平。

在图 12A 的构成方面，假设发光闸流管的阴极电平为 K(H 电平表示 1，L 电平表示 0) 的话，发光状态 S 就是以

$$S = \bar{K} \wedge G \quad (2)$$

表示。因此，为使发光闸流管 97 接通，如图 12B 的真值表所示，AND 门 132 的输入端子 112、113 的电平 D_1 、 D_2 都为 H 电平时，可在阴极电平 K 为 L 电平时点灯。

而且，即使第 1 导电型是 N 型，第 2 导电型是 P 型的情况，也能和二极管 - 二极管逻辑的双输入 AND 门组合。此时的电路构成和真值表如图 13 A 和图 13 B 所示。在图 14，表示电路的构造。图中，13 是发光闸流管 97 的控制极层，21 是欧姆电极，132 是二极管 - 二极管逻辑的双输入 AND 门，112、113 是 AND 门 132 的输入端子，114 是 AND 门 132 的输出端子。AND 门 132，如图 14 所示，在与发光闸流管的控制极层 13 独立的岛上形成的。

按照如图 13 B 的真值表所示那样的 AND 门 132 的输入电平 D_1 、 D_2 和发光闸流管 97 的阳极电平 A 的组合，可使发光闸流管点灯。

其次，图 15 A 中，表示第 1 导电型为 P 型，第 2 导电型为 N 型情况的电路图。给发光闸流管 94 的控制极附加二极管 - 二极管逻辑的双输入 OR 门 130。OR 门由肖特基势垒二极管 95、96 构成。

这样的电路中，按照如图 15 B 的真值表所示那样的 OR 门 130 的输入电平 D_1 、 D_2 和发光闸流管 94 的阴极电平 K 的组合，可使发光闸流管点灯。

在以上，表示了给发光闸流管的控制极附加二极管 - 二极管逻辑的 OR 门或 AND 门的例子，然而给阳极或是阴极附加 OR 门或 AND 门也可以。如式 (1)、(2) 所示，因为阳极或是阴极与控制极的逻辑值相反的时进行接通，即使没准备 NOT 门，也能实现各种逻辑。在图 16 ~ 图 19 表示有逻辑功能的发光器件例子。

图 16 A 是给发光闸流管 94 的阳极附加了肖特基势垒二极管 98 的发光器件。假设二极管 98 的阴极端子的电平为 D，经过发光闸流管 94 的电阻 120 的阳极端子电平为 A，控制极端子的电平为 G，这些发光器件就如图 16 B 的真值表一样进行工作。

图 17 A 是给发光闸流管 94 的阳极，附加由肖特基势垒二极管 95、96 构成双输入 OR 门 130 的发光器件。这些发光器件就如图 17 B 的真值表一样进行工作。

图 18 A 是给发光闸流管 97 的阴极，附加由肖特基势垒二极

管 98 的例子。这些发光器件就如图 18 B 的真值表一样进行工作。

图 19 A 是给发光闸流管 97 的阴极，附加由肖特基势垒二极管 95、96 构成双输入 AND 门 132 的发光器件。这些发光器件就如图 19 B 的真值表一样进行工作。

以上的各实施例中，各逻辑门的输入为 2 路以下的情况，然而以同样的想法对可扩张到 3 路以上，如果是本领域的技术人员，就很容易理解了吧！

实施例 6

本实施例是，作为时序电路附加 RS-FF (set-reset-flip-flop: 置位复位触发器)，能控制发光状态的发光器件。

在图 20 A、图 20 B 中，表示发光器件的构成和状态变迁动作。表示情况变迁动作的图 20 B 中，从二种状态 [ON] 和 [OFF]，根据置位、复位脉冲，表示状态变化的样子。按照这个构成，以肖特基势垒二极管 95、96 附加置位端子 140 和复位端子 142，发生发光闸流管 97 保持接通状态的特性。由于置位端子 140 为 H 电平，发光闸流管 97 控制极端子的电压接近衬底电位，使发光闸流管接通。在接通状态假如复位端子 142 为 H 电平，则肖特基势垒二极管 95 上升边电压的方面作为绝对数值比接通状态的发光闸流管阴极电压要减少，就被肖特基势垒二极管 95 的上升边电压箝位。因此，发光闸流管 97 成为关断状态。

第 1 导电型为 P 型，第 2 导电型为 N 型的构造例子表示在图 21 A、图 21 B 上。图 21 A 是平面图，图 21 B 是图 21 A 的 X-X 线剖面图。图中，140 是置位端子，141 是阴极端子，142 是复位端子，143、144 是电阻。还有，其他的构成要素因和图 3 的构成要素同一要素，附加同一的参照号码来表示。在这个构造中，把复位端子用的肖特基-势垒二极管 95 制作在发光闸流管 97 的阴极岛 14 上。

进而，假如用 2 个发光闸流管，置位端子、复位端子各 2 个，在图 22 表示根据各自的逻辑积，能控制的构成例子。图中，145、

146 表示 2 个发光闸流管，147、148、149 表示电阻，SB 表示肖特基势垒二极管。为了能以 2 条址线控制各发光闸流管 145、146，作为完成任意位的置位/复位的静态存储器使用。当然，也可以作成 3 个以上置位/复位端子。

实施例 7

本实施例是用图 12 A 中所示实施例 5 的二极管 - 二极管逻辑带有 AND 门的发光器件，实现了二维矩阵排列的发光器件阵列。

在图 23，表示其电路。将发光闸流管 T_{ij} ($i=1, 2, 3, \dots, j=1, 2, 3, \dots$)， i 行 \times j 列的矩阵状排列，由 2 个肖特基势垒二极管 SB 构成的双输入 AND 门连接到各发光闸流管的控制极。AND 门的 2 个输入端子，分别连接到行线 R_i ($i=1, 2, 3, \dots$) 和列线 C_j ($j=1, 2, 3, \dots$)。还有，在图中，为了简化设计图，表示 4 行 \times 4 列的矩阵状排列。

发光闸流管 T_{ij} 的各控制极，而且，经过对应的各电阻 R 之后连到 PNP 构造的衬底电位端子 V_{sub} 连接，发光闸流管的各阴极，经过电阻 R_K 连接共用的阴极端子 K 。

在如以上那样构成的二维矩阵发光器件阵列方面，按图 12 B 的真值表说过的那样，行线 R_i 和列线 C_j 都为 H 电平时，端子 K 为 L 电平，闸流管 T_{ij} 点亮。并且，尽管有的发光闸流管点灯的状态，也指定另外的发光闸流管，这个被指定的发光闸流管也能同时点灯。即，静态下能点灯多个发光闸流管。

在以上的实施例中，用了 AND 门，然而也能用 OR 门，对于本领域技术人员是容易能理解的吧。

实施例 8

本实施例是用图 12 A 中所示实施例 5 的二极管 - 二极管逻辑的带有 AND 门的发光器件，实现了一维排列的发光器件阵列。

在图 24，表示其电路构成。将发光闸流管 L_{111} 、 L_{211} 、 L_{311} 、 \dots 一维排列，在各发光闸流管 L 的控制极，设置由 3 个肖特基势垒二极管 SB 构成三输入 AND 门 150。这些各 AND 门的三输入端

子, 采用矩阵状连到 3 组信号线 (A_1 、 A_2 、 A_3), (B_1 、 B_2 、 B_3), (C_1 、 C_2 、 C_3), 通过 9 条信号线 ($A_1 \sim A_3$ 、 $B_1 \sim B_3$ 、 $C_1 \sim C_3$), 可控制 27 个发光闸流管的发光(图中, 只画出涉及 AND 门 150 输入端子的 1 个信号线 A_1 的部分, 然而实际由 3 倍的发光闸流管排成)

各发光闸流管 L 的阴极, 经过电阻 R_K 之后连接到 ϕ_1 线, 各发光闸流管的控制极, 经过电阻 R, 连到衬底电位端子 V_{sub} 。

图 25 A、图 25 B 中, 表示在芯片上形成的发光器件阵列构造。图 25 A 是平面图, 图 25 B 是图 25 A 的 X-X 线剖面图。图中, 对和图 3 的构成要素同一的要素, 附加同一的参照号码来表示。还有, 图 25 A、图 25 B 中没有画出电阻 R_K 。从这些图可以知道, 条信号线 $A_1 \sim A_3$ 、 $B_1 \sim B_3$ 、 $C_1 \sim C_3$ 和基层 13 接触, 构成肖特基势垒二极管 SB。

这样的发光器件阵列中, AND 门 150 的输入全部为 H 电平, ϕ_1 线为 L 电平时, 发光闸流管点灯。所以, 能静态点灯多个发光闸流管。

实施例 9

本实施例是在图 24 所示实施例 8 的电路中, 再设置一列发光闸流管。也就是, 使用带有三输入 AND 门的发光闸流管 L 的发光闸流管阵列, 作为存储数据用的存储器, 进而设置发光闸流管 L' 列。在图 26, 表示电路构成。各发光闸流管 L 的控制极, 连到对应的发光闸流管 L 的控制极, 各发光闸流管 L' 的阴极, 经过电阻 R_K L 连到线 ϕ_L 线。

这种构成中, 连接 ϕ_1 线的发光闸流管 L 用作存储器, 写入数据后, 由于 ϕ_L 线变为 L 电平, 依照存入发光闸流管 L 的数据, 使发光闸流管 L' 点灯。

在图 27 表示驱动图 26 电路的定时波形的一个例子。说明有关同时使 27 个发光闸流管 L 点灯的情况。把 27 点的数据存入连接 ϕ_1 线的发光闸流管 L, 之后, 由于 ϕ_L 线为 L 电平, 按照 ϕ_1 线的数据

使发光闸流管 L' 点灯。图 26 中，因为各发光闸流管 L' 的阴极直接连到 ϕ_L 线，所以驱动 ϕ_L 线的驱动器（图未示出），成为可按供给点灯数量的电流的电路。

实施例 10

本实施例，双输入 AND 门和自扫描型发光器件阵列和配合例子。在图 28，表示其电路构成。控制极间具备：由肖特基势垒二极管 SB 连接的发光闸流管 T 列构成的移动部 160，由存储用的发光闸流管 M 列构成的存储部 162，以及由点灯用的发光闸流管 L 列构成的发光部 164 A，存储部闸流管 M 的控制极，连接到由肖特基势垒二极管构成的双输入 AND 门 170，AND 门的输入端子，分别连到写入线 WRITE 和移动部闸流管 T 的控制极。而且，存储部闸流管 M 的控制极，连到对应的发光部闸流管 L。

存储部闸流管的阴极，经过电阻之后连到 ϕ_M 线，发光闸流管的阴极，经过电阻之后连到 ϕ_L 线。

还有，移动部 160 的构成，和图 6 中所示的自扫描型发光器件阵列的移动部相同构成。

在以上的构成方面，想要使移动部 150 指定的存储部闸流管 M 点灯的情况，设 WRITE 线为 H 电平，设不想点灯的情况为 L 电平。这个信息，被存入存储部闸流管 M，发光部闸流管 L 是发光线 ϕ_L 为 L 电平的时候，基于这一信息进行点灯。

按照采用以上的结构，在把多个发光材料数据写入存储部闸流管 M 上的方面，通过一次使发光部闸流管 L 同时点灯，可赚得积分光量。

图 28 的构造例示于图 29。图 29 中， ϕ_M 和 ϕ_L 线和发光闸流管 M、T 的阴极之间的电阻省略了图示。还有图 29 中，对和图 3 同一的构成要素给予同一的参照号码表示。但是，24 表示肖特基电极。

在图 30，表示有 8 个发光闸流管作为一区段发光的驱动脉冲例。为了使移动部 160 的指定发光器件号码的存储部闸流管 M 接通，设 WRITE 端子为 H 电平，不接通时设为 L 电平。把第 1~

第 8 的 8 发光器件用置位数据存入存储部闸流管 $M_1 \sim M_8$ 以后, 通过设 WRITT 端子为 L 电平, 设 ϕ_L 线为 L 电平, 发光部闸流管 $L_1 \sim L_8$ 当中, 由输入到 WRITE 端子的数据指定的闸流管点灯。而后, 以 ϕ_M 线为 H 电平, 消去存储器。规定的点灯时间之后, 以 ϕ_L 线为 H 电平, 发光部闸流管 L 熄灯之后, 从 WRITE 端子读出下一个第 9~第 16 的 8 发光器件用置位数据。

这样, 把 8 发光点作为 - 区段, 对每个区段把 ϕ_L 线作为 L 电平而使其发光。通过采用这样的驱动方法, 尽管芯片一侧的构成相同, 定时通过使驱动波形变化, 就能够变更同时点灯数。

按照本发明, 利用 PNP 构造, 能够实现发光闸流管和肖特基势垒二极管的发光器件。用这样的发光器件, 可以构成以 3.0 V 工作的自扫描型发光器件阵列, 进而, 能构成有逻辑功能的发光器件和发光器件阵列。这些发光器件和发光器件阵列可应用于各种装置。

图 2A

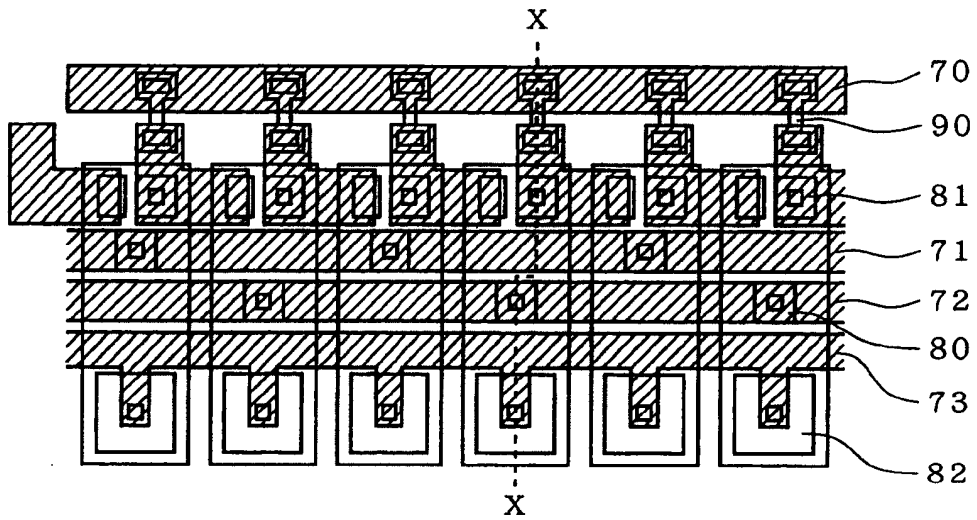


图 2B

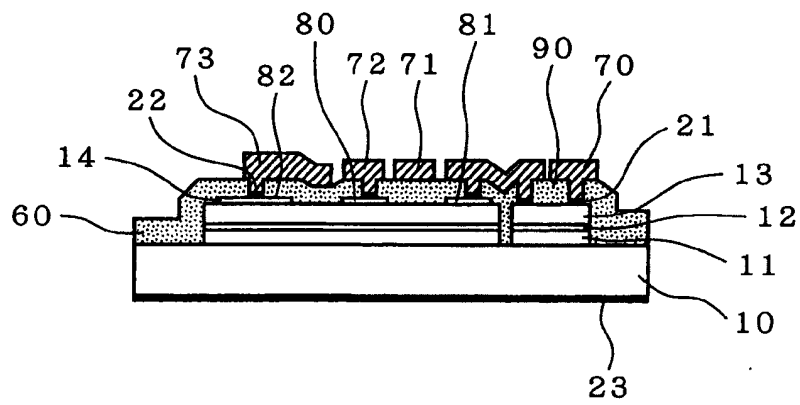


图 3A

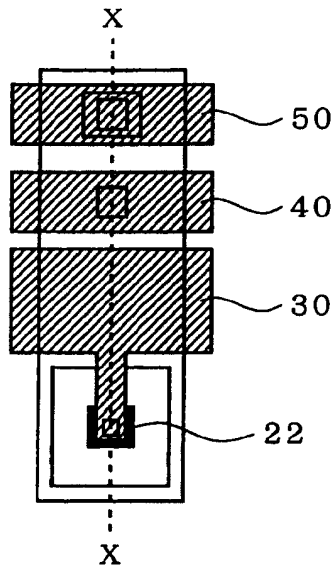
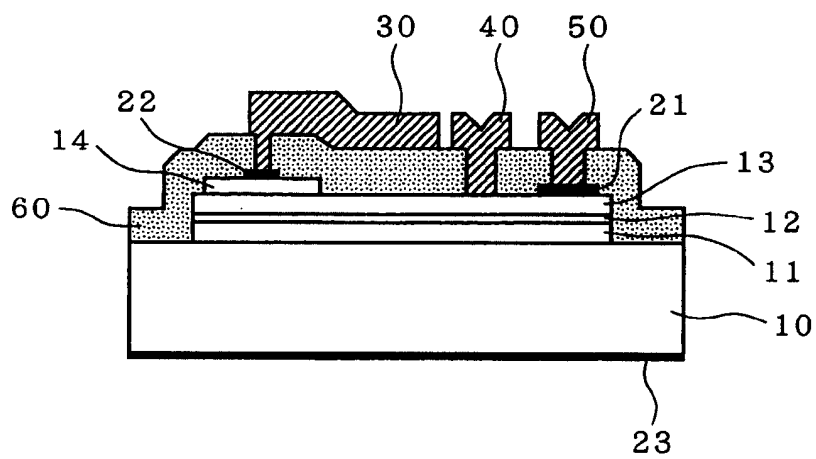


图 3B



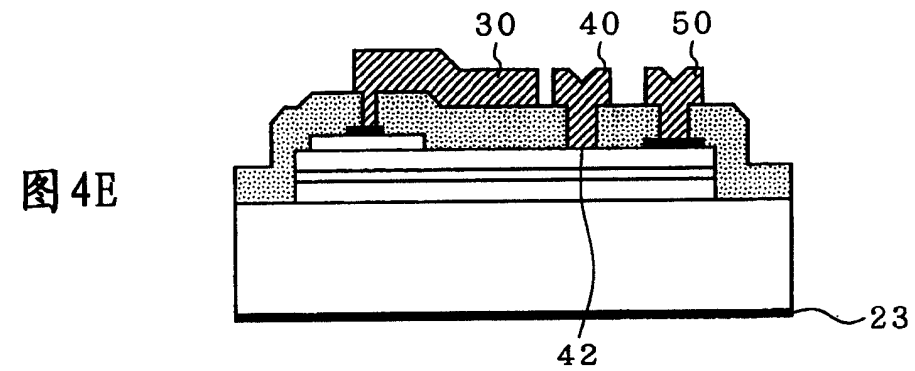
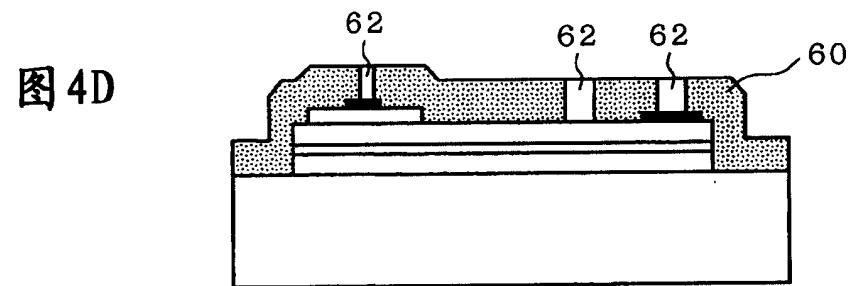
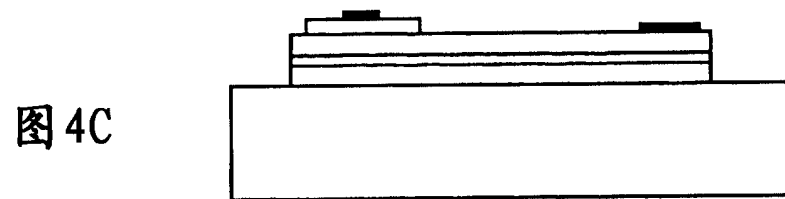
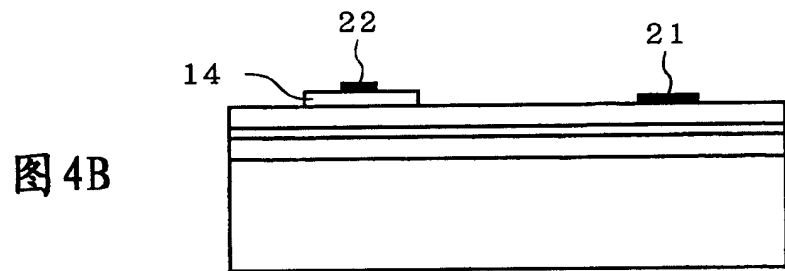
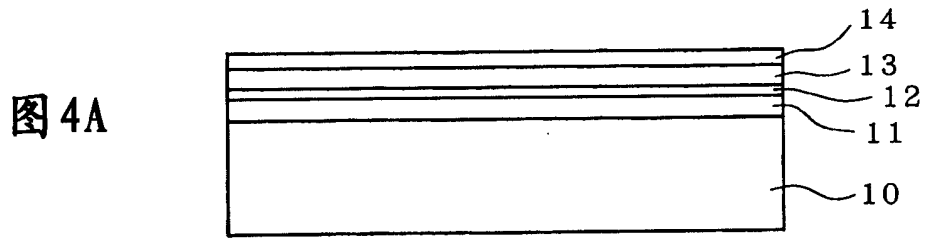


图5

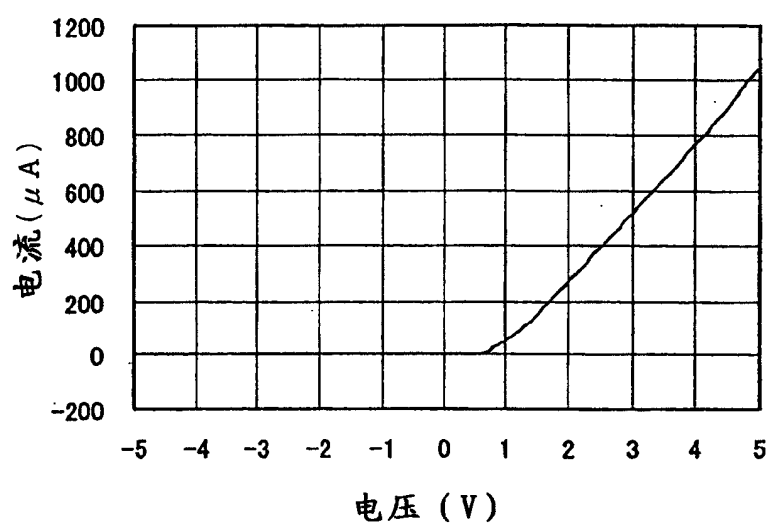


图6

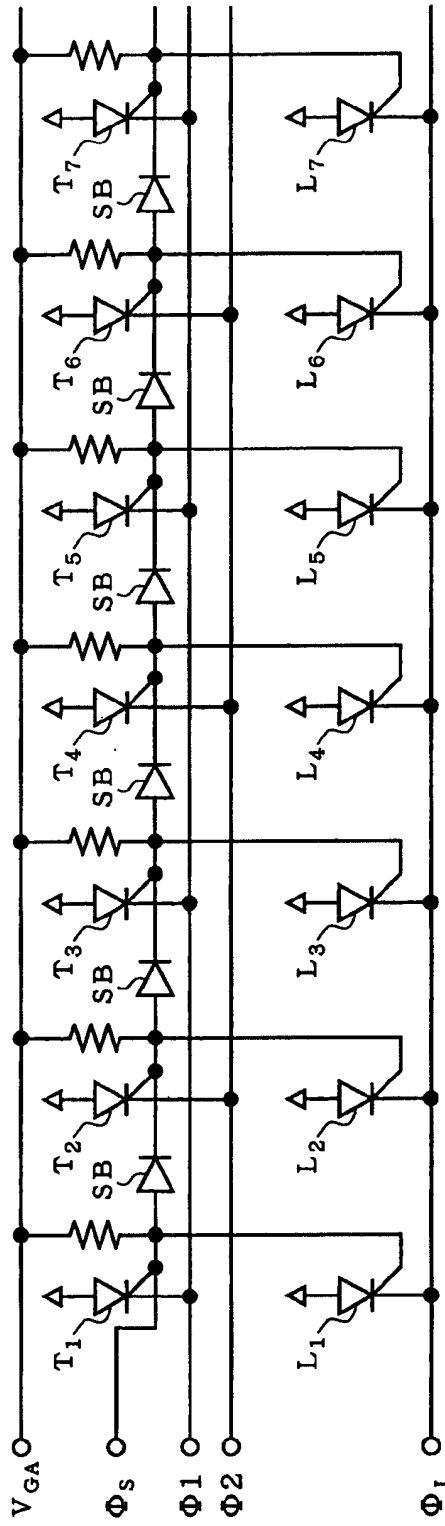


图 7A

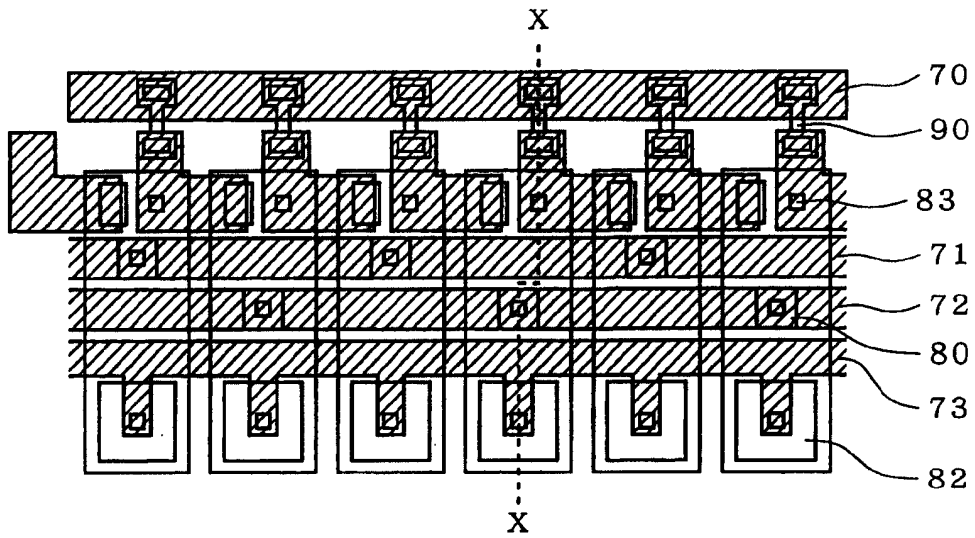


图 7B

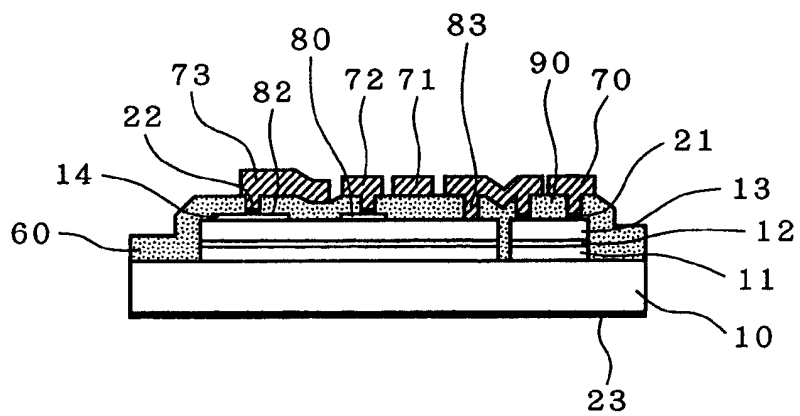


图8

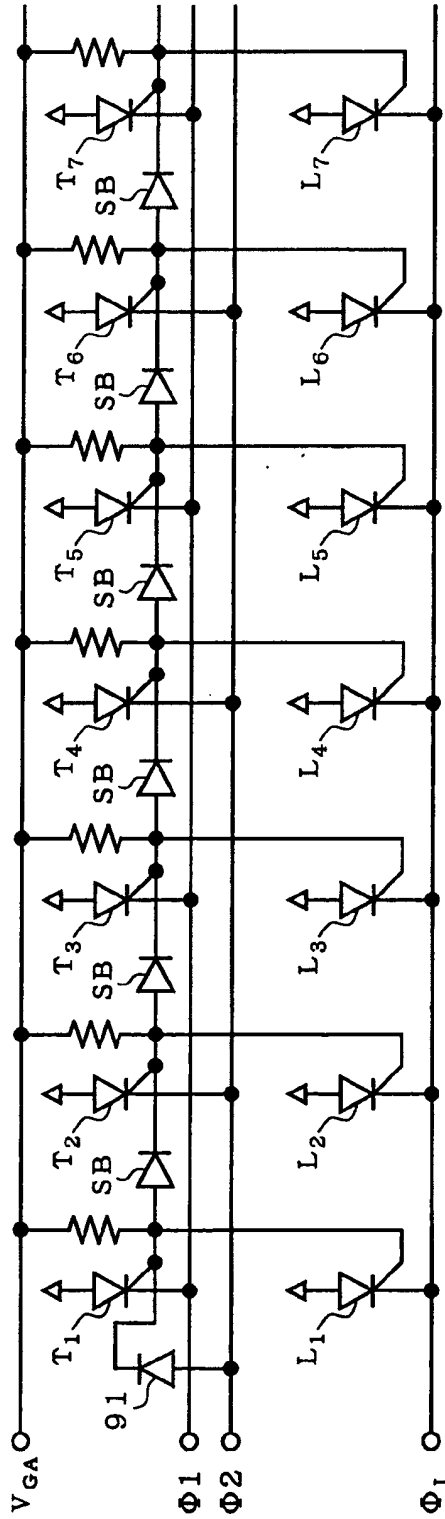


图9

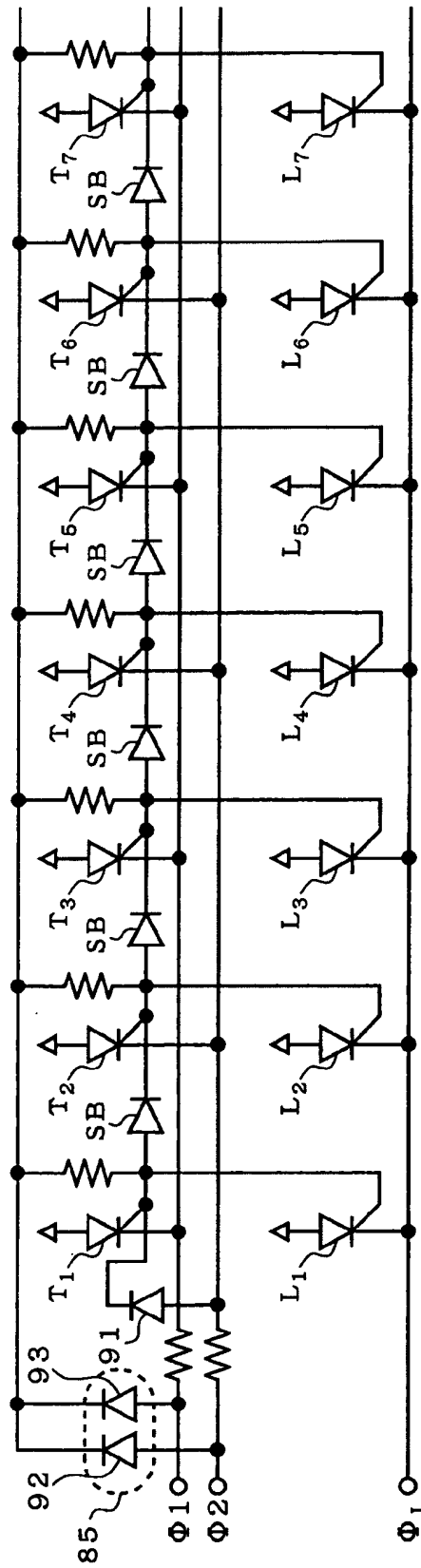


图 10A

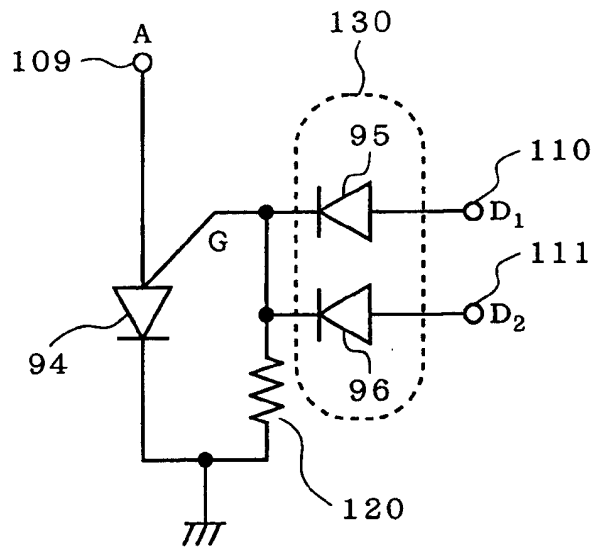


图 10B

OR-门

D ₁	D ₂	A	S
H	H	*	0
H	L		
L	H		
L	L	H	1
		L	0

图 11A

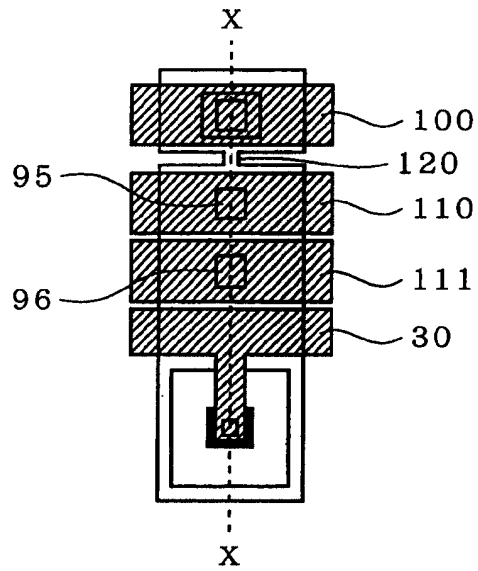


图 11B

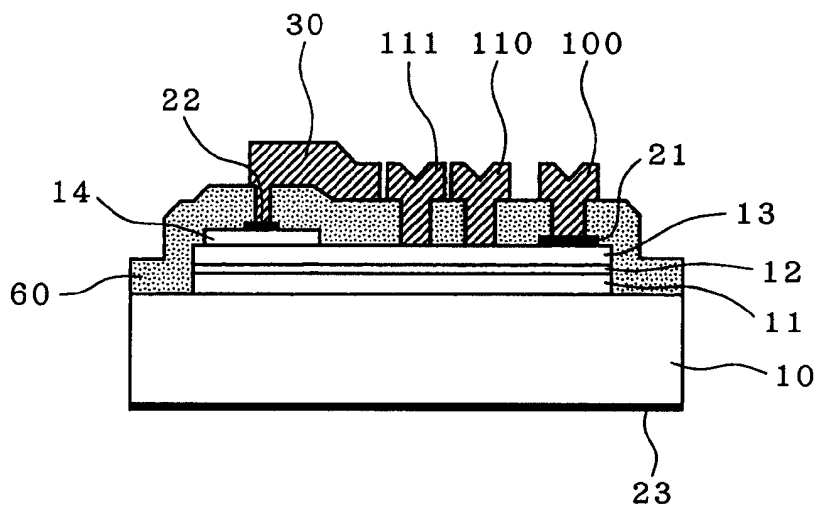


图 12A

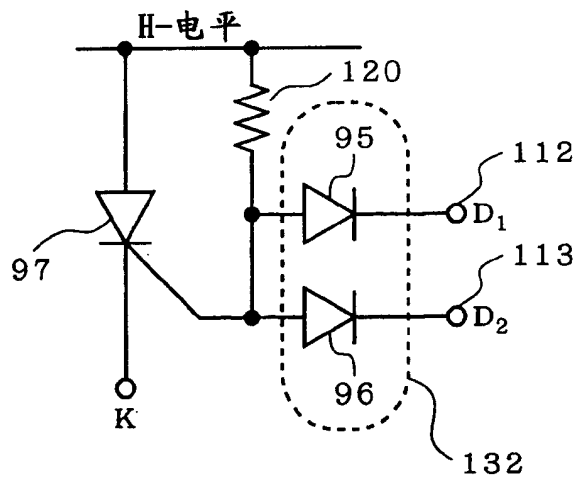


图 12B

AND-门

D ₁	D ₂	K	S
L	L	*	0
H	L		0
L	H		0
H	H	H	0
		L	1

图13A

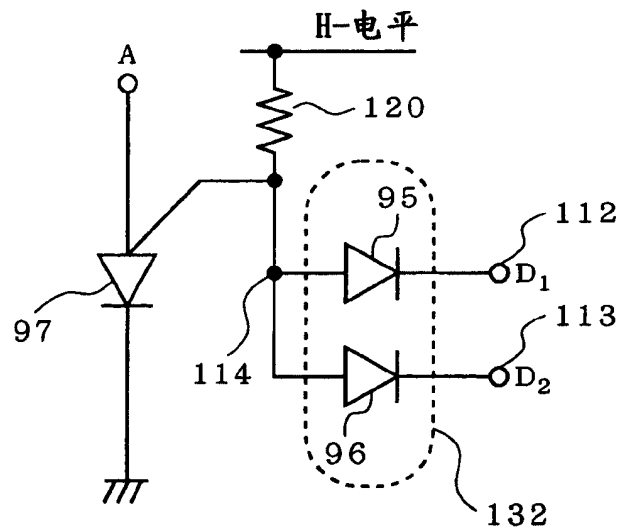


图13B

AND-门

D ₁	D ₂	A	S
H	H	*	0
H	L	H	1
L	H		
L	L		
H	L	L	0
L	H		
L	L		

图14

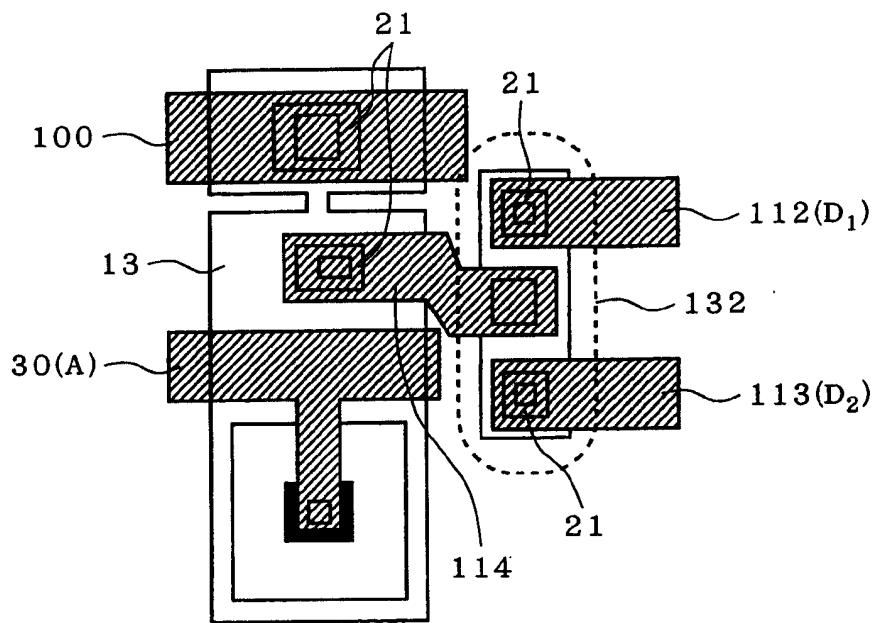


图 15A

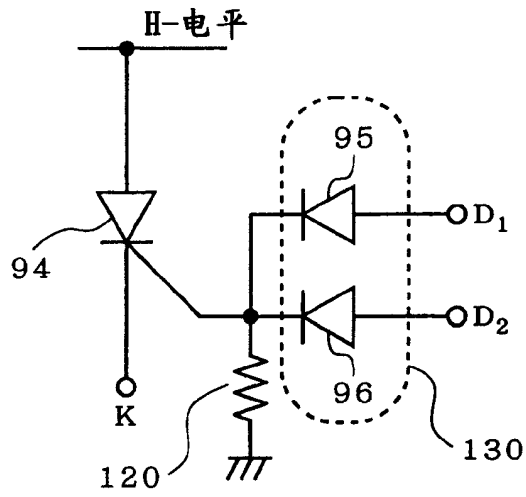


图 15B

OR-门

D ₁	D ₂	K	S
L	L	*	0
H	L	L	1
L	H		
H	H	H	0
H	L		
L	H		
H	H		

图16A

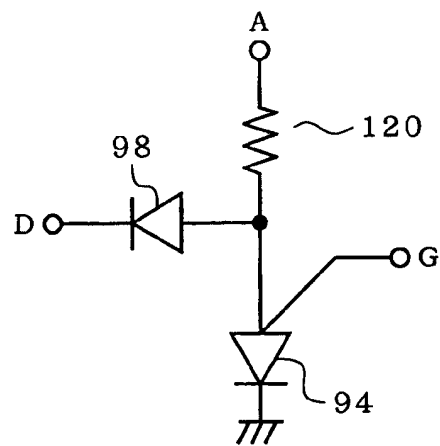


图16B

D	A	G	S
H	H	L	1
		H	0
H	L	*	0
L	H		
H	H		

图17A

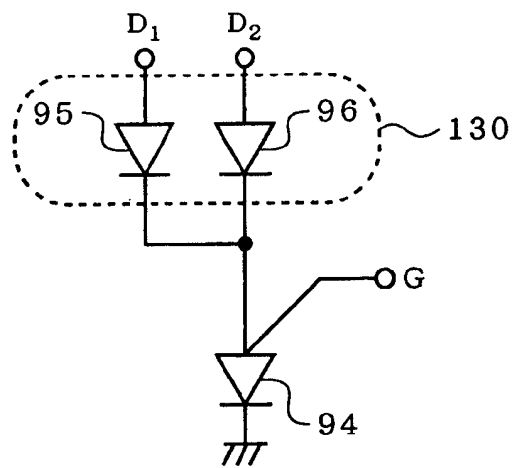


图17B

D ₁	D ₂	G	S
H	H	L	1
H	L		
L	H		
H	H	H	0
H	L		
L	H		
L	L	*	0

图 18A

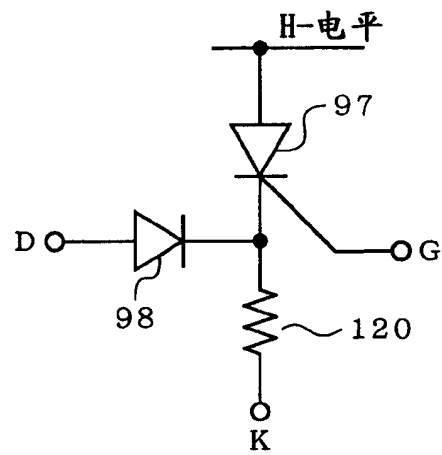


图 18B

D	K	G	S
L	L	L	0
		H	1
H	L	*	0
L	H		
H	H		

图19A

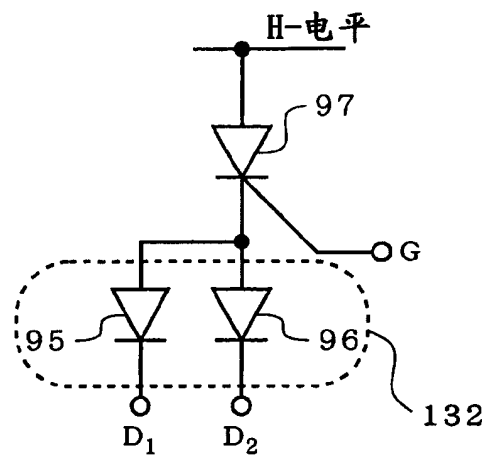


图19B

D ₁	D ₂	G	S
L	L	H	1
H	L		
L	H		
L	L	L	0
H	L		
L	H		
H	H	*	0

图 20A

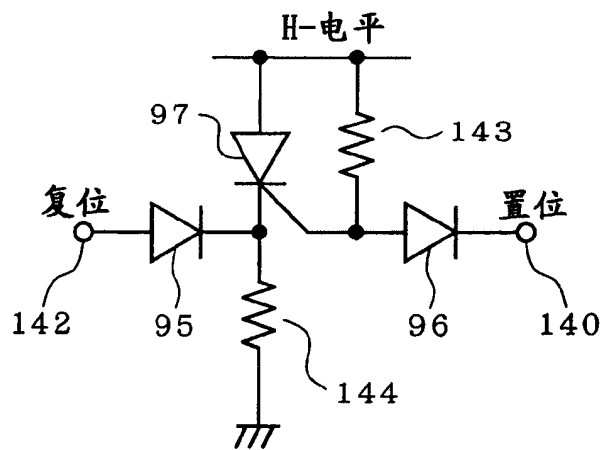


图 20B

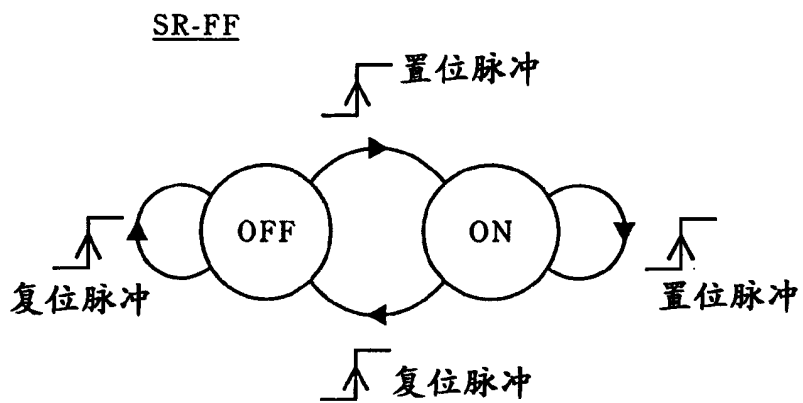


图 21A

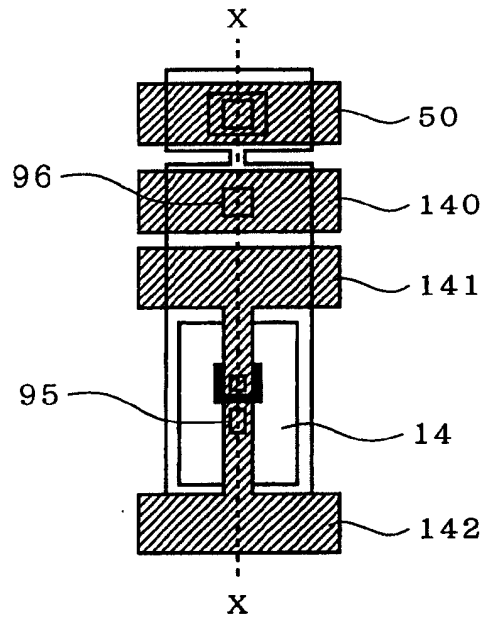


图 21B

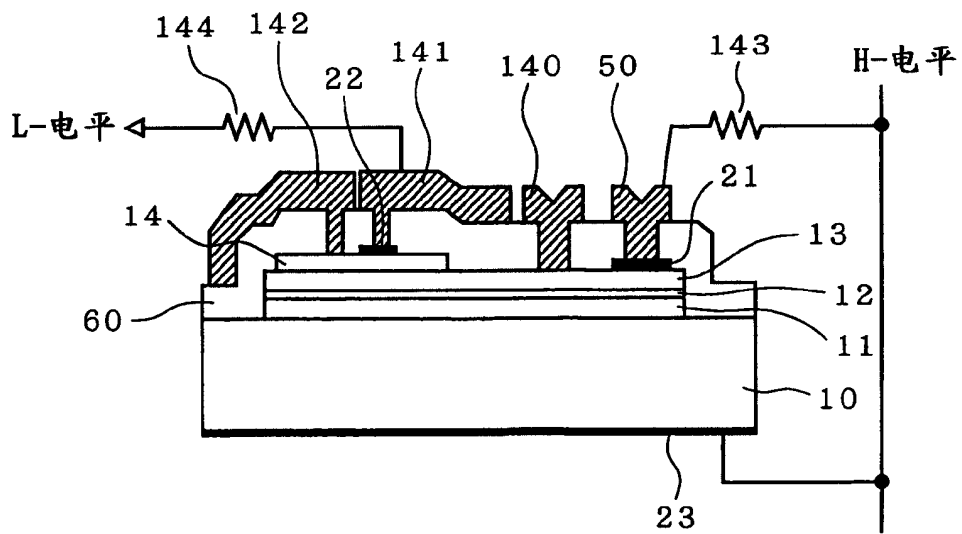


图22

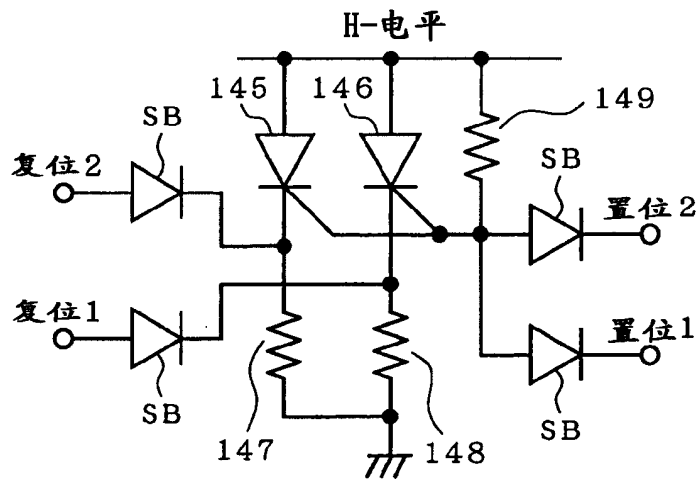


图 23

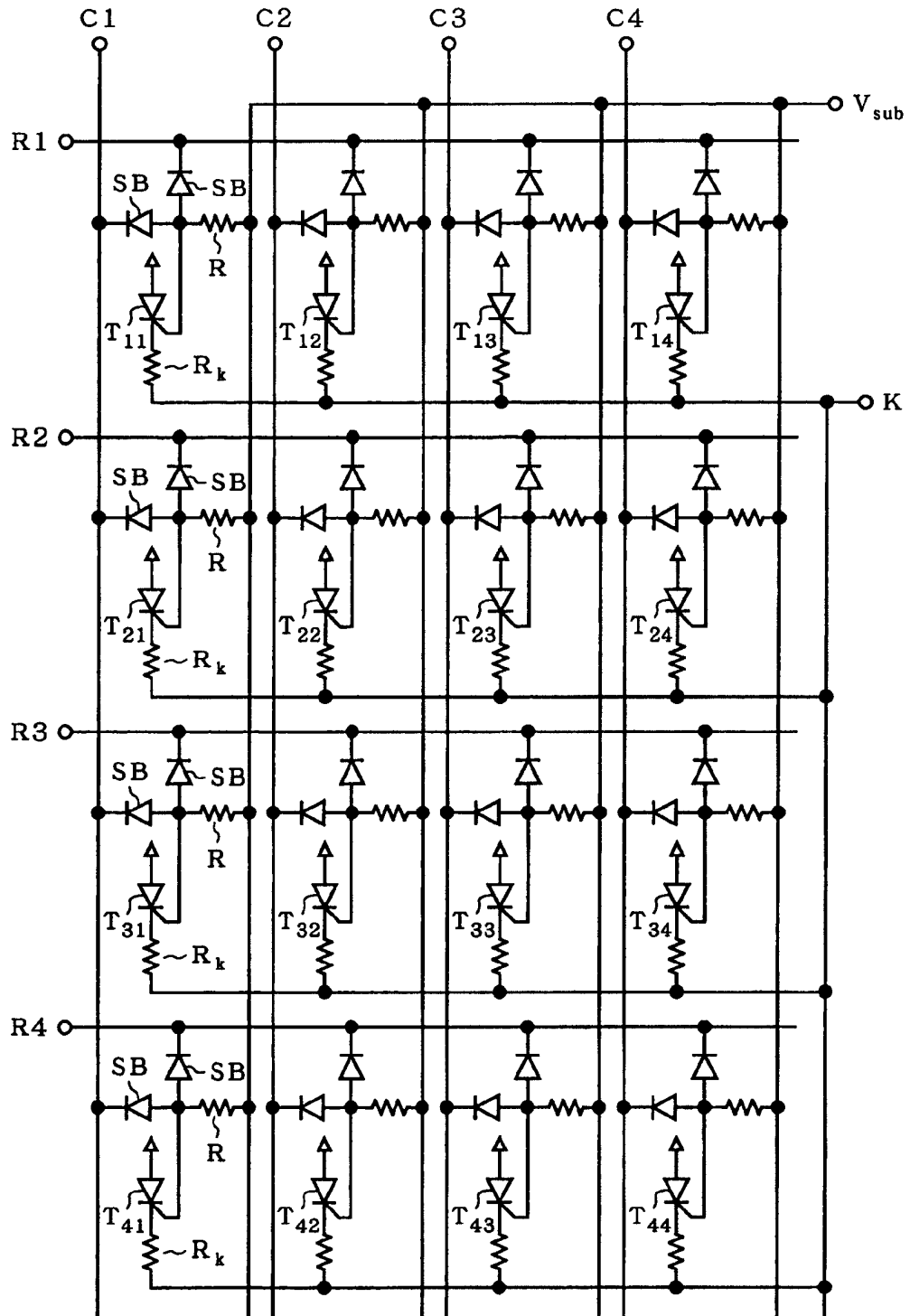


图24

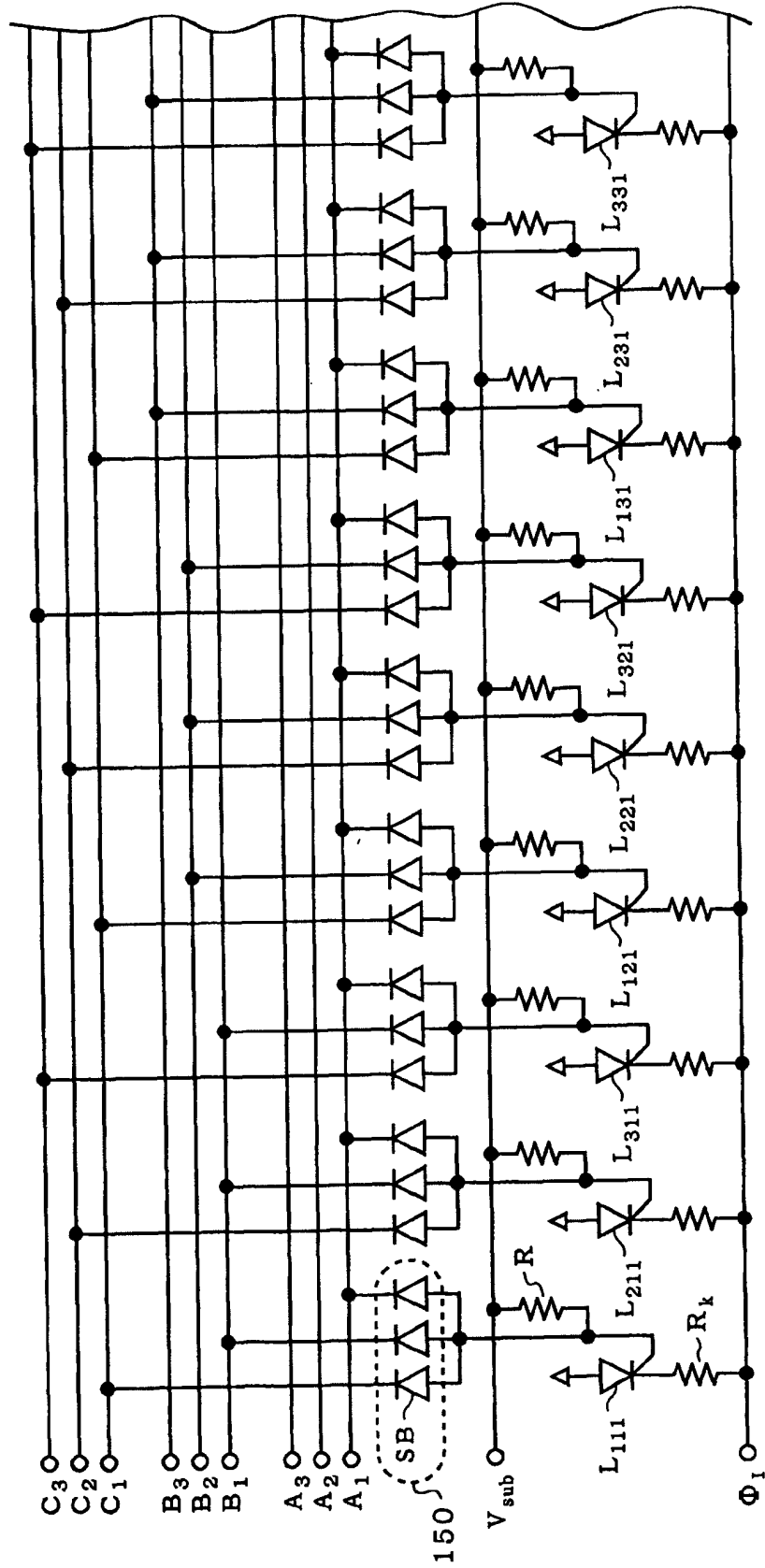


图25A

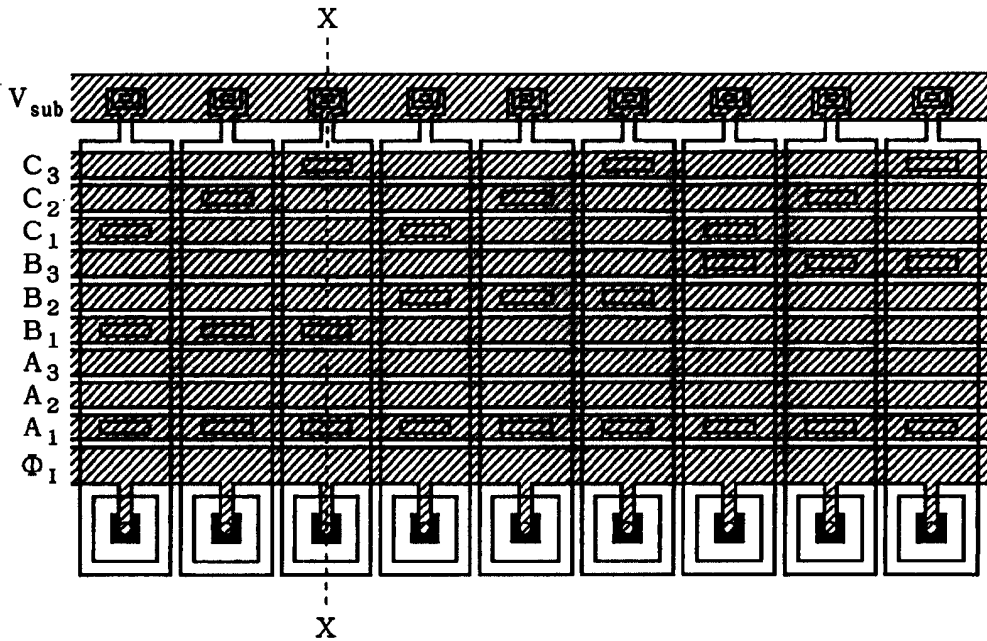


图25B

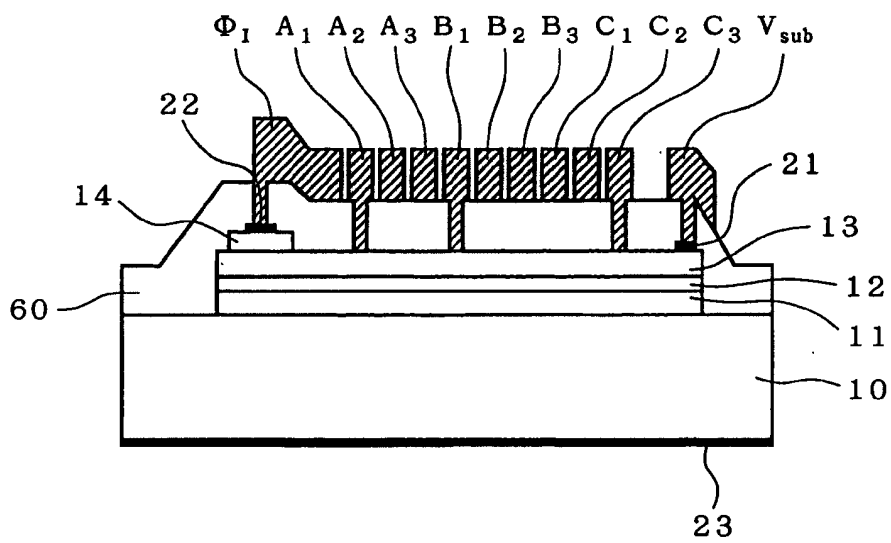


图 27

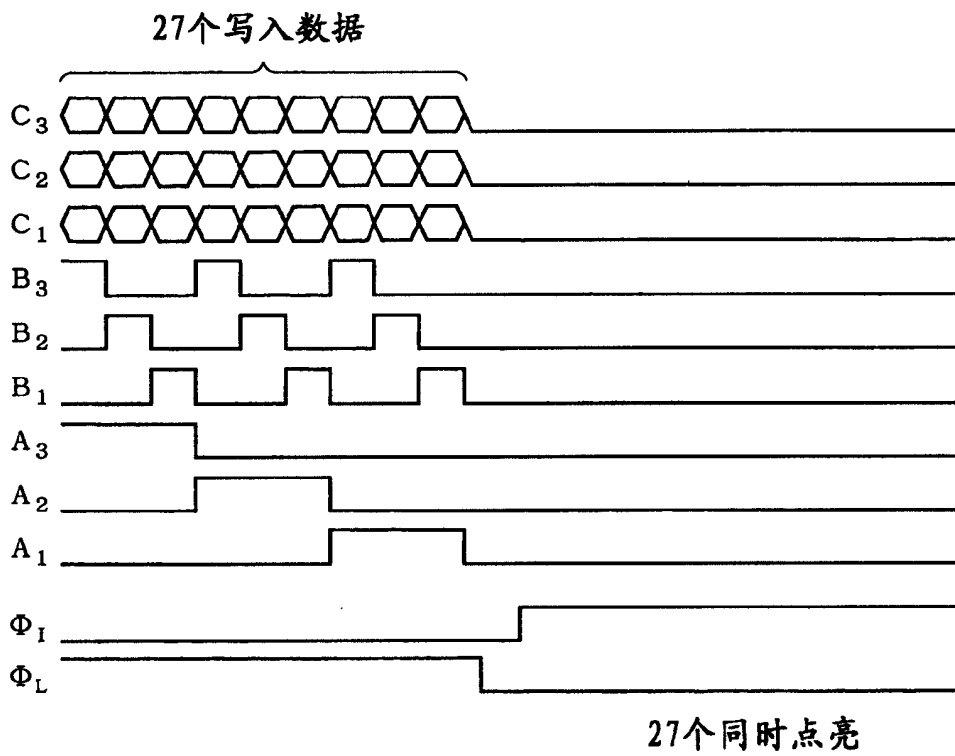


图 28

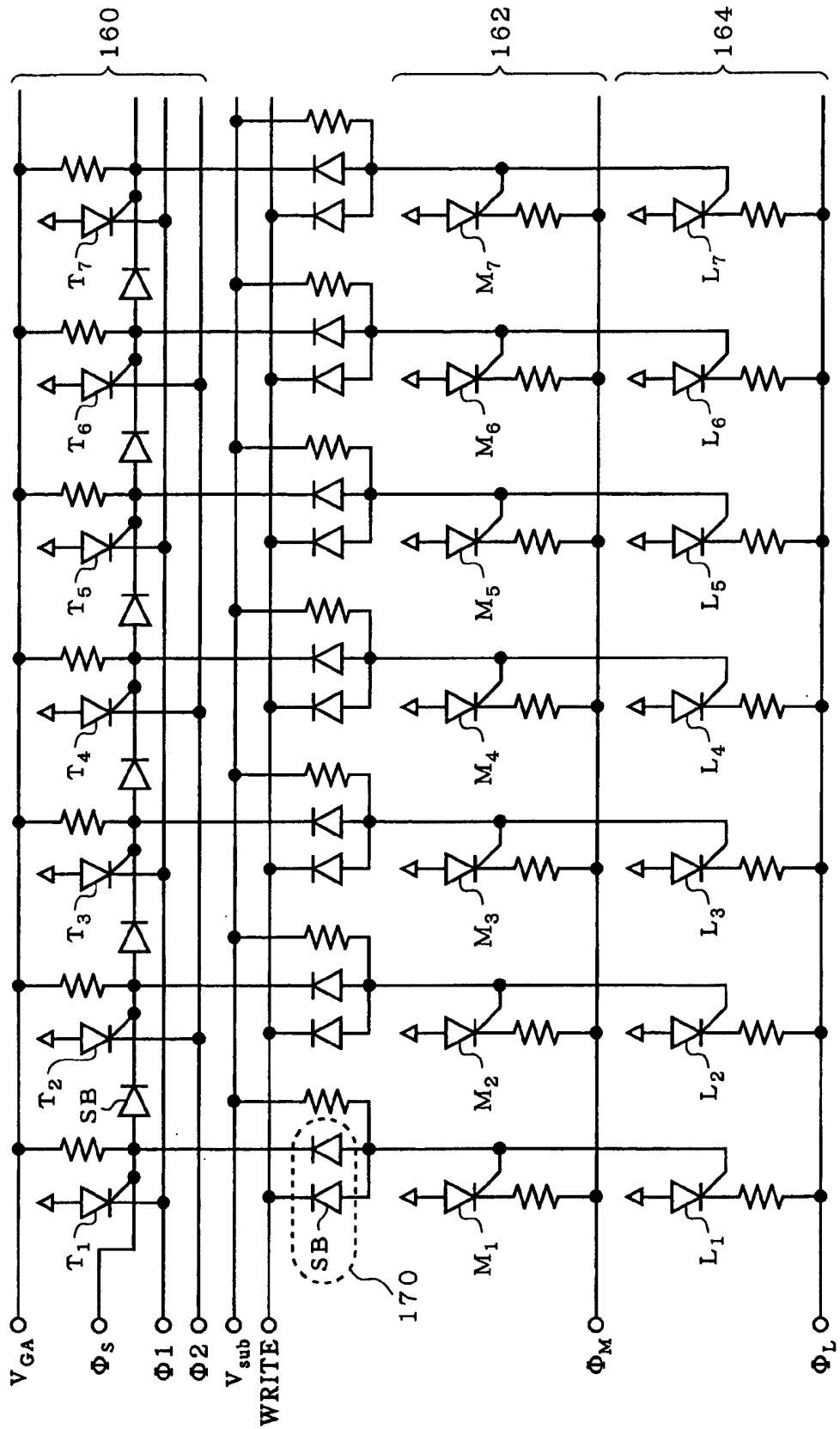


图 29

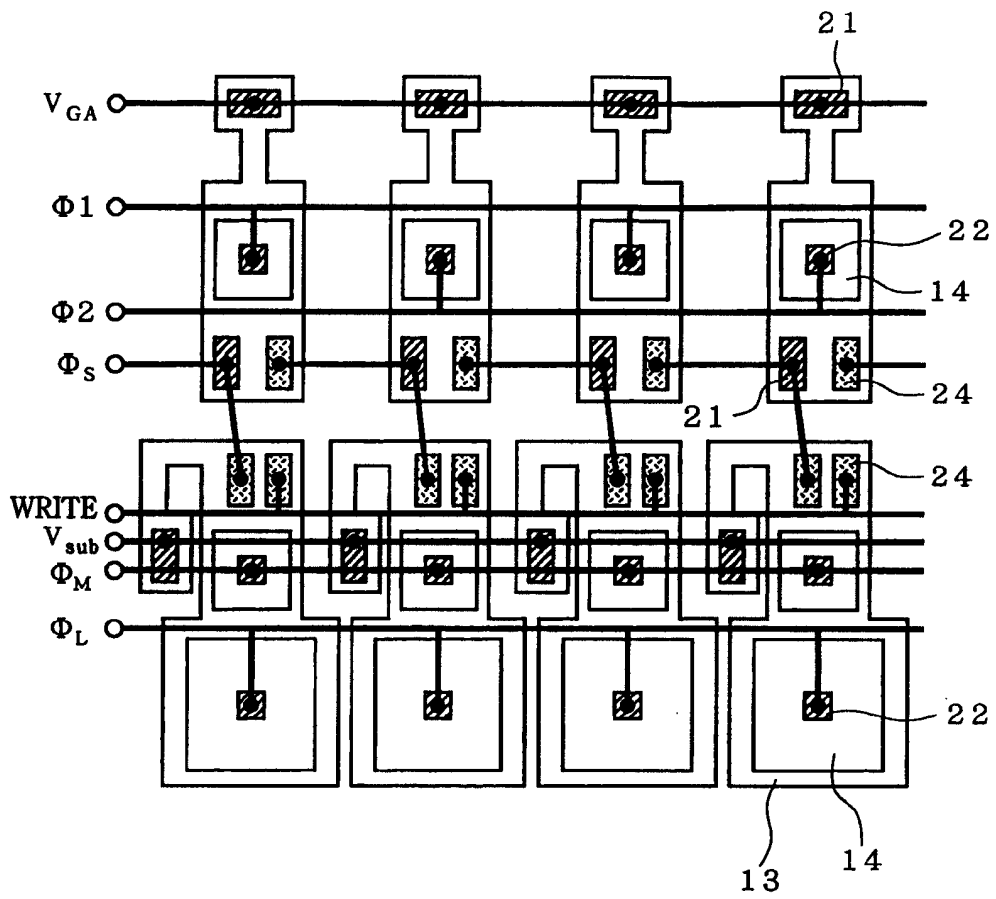


图 30

