

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>5</sup>  
H03K 19/177

(45) 공고일자 1994년08월03일  
(11) 공고번호 특1994-0007003

(21) 출원번호	특1990-0013629	(65) 공개번호	특1991-0007272
(22) 출원일자	1990년08월31일	(43) 공개일자	1991년04월30일
(30) 우선권주장	1-228833 1989년09월04일 일본(JP)		
(71) 출원인	가부시키가이샤 도시바 아오이 조이치 일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지		
(72) 발명자	사에키 유키히로 일본국 가나가와현 가와사키시 사이와이구 호리가와정 580번 1호 가부시키가이샤 도시바 반도체시스템기술센터내 시게마츠 도모히사 일본국 가나가와현 가와사키시 사이와이구 호리가와정 580번 1호 가부시키가이샤 도시바 반도체시스템기술센터내		
(74) 대리인	김윤배		

**심사관 : 이해평 (책자공보 제3702호)**

**(54) 프로그래머블형 논리장치 및 그 장치에 사용되는 기억회로**

**요약**

내용 없음.

**대표도**

**도1**

**명세서**

[발명의 명칭]

프로그래머블형 논리장치 및 그 장치에 사용되는 기억회로

[도면의 간단한 설명]

제1도는 본 발명의 제1실시에 따른 구성을 나타낸 회로도,

제2도는 상기 실시예 장치의 일부 회로를 구체적인 회로로서 실현시킨 경우의 상세한 구성을 나타낸 회로도,

제3도는 상기 실시예 장치의 응용례에 따른 장치의 회로도,

제4도는 상기 실시예 장치에서 사용되는  $V_{EE}$ 발생회로의 구성을 나타낸 회로도,

제5도는 상기 실시예 장치에서 사용되는  $V_{DD}$ 발생회로의 상세한 구성을 나타낸 회로도,

제6도는 상기 실시예 장치에서 사용되는 절환회로의 상세한 구성을 나타낸 회로도,

제 7 도는 본 발명의 제 2 실시예에 따른 구성을 나타낸 회로도,

제8도는 상기 제2실시에 장치의 일부 회로를 구체적인 회로로서 실현시킨 경우의 상세한 구성을 나타낸 회로도,

제9도는 상기 제2실시에 장치의 응용례에 따른 장치의 회로도,

제10도는 상기 제2실시에 장치에서 사용되는  $V_{EE}$ 발생회로의 상세한 구성을 나타낸 회로도,

제11도는 종래 장치의 회로도이다.

\* 도면의 주요부분에 대한 부호의 설명

- 10 : 스위치용 N채널 MOS트랜지스터      11, 12 : 신호선
- 20, 20' : 데이터기억회로      21, 22 : 인버터
- 23 : 플립플롭      24, 25 : 기록용 데이터선

- 26,27 : 선택용 N채널 MOS트랜지스터      28 : 선택선  
 31,33 : P채널 MOS트랜지스터            32,34 : N채널 MOS트랜지스터  
 35 : 인버터                                    41,71 : 단자  
 42 :  $V_{pp}$ 발생회로                        43,72,73,74 : 절환회로

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 프로그램가능한 스위칭수단을 갖춘 프로그래머블형 논리장치 및 그에 사용되는 기억회로에 관한 것이다.

[종래의 기술 및 그 문제점]

최근, 논리게이트를 사용자가 바꾸어 만들 수 있는 집적회로가 곧잘 이용되도록 되어 왔다. 이와 같은 집적회로는 일반적으로 프로그래머블형 논리장치(Programmable Logic Device; PLD)로 불리고 있다. 이 PLD의 특징은 그 중에 실질적으로 스위치로 동작하는 능동소자 또는 수동소자가 다수 만들어져 있는 것으로, 이 다수의 스위치소자 각각을 온시키든가 또는 오프시키든가를 선택함으로써 원하는 논리기능을 얻을수 있도록 한 것이다.

PLD의 종래로서, 예컨대 미국특허공보 제4695740호에 공개되어 있는 CMOS트랜스미션·게이트를 사용한 것이 알려져 있는 바, 그 구성을 제11도에 도시하였다. 상기 게이트는 4개의 CMOS트랜스미션·게이트(81~84)와, 이들 4개의 CMOS트랜스미션·게이트를 선택적으로 온상태로 설정하기 위한 제어 데이터를 유지하는 1개의 플립플롭회로(85) 및 1개의 버퍼회로(86)로 구성되어 있다. 상기 4개의 각 CMOS트랜스미션·게이트(81~84)는 각각 P채널 MOS트랜지스터와 N채널 MOS트랜지스터를 병렬접속하여 구성되고, 이들의 각 게이트단자는 상기 플립플롭회로(85)의 신호단자(Q), 또는 신호단자(/Q)에 선택적으로 접속되어있다.

이와 같은 구성의 회로에 있어서, 신호(Q)가 "1", 신호(/Q)가 "0"으로 되도록 미리 상기 플립플롭회로(85)를 프로그램해 두면, 트랜스미션·게이트(81,82)가 온, 트랜스미션·게이트(83,84)가 오프로 되어 노드(A)의 신호가 버퍼회로(86)를 매개하여 노드(B)로 전달된다. 반대로 신호(Q)가 "0", 신호(/Q)가 "1"로 되도록 상기 플립플롭회로(85)를 프로그램해 두면, 트랜스미션·게이트(83,84)가 온, 트랜스미션·게이트(81,82)가 오프로 되어 노드(B)의 신호가 버퍼회로(86)를 매개하여 노드(A)로 전달된다. 이와 같이, 상기 PLD에서는 플립플롭회로의 유지데이터에 대응하여 신호의 전달방향을 선택적으로 결정할 수 있다.

그런데, 상기 종래의 PLD와 같이 스위치소자로서 CMOS트랜스미션·게이트를 사용하면, 1개의 스위치소자를 구성하기 위해 2개의 트랜지스터가 필요하게 된다. 이 때문에, 예컨대 N채널 MOS트랜지스터 1개만으로 이루어진 스위치소자에 비해 회로가 복잡하게 되고, 또 게이트단자를 접속하기 위한 배선도 번거롭게 되며, 더욱이 패턴면적이 2배이상으로 된다. 이 때문에 집적도가 높아지면, 다수의 스위치소자를 갖는 PLD에 있어서는 스위치면적이 상당히 커지게 된다. 주지하는 바와 같이, 칩면적의 증대는 웨이퍼 하나에 대한 칩수를 감소시키고 더욱이 수율의 저하를 초래하게 되어, 결과적으로 비용이 증가하게 된다. 더욱이, 큰 칩면적을 갖는 집적회로는 패키지도 크게 되므로 프린트기판위에 실제로 장착하는 개수를 감소시켜 더욱더 비용이 증가하게 된다.

한편, 스위치소자를 N채널 MOS트랜지스터 1개만으로 구성한 경우에는 상기와는 다른 새로운 문제가 발생하는데, 이는 N채널 MOS트랜지스터 고유의 특성으로, 백게이트·바이어스(back-gate bias)효과로 잘 알려져 있는 것이다. 즉, N채널 MOS트랜지스터를 온시키기 위해서는 게이트단자를 고전위의 전원전압, 예컨대  $V_{DD}$ 로 설정하지만, 이 상태에서는  $V_{DD}$ 근방의 신호레벨을 전달할 수가 없다. 잘 알려진 바와 같이, N채널 MOS트랜지스터는 게이트단자의 전위가 소스단자의 전위보다 임계치전압( $V_{th}$ ) 이상 크지 않으면 온되지 않는다. 따라서, 게이트단자의 전위가  $V_{DD}$ 일때 전달할 수 있는 최대의 전위는 ( $V_{DD}-V_{th}$ )밖에 없다. 더욱이, 이 전위에 가깝게 되면 N채널 MOS트랜지스터는 온상태라고 말할 수 있으며, 그 온저항치가 현저히 높아져서 고속동작은 기대할 수 없다. 여기에서는 동작전원 전압범위가 좁아져서, 신뢰성을 감소시킬뿐 아니라 고속의 프로그래머블형 논리장치를 실현하는 것이 곤란하게 된다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 집적도 및 신뢰성이 높고 고속동작이 가능한 프로그래머블형 논리장치 및 그에 사용되는 기억회로를 제공함에 그 목적이 있다.

[발명의 구성]

상기 목적을 달성하기 위한 본 발명에 따른 프로그래머블형 논리장치는, 1비트의 제어데이터를 유지하면서 매트릭스형태로 배치되어 있는 데이터유지수단과, 이 데이터유지수단에 유지될 데이터를 전달하는 데이터전달수단, 상기 데이터유지수단을 선택하기 위한 선택신호가 전달되는 선택수단, 상기 데이터유지수단의 유지데이터에 따라 스위치제어되는 MOS형 스위치수단, 이 MOS형 스위치수단을 매개하여 결합된 2개의 신호선, 상기 데이터유지수단에 대해 제1전원전위 및 이와 다른 값의 제2전원전위를 절환하여 출력하는 전원전위절환수단을 포함하고, 상기 데이터유지수단에 유지되어 있는 데이터의 전위진폭을 상기 2개의 신호선으로 전달되는 전위진폭보다도 확대시키는 전위진폭확대수단으로 이루어진 것을 특징으로 한다.

또 본 발명의 프로그래머블형 논리장치에 사용되는 기억회로는, 제1레벨 및 제2레벨의 데이터를 기억하는 데이터기억수단과, 이 데이터기억수단에 기록되는 데이터가 전달되는 1개의 데이터선, 상기

데이터기억수단을 선택하기 위한 선택신호가 전달되는 1개의 선택선, 상기 데이터기억수단에 제1레벨인 데이터의 기록을 행할 때에 상기 데이터선 및 선택선으로 전달되는 데이터 혹은 신호의 전위진폭보다도 작은 전위의 전원전압을 상기 데이터기억수단에 공급하는 전원공급수단을 구비하여 이루어진 것을 특징으로 한다.

더욱이, 본 발명의 프로그래머블형 논리장치는, 제1레벨 및 제2레벨의 데이터를 기억하면서 매트릭스형태로 배치된 데이터기억수단과, 이 데이터기억수단에 기록되는 데이터가 전달되는 1개의 데이터선, 상기 데이터기억수단을 선택하기 위한 선택신호가 전달되는 1개의 선택선, 상기 데이터기억수단의 기억데이터에 따라 스위치제어되는 MOS형 스위치수단, 이 MOS형 스위치수단을 매개하여 결합된 2개의 신호선 및, 상기 데이터기억수단에 제1레벨의 데이터를 기록하는 경우에는 상기 데이터선 및 선택선으로 전달되는 데이터 또는 신호의 전위진폭보다도 작은 전위의 전원전압을 데이터기억수단에 공급함과 더불어 상기 MOS형 스위치수단을 스위치제어하는 경우에는 상기 데이터선 및 선택선으로 전달되는 데이터 또는 신호의 전위진폭보다도 큰 전위의 전원전압을 데이터기억수단에 공급하는 전원공급수단을 구비하여 이루어진 것을 특징으로 한다.

[작용]

상기와 같이 구성된 본 발명의 프로그래머블형 논리장치에서는 MOS형 스위치수단의 온,오프동작을 제어하기 위한 제어데이터가 데이터유지수단에 유지된다. 그리고, 이 데이터유지수단에 유지되어 있는 제어데이터에 기초하여 상기 MOS형 스위치수단을 온,오프제어할 때에 상기 데이터유지수단에 유지되어 있는 데이터의 전위진폭이 확대된다. 이에 따라, MOS형 스위치수단의 온저항이 충분히 낮아져서, 2개의 신호선 사이에서의 신호의 전달이 신호레벨의 저하없이 실행된다.

또, 본 발명의 프로그래머블형 논리장치에 사용되는 기억회로에서는 1개의 데이터선 및 1개의 선택선을 사용하여 데이터기억수단에 대해 하이레벨측의 제1레벨 데이터의 기록을 수행할 경우, 상기 데이터선 및 선택선으로 전달되는 데이터 또는 신호의 전위진폭보다도 작은 전위의 전원전압을 상기 데이터기억수단에 공급함으로써 제1레벨 데이터의 오기록 발생이 방지된다.

더욱이, 상기 기억회로를 사용한 프로그래머블형 논리장치에서는 MOS형 스위치수단의 온,오프동작을 제어하기 위한 제어데이터가 데이터기억수단에 기억된다. 이때, 상기와 같이 데이터선 및 선택선으로 전달되는 데이터 또는 신호의 전위진폭보다도 작은 전위의 전원전압을 상기 데이터기억수단에 공급함으로써, 하이레벨측의 제1레벨 데이터의 오기록 발생이 방지된다. 한편, 데이터기억수단의 기억데이터에 기초하여 MOS형 스위치수단을 온,오프제어할 때에는 데이터기억수단에 기억되어 있는 데이터의 전위진폭이 확대된다. 이에 따라 MOS형 스위치수단의 온저항이 충분히 낮아져서, 2개의 신호선 사이에서의 신호의 전달이 신호레벨의 저하없이 실행된다.

[실시예]

이하, 예시도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.

제1도는 본 발명에 따른 프로그래머블형 논리장치의 제1실시예에 대한 최소의 구성을 나타낸 회로도이다. 본 실시예의 장치는 스위치용 N채널 MOS트랜지스터(10)와, 이 MOS트랜지스터(10)를 온,오프제어하기 위해 사용되는 1비트의 제어데이터를 유지하는 데이터기억회로(20)로 구성되어 있고, 또 이들은 1개의 집적회로 칩위에 구성되어 있다.

상기 MOS트랜지스터(10)의 소스단자, 드레인단자는 2개의 신호선(11,12)에 각각 접속되어 있고, 상기 MOS트랜지스터(10)의 게이트단자에는 상기 데이터기억회로(20)의 유지데이터가 공급된다. 상기 2개의 신호선(11,12)에는 "1"레벨이 통상의 전원전압( $V_{DD}$ ), "0"레벨이 접지전압인 신호가 전달되도록 되어 있다.

더욱이, 상기 데이터기억회로(20)에는 2개의 인버터(21,22)를 종속접속시켜 이루어진 플립플롭(23)이 설치되어 있다. 이 플립플롭(23)에 데이터를 기록하기 위해 기록용 데이터선(24 및 25)이 선택용의 N채널 MOS트랜지스터(26,27)를 매개하여 상기 플립플롭(23)에 접속되어 있다. 상기 양 MOS트랜지스터(26,27)의 게이트단자는 선택선(28)에 공통으로 접속되어 있다. 그리고, 상기 플립플롭(23)의 인버터(21)의 출력이 기억데이터로서 상기 스위치용의 MOS트랜지스터(10)의 게이트단자에 공급된다.

이와 같은 구성의 데이터기억회로는 주지의 랜덤억세스메모리(RAM)의 기억셀회로로서 사용되고 있는 것과 유사하다. 그러나, 상기 플립플롭(23)의 2개의 인버터(21,22)에 공급되는 전원전압이 통상의  $V_{DD}$ 가 아니고,  $V_{EE}$ 로 되어 있는 점에 차이가 있다. 이 전원전압( $V_{EE}$ )에 대해서는 후에 설명한다.

다음으로 상기 회로의 동작에 대해 설명한다. 먼저, 데이터기억회로(20)에 원하는 제어데이터를 기록하는 동작에 대해 설명한다. 스위치용의 MOS트랜지스터(10)를 온시킬 때에는 기록용 데이터선(24)에 "0"레벨의 데이터를, 데이터선(25)에는 "1"레벨의 데이터를 각각 공급한다. 여기서 상기 데이터의 "1"레벨은 전원전위( $V_{DD}$ ), "0"레벨은 접지전위인 것으로 한다. 이 상태에서 선택선(28)에 "1"레벨의 신호를 공급하면, 선택용의 MOS트랜지스터(26,27)가 온되어 상기 데이터기억회로가 선택되고, 데이터선(24,25)의 데이터가 플립플롭(23)에 전달된다.

이때, 플립플롭(23)에 공급되는 전원전압( $V_{EE}$ )은 통상의  $V_{DD}$  레벨로 되어 있다. 따라서, 플립플롭(23)에는 주지의 RAM의 기억셀회로의 경우와 마찬가지로 "1"레벨의 데이터가 기록된다. 즉, 인버터(21)의 출력이 "1"레벨, 인버터(22)의 출력이 "0"레벨로 되는 것과 같은 상태로 데이터가 기록된다.

이에 대해, 기록용 데이터선(24,25)에 "1"레벨, "0"레벨의 데이터를 공급하면, 플립플롭(23)에는 "0"레벨의 데이터가 기록된다. 이 때에도 플립플롭(23)에 공급되는 전원전압( $V_{EE}$ )은 통상의  $V_{DD}$ 레벨로 되어 있다.

데이터의 기록동작이 종료되면, 선택선(28)에 "0"레벨의 신호를 공급한다. 이에 따라, 선택용의 MOS

트랜지스터(26,27)가 오프되므로, 플립플롭(23)의 기억데이터는 전원전압( $V_{EE}$ )을 공급하고 있는 동안은 기록용 데이터선(24,25)의 데이터에 관계없이 항상 유지된다.

다음으로 전원전압( $V_{EE}$ )을  $V_{DD}$ 보다도 높은 전위( $V_{PP}$ )로 한다. 이와 같이 플립플롭(23)의 전원전압을 상승시키면, 이 플립플롭(23)이 "1"레벨을 유지하고 있는 경우 인버터(22)의 "1"레벨전위도  $V_{DD}$ 로부터  $V_{PP}$ 로 상승한다. 그 결과, 상기 플립플롭(23)의 유지데이터가 공급되는 스위치용 MOS트랜지스터(10)는 충분히 온상태로 되어 그 온저항은 충분히 낮아지게 되므로, 2개의 신호선(11,12) 상호간에는  $V_{DD}$ 레벨이 감소되지않아 신호의 전달이 가능하게 된다.

한편, 플립플롭(23)의 유지데이터가 "0"레벨인 경우에는 인버터(22)의 "0"레벨전위는 접지전압인 채로 있게 되므로, 스위치용 MOS트랜지스터(10)는 오프상태로 되어 2개의 신호선(11,12) 상호간은 차단된다.

이와 같이 상기 실시예에 따르면, 1개의 MOS트랜지스터만을 스위치로서 사용한 프로그램을 논리장치를 실현할 수 있다. 더욱이, 2개의 신호선(11,12)의 레벨이  $V_{DD}$  근방인 때에도 그 레벨을 감소시키지 않고 신호를 전달할 수 있고, 또 고속동작이 가능하게 된다. 그 결과, 동작전원전압범위가 확대되어 신뢰성이 향상됨과 아울러 고속의 프로그래머블형 논리장치를 실현할 수 있다.

제2도는 상기 실시예장치의 플립플롭(23)에 대한 2개의 인버터(21,22) 각각을 CMOS인버터로 실현한 경우의 상세한 구성을 나타낸 회로도이다. 상기 양 인버터(21,22)는 P채널 MOS트랜지스터(31,33) 각각과 N채널 MOS트랜지스터(32,34) 각각으로 구성되어 있다. 상기 P채널 MOS트랜지스터(31,33)의 각 소스단자는 상기 전원전압( $V_{EE}$ )이 공급되어 있는 노드에 접속되어 있고, 이들 MOS트랜지스터(31,33)의 각 기판단자도 전원전압( $V_{EE}$ )이 공급되어 있는 노드에 접속되어 있다. 상기 양 MOS트랜지스터(31,33)의 각 드레인단자에는 상기 N채널 MOS트랜지스터(32,34)의 각 드레인단자가 접속되어 있고, 이들 MOS트랜지스터(32,34)의 각 소스단자는 접지전압이 공급되어 있는 노드에 접속되어 있다. 또, 이들 MOS트랜지스터(32,34)의 각 기판단자도 접지전압이 공급되어 있는 노드에 접속되어 있다. 더욱이, 상기 양 MOS트랜지스터(31,32)의 게이트단자가 공통으로 접속되고, 그 게이트공통접속점이 인버터(21)의 입력단자로 되어 있으며, 마찬가지로 상기 양 MOS트랜지스터(33,34)의 게이트단자가 공통으로 접속되고, 그 게이트공통접속점이 인버터(22)의 입력단자로 되어 있다. 또, 상기 선택용 MOS트랜지스터(26,27)의 각 기판단자도 접지전압이공급되어 있는 노드에 접속되어 있다.

상기 구성으로 이루어진 장치는 CMOS구조로 된 2개의 인버터(21,22)를 구성하는 P채널 MOS트랜지스터(31,33)의 소스단자 및 기판단자가  $V_{EE}$ 의 노드에 접속되어 있는 것이 특징이다. 이것은 CMOS-N웰·프로세스에 있어서,  $V_{DD}$  계의 N웰영역과  $V_{EE}$  계의 N웰영역이 동일 반도체침상에 혼재(混在)되어 있음을 시사하고 있다. 결국, 스위치용 MOS트랜지스터(10)를 매개하여 신호의 전달이 행해지는 신호선(11,12)에 접속된 도시되지 않은 다른 회로의 N웰영역은 전압( $V_{DD}$ )으로 바이어스되고, 스위치용 MOS트랜지스터(10)의 온,오프제어를 행하는 데이터기억회로(20)의 N웰영역은 전압( $V_{EE}$ )으로 바이어스된다.

그러나, 상기 스위치용 MOS트랜지스터(10)가 다수 집적되는 경우 이들의 제어회로, 즉 데이터기억회로(20)도 다수가 되어 제어용 신호선의 수도 많아지게 된다. 따라서, 스위치용 MOS트랜지스터(10) 및 데이터기억회로(20)를 다수 집적하는 경우에는 연구가 필요하다.

제3도는 상기 실시예장치의 응용례에 따른 장치의 회로도로서 상기 스위치용 MOS트랜지스터(10) 및 데이터기억회로(20)를 다수 집적시킨 경우의 전체의 구성을 도시한 것이다. 도시한 바와 같이 다수의 데이터기억회로(20)를 집적하는 경우에는 이들 다수의 데이터기억회로(20)를 매트릭스형태로 배치하여 기록용 데이터선(24,25) 및 선택선(28)을 복수의 데이터기억회로(20)에서 공유함으로써, 제어용 신호선의 수를 감소시킬 수 있다. 또, 스위치용 MOS트랜지스터(10)는 상기 신호선(11,12; 제3도에서는 도시되지 않음)을 매개하여 다른 스위치용 MOS트랜지스터(10)와 접속되어 있고, 임의의 신호선 사이에는 신호의 방향을 결정하기 위한 인버터(35)가 삽입되어 있다.

상기 실시예장치 및 응용례장치에 있어서, 상기 전원전압( $V_{EE}$ )은 집적회로칩의 외부로부터 공급되도록 하여도 무방하지만, 이 경우에는 칩의 단자가 증가하게 되어 바람직하지 않다. 따라서, 동일 칩내에 상기전원전압( $V_{EE}$ )을 발생시키는 회로를 구성하는 것이 고려된다.

다음에, 상기 제1도 또는 제3도의 회로에서 사용되는 상기 전원전압( $V_{EE}$ )을 발생시키는 회로를 집적회로칩내에 내장시킨 경우에 대하여 설명한다.

제4도는 통상의 전원전압( $V_{DD}$ )으로부터 상기 전원전압( $V_{PP}$ )을 발생하고, 이것을 절환하여 출력하는  $V_{EE}$  발생회로의 구성을 도시한 회로도이다. 도면에서, 단자(41)에는 외부로부터 통상의 전원전압( $V_{DD}$ )이 인가되고, 상기 단자(41)에 인가된 전압( $V_{DD}$ )은  $V_{PP}$  발생회로(42) 및 절환회로(43)에 공급되며,  $V_{PP}$  발생회로(42)는 전원전압( $V_{DD}$ )을 증압하여 전압( $V_{PP}$ )을 발생시킨다. 이 전압( $V_{PP}$ )은 상기 절환회로(43)에 공급되고, 이 절환회로(43)는 도시되지 않은 제어신호에 대응하여 상기 양 전압( $V_{DD}, V_{PP}$ )을 절환하여 상기 전압( $V_{EE}$ )으로서 출력한다.

제5도는 상기 제4도중의  $V_{PP}$  발생회로(42)의 상세한 구성을 나타낸 회로도이다. 인버터(51~56)에는 전압( $V_{DD}$ )이 전원전압으로서 공급되고, 그중 5개의 인버터(51~55)에 의해 링발진회로(57)가 구성되어 있다. 이 링발진회로(57)의 발진출력은 인버터(56)를 매개하여 콘덴서(58)의 한쪽 전극측에 인가된다. 이 콘덴서(58)의 다른쪽 전극측에는 다이오드(59)를 순방향으로 매개하여 통상의 전원전압( $V_{PP}$ )이 인가된다. 또, 상기 콘덴서(58)의 다른쪽 전극측에는 다이오드(60)의 정(正)극성측이 접속되

어 있다.

이와 같은 구성의 회로는 차지펌프(charge pump)회로로 잘 알려진 것으로서, 링발진회로(57)가 발진을 개시하고서 소정의 시간이 경과한 후에 다이오드(60)의 부(負)극성측에 전압( $V_{DD}$ )보다도 높은 전압( $V_{pp}$ )을 얻을 수 있다.

제6도는 상기 제4도중의 절환회로(43)의 상세한 구성을 나타낸 회로도이다. 도면중의 제어신호는 상기 데이터기억회로(20 : 제1도에 도시)에 데이터의 기록을 행할 때 및 기록후에 데이터를 유지하고 있는 동안에는 "0"레벨로 되고, 유지데이터에 대응하여 상기 스위치용 MOS트랜지스터(마찬가지로 제1도에 도시)의 온,오프제어를 행할 때에는 "1"레벨로 된다. 이 제어신호는 인버터(61) 및 레벨변환회로(62)를 매개하여 P채널 MOS트랜지스터(63)의 게이트단자에 공급됨과 아울러 인버터(64,65) 및 레벨변환회로(66)를 매개하여 또 하나의 P채널 MOS트랜지스터(67)의 게이트단자에 공급된다. 상기 양 레벨변환회로(62,66)는 각각 전압( $V_{DD}$ )과 접지전압 사이의 논리진폭을 전압( $V_{DD}$ )과 접지전압 사이의 논리진폭으로 변환하는 것이다. 또,상기 MOS트랜지스터(63)의 소스단자 및 기판단자는 함께 전원전압( $V_{DD}$ )의 노드에 접속되고, 상기 MOS트랜지스터(67)의 소스단자 및 기판단자는 함께 전원전압( $V_{DD}$ )의 노드에 접속되어 있다. 그리고 상기 양 MOS트랜지스터(63,67)의 드레인단자는 공통으로 접속되고, 이 드레인공통접속점으로부터 상기 전압( $V_{EE}$ )이 출력되도록 되어 있다.

상기 절환회로(43)에서, 제어신호가 "0"레벨로 되어 있을 때에는 MOS트랜지스터(63)가 온되고 MOS트랜지스터(67)가 오프되므로, 전압( $V_{DD}$ )이 전압( $V_{EE}$ )으로서 출력된다. 한편, 제어신호가 "1"레벨로 되어 있을 때에는 MOS트랜지스터(67)가 온되고 MOS트랜지스터(63)가 오프되므로, 전압( $V_{DD}$ )이 전압( $V_{EE}$ )으로서 출력된다.

제7도는 본 발명에 따른 프로그래머블형 논리장치의 제2실시예장치에 대한 최소의 구성을 도시한 회로도이다. 이 제2실시예장치는 상기 제1실시예장치와 마찬가지로 소스단자, 드레인단자가 2개의 신호선(11,12)에 각각 접속된 스위치용 N채널 MOS트랜지스터(10)와, 이 MOS트랜지스터(10)를 온, 오프 제어하기 위해 사용되는 1비트의 제어데이터를 유지하는 데이터기억회로(20')로 구성되고, 또 이들은 1개의 집적회로 칩상에 구성되어 있다.

상기 데이터기억회로(20')는 상기 제1실시예장치에서의 데이터기억회로(20)에 대해 1개의 기록용 데이터선(24)과 1개의 선택용 N채널 MOS트랜지스터(26)가 생략된 것이다. 그리고, 이 제2실시예장치의 경우에도 플립플롭(23)의 2개의 인버터(21,22)에 공급되는 전원전압이  $V_{DD}$ 가 아니고,  $V_{EE}$ 로 되어 있는 점이 RAM의 기억셀회로로서 사용되고 있는 것과 차이가 있다.

그러나, 상기 구성으로 이루어진 회로에 있어서, 플립플롭(23)의 2개의 인버터(21,22)를 항상 통상의 전원전압( $V_{DD}$ )으로 동작되도록 하면 오기류가 발생한다. 예컨대, 기록을 행하기 전의 상태일 때에 인버터(21)의 출력이 "0"레벨로 되어 있는 것으로 가정하면, 이때 선택선(28)의 레벨은 "0"레벨로 되어 데이터유지상태로 있게 된다. 이 상태에서 플립플롭(23)에 "1"을 기록할 때에는 먼저 기록용 데이터선(25)에 "1"레벨의 데이터를 공급한다. 그후, 선택선(28)에 "1"레벨신호를 공급하여 MOS트랜지스터(27)를 온시키면, 미리 인버터(21)가 출력하고 있는 "0"레벨의 데이터와 기록용 데이터선(25)의 "1"레벨의 데이터가 충돌하므로, 인버터(21)의 출력단자의 레벨은 "0"레벨과 "1"레벨의 중간레벨로 된다. 이 중간레벨이 다른쪽 인버터(22)의 회로임계치보다도 크게 되지 않으면, 인버터(22)의 출력레벨은 반전되지 않아 그 논리값은 "1"레벨인 채로 있게 된다. 결국, "1"레벨의 기록용 데이터를 공급함에도 불구하고 플립플롭(23)의 기억데이터는 "1"레벨인 채이므로, "1"레벨의 기록은 행해지지 않게 된다. 이와같은 상황은 실제로 일어날 수 있다. 이것은 N채널 MOS트랜지스터가 백게이트·바이어스효과에 의해 "0"레벨의 데이터를 통과시키기 어렵다는 것에 기인하고 있다. 잘 알려져 있는 바와 같이, 백게이트·바이어스효과에 의해 기록용 데이터선(25)의 전위가 높아지는 만큼 MOS트랜지스터(27)의 온저항이 높아져서, 기록용 데이터선(25)의 전위가( $V_{DD} - V_{th}$ )보다도 높게 되면 MOS트랜지스터(27)는 컷-오프(cut off)되어 버린다. 여기서,  $V_{th}$ 는 N채널 MOS트랜지스터의 임계치이다. 이 때문에 인버터(21)가 "0"레벨을 출력하고 있는 경우, 이 인버터(21)의 출력단자측의 전위에 상한이 존재하여 그 값이 충분히 높지 않을 때에는 기록불량이 생기게 된다. 한편, "0"레벨을 기록하는 경우에는 MOS트랜지스터(27)의 온저항이 충분히 낮아지기 때문에, 인버터(21)가 "1"레벨을 출력하고 있어도 이 인버터(21)의 출력단자측의 전위를 인버터(22)의 회로임계치보다도 작게 할 수가 있다. 따라서, "0"레벨의 기록은 정상적으로 행해진다.

따라서, 본 실시예장치에서는 플립플롭(23)이 2개의 인버터(21,22)에 공급하는 전원전압( $V_{EE}$ )의 값을 변화시킴으로써, 데이터기록시에 상기와 같은 기록불량이 일어나지 않게 됨과 아울러 상기 제1실시예장치의 경우와 마찬가지로 2개의 신호선(11,12)의 레벨이  $V_{DD}$  근방일 때에도 그 레벨을 감소시키지 않고서 신호를 전달하는 것을 가능하게 하고 있다.

다음으로 상기 제2실시예장치의 동작을 설명한다.

먼저 최초로, 플립플롭(23)에는 "1"레벨 데이터의 기록이 행해져 초기화된다. 즉, 상기와 마찬가지로 기록용 데이터선(25)에 "1"레벨의 데이터를 공급한다. 이 기록데이터의 "1"레벨은 상기와 마찬가지로 전원전압( $V_{DD}$ )이다. 이 상태에서 선택선(28)에 "1"레벨의 신호를 공급하면, 선택용 MOS트랜지스터(27)가 온되어 상기 데이터기록회로가 선택되고, 데이터선(25)의 데이터가 플립플롭(23)에 전달된다. 이때, 플립플롭(23)에 공급되는 전원전압( $V_{EE}$ )은 통상의  $V_{DD}$  레벨보다도 낮은  $V_{FF}$  레벨로 되어 있다. 이  $V_{FF}$  레벨은 플립플롭(23)의 인버터(21)가 "0"레벨을 출력할 때의 인버터(21)의 온저항과, "1"레벨의 데이터가 통과할 때의 MOS트랜지스터(27)의 온저항 및 기록용 데이터선(25)을 구동하는 도시되지 않은 버퍼회로의 온저항의 합의 분할전위가 인버터(22)의 회로임계치를 넘도록 설정된다. 이에 따라

전원전압이  $V_{FF}$ 로 되어 있는 인버터(21)의 출력은 "1"레벨로 되고, 이 "1"레벨은  $V_{FF}$  레벨로 된다.

다음에, 선택선(28)에 "0"레벨의 신호를 공급한다. 이에 따라 선택용 MOS트랜지스터(27)가 오프되므로, 플립플롭(23)의 기억데이터는 기록용 데이터선(25)의 데이터에 관계없이 항상 "1"레벨로 유지된다. 다음으로, 플립플롭(23)의 2개의 인버터(21,22)에 공급하는 전원전압( $V_{EE}$ )을  $V_{FF}$ 로부터 통상의  $V_{DD}$ 로 상승시킨다. 이에 따라, 인버터(21)의 "1"레벨출력도  $V_{FF}$ 로부터  $V_{DD}$ 로 상승하고, 따라서 초기화가 종료되어 플립플롭(23)에는 "1"레벨의 데이터가 기억된다.

한편, 플립플롭(23)에 "0"레벨의 데이터를 기억시킨 경우에는 그후, 기록용 데이터선(25)에 "0"레벨의 데이터를 공급하고, 더욱이 이 상태에서 선택선(28)에 "1"레벨의 신호를 공급한다. 이때, 플립플롭(23)의 2개의 인버터(21,22)에 공급하는 전원전압( $V_{EE}$ )은  $V_{FF}$  이어도 되고, 또는  $V_{DD}$  이어도 된다. 그 이유는 상기와같이 "0"레벨의 기록은 용이하게 행해지기 때문이다.

다음으로, 초기화 또는 "0"레벨 데이터의 기록후, 전원전압( $V_{EE}$ )을  $V_{DD}$ 보다도 높은 전위( $V_{pp}$ )로 한다. 이와 같이 플립플롭(23)의 전원전압을 상승시키면, 이 플립플롭(23)이 "1"레벨을 유지하고 있는 경우 인버터(22)의 "1"레벨전위도  $V_{DD}$ 로부터  $V_{pp}$ 로 상승한다. 그 결과, 상기 플립플롭(23)의 유지데이터가 공급되는 스위치용 MOS트랜지스터(10)는 충분히 온상태로 되어 그 온저항은 충분히 낮아지게 되므로, 2개의 신호선(11,12) 상호간에서는  $V_{DD}$ 레벨이 감소되지 않아 신호의 전달이 가능하게 된다.

한편, 플립플롭(23)의 유지데이터가 "0"레벨인 경우 인버터(22)의 "0"레벨전위는 접지전압인 채로 있으므로, 스위치용 MOS트랜지스터(10)는 오프상태로 되어 2개의 신호선(11,12)상호간은 차단된다.

이와 같은, 상기 실시예장치에서도 1개의 MOS트랜지스터만을 스위치로서 사용한 프로그래머블형 논리장치를 실현할 수 있다. 더욱이 2개의 신호선(11,12)의 레벨이  $V_{DD}$ 근방일 때에도, 그 레벨을 감소시키지 않아 신호를 전달할 수가 있으며, 또 고속동작이 가능하게 된다.

또한, 상기 실시예장치에서는 데이터기억회로를 인버터를 사용한 플립플롭으로 구성하도록 하고 있지만, 마찬가지로 기능을 갖고 있는 것이라면 어떠한 구성의 것이라도 사용이 가능하다. 또, 사용되는 3종류의 전원전압( $V_{DD}$ ,  $V_{FF}$ ,  $V_{pp}$ )의 전위는  $V_{FF} < V_{DD} < V_{pp}$ 가 되는 관계를 만족시키고 있는 것이라면 어떤 값이라도 무방하다. 또, 기록시의 전압( $V_{EE}$ )의 전위는 상기한 관계에만 한정되지 않고, 다음과 같은 각종의 관계중에서 자유로이 선택할 수가 있다.

- ① "1"레벨을 기록할 때, 기록용 데이터선(25)이  $V_{DD}$ , 선택선(28)이  $V_{DD}$ , 또  $V_{DD}$ 가  $V_{FF}$ .
- ② "0"레벨을 기록할 때, 기록용 데이터선(25)이 접지전압, 선택선(28)이  $V_{DD}$ , 또  $V_{EE}$ 가  $V_{FF}$  또는  $V_{DD}$
- ③ "1"레벨을 기록할 때, 기록용 데이터선(25)이  $V_{pp}$ , 선택선(28)이  $V_{pp}$ , 또  $V_{EE}$ 가  $V_{pp}$  또는  $V_{pp}$ .
- ④ "0"레벨을 기록할 때, 기록용 데이터선(25)이 접지전압, 선택선(28)이  $V_{DD}$ , 또  $V_{EE}$ 가  $V_{DD}$  또는  $V_{pp}$  즉, 기본적으로 "1"레벨을 기록할 때에는 기록용 데이터선(25) 및 선택선(28)의 전위보다도 데이터 기억회로의 전원전압이 낮아지면 좋다. 또, "0"레벨을 기록할 때에는 이와 같은 제약은 받지 않는다. 따라서, 데이터의 기록시에는 "1"레벨을 기록할 때의 전원전압관계를 유지하면, "1"과 "0"레벨의 동시 기록을 실현할 수 있고, 일반적인 RAM과 동일하게 기록을 할 수 있게 된다.

제8도는 상기 제2실시예장치의 플립플롭(23)에서 2개의 인버터(21,22) 각각을 CMOS인버터로 실현한 경우의 상세한 구성을 도시한 회로도로서, 상기 제2도의 경우와 마찬가지로 상기 양 인버터(21,22)는 P채널 MOS트랜지스터(31,33) 각각과 N채널 MOS트랜지스터(32,34) 각각으로 구성되어 있다. 그리고, 이 경우에도 CMOS구조로 이루어진 2개의 인버터(21,22)를 구성하는 P채널 MOS트랜지스터(31,33)의 소스단자 및 기판단자가  $V_{EE}$ 의 노드에 접속되어 있는 것이 특징으로, 스위치용 MOS트랜지스터(10)를 매개하여 신호의 전달이 행해지는 신호선(11,12)에 접속된 도시되지 않은 다른 회로의 N웰영역은 전압( $V_{DD}$ )으로 바이어스되고, 스위치용 MOS트랜지스터(10)의 온, 오프제어를 행하는 데이터기록회로(20)의 N웰영역은 전압( $V_{EE}$ )으로 바이어스 된다.

제9도는 상기 제2실시예장치의 응용레장치의 회로도로서, 상기 스위치용 MOS트랜지스터(10) 및 데이터기록회로(20')를 다수 집적시킨 경우의 전체구성을 나타낸 것이다. 도시한 바와 같이 다수의 데이터기록회로(20')를 집적하는 경우에는 이들 다수의 데이터기록회로(20')를 매트릭스형태로 배치하여 기록용 데이터선(25) 및 선택선(28)을 복수의 데이터기록회로(20')에서 공유함으로써, 제어용 신호선의 수를 감소시킬 수 있다. 또, 스위치용 MOS트랜지스터(10)는 상기 신호선(11,12; 제9도에서는 도시되지 않음)을 매개하여 다른 스위치용 MOS트랜지스터(10)와 접속되어 있고, 임의의 신호선 사이에는 신호의 방향을 결정하기 위한 인버터(35)가 삽입되어 있다.

다음에, 상기 제7도 또는 제9도의 장치에서 사용되는 전원전압( $V_{EE}$ )을 발생시키는 회로에 대해 설명한다.

제10도는 통상의 전원전압( $V_{DD}$ ), 이 전원전압( $V_{DD}$ )보다도 낮은 전원전압( $V_{FF}$ ) 및 전압( $V_{DD}$ )보다도 높은 전압( $V_{pp}$ )이 공급되고, 이들의 전압을 절환하여 출력하는  $V_{EE}$  발생회로의 구성을 도시한 회로도이다. 도면에서, 단자(71)에는 집적회로의 외부로부터 공급되는 통상의 전원전압( $V_{DD}$ )이 인가된다. 또, 상기 전원전압( $V_{FF}$ ,  $V_{pp}$ )은 집적회로칩의 외부로부터 공급되도록 하여도 되지만, 이 경우에는 칩의 단자 수가 증가한다. 따라서, 상기 양 전압( $V_{FF}$ ,  $V_{pp}$ )은 동일 칩내에서 발생시키는 것이 바람직하고, 전압( $V_{pp}$ )은 예컨대 상기제5도에 도시한 것과 마찬가지로의  $V_{pp}$  발생회로를 사용하여 집적회로칩내부에서 발생시킬 수 있다. 또, 전압( $V_{FF}$ )은 저항소자 또는 MOS트랜지스터를 저항으로서 사용한 전압분할회로등

에 의해 용이하게 발생시킬수 있다.

상기 양 전압( $V_{FF}$  와  $V_{pp}$ )은 절환회로(72)에 공급되고, 양 전압( $V_{DD}$  와  $V_{pp}$ )은 절환회로(73)에 공급된다. 상기 양 절환회로(72,73)는 각각 도시되지 않은 제어신호에 대응하여 2개의 입력전압을 절환하여, 또 다른하나의 절환회로(74)에 출력한다. 이 절환회로(74)도 도시되지 않은 제어신호에 대응하여 2개의 입력전압을 절환하여 상기 전압( $V_{EE}$ )으로서 출력한다.

또, 상기 제10도내의 3개의 절환회로(72,73,74)는 각각 상기 제6도에 도시한 것과 마찬가지로의 구성인 절환회로를 사용할 수 있다.

본 발명은 상기 각 실시예에 한정되는 것은 아니며, 각종의 변형이 가능함은 물론이다. 예컨대, 상기 실시예에서는 전압( $V_{EE}$ )을 집적회로칩 내부에서 발생시키는 경우에 대해 설명하였지만, 상기 전압( $V_{EE}$ )을 외부로부터 공급하도록 하여도 된다. 이와 같이, 전압( $V_{EE}$ )을 집적회로칩의 외부로부터 공급하는 경우에는  $V_{DD}$  계의 전원전압이 공급되지 않는다 하더라도,  $V_{EE}$  계의 전원전압이 공급되어 있으면 스위치용 MOS트랜지스터를 온, 오프제어하기 위한 정보는 유지되어 있으므로, 전지에 의해 유지데이터의 백업(back up)의 등의 스탠바이·모드도 용이하게 만들 수가 있다.

한편, 본원 청구범위의 각 구성요소에 병기한 도면참조부호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예로 한정할 의도에서 병기한 것은 아니다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 따르면, 집적도 및 신뢰성이 높고 고속동작이 가능한 프로그래머블형 논리장치 및 그에 사용되는 기억회로를 제공할 수 있다.

**(57) 청구의 범위**

**청구항 1**

1비트의 제어데이터를 유지하면서 매트릭스형태로 배치되어 있는 데이터 유지수단(20)과, 이 데이터 유지수단(20)에 유지될 데이터를 전달하는 데이터전달수단(24,25), 상기 데이터유지수단(20)을 선택하기 위한 선택신호가 전달되는 선택수단(28), 상기 데이터유지수단(20)의 유지데이터에 따라 스위치 제어되는 MOS형스위치수단(10), 이 MOS형 스위치수단(10)을 매개하여 결합된 2개의 신호선(11,12), 상기 데이터유지수단(20)에 대해 제1전원전압( $V_{DD}$ ) 및 이와 다른 값의 제2전원전위( $V_{pp}$ )를 절환하여 출력하는 전원전압절환수단(43)을 포함하고, 상기 데이터유지수단(20)에 유지되어 있는 데이터의 전위진폭을 상기 2개의 신호선(11,12)으로 전달되는 전위진폭보다도 확대시키는 전위진폭확대수단(42,43)을 구비하여 이루어진 것을 특징으로 하는 프로그래머블형 논리장치.

**청구항 2**

제1항에 있어서, 상기 제2전원전위( $V_{pp}$ )가 상기 제1전원전위( $V_{DD}$ )를 이용해서 동일 집적회로 내부에 형성되는 것을 특징으로 하는 프로그래머블형 논리장치.

**청구항 3**

제1항에 있어서, 상기 데이터유지수단(20)의 P웰영역 또는 N웰영역을 갖춘 CMOS구조로 되어 있고, 상기 P웰영역 또는 N웰영역에 대해 상기 전원전위절환수단(43)의 출력전위( $V_{EE}$ )를 공급하도록 된 것을 특징으로 하는 프로그래머블형 논리장치.

**청구항 4**

제1항에 있어서, 상기 전원전위절환수단(43)은 상기 데이터유지수단(20)에 대해 데이터의 기록을 행하는 경우에는 제1전원전위( $V_{DD}$ )를, 상기 MOS형 스위치 수단의 도통시에는 제2전원전위( $V_{pp}$ )를 상기 데이터유지수단(20)에 절환출력하도록 구성되어 있는 것을 특징으로 하는 프로그래머블형 논리장치.

**청구항 5**

제1레벨 및 제2레벨의 데이터를 기억하는 데이터기억수단(20')과, 이 데이터기억수단(20')에 기록되는 데이터가 전달되는 1개의 데이터선(25), 상기 데이터기억수단(20')을 선택하기 위한 선택신호가 전달되는 1개의 선택선(28) 및, 상기 데이터기억수단(20')에 제1레벨의 데이터를 기록할 때에 상기 데이터선(25)및 선택선(28)으로 전달되는 데이터 또는 신호의 전위진폭보다도 작은 전위의 전원전압( $V_{FF}$ )을 데이터기억수단(20')에 공급하는 전원공급수단을 구비하여 이루어진 것을 특징으로 하는 기억회로.

**청구항 6**

제1레벨 및 제2레벨의 데이터를 기억하면서 매트릭스형태로 배치된 데이터기억수단(20')과, 이 데이터기억수단(20')에 기록되는 데이터가 전달되는 1개의 데이터선(25), 상기 데이터기억수단(20')을 선택하기위한 선택신호가 전달되는 1개의 선택선(28), 상기 데이터기억수단(20')의 기억데이터에 따라 스위치제어되는 MOS형 스위치수단(10) 및, 이 MOS형 스위치수단(10)을 매개하여 결합된 2개의 신호선(11,12), 상기 데이터기억수단(20')에 제1레벨의 데이터를 기록하는 경우에는 상기 데이터선(25) 및 선택선(28)으로 전달되는 데이터 또는 신호의 전위진폭보다도 작은 전위의 전원전압( $V_{FF}$ )을 데이터기억수단(20')에 공급함과 더불어 상기 MOS형 스위치수단(10)을 스위치제어하는 경우에는 상

기 데이터선(25) 및 선택선(28)으로 전달되는 데이터 또는 신호의 전위진폭보다도 큰 전위의 전원전압( $V_{pp}$ )을 데이터기억수단(20')에 공급하는 전원공급수단(72~74)을 구비하여 이루어진 것을 특징으로 하는 프로그래머블형 논리장치.

**청구항 7**

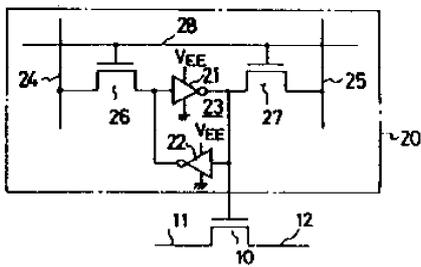
제6항에 있어서, 상기 전원공급수단(72~74)은 상기 데이터기억수단(20')에 데이터의 기록을 행할 때에 상기 데이터선(25) 및 선택선(28)으로 전달되는 데이터 또는 신호의 전위진폭보다도 작은 전위의 전원전압( $V_{ff}$ )을, 데이터를 독출할 때에는 상기 데이터선(25) 및 선택선(28)으로 전달되는 데이터 또는 신호의 전위진폭보다도 큰 전위의 전원전압( $V_{ff}$ )을 절환출력하는 전원전위절환수단(74)을 포함하고 있는 것을 특징으로 하는 프로그래머블형 논리장치.

**청구항 8**

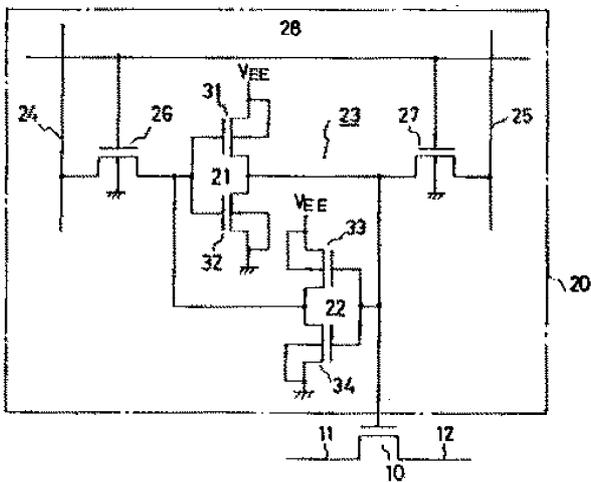
제6항에 있어서, 상기 데이터기억수단(20')이 P웰영역 또는 N웰영역을 갖춘 CMOS구조로 되어 있고, 상기 P웰영역 또는 N웰영역에 대해 상기 전원전위절환수단(74)의 출력전위를 공급하도록 된 것을 특징으로 하는 프로그래머블형 논리장치

**도면**

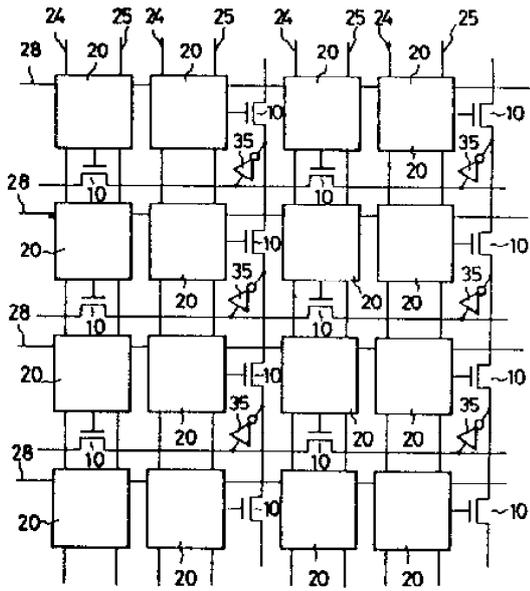
도면1



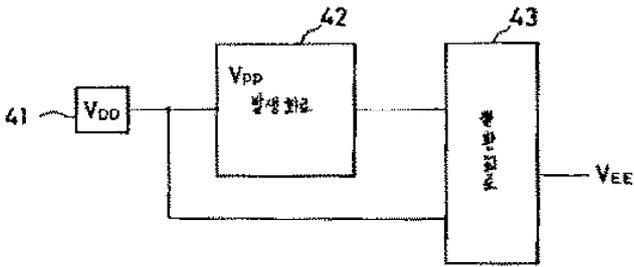
도면2



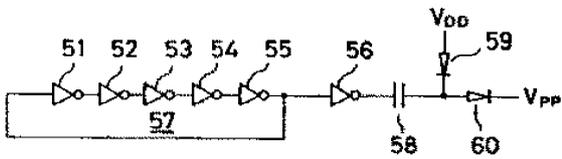
도면3



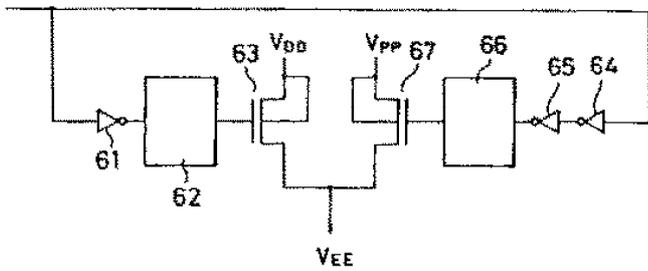
도면4



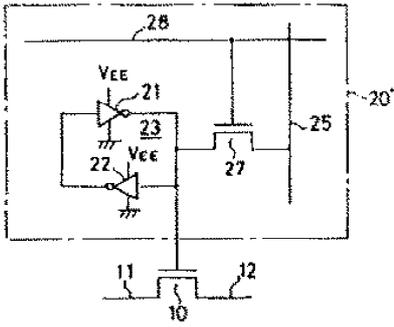
도면5



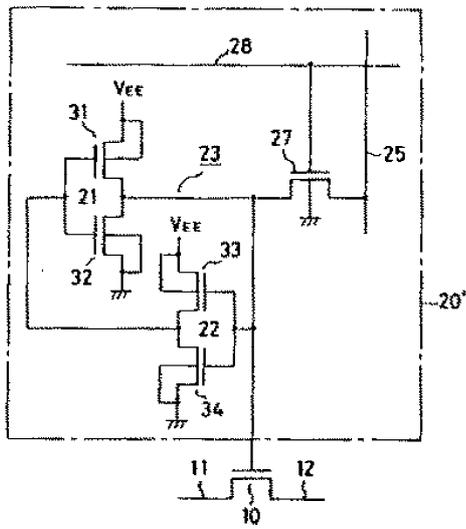
도면6



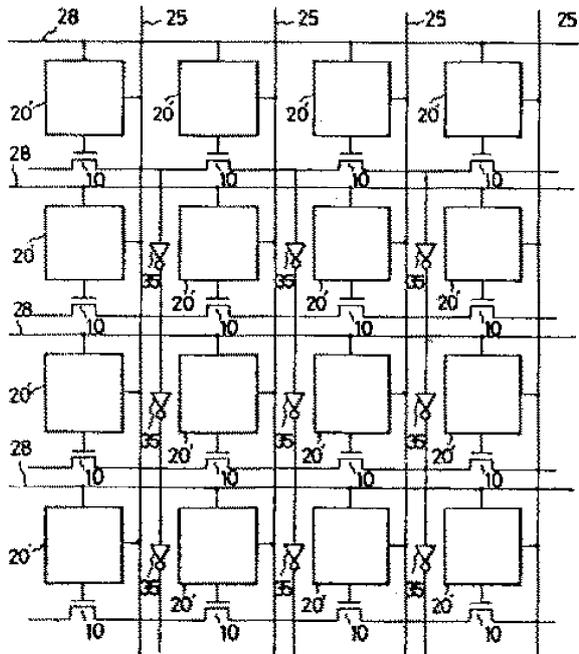
도면7



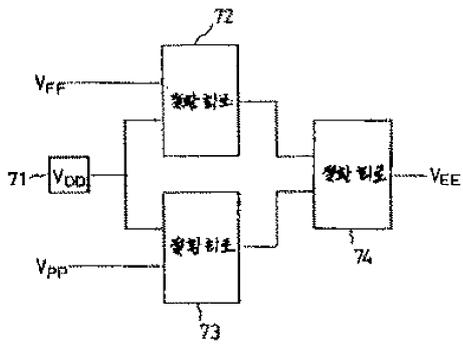
도면8



도면9



도면 10



도면 11

