



(12) **Patentschrift**

(21) Deutsches Aktenzeichen: **11 2016 005 768.7**  
(86) PCT-Aktenzeichen: **PCT/JP2016/086445**  
(87) PCT-Veröffentlichungs-Nr.: **WO 2017/104516**  
(86) PCT-Anmeldetag: **07.12.2016**  
(87) PCT-Veröffentlichungstag: **22.06.2017**  
(43) Veröffentlichungstag der PCT Anmeldung  
in deutscher Übersetzung: **13.09.2018**  
(45) Veröffentlichungstag  
der Patenterteilung: **16.03.2023**

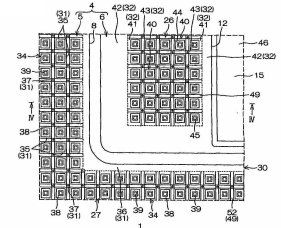
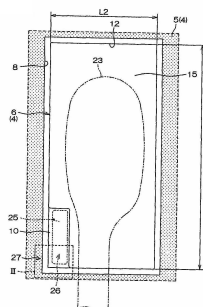
(51) Int Cl.: **H01L 27/04 (2006.01)**  
**H01L 29/12 (2006.01)**  
**H01L 29/78 (2006.01)**

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität: <b>2015-247727</b> <b>18.12.2015</b> <b>JP</b>	(72) Erfinder: <b>Nagao, Katsuhisa, Kyoto-shi, JP</b>
(62) Teilung in: <b>11 2016 007 650.9</b>	(56) Ermittelte Stand der Technik: <b>US</b> <b>2006 / 0 073 637</b> <b>A1</b> <b>US</b> <b>2011 / 0 198 587</b> <b>A1</b> <b>US</b> <b>2013 / 0 313 569</b> <b>A1</b> <b>JP</b> <b>H11- 74 370</b> <b>A</b> <b>JP</b> <b>H08- 46 193</b> <b>A</b>
(73) Patentinhaber: <b>ROHM CO., LTD., Kyoto, JP</b>	
(74) Vertreter: <b>WITTE, WELLER &amp; PARTNER Patentanwälte mbB, 70173 Stuttgart, DE</b>	

(54) Bezeichnung: **Halbleiterbauteil**

(57) Hauptanspruch: Halbleiterbauteil (1) mit:  
einer Halbleiterschicht (2), die aus SiC hergestellt ist;  
einem Source-Abschnitt (27), der an der Halbleiterschicht (2) ausgebildet ist und der auf einer Hauptstromseite eine erste Einheitszelle (34) beinhaltet;  
einem Stromerfassungsabschnitt (26), der an der Halbleiterschicht (2) ausgebildet ist und der auf einer Stromerfassungsseite eine zweite Einheitszelle (40) beinhaltet;  
einer source-seitigen Oberflächenelektrode (5), die oberhalb des Source-Abschnittes (27) angeordnet ist; und  
einer erfassungs-seitigen Oberflächenelektrode (6), die so angeordnet ist, dass wenigstens ein Teil der erfassungs-seitigen Oberflächenelektrode (6) eine Region (25) beinhaltet, die oberhalb des Stromerfassungsabschnittes (26) angeordnet ist,  
wobei die zweite Einheitszelle (40) an einer Position unterhalb der erfassungs-seitigen Oberflächenelektrode (6) angeordnet ist, jedoch nicht direkt unterhalb von einer Verbindungsregion eines Verdrahtungselementes (23) angeordnet ist,  
wobei die Verbindungsregion auf einer Oberfläche der erfassungs-seitigen Oberflächenelektrode (6) angeordnet ist und/oder wobei das Verdrahtungselement (23) mit der erfassungs-seitigen Oberflächenelektrode (6) verbunden ist.



**Beschreibung**

## Technisches Gebiet

**[0001]** Die vorliegende Erfindung betrifft ein SiC-Halbleiterbauteil, das einen Stromerfassungsabschnitt aufweist.

## Stand der Technik

**[0002]** Es ist ein Halbleiterbauteil bekannt geworden, welches einen Stromerfassungsabschnitt aufweist, um einen Stromwert eines Hauptstromes eines Bauteiles zu erfassen, und ferner sind bspw. Halbleiterbauteile in den Patentdokumenten 1 und 2 vorgeschlagen worden.

## Dokumente des Standes der Technik

## Patentdokumente

Patentdokument 1: Japanische Patentanmeldungsveröffentlichung JP H08- 46 193 A

Patentdokument 2: Japanische Patentanmeldungsveröffentlichung JP H11- 74 370 A

**[0003]** Das Dokument US 2011 / 0 198 587 A1 betrifft ein Leistungs-Halbleiterbauteil mit einem Haupt-MOSFET und Erfassungs-MOSFETs, die jeweils Elektroden-Pads aufweisen, die mit Terminals an der Außenseite eines Gehäuses verbunden sind.

**[0004]** Das Dokument US 2013/0 313 569 A1 offenbart einen Halbleiter-Gassensor. Das Dokument US 2006 / 0 073 637 A1 zeigt ein weiteres Halbleiterbauteil.

## Überblick über die Erfindung

## Technisches Problem

**[0005]** Generell ist ein Stromerfassungsabschnitt in einem Bereich bzw. hinsichtlich seines Flächenbereiches kleiner ausgebildet als ein Source-Abschnitt, durch den ein Hauptstrom fließt. Ein Flächenbereichsverhältnis zwischen dem Stromerfassungsabschnitt und dem Source-Abschnitt definiert ein Erfassungsverhältnis, wenn der Hauptstrom erfasst wird. Zusätzlich hierzu wird der Stromwert des Hauptstromes berechnet durch Multiplizieren des Wertes eines elektrischen Stromes, der tatsächlich durch den Stromerfassungsabschnitt geflossen ist, mit dem Erfassungsverhältnis.

**[0006]** Wenn Randbedingungen neben der Flächenbereichsbedingung vollständig identisch zueinander sind, könnte der Stromwert des Hauptstromes auch genau erfasst werden, indem ausschließlich das Erfassungsverhältnis berücksichtigt wird. In der Pra-

xis existieren jedoch Unterschiede hinsichtlich einer Bedingung, gemäß der der Stromerfassungsabschnitt und der Source-Abschnitt angeordnet werden, und diese Unterschiede beeinflussen die Erfassungsgenauigkeit.

**[0007]** Beispielsweise ist ein Pad eines Source-Abschnittes relativ groß, und der Flächenbereich der Besetzung bzw. die Bedeckungsfläche bzw. die Besetzungsflächen eines Bond-Drahtes in Bezug auf das Pad ist klein. Andererseits ist ein Pad des Stromerfassungsabschnittes relativ klein, und daher wird die Besetzungsfläche des Bond-Drahtes in Bezug auf das Pad groß. Dies ruft einen Unterschied in der Wärmemenge hervor, die durch den Bond-Draht entweicht, und es besteht daher eine Möglichkeit, dass ein Fehler groß wird, der in einem Einschalt-Widerstand (on-resistance) zwischen dem Source-Abschnitt und dem Stromerfassungsabschnitt erzeugt wird. Dieser Fehler des Einschalt-Widerstandes beeinträchtigt die Erfassungsgenauigkeit des Stromwertes des Hauptstromes.

**[0008]** Eine Aufgabe der vorliegenden Erfindung besteht darin, ein SiC-Halbleiterbauteil anzugeben, das dazu in der Lage ist, die Erfassungsgenauigkeit des Stromwertes eines Hauptstromes zu verbessern, der durch einen Stromerfassungsabschnitt erfasst wird, und zwar dadurch, dass man ein Entweichen von Wärme aus dem Stromerfassungsabschnitt hin zu einem Verdrahtungselement beschränkt, das an eine erfassungs-seitige Oberflächenelektrode gefügt bzw. damit verbunden ist.

## Lösung für das Problem

**[0009]** Ein Halbleiterbauteil gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung gemäß Anspruch 1 beinhaltet eine Halbleiterschicht, die aus SiC hergestellt ist; einen Source-Abschnitt, der an der Halbleiterschicht ausgebildet ist und der auf einer Hauptstromseite eine erste Einheitszelle beinhaltet, einen Stromerfassungsabschnitt, der an der Halbleiterschicht ausgebildet ist und der auf einer Stromerfassungsseite eine zweite Einheitszelle beinhaltet, eine source-seitige Oberflächenelektrode, die oberhalb des Source-Abschnittes angeordnet ist, und eine erfassungs-seitige Oberflächenelektrode, die so angeordnet ist, dass wenigstens ein Teil der erfassungs-seitigen Oberflächenelektrode eine Region beinhaltet, die oberhalb des Stromerfassungsabschnittes angeordnet ist, wobei in dem Halbleiterbauteil die zweite Einheitszelle an einer Position unterhalb der erfassungs-seitigen Oberflächenelektrode angeordnet ist, und zwar so, um zu vermeiden, dass sie direkt unterhalb von einem Verbindungsteil eines Verdrahtungselementes angeordnet ist.

**[0010]** Gemäß dieser Anordnung ist die zweite Einheitszelle auf der Stromerfassungsseite so angeord-

net, dass vermieden wird, dass sie direkt unterhalb eines Verbindungsteils des Verdrahtungselementes angeordnet ist. Dies ermöglicht es, eine festgelegte Distanz zwischen der zweiten Einheitszelle und dem Verdrahtungselement aufrechtzuerhalten, und ermöglicht es folglich, das Entweichen von Wärme, die an der zweiten Einheitszelle erzeugt wird, zu beschränken, während vorzugsweise eine Übertragung auf das Verdrahtungselement erfolgt. Es ist daher möglich, einen Fehler zu verkleinern, der in einem Einschalt-Widerstand zwischen der ersten Einheitszelle des Source-Abschnittes und der zweiten Einheitszelle des Stromerfassungsabschnittes erzeugt wird. Zusätzlich hierzu wird die zweite Einheitszelle nicht direkt unterhalb des Verbindungsteils des Verdrahtungselementes angeordnet, und es ist daher möglich, zu verhindern, dass ein Stoß, der hervorgerufen wird, wenn das Verdrahtungselement an die erfassungs-seitige Oberflächenelektrode gefügt wird, direkt auf die zweite Einheitszelle verläuft bzw. gerichtet ist, und es ist daher möglich, zu unterdrücken, dass die zweite Einheitszelle bricht bzw. zerstört wird. Im Ergebnis ist es möglich, die Erfassungsgenauigkeit des Stromwertes eines Hauptstromes zu verbessern, der von dem Stromerfassungsabschnitt erfasst wird.

**[0011]** Die Verwendung der Halbleiterschicht, die aus SiC hergestellt ist, ermöglicht es, eine Anordnung zu erreichen, bei der die zweite Einheitszelle so angeordnet ist, dass vermieden wird, dass sie direkt unterhalb des Verbindungsteils des Verdrahtungselementes angeordnet wird, wie oben erwähnt. Mit anderen Worten ist in einem Si-Halbleiterbauteil die Menge bzw. der Betrag des pro Einheitsfläche fließenden Stromes klein, und daher ist es erforderlich, einen Zellflächenbereich („cell area“) für einen etwas großen Erfassungsabschnitt auf ein geeignetes Erfassungsverhältnis (etwa 1000 bis 2000) zu setzen, bei dem eine hohe Erfassungsgenauigkeit erzielt wird, und zwar in Bezug auf einen Source-Abschnitt, der einen großen Flächenbereich hat, durch den ein Strom fließt, und es ist daher schwierig, dieses so auszubilden, dass vermieden wird, dass eine Anordnung davon direkt darunter erfolgt. Bei einem SiC-Halbleiterbauteil ist hingegen die Menge des pro Einheitsfläche fließenden Stromes groß, und es ist daher möglich, ein geeignetes Erfassungsverhältnis zu gewährleisten, selbst wenn der Erfassungsabschnitt in einem Zellflächenbereich in Bezug auf den Source-Abschnitt klein ist, und es ist daher möglich, dieses so auszubilden, dass eine Positionierung davon direkt hierunter vermieden wird.

**[0012]** Das Halbleiterbauteil kann einen Zwischenschichtisolierfilm beinhalten, der zwischen dem Stromerfassungsabschnitt und der erfassungs-seitigen Oberflächenelektrode angeordnet ist, und kann einen Gate-Isolierfilm beinhalten, der an einer Posi-

tion angeordnet ist, die niedriger liegt als der Zwischenschichtisolierfilm, wobei der Zwischenschichtisolierfilm in dem Halbleiterbauteil dicker ausgebildet sein kann als der Gate-Isolierfilm.

**[0013]** Gemäß dieser Anordnung ist es möglich, einen Stoß zu verringern, der durch die zweite Einheitszelle verläuft, wenn das Verdrahtungselement an die erfassungs-seitige Oberflächenelektrode gefügt wird. Im Ergebnis ist es möglich, die Verlässlichkeit der Erfassungsgenauigkeit des Stromwertes eines Hauptstromes zu gewährleisten.

**[0014]** Bei dem Halbleiterbauteil kann der Stromerfassungsabschnitt in einer Region ausgebildet werden, die von dem Source-Abschnitt umgeben ist.

**[0015]** Gemäß dieser Anordnung bzw. Ausführungsform ist es möglich, die Menge der Wärmeerzeugung des Stromerfassungsabschnittes nahe an jenen des Source-Abschnittes zu bringen, und es ist daher möglich, einen Fehler in einem Einschalt-Widerstand zu verringern, der aufgrund einer Differenz in der Menge der Wärmeerzeugung erzeugt wird.

**[0016]** Das Halbleiterbauteil kann einen Passivierungsfilm beinhalten, der selektiv einen Abschnitt abdeckt, der direkt oberhalb bzw. über der zweiten Einheitszelle der erfassungs-seitigen Oberflächenelektrode angeordnet ist und der eine Öffnung aufweist, durch die hindurch ein Teil der erfassungs-seitigen Oberflächenelektrode als ein erfassungs-seitiges Pad freigelegt ist.

**[0017]** Gemäß dieser Anordnung sind der Abschnitt, der direkt über der zweiten Einheitszelle angeordnet ist, und das erfassungs-seitige Pad klar voneinander unterscheidbar, wenn eine Betrachtung von außerhalb des Halbleiterbauteils erfolgt, und es ist daher möglich, zu verhindern, dass das Verdrahtungselement in fehlerhafter Art und Weise an den Abschnitt gefügt wird, der direkt oberhalb der zweiten Einheitszelle angeordnet ist. Es ist daher möglich, verlässlich eine feste Distanz bzw. einen festgelegten Abstand zwischen der zweiten Einheitszelle und dem Verdrahtungselement aufrechtzuerhalten.

**[0018]** Bei dem Halbleiterbauteil können die erste Einheitszelle und die zweite Einheitszelle jeweils wechselseitig gleiche Zellstrukturen besitzen.

**[0019]** Gemäß dieser Ausführungsform ist es möglich ein Erfassungsverhältnis abzuschätzen, wenn der Stromwert des Hauptstromes aus einem Zellverhältnis zwischen der ersten Einheitszelle und der zweiten Einheitszelle berechnet wird, und es ist daher möglich, eine Stromerfassung auf leichte Art und Weise durchzuführen.

**[0020]** Bei dem Halbleiterbauteil kann der Stromerfassungsabschnitt nur an einem Ort („place“) in einer Richtung innerhalb einer Ebene bzw. in einer Ebene („in-plane direction“) der Halbleiterschicht ausgebildet sein.

**[0021]** Gemäß dieser Ausführungsform ist es möglich, eine Bauraumeinsparung eines Oberflächenteils der Halbleiterschicht zu erreichen.

**[0022]** Bei dem Halbleiterbauteil kann der Zwischenschichtisolierfilm eine Dicke von 1  $\mu\text{m}$  oder mehr besitzen.

**[0023]** Gemäß dieser Ausführungsform ist es möglich, eine hinreichend hohe Stoßwiderstandskraft (zum Beispiel einen Draht-Bond-Widerstandskraft) für den Zwischenschichtisolierfilm zu erteilen.

**[0024]** Das Halbleiterbauteil kann eine gate-seitige Oberflächenelektrode beinhalten, die an der Halbleiterschicht angeordnet ist und die eine gate-seitige Verbindungsregion bzw. Fügeregion besitzt, auf die bzw. an die ein Verdrahtungselement gefügt ist bzw. mit der ein Verdrahtungselement verbunden ist, und der Zwischenschichtisolierfilm kann in dem Halbleiterbauteil ebenfalls an einem Ort direkt unterhalb der gate-seitigen Verbindungsregion angeordnet sein.

**[0025]** Gemäß dieser Anordnung ist es möglich, in dem gleichen Prozessschritt einen Zwischenschichtisolierfilm, mit dem der Source-Abschnitt bedeckt ist, und einen Zwischenschichtisolierfilm zu bilden, mit dem der Gate-Abschnitt abgedeckt ist, und es ist daher möglich, einen Herstellungsprozess zu verkürzen.

**[0026]** Bei dem Halbleiterbauteil kann der Zwischenschichtisolierfilm einen  $\text{SiO}_2$ -Film beinhalten, und der  $\text{SiO}_2$ -Film kann P (Phosphor) oder B (Bor) enthalten.

**[0027]** Der  $\text{SiO}_2$ -Film wird auf einfache Art und Weise hergestellt, und dann, wenn der  $\text{SiO}_2$ -Film P (Phosphor) oder B (Bor) enthält, ist es auch möglich, einen Reflow-Prozess durchzuführen, nachdem der Film erzeugt worden ist. Es ist möglich, den Zwischenschichtisolierfilm ( $\text{SiO}_2$ -Film) durch den Reflow-Prozess auf einfache Art und Weise flach zu gestalten („flatten“), und es ist daher möglich, das Verdrahtungselement auf einfache Art und Weise zu fügen bzw. zu verbinden, was möglicherweise die Wärmeabfuhrfähigkeit des Stromerfassungsabschnittes beeinflusst, und zwar gemäß einem Konstruktionsplan.

**[0028]** Bei dem Halbleiterbauteil kann die erfassungs-seitige Oberflächenelektrode eine Elektrode beinhalten, die eine Schichtstruktur hat, bei der Ti,

TiN und AlCu in dieser Reihenfolge von unten ausgehend stapelartig übereinander angeordnet sind.

**[0029]** Gemäß dieser Anordnung ermöglicht die Verwendung von AlCu für die oberste Fläche der erfassungs-seitigen Oberflächenelektrode, der Elektrode eine zufriedenstellende Stoßwiderstandsfestigkeit bzw. -kraft) (zum Beispiel Draht-Bond-Widerstandskraft) zu erteilen.

**[0030]** Das Halbleiterbauteil kann eine gate-seitige Oberflächenelektrode beinhalten, die an der Halbleiterschicht angeordnet ist, und kann einen Passivierungsfilm beinhalten, der eine Öffnung aufweist, über die ein Teil der erfassungs-seitigen Oberflächenelektrode als ein erfassungs-seitiges Pad freigelegt ist, und der eine Öffnung aufweist, über die ein Teil der gate-seitigen Oberflächenelektrode als ein gate-seitiges Pad freigelegt ist, wobei das erfassungs-seitige Pad und das gate-seitige Pad bei dem Halbleiterbauteil jeweils so ausgebildet sein können, dass sie in der gleichen Richtung eine längliche bzw. lange Form haben.

**[0031]** Gemäß dieser Anordnung ist es möglich, dass die Verdrahtungselemente sich aus der gleichen Richtung hin zu dem erfassungs-seitigen Pad bzw. dem gate-seitigen Pad erstrecken und daran gefügt werden, und es ist daher möglich, die Verdrahtungselemente auf einfache Art und Weise zu verlegen („lay“), wenn ein Gehäuse zusammengebaut wird.

#### Figurenliste

**[Fig. 1]** **Fig. 1** ist eine schematische Draufsicht auf ein Halbleiterbauteil gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung.

**[Fig. 2]** **Fig. 2** ist eine vergrößerte Ansicht einer Region, die in **Fig. 1** von einer gestrichelten Linie II umgeben ist.

**[Fig. 3]** **Fig. 3** ist eine vergrößerte Ansicht einer Region, die in **Fig. 2** von einer gestrichelten Linie III umgeben ist.

**[Fig. 4]** **Fig. 4** ist eine Querschnittsansicht in einer Schnittebene entlang einer Linie IV-IV der **Fig. 3**.

**[Fig. 5]** **Fig. 5** ist eine vergrößerte Ansicht um ein gate-seitiges Pad der **Fig. 1**.

**[Fig. 6]** **Fig. 6** ist eine Querschnittsansicht in einer Schnittebene entlang einer Linie VI-VI der **Fig. 5**.

**[Fig. 7]** **Fig. 7** ist eine Querschnittsansicht in einer Schnittebene entlang einer Linie VII-VII der **Fig. 5**.

**[Fig. 8]** **Fig. 8** ist eine Querschnittsansicht in einer Schnittebene entlang einer Linie VIII-VIII der **Fig. 5**.

**[Fig. 9]** **Fig. 9** ist ein Schaltungsdiagramm zum Beschreiben einer Stromerfassung in dem Halbleiterbauteil.

**[Fig. 10]** **Fig. 10** ist ein Flussdiagramm, das einen Herstellungsprozess für das Halbleiterbauteil zeigt.

**[Fig. 11]** **Fig. 11** ist eine Ansicht, die eine Modifikation einer Gate-Struktur des Halbleiterbauteils zeigt.

**[Fig. 12]** **Fig. 12** ist eine Ansicht, die eine Modifikation eines erfassungs-seitigen Pads des Halbleiterbauteils zeigt.

#### Beschreibung von Ausführungsformen

**[0032]** Bevorzugte Ausführungsformen der vorliegenden Erfindung werden nachstehend im Detail unter Bezugnahme auf die beigefügten Zeichnungen beschrieben.

**[0033]** **Fig. 1** ist eine schematische Draufsicht auf ein Halbleiterbauteil 1 gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung.

**[0034]** Das Halbleiterbauteil 1 beinhaltet ein Halbleiter-Substrat 2, bei dem es sich um ein Beispiel einer Halbleiterschicht der vorliegenden Erfindung handelt und das in einer Draufsicht in einer vierseitigen Form ausgebildet ist. Das Halbleiter-Substrat 2 hat vier Seiten 3A, 3B, 3C und 3D in der Draufsicht.

**[0035]** Eine Vielzahl von Oberflächenelektrodenfilmen 4 ist auf dem Halbleiter-Substrat 2 gebildet, derart, dass diese getrennt voneinander sind. Die Oberflächenelektrodenfilme 4 beinhalten eine source-seitige Oberflächenelektrode 5, eine erfassungs-seitige Oberflächenelektrode 6 und eine gate-seitige Oberflächenelektrode 7. Die source-seitige Oberflächenelektrode 5 ist in den meisten Regionen an dem Halbleiter-Substrat 2 ausgebildet (der schraffierte Bereich der **Fig. 1** und Regionen von source-seitigen Pads 14A, 14B und 14B sind nachstehend beschrieben), und Entfernungsregionen („removal regions“) 8 und 9, für die ein Teil der source-seitigen Oberflächenelektrode 5 entfernt worden ist, sind Ausbildungsregionen („formation regions“) für die erfassungs-seitige Oberflächenelektrode 6 bzw. für die gate-seitige Oberflächenelektrode 7. Beide Entfernungsregionen 8 und 9 sind so definiert, dass sie von der source-seitigen Oberflächenelektrode 5 umgeben sind.

**[0036]** Ein Passivierungsfilm 10, der die Vielzahl von Oberflächenelektrodenfilmen 4 gesamthaft abdeckt, und zwar mit dem einzelnen Film 10, ist an dem Halbleiter-Substrat 2 ausgebildet. Der Passivierungsfilm

10 weist eine Vielzahl von Pad-Öffnungen 11, 12 und 13 auf. Die source-seitige Oberflächenelektrode 5, die erfassungs-seitige Oberflächenelektrode 6 und die gate-seitige Oberflächenelektrode 7 liegen gegenüber den Pad-Öffnungen 11, 12 bzw. 13 frei, und zwar als source-seitige Pads 14A und 14B, als ein erfassungs-seitiges Pad 15 bzw. als ein gate-seitiges Pad 16.

**[0037]** Die Vielzahl von source-seitigen Pads 14A und 14B sind so angeordnet, dass sie voneinander getrennt sind. In **Fig. 1** sind an dem Halbleiter-Substrat 2 drei source-seitige Pads 14A, 14B und 14B vorgesehen. Das source-seitige Pad 14A, bei dem es sich um eines der drei source-seitigen Pads handelt, ist näher an einer Seite 3A des Halbleiter-Substrates 2 angeordnet, und zwar in einem zentralen Teil in einer Richtung entlang der Seite 3A, und die verbleibenden source-seitigen Pads 14B und 14B sind auf beiden jeweiligen Seiten des source-seitigen Pads 14A angeordnet. Die source-seitigen Pads 14B und 14B, die auf beiden Seiten jeweils angeordnet sind, haben Erstreckungsabschnitte 17 und 17, die sich in Richtung hin zu einer Seite 3C gegenüberliegend der Seite 3A erstrecken, und zwar in Bezug auf das source-seitige Pad 14A, das zwischen den source-seitigen Pads 14B und 14B angeordnet ist. Die Erstreckungsabschnitte 17 liegen einander gegenüber, mit einem Intervall bzw. Abstand dazwischen, und definieren eine Region 18, in der das gate-seitige Pad 16 angeordnet ist, und zwar an einem Teil benachbart zu dem source-seitigen Pad 14A, das zwischen den source-seitigen Pads 14B und 14B angeordnet ist. Obgleich die Vielzahl der source-seitigen Pads 14A und 14B voneinander im Erscheinungsbild getrennt sind, sind diese source-seitigen Pads 14A und 14B über die schraffierte Region der **Fig. 1** unterhalb des Passivierungsfilms 10 miteinander verbunden, so dass die source-seitigen Pads 14A und 14B miteinander verbunden bzw. vereinigt sind und als die source-seitige Oberflächenelektrode 5 dienen.

**[0038]** Das erfassungs-seitige Pad 15 ist nur an einem Eckabschnitt des vierseitigen Halbleiter-Substrates 2 angeordnet. Dies ermöglicht es, an dem Halbleiter-Substrat 2 Raum zu sparen. Das erfassungs-seitige Pad 15 ist in einer Form ausgebildet, die lang entlang der zwei Seiten 3B und 3D des Halbleiter-Substrates 2 ist, und es ist von einem der zwei source-seitigen Pads 14B und 14B umgeben. In dem erfassungs-seitigen Pad 15 kann ein Teil von dessen Umfang bzw. Peripherie von dem source-seitigen Pad 14B umgeben sein, wie es in **Fig. 1** gezeigt ist, oder der gesamte Umfang hiervon kann von dem source-seitigen Pad 14B umgeben sein (nicht gezeigt).

**[0039]** Das gate-seitige Pad 16 ist in der Region 18 zwischen den source-seitigen Pads 14B und 14B

angeordnet, die einander gegenüberliegen. Das gate-seitige Pad 16 ist in einer Form ausgebildet, die lang entlang der Seiten 3B und 3D des Halbleiter-Substrates 2 ausgerichtet ist, bzw. ausgebildet ist, und zwar auf die gleiche Art und Weise wie das erfassungs-seitige Pad 15.

**[0040]** Die gate-seitige Oberflächenelektrode 7 beinhaltet zusätzlich einen Gate-Finger 19, der sich von dem gate-seitigen Pad 16 erstreckt. Der Gate-Finger 19 ist mit dem Passivierungsfilm 10 bedeckt. Der Gate-Finger 19 beinhaltet einen zentralen Abschnitt 20, der sich in einer Richtung von der Seite 3C des Halbleiter-Substrates 2 in Richtung hin zu der Seite 3A gegenüberliegend der Seite 3C erstreckt, derart, dass er sich durch die Mitte der source-seitigen Oberflächenelektrode 5 erstreckt, und einen Umfangsabschnitt 21, der sich entlang einer Umfangskante des Halbleiter-Substrates 2 (d.h. entlang der Seiten 3B, 3C und 3D in **Fig. 1**) erstreckt und der die source-seitige Oberflächenelektrode 5 umgibt.

**[0041]** Ein source-seitiger Draht 22, ein erfassungs-seitiger Draht 23 und ein gate-seitiger Draht 24 sind mit den source-seitigen Pads 14A und 14B, mit dem erfassungs-seitigen Pad 15 bzw. mit dem gate-seitigen Pad 16 verbunden. Beispielsweise werden als die Drähte 22 bis 24 Aluminiumdrähte verwendet. Der Aluminiumdraht wird normalerweise nicht durch Ball- bzw. Kugel-Bonden gefügt, sondern durch Feinkeil-Bonden („slender“ Keil- bzw. Wedge-Bonden“). Wenn das erfassungs-seitige Pad 15 und das gate-seitige Pad 16 jeweils in einer Form lang bzw. länglich in der gleichen Richtung wie in **Fig. 1** ausgebildet sind, ist es daher möglich, dass sich die Drähte 23 und 24 aus der gleichen Richtung hin zu dem erfassungs-seitigen Pad 15 bzw. zu dem gate-seitigen Pad 16 erstrecken und hieran gefügt werden. Im Ergebnis ist es möglich, die Drähte auf einfache Art und Weise zu verlegen, wenn ein Gehäuse zusammengesetzt wird bzw. wenn eine Package-Assembly erfolgt.

**[0042]** Unter Bezugnahme auf den Durchmesser von jedem der Drähte 22 bis 24 kann der Durchmesser des source-seitigen Drahtes 22 bspw. in einem Bereich von 300 um bis 500 um liegen, und der Durchmesser des erfassungs-seitigen Drahtes 23 und jener des gate-seitigen Drahtes 24 können bspw. in einem Bereich von 100 um bis 200 um liegen.

**[0043]** Als ein Verdrahtungselement, mittels dessen die source-seitigen Pads 14A und 14B, das erfassungs-seitige Pad 15 und das gate-seitige Pad 16 mit der Außenseite verbunden sind, muss nicht notwendigerweise ein Bond-Draht verwendet werden, und als das Verdrahtungselement kann ein anderes

Verdrahtungselement wie eine Bond-Platte oder ein Bond-Band verwendet werden.

**[0044]** **Fig. 2** ist eine vergrößerte Ansicht einer Region, die in **Fig. 1** von einer gestrichelten Linie II umgeben ist.

**[0045]** Im Erscheinungsbild ist die erfassungs-seitige Oberflächenelektrode 6 als das erfassungs-seitige Pad 15 freigelegt, das in einer im Wesentlichen rechteckigen Form in einer Draufsicht ausgebildet ist, und zwar in einem Zustand, bei dem ein Teil (in **Fig. 2** ein Eckabschnitt) der erfassungs-seitigen Oberflächenelektrode 6 mit dem Passivierungsfilm 10 bedeckt ist, obgleich die erfassungs-seitige Oberflächenelektrode 6 in eine rechteckigen Form in einer Draufsicht ausgebildet ist, wie es in **Fig. 2** dargestellt ist. Vorzugsweise betragen die Länge L1 einer langen Seite und die Länge L2 einer kurzen Seite des erfassungs-seitigen Pads 15 vom Wert her 1,2 mm oder weniger bzw. 0,6 mm oder weniger. Dies ermöglicht es, die Größe des erfassungs-seitigen Pads 15 auf 0,72 mm<sup>2</sup> oder weniger zu begrenzen, und es ist daher möglich, eine Zunahme eines Einschalt-Widerstandes einer erfassungs-seitigen Einheitszelle 40 zu beschränken (nachstehend beschrieben). Zusätzlich hierzu kann das erfassungs-seitige Pad 15 schlank („slender“) ausgebildet werden, und zwar durch Vergrößern der Länge L1 der langen Seite auf etwa das Zweifache der Länge L2 der kurzen Seite, was es ermöglicht, einen Bond-Draht (erfassungs-seitiger Draht 23) im Wege des Keil- bzw. Wedge-Bondens auf einfache Art und Weise zu fügen bzw. anzuschließen.

**[0046]** Die Region 25, die mit dem Passivierungsfilm 10 bedeckt ist, ist in einer Draufsicht in eine rechteckigen Form ausgebildet, und eine kurze Seite und eine lange Seite der Region 25 bilden einen Erstreckungsabschnitt der kurzen Seite bzw. einen Erstreckungsabschnitt der langen Seite des erfassungs-seitigen Pads 15. Die Region 25, die hiermit abgedeckt ist, muss nicht notwendigerweise in einer Draufsicht in einer Rechteckform ausgebildet sein, sondern kann eine andere Form haben (bspw. eine quadratische Form, eine Kreisform oder eine Dreieckform). Natürlich ist ihre Position gleichermaßen nicht notwendigerweise an einem Eckabschnitt der erfassungs-seitigen Oberflächenelektrode 6 anzuordnen, sondern sie kann bspw. zwischen beiden Enden einer Seite der erfassungs-seitigen Oberflächenelektrode 6 angeordnet werden.

**[0047]** Ein Stromerfassungsabschnitt 26, der als eine Aggregation von vielen erfassungs-seitigen Einheitszellen 40 (nachstehend beschrieben) dient, ist an einem Ort direkt unterhalb der abgedeckten Region 25 ausgebildet. Andererseits ist der Stromerfassungsabschnitt 26 nicht an einem Ort direkt unterhalb des erfassungs-seitigen Pads 15 ausgebildet.

Mit anderen Worten ist bei der vorliegenden bevorzugten Ausführungsform die Gesamtheit des Stromerfassungsabschnittes 26 bzw. der Stromerfassungsabschnitt 26 insgesamt so ausgebildet, dass vermieden wird, dass er direkt unterhalb des erfassungs-seitigen Pads 15 angeordnet ist.

**[0048]** Andererseits ist um die erfassungs-seitige Oberflächenelektrode 6 herum ein Source-Abschnitt 27 ausgebildet, der als eine Ansammlung bzw. Aggregation von vielen hauptstrom-seitigen Einheitszellen 34 (nachstehend beschrieben) dient. Der Source-Abschnitt 27 ist an einem Ort direkt unterhalb der source-seitigen Oberflächenelektrode 5 ausgebildet und ist so gebildet, dass er die erfassungs-seitige Oberflächenelektrode 6 in einer Draufsicht umgibt. Der Source-Abschnitt 27 kann an einem Ort direkt unterhalb der Gesamtheit der source-seitigen Oberflächenelektrode 5 angeordnet sein, wie es in **Fig. 1** gezeigt ist (nicht gezeigt).

**[0049]** **Fig. 3** ist eine vergrößerte Ansicht einer Region, die in **Fig. 2** durch eine gestrichelte Linie III umgeben ist. **Fig. 4** ist eine Schnittansicht in einer Schnittebene entlang einer Linie IV-IV der **Fig. 3**. **Fig. 5** ist eine vergrößerte Ansicht um das gate-seitige Pad 16 der **Fig. 1**. **Fig. 6** ist eine Schnittansicht in einer Schnittebene entlang einer Linie VI-VI der **Fig. 5**. **Fig. 7** ist eine Schnittansicht in einer Schnittebene entlang einer Linie VII-VII der **Fig. 5**. **Fig. 8** ist eine Schnittansicht in einer Schnittebene entlang einer Linie VIII-VIII der **Fig. 5**. In **Fig. 4** sind Teile, die sich in lateraler Richtung der **Fig. 3** wiederholen, teilweise ausgenommen.

**[0050]** Wie es in **Fig. 4** und in **Fig. 6** bis **Fig. 8** gezeigt ist, kann das Halbleiter-Substrat 2 ein SiC-Epitaxiesubstrat sein, welches ein Basissubstrat 28 und eine Epitaxieschicht 29 auf dem Basissubstrat 28 beinhaltet. Bei der vorliegenden bevorzugten Ausführungsform weist das Halbleiter-Substrat 2 ein Basissubstrat 28 auf, das aus SiC vom n<sup>+</sup>-Typ ist (dessen Konzentration bspw. in einem Bereich von  $1 \times 10^{17} \text{ cm}^{-3}$  bis  $1 \times 10^{19} \text{ cm}^{-3}$  liegt), und weist eine Epitaxieschicht 29 auf, die aus SiC vom n-Typ ist (dessen Konzentration bspw. in einem Bereich von  $1 \times 10^{14} \text{ cm}^{-3}$  bis  $1 \times 10^{17} \text{ cm}^{-3}$  liegt).

**[0051]** Eine Wanne („well“) 30 vom p-Typ (deren Konzentration bspw. in einem Bereich von  $1 \times 10^{14} \text{ cm}^{-3}$  bis  $1 \times 10^{19} \text{ cm}^{-3}$  liegt) ist an einem Oberflächenteil der Epitaxieschicht 29 vom n-Typ ausgebildet. Die Wanne 30 vom p-Typ beinhaltet eine hauptstrom-seitige Körperwanne 31 vom p-Typ, eine erfassungs-seitige Körperwanne 32 vom p-Typ, und eine gate-seitige Wanne 33 vom p-Typ. Wie es in **Fig. 4** gezeigt ist, sind die hauptstrom-seitige Körperwanne 31 vom p-Typ und die erfassungs-seitige Körperwanne 32 vom p-Typ so ausgebildet, dass sie getrennt voneinander sind. Wie es in **Fig. 6** gezeigt

ist, ist die gate-seitige Wanne 33 vom p-Typ mit der hauptstrom-seitigen Körperwanne 31 vom p-Typ verbunden.

**[0052]** Die hauptstrom-seitige Körperwanne 31 vom p-Typ beinhaltet einen Zellbildungsabschnitt 35, der eine hauptstrom-seitige Einheitszelle 34 bildet, bei der es sich um ein Beispiel einer ersten Einheitszelle der vorliegenden Erfindung handelt, und beinhaltet einen Feldebildungsabschnitt 36, der eine vergleichsweise breite Region hat. Mit anderen Worten definiert jeder Zellbildungsabschnitt 35 die hauptstrom-seitige Einheitszelle 34, bei der es sich um eine Minimaleinheit handelt, durch die ein Hauptstrom fließt.

**[0053]** Wie es in den **Fig. 3** und **Fig. 5** gezeigt ist, sind viele Zellbildungsabschnitte 35 nach der Art einer Matrix angeordnet, wobei sie somit den Source-Abschnitt 27 aufbauen.

**[0054]** Der Feldebildungsabschnitt 36 ist so geformt, dass er die vielen Zellbildungsabschnitte 35 umgibt, und verbindet benachbarte Zellbildungsabschnitte 35 miteinander, während er an einem äußeren Umfangsteil des Source-Abschnittes 27 die benachbarten bzw. aneinander angrenzenden Zellbildungsabschnitte 35 überspannt („straddling“).

**[0055]** Die hauptstrom-seitige Körperwanne 31 vom p-Typ beinhaltet zusätzlich einen Verbindungsabschnitt 37, der an einem Kreuzungspunkt von Gitterregionen ausgebildet ist, die von den Matrix-förmigen Zellbildungsabschnitten 35 unterteilt sind. Dieser Verbindungsabschnitt 37 verbindet die angrenzenden Zellbildungsabschnitte 35 miteinander, und zwar innerhalb des Source-Abschnittes 27.

**[0056]** Wie es folglich beschrieben worden ist, sind die Zellbildungsabschnitte 35 elektrisch miteinander verbunden, und zwar an dem äußeren Umfangsteil und dem inneren Teil des Source-Abschnittes 27, und zwar mittels des Feldebildungsabschnittes 36 und des Verbindungsabschnittes 37. Demzufolge werden die vielen Zellbildungsabschnitte 35 auf wechselseitig gleichen elektrischen Potentialen gehalten.

**[0057]** In einer inneren Region des Zellbildungsabschnittes 35 ist eine Source-Region 38 vom n<sup>+</sup>-Typ gebildet, und in einer inneren Region der Source-Region 38 (deren Konzentration bspw. in einem Bereich von  $1 \times 10^{17} \text{ cm}^{-3}$  bis  $1 \times 10^{21} \text{ cm}^{-3}$  liegt) ist eine Körperkontaktregion 39 vom p<sup>+</sup>-Typ (deren Konzentration bspw. in einem Bereich von  $1 \times 10^{17} \text{ cm}^{-3}$  bis  $1 \times 10^{21} \text{ cm}^{-3}$  liegt) gebildet.

**[0058]** Die erfassungs-seitige Körperwanne 32 vom p-Typ beinhaltet einen Zellbildungsabschnitt 41, der die erfassungs-seitige Einheitszelle 40 bildet, bei der es sich um ein Beispiel einer zweiten Einheitszelle der

vorliegenden Erfindung handelt, und beinhaltet einen Feldbildungsabschnitt 42, der eine vergleichsweise breite Region besitzt. Mit anderen Worten definiert jeder Zellbildungsabschnitt 41 die erfassungs-seitige Einheitszelle 40, bei der es sich um eine Minimaleinheit handelt, durch die ein Hauptstrom fließt.

**[0059]** Wie es in **Fig. 3** gezeigt ist, sind viele Zellbildungsabschnitte 41 auf die Art und Weise einer Matrix an Orten angeordnet, die jeweils so positioniert sind, dass vermieden wird, dass diese direkt unterhalb des erfassungs-seitigen Pads 15 angeordnet sind, wodurch der Stromerfassungsabschnitt 26 aufgebaut wird. Der Zellbildungsabschnitt 41 weist dieselbe Zellstruktur (Größe und Teilung („pitch“)) wie der hauptstrom-seitige Zellbildungsabschnitt 35 auf.

**[0060]** Der Feldbildungsabschnitt 42 ist so geformt, dass er die vielen Zellbildungsabschnitte 41 umgibt, und verbindet benachbarte Zellbildungsabschnitte 41 miteinander, während er an einem äußeren Umfangsteil des Stromerfassungsabschnittes 26 benachbarte Zellbildungsabschnitte 41 überspannt („straddling“).

**[0061]** Die erfassungs-seitige Körperwanne 32 vom p-Typ beinhaltet zusätzlich einen Verbindungsabschnitt 43, der an einem Kreuzungspunkt von Gitterregionen gebildet ist, die unterteilt sind durch die Matrix-förmigen Zellbildungsabschnitte 41. Dieser Verbindungsabschnitt 43 verbindet die aneinander angrenzenden Zellbildungsabschnitte 41 miteinander, und zwar innerhalb des Stromerfassungsabschnittes 26.

**[0062]** Wie es somit beschrieben worden ist, sind die Zellbildungsabschnitte 41 an dem äußeren Umfangsteil und dem inneren Teil des Stromerfassungsabschnittes 26 elektrisch miteinander verbunden, und zwar mittels des Feldbildungsabschnittes 42 und des Verbindungsabschnittes 43. Demzufolge werden die vielen Zellbildungsabschnitte 41 auf wechselseitig gleichen elektrischen Potentialen gehalten.

**[0063]** In einer inneren Region des Zellbildungsabschnittes 41 ist eine Source-Region 44 (deren Konzentration bspw. in einem Bereich von  $1 \times 10^{17} \text{ cm}^{-3}$  bis  $1 \times 10^{21} \text{ cm}^{-3}$  liegt) vom n<sup>+</sup>-Typ gebildet, und in einer inneren Region der Source-Region 44 vom n<sup>+</sup>-Typ ist eine Körperkontaktregion 45 vom p<sup>+</sup>-Typ (deren Konzentration bspw. in einem Bereich von  $1 \times 10^{17} \text{ cm}^{-3}$  bis  $1 \times 10^{21} \text{ cm}^{-3}$  liegt) gebildet.

**[0064]** Der Feldbildungsabschnitt 42 ist so ausgebildet, dass er sich von einem äußeren Umfangsteil des Zellbildungsabschnittes 41 hin zu dem Ort erstreckt, der direkt unterhalb des erfassungs-seitigen Pads 15 angeordnet ist. Bei der vorliegenden bevorzugten Ausführungsform breitet sich der Feldbildungsab-

schnitt 42 über die Gesamtheit des Ortes direkt unterhalb des erfassungs-seitigen Pads 15 aus. Mit anderen Worten ist er in **Fig. 2** über der Gesamtheit eines Ortes ausgebildet, der direkt unterhalb der erfassungs-seitigen Oberflächenelektrode 6 angeordnet ist, die in Draufsicht eine im Wesentlichen rechteckige Form besitzt, ausschließlich der abgedeckten Region 25.

**[0065]** Zusätzlich hierzu ist an einem Oberflächenteil des Feldbildungsabschnittes 42 an dem Ort, der direkt unterhalb des erfassungs-seitigen Pads 15 angeordnet ist, eine Region 46 (deren Konzentration bspw. in einem Bereich von  $1 \times 10^{17} \text{ cm}^{-3}$  bis  $1 \times 10^{21} \text{ cm}^{-3}$  liegt) vom p<sup>+</sup>-Typ gebildet. Die Region 46 vom p<sup>+</sup>-Typ ist direkt mit der erfassungs-seitigen Oberflächenelektrode 6 verbunden. Die Bildung der Region 46 vom p<sup>+</sup>-Typ ermöglicht es, das elektrische Potential des Ortes stabil zu halten, der direkt unterhalb des erfassungs-seitigen Pads 15 angeordnet ist, und zwar auf einem konstanten elektrischen Potential.

**[0066]** Wie es in **Fig. 6** gezeigt ist, ist die gate-seitige Wanne 33 vom p-Typ an einem Ort ausgebildet, der direkt unterhalb des gate-seitigen Pads 16 angeordnet ist. An einem Oberflächenteil der gate-seitigen Wanne 33 vom p-Typ ist eine Region 47 vom p<sup>+</sup>-Typ (deren Konzentration bspw. in einem Bereich von  $1 \times 10^{17} \text{ cm}^{-3}$  bis  $1 \times 10^{21} \text{ cm}^{-3}$  liegt) gebildet.

**[0067]** An dem Halbleiter-Substrat 2 ist ein Gate-Isolierfilm 48 gebildet, und an dem Gate-Isolierfilm 48 ist eine Gate-Elektrode 49 gebildet. Der Gate-Isolierfilm 48 ist bspw. aus Siliciumoxid (SiO<sub>2</sub>) hergestellt und die Gate-Elektrode 49 kann bspw. aus Polysilizium hergestellt sein.

**[0068]** Die Gate-Elektrode 49 beinhaltet einen funktionalen Abschnitt 52, der entlang von Gitterregionen gebildet ist, die durch die Matrix-förmigen Einheitszellen 34 und 40 unterteilt sind, und der aneinander angrenzende Einheitszellen 34 und 40 in dem Stromerfassungsabschnitt 26 und dem Source-Abschnitt 27 überspannt. Demzufolge liegt die Gate-Elektrode 49 Kanalregionen 50 und 51 der Einheitszellen 34 bzw. 40 gegenüber, wobei der Gate-Isolierfilm 48 dazwischen angeordnet ist. Die Kanalregionen 50 und 51 sind äußere Regionen der Source-Regionen 38 und 44 vom n<sup>+</sup>-Typ in den Zellbildungsabschnitten 35 bzw. 41 der Körperwannen 31 bzw. 32 vom p-Typ.

**[0069]** Wie es in **Fig. 4** gezeigt ist, beinhaltet die Gate-Elektrode 49 zusätzlich einen Verbindungsabschnitt 53, und zwar zusätzlich zu dem funktionalen Abschnitt 52, der den Kanalregionen 50 und 51 der Einheitszellen 34 bzw. 40 gegenüberliegt. Der Verbindungsabschnitt 53 überspannt den Stromerfassungsabschnitt 26 und den Source-Abschnitt 27



über die Entfernungsregion 8 („removal region“) hinweg, die sich unterhalb des Oberflächenelektrodenfilms 4 befindet und die zwischen der source-seitigen Oberflächenelektrode 5 und der erfassungs-seitigen Oberflächenelektrode 6 liegt. Dieser Verbindungsabschnitt 53 gewährleistet eine elektrische Verbindung zwischen dem funktionalen Abschnitt 52 des Stromerfassungsabschnittes 26 und dem funktionalen Abschnitt 52 des Source-Abschnittes 27. Mit anderen Worten dient die Gate-Elektrode 49 als eine Elektrode, die sich der Stromerfassungsabschnitt 26 und der Source-Abschnitt 27 teilen.

**[0070]** Andererseits ist die Gate-Elektrode 49, wie in **Fig. 7** und **Fig. 8** gezeigt ist, in dem Gate-Finger 19 des Halbleiterbauteils 1 mit der gate-seitigen Oberflächenelektrode 7 verbunden. Mit anderen Worten ist die Gate-Elektrode 49 so gebildet, dass sie sich von dem Source-Abschnitt 27 in Richtung hin zu einem unteren Teil des Gate-Fingers 19 erstreckt, und weist einen Kontaktabschnitt 62 auf, und zwar an einem Ort direkt unterhalb des Gate-Fingers 19. Demzufolge wird eine Gate-Spannung, die an das gate-seitige Pad 16 angelegt wird, auch an die Gate-Elektrode 49 des Stromerfassungsabschnittes 26 angelegt, und zwar über den Kontaktabschnitt 62 (**Fig. 7**) und über den Verbindungsabschnitt 53 (**Fig. 4**).

**[0071]** Obgleich der Gate-Isolierfilm 48 unterhalb der Gate-Elektrode 49 angeordnet ist, um eine sichere Isolierung zwischen der Gate-Elektrode 49 und dem Halbleiter-Substrat 2 zu gewährleisten, ist der Gate-Isolierfilm 48 bei der vorliegenden bevorzugten Ausführungsform auch an einem Ort direkt unterhalb des erfassungs-seitigen Pads 15 und an einem Ort direkt unterhalb des gate-seitigen Pads 16 ausgebildet. Wie es in den **Fig. 4** und **Fig. 7** gezeigt ist, ist der Gate-Isolierfilm 48 aus einem Erstreckungsabschnitt gebildet, der kontinuierlich ausgebildet ist, wobei der Gate-Isolierfilm 48 direkt unterhalb des funktionalen Abschnittes 52 der Gate-Elektrode 49 angeordnet ist.

**[0072]** An dem Halbleiter-Substrat 2 ist ein Zwischenschichtisolierfilm 54 ausgebildet, um die Gate-Elektrode 49 abzudecken. Der Zwischenschichtisolierfilm 54 ist bspw. aus Siliciumoxid ( $\text{SiO}_2$ ) hergestellt, und beinhaltet vorzugsweise P (Phosphor) oder B (Bor). Mit anderen Worten kann der Zwischenschichtisolierfilm 54 ein BPSG sein (Bor-Phosphor-Siliciumglas) oder kann PSG sein (Phosphor-Siliciumglas). Ein  $\text{SiO}_2$ -Film lässt sich leicht herstellen, und wenn dieser  $\text{SiO}_2$ -Film P (Phosphor) oder B (Bor) enthält, ist es möglich, einen Reflow-Prozess durchzuführen, nachdem der Film erzeugt worden ist. Der Reflow-Prozess ermöglicht es, den Zwischenschichtisolierfilm 54 ( $\text{SiO}_2$ -Film) auf eine leichte Art und Weise abzuflachen bzw. flacher auszubilden, und ermöglicht es folglich, den erfassungs-

seitigen Draht 23 auf einfache Art und Weise zu verbinden bzw. zu fügen, was möglicherweise die Wärmeableitungsfähigkeit des Stromerfassungsabschnittes 26 beeinflusst, und zwar gemäß einem Konstruktionsplan („design plan“).

**[0073]** Der Zwischenschichtisolierfilm 54 enthält einstückig einen ersten Teil 55, mit dem die Gate-Elektrode 49 in dem Stromerfassungsabschnitt 26 und in dem Source-Abschnitt 27 bedeckt ist, und einen zweiten Teil 56, der an einem Ort direkt unterhalb des erfassungs-seitigen Pads 15 angeordnet ist, sowie einen dritten Teil 57, der an einem Ort direkt unterhalb des gate-seitigen Pads 16 angeordnet ist. Es ist möglich, dem Zwischenschichtisolierfilm 54 eine hinreichende Stoßwiderstandskraft (zum Beispiel eine Draht-Bond-Widerstandskraft) zu erteilen, indem man den Zwischenschichtisolierfilm 54, der direkt unterhalb des erfassungs-seitigen Pads 15 angeordnet ist, und den Zwischenschichtisolierfilm 54, der direkt unterhalb des gate-seitigen Pads 16 angeordnet ist, dicker macht.

**[0074]** Der Oberflächenelektrodenfilm 4 (die source-seitige Oberflächenelektrode 5, die erfassungs-seitige Oberflächenelektrode 6 und die gate-seitige Oberflächenelektrode 7) ist an bzw. auf dem Zwischenschichtisolierfilm 54 gebildet. Die source-seitige Oberflächenelektrode 5 verläuft durch den Zwischenschichtisolierfilm 54 hindurch, und durch den Gate-Isolierfilm 48, und ist mit der Source-Region 38 vom  $n^+$ -Typ und mit der Körperkontaktregion 39 vom  $p^+$ -Typ verbunden. Die erfassungs-seitige Oberflächenelektrode 6 verläuft durch den Zwischenschichtisolierfilm 54 hindurch und durch den Gate-Isolierfilm 48, und ist mit der Source-Region 44 vom  $n^+$ -Typ und mit der Körperkontaktregion 45 vom  $p^+$ -Typ verbunden. Die gate-seitige Oberflächenelektrode 7 (der Gate-Finger 19) verläuft durch den Zwischenschichtisolierfilm 54 hindurch, und ist mit der Gate-Elektrode 49 verbunden.

**[0075]** Der Oberflächenelektrodenfilm 4 kann ein Elektrodenfilm sein, der eine Schichtstruktur hat, bei der bspw. Ti, TiN und AlCu in dieser Reihenfolge von unten übereinander gestapelt sind (d.h. von der Seite des Halbleiter-Substrates 2 aus gesehen). Die Verwendung von AlCu für die oberste Fläche des Oberflächenelektrodenfilm 4 ermöglicht es, dem Elektrodenfilm 4 eine hinreichendere Stoßwiderstandskraft (zum Beispiel eine Draht-Bond-Widerstandskraft) zu erteilen, als es die Verwendung von Al ermöglicht.

**[0076]** Der Passivierungsfilm 10 ist auf dem Oberflächenelektrodenfilm 4 gebildet. Der Passivierungsfilm 10 kann zum Beispiel aus Siliciumnitrid ( $\text{SiN}$ ) hergestellt sein. Die Pad-Öffnungen 11 bis 13 sind in dem Passivierungsfilm 10 ausgebildet, wie oben beschrieben.

**[0077]** An einer rückseitigen Fläche des Halbleiter-Substrates 2 ist eine Drain-Elektrode 58 gebildet. Die Drain-Elektrode 58 kann ein Elektrodenfilm mit einer Schichtstruktur sein, bei der Ti, Ni, Au und Ag übereinander gestapelt sind, und zwar in dieser Reihenfolge ausgehend von der Seite des Halbleiter-Substrates 2. Die Drain-Elektrode 58 dient als eine Elektrode, die sich der Stromerfassungsabschnitt 26 und der Source-Abschnitt 27 teilen.

**[0078]** Als Nächstes wird beispielhaft ein Verfahren zum Erfassen eines elektrischen Stromes in dem Halbleiterbauteil 1 beschrieben, und zwar unter Bezugnahme auf **Fig. 9**. **Fig. 9** ist ein Schaltungsdiagramm zum Beschreiben der Stromerfassung in dem Halbleiterbauteil 1.

**[0079]** Wie es in **Fig. 9** gezeigt ist, weist das Halbleiterbauteil 1 den hauptstrom-seitigen Source-Abschnitt 27 und den stromerfassungs-seitigen Stromerfassungsabschnitt 26 auf, die beide auf einem Chip enthalten sind. Ein Erfassungswiderstand 59 ist mit einer Source S des Stromerfassungsabschnittes 26 verbunden. Der Erfassungswiderstand 59 kann in ein Modul eingebaut sein, und zwar zusammen mit dem Halbleiterbauteil 1, wenn das Halbleiterbauteil 1 in das Modul eingebaut wird, oder kann bspw. in das Innere des Halbleiterbauteils 1 eingebaut sein. Der Stromerfassungsabschnitt 26 und der Source-Abschnitt 27 teilen sich ein Gate G und einen Drain D, wie oben beschrieben.

**[0080]** An das Gate G wird in einem Zustand, bei dem eine Spannung zwischen die Source S und das Drain D angelegt ist, eine Spannung angelegt, die größer ist als ein Schwellenwert, und im Ergebnis fließt ein elektrischer Strom zwischen der Source S und den Drain D, und das Halbleiterbauteil 1 erreicht einen EIN-Zustand. Demzufolge fließt ein Erfassungsstrom  $I_{\text{SENSE}}$  durch den Stromerfassungsabschnitt 26. Andererseits fließt durch den Source-Abschnitt 27 ein Hauptstrom  $I_{\text{MAIN}}$ .

**[0081]** Ob der Hauptstrom  $I_{\text{MAIN}}$  ein Kurzschlussstrom ist, wird festgestellt, indem überwacht wird, ob die Spannung  $V_{\text{SENSE}}$  des Erfassungswiderstandes 59 einen vorbestimmten Schwellenwert überschritten hat. Der Widerstandswert  $R_{\text{SENSE}}$  des Erfassungswiderstandes 59 ist festgelegt, und daher wird die Spannung  $V_{\text{SENSE}}$  proportional mit einer Erhöhung des Erfassungsstromes  $I_{\text{SENSE}}$  größer. Daher gibt die Tatsache, dass die Spannung  $V_{\text{SENSE}}$  den Schwellenwert überschritten hat, an, dass ein übermäßig hoher Erfassungsstrom  $I_{\text{SENSE}}$  fließt, und zeigt demzufolge an, dass der Stromwert  $I_{\text{MAIN}}$  des Hauptstromes, der berechnet wird auf der Grundlage eines Erfassungsverhältnisses zwischen dem Stromerfassungsabschnitt 26 und dem Source-Abschnitt 27, sich ebenfalls in einem übermäßig hohen bzw. exzessiven Zustand befindet.

**[0082]** Bei dem zuvor erwähnten Erfassungsverfahren ist es dann, wenn der Hauptstrom  $I_{\text{MAIN}}$ , der tatsächlich fließt, und der Hauptstrom  $I_{\text{MAIN}}$ , der berechnet wird durch Multiplizieren des Erfassungsstromes  $I_{\text{SENSE}}$  mit dem Erfassungsverhältnis, gleich groß sind, möglich, die Kurzschlussfassung genau durchzuführen, und es ist möglich, die Gate-Spannung zu einem geeigneten Zeitpunkt abzuschalten.

**[0083]** Wenn jedoch, wie es in **Fig. 1** gezeigt ist, die source-seitigen Pads 14A und 14B relativ groß sind und der Besetzungsbereich des source-seitigen Drahtes 22 in Bezug auf die Pads 14A und 14B klein ist, und andererseits das erfassungs-seitige Pad 15 relativ klein ist, wird daher der Besetzungsbereich des erfassungs-seitigen Drahtes 23 in Bezug auf das erfassungs-seitige Pad 15 groß. Dies führt zu einer Differenz in der Menge an Wärme, die über die Drähte 22 und 23 entweicht, und es besteht daher eine Möglichkeit, dass ein Fehler größer wird, der in einem Einschalt-Widerstand zwischen dem Source-Abschnitt 27 und dem Stromerfassungsabschnitt 26 erzeugt wird. Im Ergebnis liegt ein Fall vor, bei dem ein übermäßiger Erfassungsstrom  $I_{\text{SENSE}}$  zu der Stromerfassungs-Seite fließt, obgleich der Hauptstrom  $I_{\text{MAIN}}$  tatsächlich kein Kurzschlussstrom ist. In diesem Fall basiert die Kurzschlussfassung streng auf der Spannung  $V_{\text{SENSE}}$  des stromerfassungs-seitigen Erfassungswiderstandes 59, und es besteht daher eine Gefahr, dass bestimmt wird, dass es sich um einen Kurzschluss handelt, selbst wenn keine Notwendigkeit bzw. dieser Zustand nicht besteht, und die Gate-Spannung wird abgeschaltet.

**[0084]** Daher ist gemäß dem Halbleiterbauteil 1 der Stromerfassungsabschnitt 26 so angeordnet, dass vermieden wird, dass er direkt unterhalb des erfassungs-seitigen Pads 15 positioniert ist, wie es in **Fig. 2** dargestellt ist. Dies ermöglicht es, eine feste Distanz zwischen dem Stromerfassungsabschnitt 26 und dem erfassungs-seitigen Draht 23 aufrechtzuerhalten, wenn der erfassungs-seitige Draht 23 (**Fig. 1**) auf das erfassungs-seitige Pad 15 gefügt wird, und ermöglicht daher, das Entweichen von Wärme, die an dem Stromerfassungsabschnitt 26 erzeugt wird, zu beschränken, während sie vorzugsweise zu dem erfassungs-seitigen Draht 23 übertragen wird. Es ist daher möglich, einen Fehler zu verkleinern, der in einem Einschalt-Widerstand zwischen der hauptstrom-seitigen Einheitszelle 34 des Source-Abschnittes 27 und der erfassungs-seitigen Einheitszelle 40 des Stromerfassungsabschnittes 26 erzeugt wird. Zusätzlich hierzu ist der Stromerfassungsabschnitt 26 nicht direkt unter dem erfassungs-seitigen Pad 15 angeordnet, und es ist daher möglich, zu verhindern, dass ein Stoß, der hervorgerufen wird, wenn der erfassungs-seitige Draht 23 auf das erfassungs-seitige Pad 15 gefügt wird, direkt auf den Stromerfassungsabschnitt 26 ausgerichtet wird bzw. verläuft, und es ist daher auch möglich, zu verhindern oder

zu begrenzen, dass der Stromerfassungsabschnitt 26 bricht bzw. zerstört wird. Im Ergebnis hiervon ist es möglich, die Erfassungsgenauigkeit des Stromwertes eines Hauptstromes zu verbessern, der von dem Stromerfassungsabschnitt 26 erzeugt wird.

**[0085]** Die Verwendung des Halbleiter-Substrates 2, das aus SiC hergestellt ist, ermöglicht es, eine Anordnung zu erreichen, bei der der Stromerfassungsabschnitt 26 so angeordnet ist, dass vermieden wird, dass er direkt unterhalb des erfassungsseitigen Pads 15 positioniert ist, wie oben erwähnt. Mit anderen Worten ist bei einem Si-Halbleiterbauteil die Menge des pro Einheitsfläche fließenden Stromes klein, und es ist daher erforderlich, dass ein Zellflächenbereich für einen etwas größeren Erfassungsabschnitt ein geeignetes Erfassungsverhältnis (etwa 1000 bis 2000) einstellt, und zwar mit einer hohen Erfassungsgenauigkeit, in Bezug auf einen Source-Abschnitt, der eine große Fläche aufweist, durch die ein hoher Strom fließt, und folglich ist es schwierig, diesen so auszubilden, dass vermieden wird, dass er direkt hierunter positioniert wird. Andererseits ist bei dem SiC-Halbleiterbauteil die Menge des pro Einheitsfläche fließenden Stromes groß, und es ist daher möglich, ein geeignetes Erfassungsverhältnis festzuhalten bzw. zu gewährleisten, selbst wenn der Erfassungsabschnitt in einem Zellflächenbereich in Bezug auf den Source-Abschnitt klein ist, und es ist daher möglich, diesen so auszubilden, dass vermieden wird, dass er direkt hierunter positioniert wird.

**[0086]** Zusätzlich hierzu ist bei der vorliegenden bevorzugten Ausführungsform der Stromerfassungsabschnitt 26 von dem Source-Abschnitt 27 umgeben, wie es in **Fig. 3** gezeigt ist, und es ist daher möglich, die Menge der Wärmeerzeugung des Stromerfassungsabschnittes 26 nahe an jene des Source-Abschnittes 27 zu bringen. Es ist daher möglich, einen Fehler in einem Einschalt-Widerstand zu verringern, der aufgrund einer Differenz in der Menge der Wärmeerzeugung erzeugt wird.

**[0087]** Zusätzlich hierzu ist bei der vorliegenden bevorzugten Ausführungsform, der gesamte Stromerfassungsabschnitt 26 mit der abgedeckten Region 25 durch den Passivierungsfilm 10 abgedeckt, wie es in **Fig. 2** gezeigt ist, und ein Abschnitt, der direkt oberhalb des Stromerfassungsabschnittes 26 positioniert ist, und das erfassungsseitige Pad 15 lassen sich klar voneinander unterscheiden, wenn eine Betrachtung von außerhalb des Halbleiterbauteils 1 erfolgt. Es ist daher möglich zu verhindern, dass der erfassungsseitige Draht 23 fehlerhaft auf den Abschnitt gefügt wird, der direkt oberhalb des Stromerfassungsabschnittes 26 angeordnet ist. Es ist möglich, eine festgelegte Distanz zwischen dem Stromerfassungsabschnitt 26 und dem erfassungsseitigen Draht 23 aufrechtzuerhalten.

**[0088]** Zusätzlich hierzu ist es bei der bevorzugten vorliegenden Ausführungsform so, dass der Zwischenschichtisolierfilm 54 den zweiten Teil 56 hat, der relativ dick (zum Beispiel 1 um oder mehr) an einem Ort bzw. einer Stelle direkt unterhalb des erfassungsseitigen Pads 15 ist, wie es in den **Fig. 4** und **Fig. 5** gezeigt ist. Dies ermöglicht es, einen Stoß zu verringern, der auf den Stromerfassungsabschnitt 26 ausgeübt wird bzw. auf diesen zuläuft, wenn der erfassungsseitige Draht 23 auf das erfassungsseitige Pad 15 gefügt wird. Es ist im Ergebnis möglich, die Verlässlichkeit der Erfassungsgenauigkeit des Stromwertes eines Hauptstromes zu gewährleisten.

**[0089]** Als Nächstes wird ein Verfahren zum Herstellen des Halbleiterbauteils 1 unter Bezugnahme auf **Fig. 10** beschrieben.

**[0090]** Zunächst wird bspw. die Epitaxieschicht 29 vom n-Typ auf dem Basissubstrat 28 vom n<sup>+</sup>-Typ ausgebildet, und zwar mittels eines Epitaxiewachstums, derart, dass das Halbleiter-Substrat 2 ausgebildet wird (Schritt S1).

**[0091]** Hiernach werden in einen Oberflächenteil des Halbleiter-Substrates 2 Dotierungsionen vom p-Typ selektiv implantiert, und im Ergebnis wird die Wanne 30 vom p-Typ gebildet (Schritt S2).

**[0092]** Hiernach werden in jeden der Zellbildungsabschnitte 35 und 41 selektiv Dotierungsionen vom n-Typ implantiert, und im Ergebnis werden die Source-Regionen 38 und 44 vom n<sup>+</sup>-Typ gebildet (Schritt S3).

**[0093]** Hiernach werden in die Wanne 30 vom p-Typ selektiv Dotierungsionen vom p-Typ implantiert, und im Ergebnis werden die Körperkontaktregionen 39, 45 vom p<sup>+</sup>-Typ und die Regionen 46, 47 vom p<sup>+</sup>-Typ gebildet (Schritt S4).

**[0094]** Hiernach wird der Gate-Isolierfilm 48 auf der Oberfläche des Halbleiter-Substrates 2 gebildet, bspw. durch thermische Oxidation (Schritt S5).

**[0095]** Hiernach wird auf dem Halbleiter-Substrat 2 Polysilizium abgeschieden, und zwar bspw. gemäß einem CVD-Verfahren, und die Gate-Elektrode 49 wird daran durch Musterbildung ausgebildet (Schritt S6).

**[0096]** Hiernach wird der Zwischenschichtisolierfilm 54 auf dem Halbleiter-Substrat 2 gebildet, bspw. gemäß dem CVD-Verfahren (Schritt S7).

**[0097]** Als Nächstes wird ein Kontaktloch gebildet, das durch den Zwischenschichtisolierfilm 54 und durch den Gate-Isolierfilm 48 verläuft, und dann wird der Oberflächenelektrodenfilm 4 gebildet, und

zwar bspw. gemäß einem Sputter-Verfahren (Schritt S8 und Schritt S9).

**[0098]** Hiernach wird der Passivierungsfilm 10 ausgebildet, mit dem der Oberflächenelektrodenfilm 4 bedeckt wird, und dann werden die Pad-Öffnungen 11, 12 und 13 gebildet, und zwar durch Musterbildung („patterning“) (Schritt S10 und Schritt S11).

**[0099]** Mit diesen Schritten wird das zuvor genannte Halbleiterbauteil 1 erhalten.

**[0100]** Obgleich die vorliegende Erfindung beschrieben worden ist, wie oben angegeben, lässt sich die vorliegende Erfindung in anderen Modi ausführen.

**[0101]** Beispielsweise kann die Gate-Struktur des Halbleiterbauteils 1 eine Trench- bzw. Graben-Gate-Struktur sein, wie es in **Fig. 11** gezeigt ist, ohne auf eine planare Gate-Struktur beschränkt zu sein, wie sie in **Fig. 4** gezeigt ist. Bei der Graben-Gate-Struktur wird ein Gate-Graben 60 in dem Halbleiter-Substrat 2 gebildet, und eine Gate-Elektrode 49 wird darin eingebettet. In diesem Fall ist die Gate-Elektrode 49 nicht konvex auf dem Halbleiter-Substrat 2, und daher können der erste Teil 55 und der zweite Teil 56 des Zwischenschichtisolierfilms 54 hinsichtlich ihrer Dicke gleich groß sein.

**[0102]** Zusätzlich hierzu ist der Stromerfassungsabschnitt 26 nicht notwendigerweise so ausgebildet, dass er die Anordnung der **Fig. 2** erfordert, bei der dessen Gesamtheit mit dem Passivierungsfilm 10 bedeckt ist, und es kann nur ein Teil des Stromerfassungsabschnittes 26 mit dem Passivierungsfilm 10 bedeckt sein, wie es in **Fig. 12** gezeigt ist. In diesem Fall überlappt der Stromerfassungsabschnitt 26 sich teilweise mit einem Abschnitt, der direkt unterhalb des erfassungs-seitigen Pads 15 angeordnet ist, und es ist dennoch empfohlen, virtuell eine Verbindungs- bzw. Fügeregion 61 des erfassungs-seitigen Drahtes 23 in dem erfassungs-seitigen Pad 15 auf eine Position einzustellen, die die Position des Stromerfassungsabschnittes 26 ausschließt. Mit anderen Worten ist die erfassungs-seitige Verbindungsregion der vorliegenden Erfindung nicht notwendigerweise so ausgebildet, dass es erforderlich ist, dass diese mit dem erfassungs-seitigen Pad 15 zusammenfällt.

**[0103]** Daneben können verschiedene Konstruktions- bzw. Designänderungen vorgenommen werden im Rahmen des Schutzbereiches, der durch die Ansprüche definiert ist.

#### Bezugszeichenliste

- |   |                     |
|---|---------------------|
| 1 | Halbleiterbauteil   |
| 2 | Halbleiter-Substrat |

- |    |   |
|----|---|
| 4  | Oberflächenelektrodenfilm               |
| 5  | Source-seitige Oberflächenelektrode     |
| 6  | erfassungs-seitige Oberflächenelektrode |
| 7  | Gate-seitige Oberflächenelektrode       |
| 10 | Passivierungsfilm                       |
| 12 | Pad-Öffnung                             |
| 15 | erfassungs-seitiges Pad                 |
| 23 | erfassungs-seitiger Draht               |
| 26 | Stromerfassungsabschnitt                |
| 27 | Source-Abschnitt                        |
| 34 | hauptstrom-seitige Einheitszelle        |
| 40 | erfassungs-seitige Einheitszelle        |
| 54 | Zwischenschichtisolierfilm              |
| 55 | Erster Teil                             |
| 56 | Zweiter Teil                            |
| 57 | Dritter Teil                            |
| 61 | Verbindungsregion                       |

#### Patentansprüche

1. Halbleiterbauteil (1) mit:  
 einer Halbleiterschicht (2), die aus SiC hergestellt ist;  
 einem Source-Abschnitt (27), der an der Halbleiterschicht (2) ausgebildet ist und der auf einer Hauptstromseite eine erste Einheitszelle (34) beinhaltet;  
 einem Stromerfassungsabschnitt (26), der an der Halbleiterschicht (2) ausgebildet ist und der auf einer Stromerfassungsseite eine zweite Einheitszelle (40) beinhaltet;  
 einer source-seitigen Oberflächenelektrode (5), die oberhalb des Source-Abschnittes (27) angeordnet ist; und  
 einer erfassungs-seitigen Oberflächenelektrode (6), die so angeordnet ist, dass wenigstens ein Teil der erfassungs-seitigen Oberflächenelektrode (6) eine Region (25) beinhaltet, die oberhalb des Stromerfassungsabschnittes (26) angeordnet ist, wobei die zweite Einheitszelle (40) an einer Position unterhalb der erfassungs-seitigen Oberflächenelektrode (6) angeordnet ist, jedoch nicht direkt unterhalb von einer Verbindungsregion eines Verdrahtungselementes (23) angeordnet ist, wobei die Verbindungsregion auf einer Oberfläche der erfassungs-seitigen Oberflächenelektrode (6) angeordnet ist und/oder wobei das Verdrahtungselement (23) mit der erfassungs-seitigen Oberflächenelektrode (6) verbunden ist.

2. Halbleiterbauteil nach Anspruch 1, ferner mit:  
 einem Zwischenschichtisolierfilm (54), der zwischen dem Stromerfassungsabschnitt (26) und der erfassungs-

sungs-seitigen Oberflächenelektrode (6) angeordnet ist; und  
 einem Gate-Isolierfilm (49), der an einer Position angeordnet ist, die niedriger liegt als der Zwischenschichtisolierfilm (54),  
 wobei der Zwischenschichtisolierfilm (54) dicker ausgebildet ist als der Gate-Isolierfilm (49).

3. Halbleiterbauteil nach Anspruch 1 oder nach Anspruch 2, wobei der Stromerfassungsabschnitt (26) in einer Region ausgebildet ist, die von dem Source-Abschnitt (27) umgeben ist.

4. Halbleiterbauteil nach einem der Ansprüche 1 bis 3, ferner mit einem Passivierungsfilm (10), der selektiv einen Abschnitt (25) abdeckt, der direkt über der zweiten Einheitszelle (40) der erfassungs-seitigen Oberflächenelektrode (6) angeordnet ist und der eine Öffnung (12) aufweist, über die ein Teil der erfassungs-seitigen Oberflächenelektrode (6) als ein erfassungs-seitiges Pad (15) freigelegt ist.

5. Halbleiterbauteil nach einem der Ansprüche 1 bis 4, wobei die erste Einheitszelle (34) und die zweite Einheitszelle (40) jeweils wechselseitig gleiche Zellstrukturen besitzen.

6. Halbleiterbauteil nach einem der Ansprüche 1 bis 5, wobei der Stromerfassungsabschnitt (26) nur an einem Ort in einer Richtung innerhalb einer Ebene („in-plane direction“) der Halbleiterschicht (2) ausgebildet ist.

7. Halbleiterbauteil nach Anspruch 2, wobei der Zwischenschichtisolierfilm (54) eine Dicke von 1 um oder mehr besitzt.

8. Halbleiterbauteil nach Anspruch 2 oder 7, ferner mit einer gate-seitigen Oberflächenelektrode (7), die an der Halbleiterschicht (2) angeordnet ist und die eine gate-seitige Verbindungsregion besitzt, mit der ein Verdrahtungselement verbunden ist, wobei der Zwischenschichtisolierfilm (54) ebenfalls an einem Ort direkt unterhalb der gate-seitigen Verbindungsregion angeordnet ist.

9. Halbleiterbauteil nach Anspruch 2 oder nach Anspruch 7 oder nach Anspruch 8, wobei der Zwischenschichtisolierfilm (54) einen SiO<sub>2</sub>-Film (54) beinhaltet.

10. Halbleiterbauteil nach Anspruch 9, wobei der SiO<sub>2</sub>-Film (54) P (Phosphor) enthält.

11. Halbleiterbauteil nach Anspruch 9, wobei der SiO<sub>2</sub>-Film (54) B (Bor) enthält.

12. Halbleiterbauteil nach einem der Ansprüche 1 bis 11, wobei die erfassungs-seitige Oberflächene-

lektrode (6) eine Elektrode mit einer Schichtstruktur beinhaltet, bei der Ti, TiN und AlCu in dieser Reihenfolge von unten ausgehend stapelartig übereinander angeordnet sind.

13. Halbleiterbauteil nach einem der Ansprüche 1 bis 3, ferner mit:

einer gate-seitigen Oberflächenelektrode (7), die an der Halbleiterschicht (2) angeordnet ist; und  
 einem Passivierungsfilm (10), der eine Öffnung (12) aufweist, über die ein Teil der erfassungs-seitigen Oberflächenelektrode (6) als ein erfassungs-seitiges Pad (15) freigelegt ist, und der eine Öffnung (13) aufweist, über die ein Teil der gate-seitigen Oberflächenelektrode (7) als ein gate-seitiges Pad (16) freigelegt ist,

wobei das erfassungs-seitige Pad (15) und das gate-seitige Pad (16) jeweils so ausgebildet sind, dass sie in der gleichen Richtung eine längliche bzw. lange Form haben.

14. Halbleiterbauteil (1) nach einem beliebigen der Ansprüche 1 bis 13, ferner mit einer Wannengegend (32) eines ersten Leitfähigkeitstyps, die an einem Oberflächenabschnitt der Halbleiterschicht (2) gebildet ist, wobei die Wannengegend (32) einen Zellbildungsabschnitt (35) aufweist, der die zweite Einheitszelle (40) bildet, und einen Feldformungsabschnitt (36) aufweist, der um den Zellbildungsabschnitt (35) herum gebildet ist und der breiter ist als der Zellbildungsabschnitt (35).

15. Halbleiterbauteil (1) nach einem beliebigen der Ansprüche 1 bis 14, ferner mit:

einem source-seitigen Draht (22), der mit der source-seitigen Oberflächenelektrode (5) verbunden ist; einem erfassungs-seitigen Draht (23), der mit der erfassungs-seitigen Oberflächenelektrode (6) verbunden ist, wobei der erfassungs-seitige Draht (23) dünner ist als der source-seitige Draht (22).

16. Halbleiterbauteil (1) nach Anspruch 4, wobei sowohl der Stromerfassungsabschnitt (26) als auch das erfassungs-seitige Pad (15) entlang eines ersten Rands (3B) der Halbleiterschicht (2) platziert sind.

17. Halbleiterbauteil (1) nach Anspruch 16, wobei der Stromerfassungsabschnitt (26) kleiner ist als das erfassungs-seitige Pad (15).

18. Halbleiterbauteil (1) nach Anspruch 15, wobei der erfassungs-seitige Draht (23) kürzer ist als der source-seitige Draht (22).

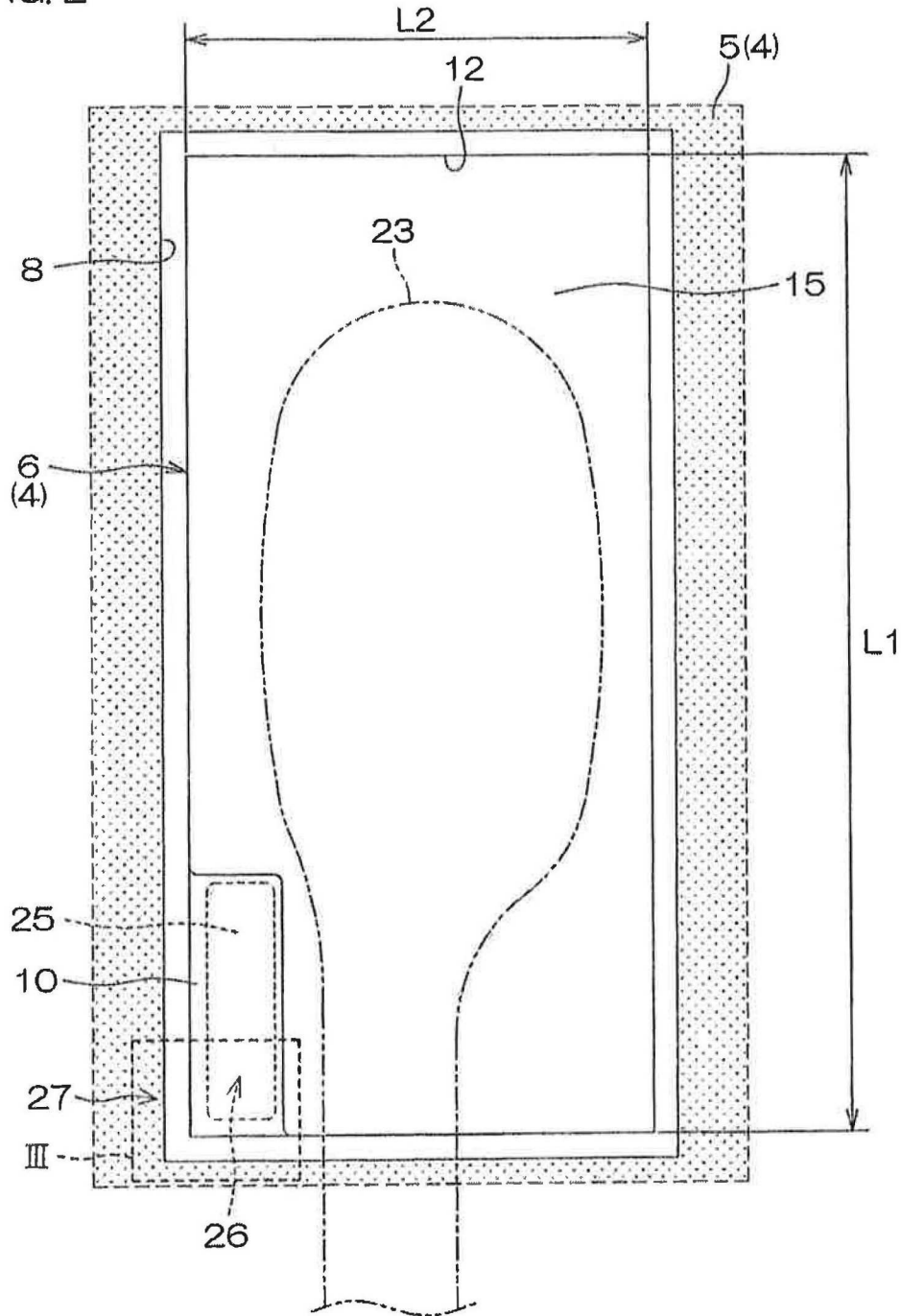
19. Halbleiterbauteil (1) nach Anspruch 15 oder 18, wobei der erfassungs-seitige Draht (23) und der source-seitige Draht (22) sich ausgehend von der Halbleiterschicht (2) in voneinander unterschiedlichen Richtungen erstrecken.

20. Halbleiterbauteil (1) nach Anspruch 16, ferner mit einem Paar von zweiten Rändern (3A, 3C), die sich in einer Richtung senkrecht zu dem ersten Rand (3B) der Halbleiterschicht (2) erstrecken, entlang dem der Stromerfassungsabschnitt (26) platziert ist, wobei der Stromerfassungsabschnitt (26) näher an einem mittleren Punkt des ersten Rands (3B) in Bezug auf das Paar von zweiten Rändern (3A, 3C) und entfernt von dem Paar von zweiten Rändern (3A, 3C) positioniert ist.

Es folgen 11 Seiten Zeichnungen



FIG. 2





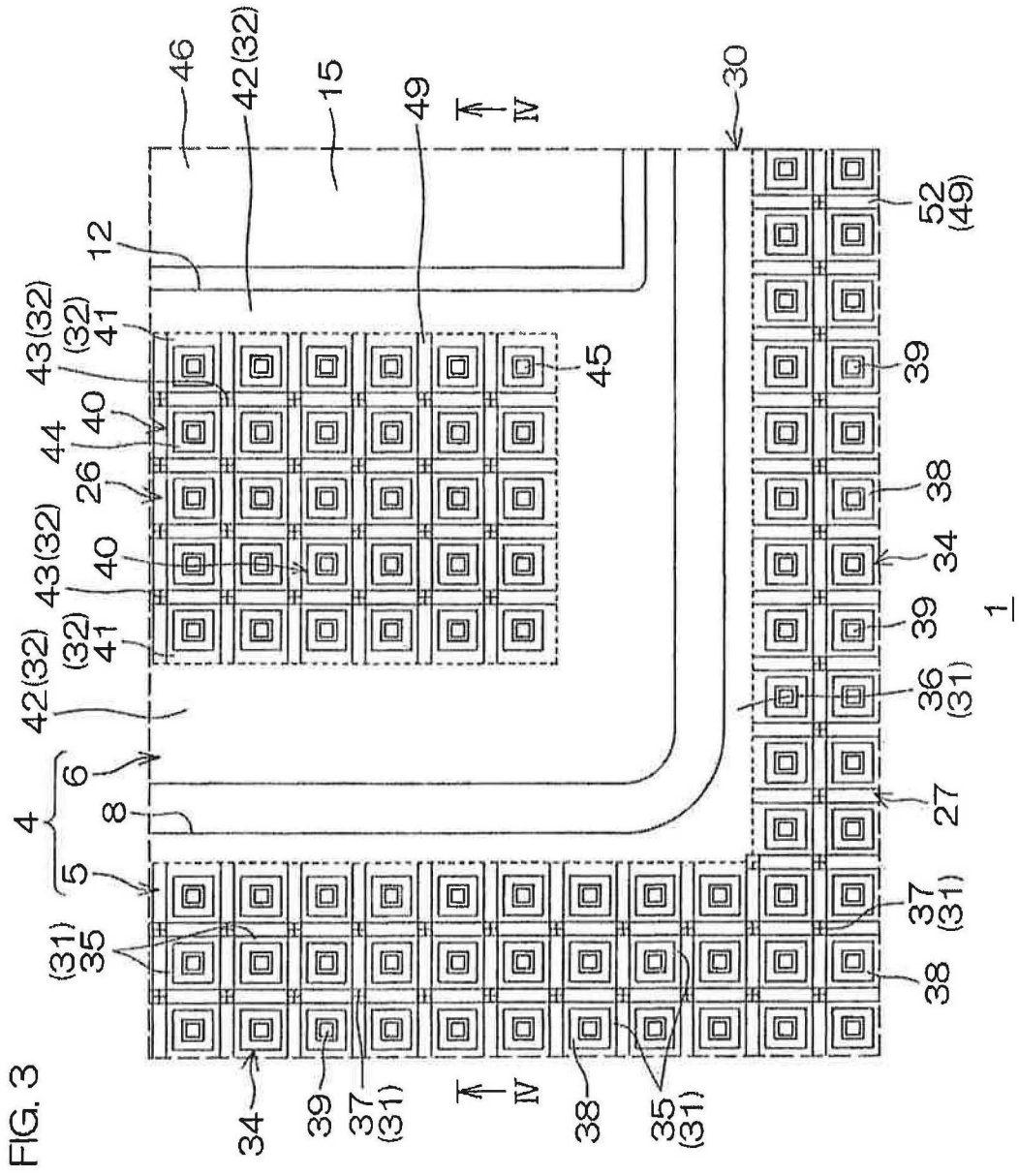
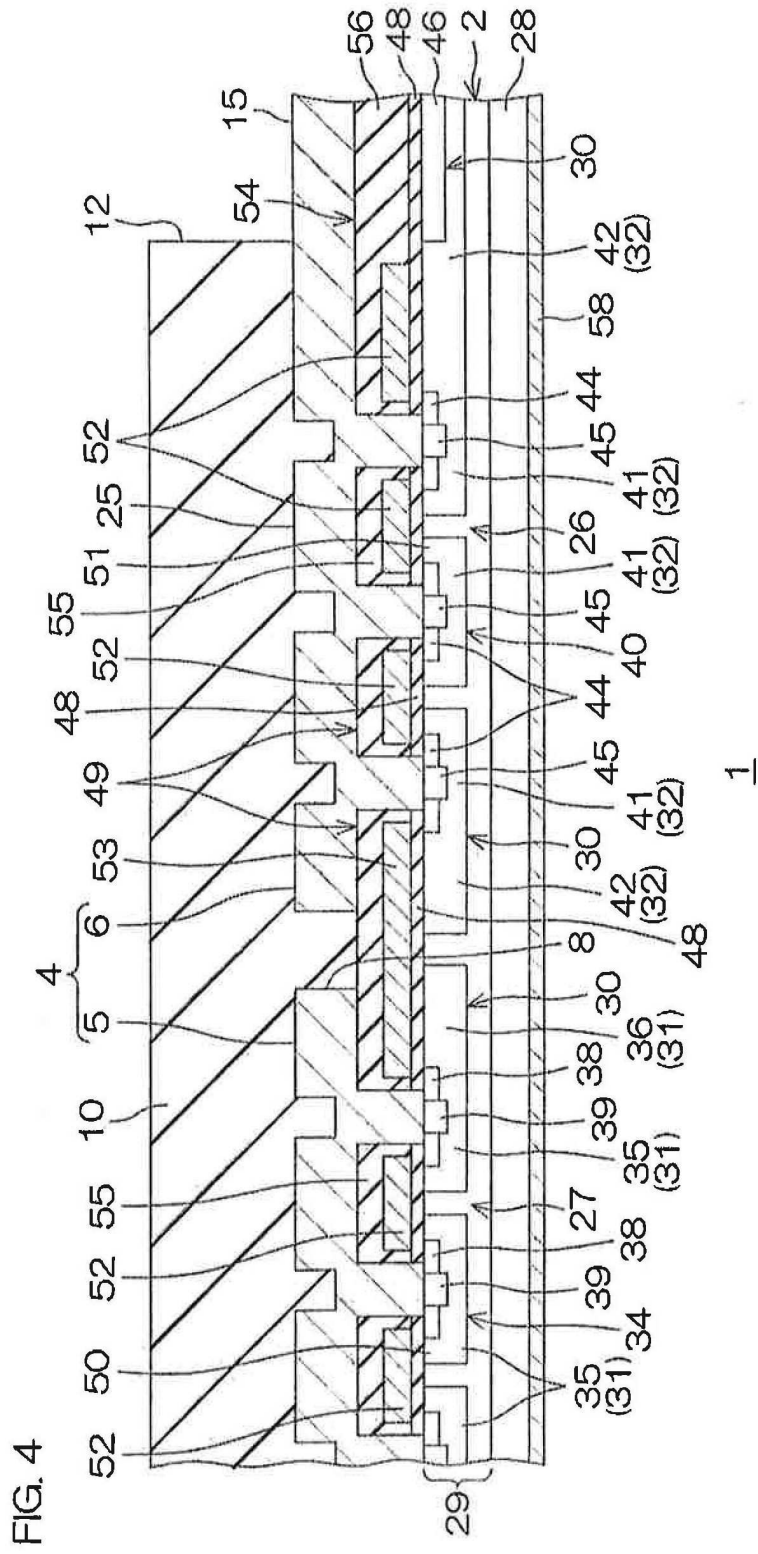
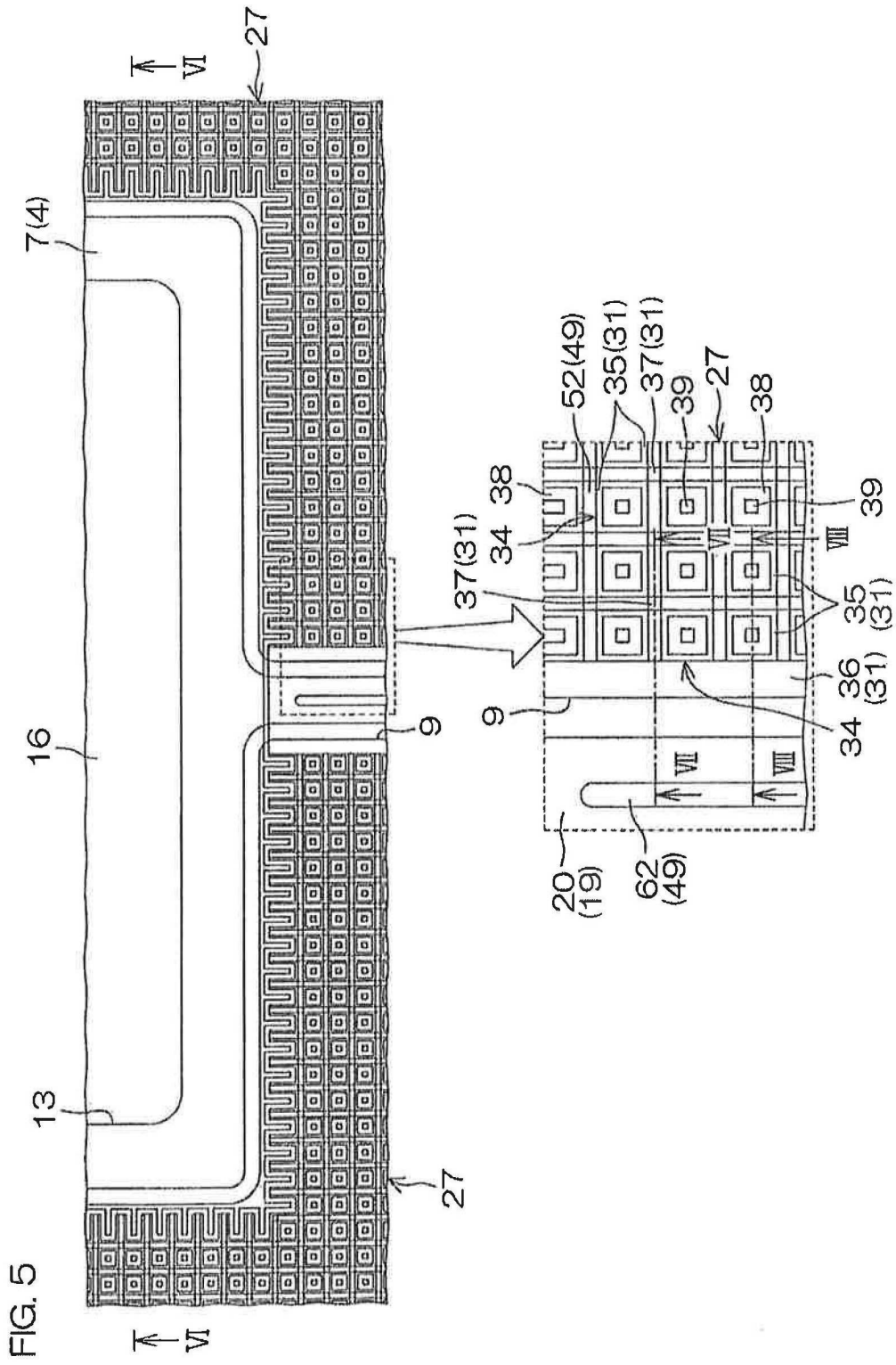


FIG. 3





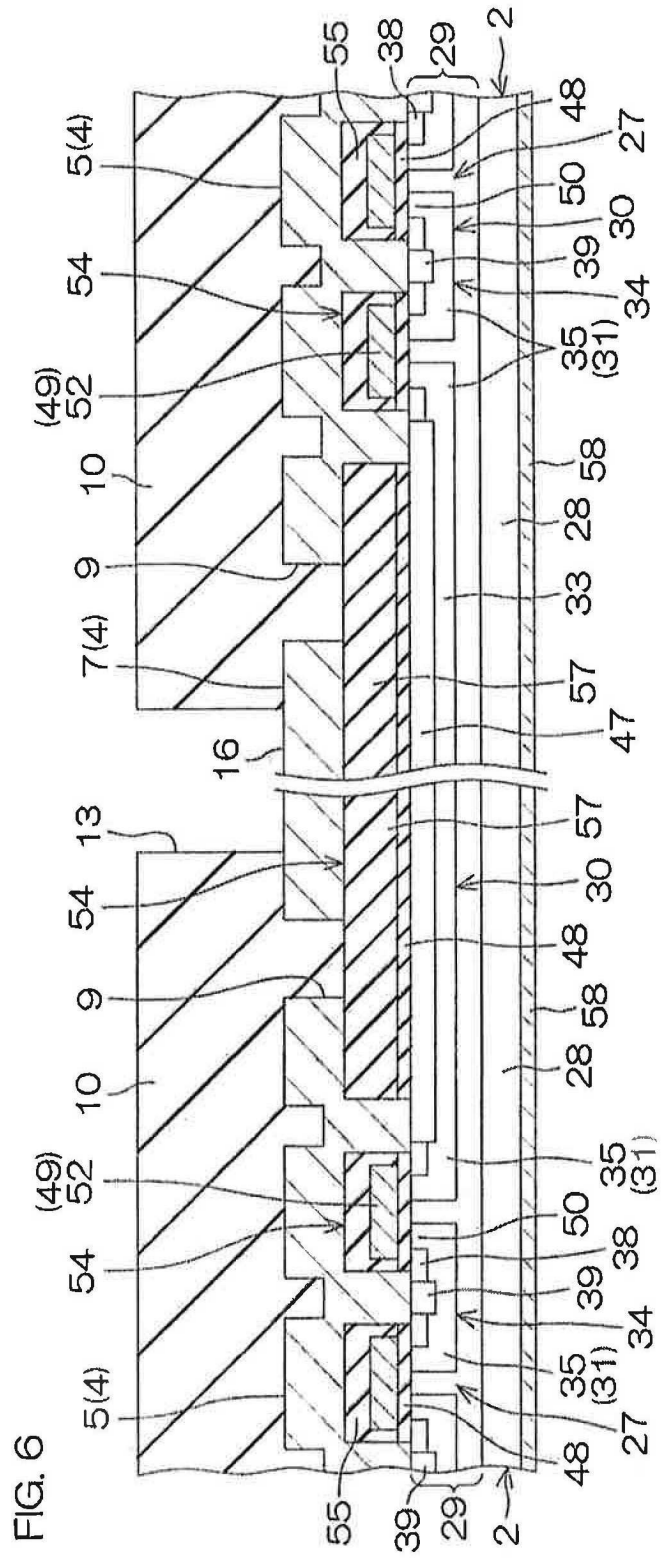


FIG. 7

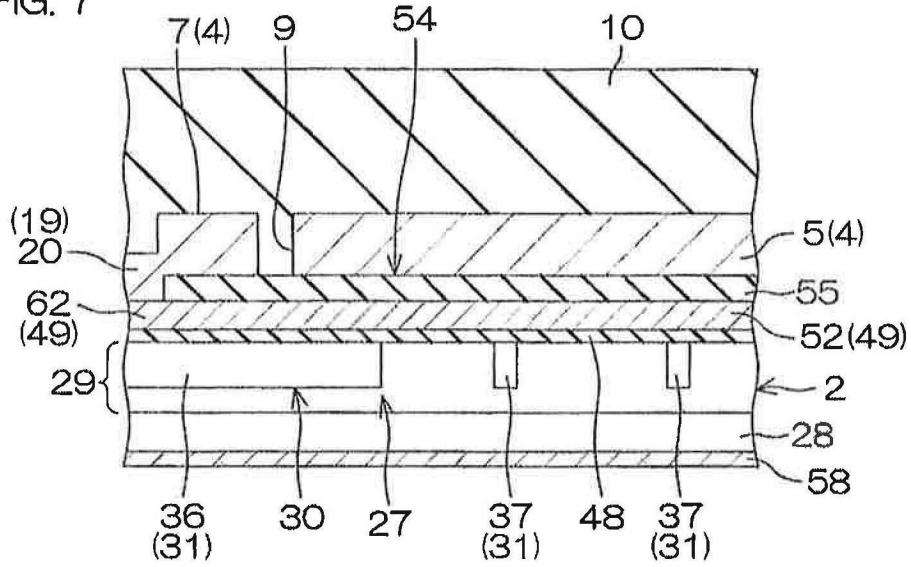


FIG. 8

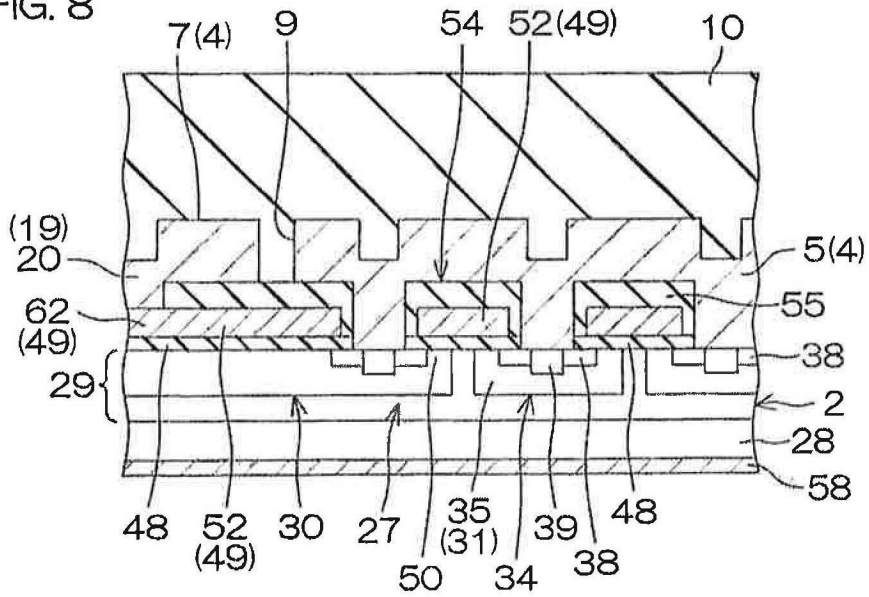


FIG. 9

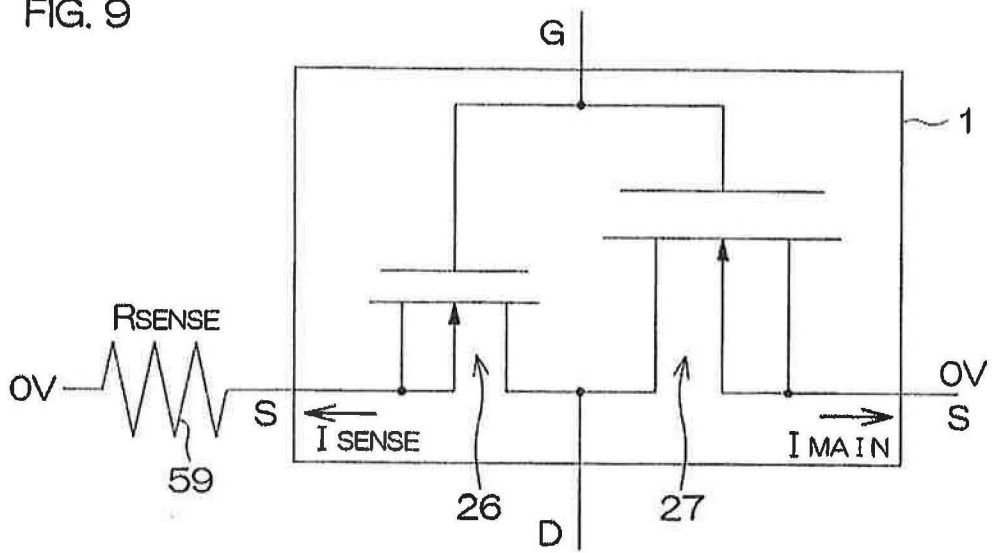


FIG.10

